

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2008年12月18日 (18.12.2008)

PCT

(10) 国際公開番号  
WO 2008/152774 A1

(51) 国際特許分類:

G06K 19/077 (2006.01) H01L 25/07 (2006.01)  
H01L 25/065 (2006.01) H01L 25/18 (2006.01)

(YAMADA, Yuichiro). 西川英信 (NISHIKAWA, Hi-denobu). 山田博之 (YAMADA, Hiroyuki). 武田修一 (TAKEDA, Shuichi).

(21) 国際出願番号:

PCT/JP2008/001301

(22) 国際出願日:

2008年5月26日 (26.05.2008)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2007-158090 2007年6月15日 (15.06.2007) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山田雄一郎

(74) 代理人: 岩橋文雄, 外 (IWAHASHI, Fumio et al.); 5718501 大阪府門真市大字門真1006番地 パナソニック株式会社内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

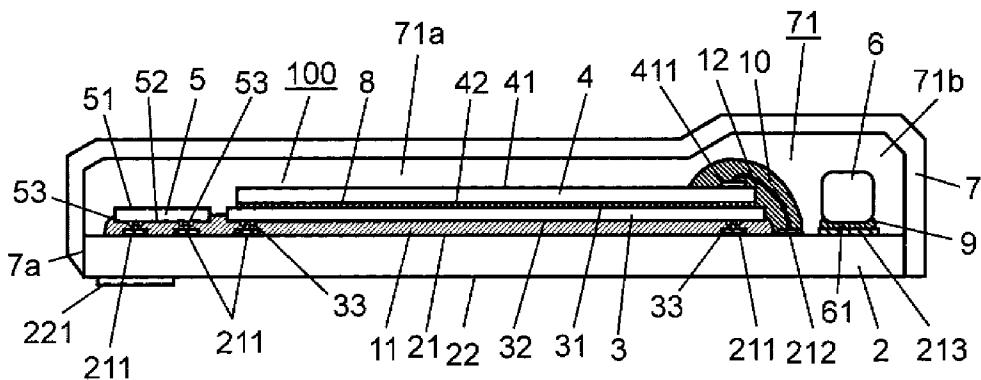
/ 続葉有 /

(54) Title: MEMORY CARD AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: メモリカードおよびその製造方法

[図2]

1



A1

(57) Abstract: A memory card is provided with a circuit board; semiconductor chips mounted on different regions on the circuit board; a semiconductor chip, which has a semiconductor electrode on the upper surface and has at least a part of the lower surface fixed to face at least a part of the upper surface of the semiconductor chip; a wire which connects the semiconductor electrode and a board electrode on the circuit board and brings the semiconductor chip into a mounted state; and a cover for covering a circuit forming region, including the three semiconductor chips and the wire, from the upper side of the circuit board. At least a part of the three semiconductor chips, at least a part of the circuit board and the wire are covered with a secondary sealing resin and a primary sealing resin.

(57) 要約: 回路基板、回路基板上の異なる領域に実装された半導体チップ、上面に半導体電極を有し下面の少なくとも一部が半導体チップの上面の少なくとも一部と対面するように固定した半導体チッ

/ 続葉有 /

WO 2008/152774 A1



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

---

پ、半導体電極と回路基板上の基板電極とを接続し半導体チップを実装状態にするワイヤ、回路基板上側から3つの半導体チップ、ワイヤを含む回路形成領域を覆うカバー、を備え、3つの半導体チップの少なくとも一部と、回路基板の少なくとも一部と、ワイヤが二次封止樹脂、一次封止樹脂で覆われている。

## 明 細 書

### メモリカードおよびその製造方法

#### 技術分野

[0001] 本発明は、回路基板に半導体チップを実装して構成されるメモリカードおよびその製造方法に関する。

#### 背景技術

[0002] 従来、情報記録媒体の一つであるメモリカードは、その省スペース性により携帯電話などの携帯型電子機器に広く使用されている。

[0003] そして、これらの携帯型電子機器には、高機能化とともに携帯性の向上が同時に求められている。そのため、それらに搭載されるメモリカードにも、小型化や大容量化が求められている。そこで、さらに小型で薄型のメモリカードが規格化され、規格化された形状寸法内で、大容量化へ向け開発が進められている。

[0004] これらの要望に対して、メモリカードを薄型化する技術が開示されている（例えば、特許文献1参照）。つまり、まず、リードフレーム上に搭載されたメモリチップ上に、別のメモリチップをずらして積層する。そして、2つのメモリチップの電極およびリードフレーム上に搭載されたコントロールチップの電極を、金ワイヤを介してリードフレームに接続して薄型化するものである。

[0005] しかしながら、特許文献1に示すメモリカードでは、全てのメモリチップとコントロールチップからのワイヤをボンディングするための電極がリードフレーム上に必要である。そのため、電極を配置するスペースと、電極間や外部電極と接続するための配線を形成するスペースが必要となる。その結果、メモリカードの小型化や、面積が大きい高容量のメモリチップの搭載が制限される。

[0006] また、ワイヤを立体的に交差して配線するため、狭いワイヤ間隔での配線や、長いワイヤ長さでの配線などの接続箇所が生じる。そのため、狭いワイ

ヤ間隔を介して樹脂を注入して封止する場合、粘度の低い熱硬化性樹脂を使用しなければならない。その結果、長い硬化時間、工法や材料の選択範囲の制限、製造コストの低減に限界があるなどの問題がある。

[0007] さらに、各チップの実装の良否が、全チップを実装し封止した後でしか、検査できない。そのため、最初に実装したチップに実装不良が生じていても、封止が終了するまで実装不良を検出できない。その結果、歩留まりの低下により、製造コストの増加などが問題である。

特許文献1：特開2004-13738号公報

## 発明の開示

[0008] 本発明のメモリカードは、少なくとも上面に基板電極と下面に外部電極を有する回路基板と、回路基板の上面に実装された第1半導体電極を有する第1半導体チップと、回路基板の上面で第1半導体チップの実装された領域と異なる領域に実装された第3半導体電極を有する第3半導体チップと、上面に第2半導体電極を有する第2半導体チップと、第2半導体電極と基板電極を接続するワイヤと、回路基板の上面に設けられた第1半導体チップ、第2半導体チップ、第3半導体チップ、ワイヤを含む回路形成領域を覆うカバーと、を備え、第2半導体チップの下面と第1半導体チップの上面の少なくとも一部は対面させて固定するとともに、第1半導体チップ、第2半導体チップ、第3半導体チップおよび回路基板の少なくとも一部と、ワイヤが封止樹脂で覆われた構成を有する。

[0009] この構成により、第1半導体チップ、第2半導体チップおよび第3半導体チップが回路基板に独立して実装して高容量のメモリカードを実現できる。また、各半導体チップを独立して実装するため、回路基板との間で個々の、あるいは組み合わせた状態で実装不良などを判定できる。また、第1半導体チップと第3半導体チップは、それらの下面と回路基板の上面との対面域に引き回した配線で回路基板と電気的に接続できる。

[0010] また、第2半導体チップの第2半導体電極は回路基板の基板電極とワイヤを介して接続するため、第1半導体チップと第2半導体チップを相対的に位

置ずれさせて回路基板と接続する必要がない。そのため、ワイヤを介した接続は第2半導体チップのみであり、第1半導体チップと第2半導体チップとの位置ずれは必須ではない。その結果、ワイヤの数や基板電極の数を大幅に削減できる。

[0011] また、第1半導体チップおよび第3半導体チップと回路基板との間は、各種接着や封止材を用いて、加圧、加熱やUV照射などで実装できるため、嵩張らず薄型で確実な封止が実現できる。さらに、第2半導体チップと回路基板とのワイヤを介した接続数を少なくできるため、基板電極などの微細ピッチ化を避けることができる。その結果、粘度の低い封止材を用いなくても、限られた領域を容易かつ確実に封止できる。

[0012] また、本発明のメモリカードの製造方法は、回路基板の上面に第1半導体チップを実装するステップと、回路基板の上面で第1半導体チップが実装された領域と異なる領域に第3半導体チップを実装するステップと、第2半導体チップの下面と第1半導体チップの上面の少なくとも一部とは対面させて固定材で固定するステップと、第2半導体チップの上面の半導体電極と回路基板の上面の基板電極をワイヤで接続するステップと、第1半導体チップ、第2半導体チップ、第3半導体チップおよび回路基板の少なくとも一部と、ワイヤを封止樹脂で封止するステップと、回路基板の上面に設けられた第1半導体チップ、第2半導体チップ、第3半導体チップ、ワイヤを含む回路形成領域をカバーで覆うステップと、を含む。

[0013] この方法により、大容量で高機能なメモリカードを、低成本で生産性よく作製できる。

### 図面の簡単な説明

[0014] [図1]図1は、本発明の実施の形態1におけるメモリカードの内部構成を示す平面図である。

[図2]図2は、図1のメモリカードをA-A線の位置で切断した断面図である。

[図3A]図3Aは、本発明の実施の形態1におけるメモリカードの製造方法を

説明するフローチャートである。

[図3B]図3Bは、本発明の実施の形態1におけるメモリカードの製造方法を説明するフローチャートである。

[図4A]図4Aは、本発明の実施の形態1におけるメモリカードの製造方法を示す断面図である。

[図4B]図4Bは、本発明の実施の形態1におけるメモリカードの製造方法を示す断面図である。

[図4C]図4Cは、本発明の実施の形態1におけるメモリカードの製造方法を示す断面図である。

[図4D]図4Dは、本発明の実施の形態1におけるメモリカードの製造方法を示す断面図である。

[図4E]図4Eは、本発明の実施の形態1におけるメモリカードの製造方法を示す断面図である。

[図5]図5は、本発明の実施の形態1の別の例におけるメモリカードの内部構成を示す平面図である。

[図6]図6は、図5のメモリカードをB-B線の位置で切断した断面図である。

[図7]図7は、本発明の実施の形態2におけるメモリカードの内部構成を示す平面図である。

[図8]図8は、図7のメモリカードをC-C線の位置で切断した断面図である。

## 符号の説明

[0015] 1, 1a, 1b メモリカード

2 回路基板

3 第1半導体チップ

4 第2半導体チップ

5 第3半導体チップ

6 非半導体チップ部品

- 7 カバー  
7 a 開口  
8 固定材  
9 クリームはんだ  
10 二次封止樹脂  
11 一次封止樹脂  
12 ワイヤ  
21, 31, 41, 51 上面  
22, 32, 42, 52, 61 下面  
33 第1半導体電極  
53 第3半導体電極  
71 凹部  
71a 第1凹部  
71b 第2凹部  
100 回路形成領域  
101 対向域  
103 ダム  
211, 212, 213 基板電極  
221 外部電極  
411 第2半導体電極

### 発明を実施するための最良の形態

[0016] 以下、本発明の実施の形態について、図面を参照しながら説明する。なお、同じ要素については同じ符号を付し、説明を省略する場合がある。

[0017] (実施の形態1)

図1は、本発明の実施の形態1におけるメモリカードの内部構成を示す平面図である。図2は、図1のメモリカードをA-A線の位置で切断した断面図である。

[0018] なお、図1はメモリカードの内部構造の理解を容易にするために、カバー

7については輪郭のみを破線で示し、図2の一次封止樹脂11と二次封止樹脂10は省略して示している。

[0019] また、以下では、メモリカードの代表として、SDメモリカード（Secure Digital memory card）を例に説明する。なお、SDメモリカードは、一般に、長さと幅（図1中の左右方向と上下方向の大きさ）および厚み（図2中の上下方向の大きさ）が、それぞれ、14.9mm以上15.1mm以下、10.9mm以上11.1mm以下および0.9mm以上1.1mm以下の形状を有する。なお、本実施の形態においては、それぞれの大きさを15mm、11mmおよび1mmとする。そして、便宜上、図2中の上側および下側をそれぞれ、メモリカード1の上側および下側として説明する。以降の実施の形態においても同様である。さらに、第1半導体チップ3、第2半導体チップ4と第3半導体チップ5を実装する位置のメモリカード1の厚みは、0.6mm以上0.8mm以下（本実施の形態では、0.7mm）である。

[0020] 図1と図2に示すように、メモリカード1は、少なくとも上面21に基板電極211と下面22に外部電極221を有する回路基板2と、回路基板2の上面21に実装された第1半導体電極33を有する第1半導体チップ3と、回路基板2の上面21で第1半導体チップ3の実装された領域と異なる領域に実装された第3半導体電極53を有する第3半導体チップ5と、上面41に第2半導体電極411を有する第2半導体チップ4と、第2半導体電極411と基板電極212を接続するワイヤ12と、回路基板2の上面21に設けられた第1半導体チップ3、第2半導体チップ4、第3半導体チップ5、ワイヤ12を含む回路形成領域100を覆うカバー7と、を備え、第2半導体チップ4の下面42と第1半導体チップ3の上面31の少なくとも一部は対面させて固定するとともに、第1半導体チップ3、第2半導体チップ4、第3半導体チップ5および回路基板2の少なくとも一部と、ワイヤ12が一次封止樹脂11と二次封止樹脂10からなる封止樹脂で覆われて構成されている。

- [0021] このとき、回路基板2は、例えばFR-4、5相当のガラスエポキシ基板であり、厚みは0.1mm以上0.4mm以下（本実施の形態では、0.16mm）である。そして、回路基板2の上面21に設けられた基板電極211、212、213は、上面21上に設けられた配線（図示せず）と電気的に接続されている。また、回路基板2の下面22には、外部の電子機器（図示せず）と接続するための複数の外部電極221を備えている。そして、外部電極221は、回路基板2の下面22に設けられた配線（図示せず）と回路基板2の下面22から上面21へと貫通するビアホール（図示せず）を通して、回路基板2の上面21に設けられた配線と電気的に接続されている。
- [0022] また、第1半導体チップ3と第2半導体チップ4は、例えば情報を記憶するメモリチップで、第3半導体チップ5は第1半導体チップ3と第2半導体チップ4を制御する、例えばコントロールチップである。ここで、第1半導体チップ3、第2半導体チップ4、第3半導体チップ5はベアチップで、その厚みはそれぞれ0.05mm以上0.3mm以下である。
- [0023] そして、第1半導体チップ3は、下面32の電極（図示せず）上に形成された突起状の第1半導体電極33を備え、第1半導体電極33は回路基板2の上面の基板電極211に接合（接触により電気的な接続が保たれている状態を含む）されている。また、第3半導体チップ5は、下面52の電極（図示せず）上に形成された突起状の第3半導体電極53を備え、第3半導体電極53は回路基板2の基板電極211に接合（接触が保たれている状態を含む）されている。このとき、第1半導体チップ3の下面32、第3半導体チップ5の下面52と回路基板2の上面21の少なくとも一部は、一次封止樹脂11で封止されている。
- [0024] また、第2半導体チップ4の下面42の少なくとも一部が第1半導体チップ3の上面31の少なくとも一部と対面して設けられている。そして、第1半導体チップ3の上面31と第2半導体チップ4の下面42との対面間に設けられた、例えば接着剤などの固定材8により、第2半導体チップ4を第1半導体チップ3に固定して積層している。さらに、第2半導体チップ4は、

上面411に形成された第2半導体電極411がワイヤ12を介して回路基板2の基板電極212に接合され、二次封止樹脂10により封止されている。これにより、第2半導体チップ4は回路基板2とワイヤ12を介して電気的に接続される。このとき、第2半導体チップ4と第1半導体チップ3とは並列に配置され、第1半導体チップ3と第2半導体チップ4間での直接の接続は行われない。

[0025] ここで、二次封止樹脂10として、ワイヤ12、第2半導体チップ4の一部、第1半導体チップ3の一部と回路基板2の上面21の一部に塗布できる、例えばエポキシ樹脂などの液状の非導電性樹脂材料が用いられる。また、一次封止樹脂11として、回路基板2の上面21に貼り付けできるフィルム状の非導電性樹脂材料（NCF（Non-Conductive Film））などが用いられる。

[0026] なお、図1と図2に示すように、必要に応じて、例えばノイズ除去などを目的として、コンデンサなどの非半導体チップ部品6の下面61を回路基板2の上面21に実装してもよい。このとき、複数の非半導体チップ部品6は、図1に示すように、例えば回路基板2の一辺に沿った位置に配列し、図2に示すように回路基板2の上面21の基板電極213と、例えばクリームはんだ9を介して接続して実装される。そして、配列した非半導体チップ部品6と第1半導体チップ3との間の回路基板2の上面21には、第2半導体チップ4の第2半導体電極411とワイヤ12を介して接続される基板電極212が配列されている。

[0027] そして、図2に示すように、カバー7は、第1半導体チップ3、第2半導体チップ4と第3半導体チップ5を収納する第1凹部71aと、第2半導体チップ4の第2半導体電極411と基板電極212間のワイヤ12による接続部を封止した二次封止樹脂10と非半導体チップ部品6とを収納する第2凹部71bからなる凹部71を有している。なお、本実施の形態では、第2凹部71bの高さ（深さ）が第1凹部71aの高さ（深さ）より高く形成されている。このとき、カバー7は、例えばポリカーボネートやポリエチレン

テレフタレー<sup>ト</sup>などの熱可塑性樹脂からなり、凹部71の開口7aを介して回路基板2の外周に嵌め合わせて取り付けられる。

- [0028] 上記構成により、第1半導体チップ、第2半導体チップおよび第3半導体チップが回路基板に独立して実装された高容量のメモリカードを実現できる。また、各半導体チップを独立して実装するため、回路基板との間で個々の、あるいは組み合わせた状態で、例えば電気特性を評価することにより、実装の良否を判定できる。
- [0029] また、第1半導体チップと第3半導体チップは、それらの下面と回路基板の上面との対面域に形成した配線で回路基板と電気的に接続できる。そのため、第2半導体チップの第2半導体電極のみを回路基板の基板電極とワイヤを介して接続するので、特許文献1に示すような第1半導体チップと第2半導体チップを相対的に位置ずれさせて回路基板にワイヤを介して接続する必要がない。つまり、ワイヤを介した接続は第2半導体チップのみであり、第1半導体チップと第2半導体チップとの位置ずれは必須ではない。その結果、電気的な接続のためのワイヤの数や基板電極の数を大幅に削減できるので、基板電極などの微細ピッチ化を避けることができる。そのため、二次封止樹脂として、粘度の低い封止材を用いる必要がなく、高い粘度の封止材でもワイヤで接続される領域を容易かつ確実に封止できる。
- [0030] また、第1半導体チップおよび第3半導体チップと回路基板との間は、各種接着や封止材などの固定材を用いて、加圧、加熱やUV照射などで実装できるため、嵩張らず薄型で確実な封止を実現できる。
- [0031] 本実施の形態1によれば、第1半導体チップ3と第3半導体チップ5を回路基板2との対面域に形成した配線に直に実装する。そして、回路基板2に第1半導体チップ3と第2半導体チップ4を積層し、その周辺に設けた基板電極212と第2半導体電極411とを少ないワイヤ12を介して接続する。これにより、メモリカードの薄型化、小型化や高容量化を実現できる。
- [0032] また、本実施の形態1によれば、第1半導体チップ3、第2半導体チップ4、第3半導体チップ5と回路基板2との各実装段階において、個々に独立

した状態、あるいは組み合わせた状態で、電気特性の検査により実装の良否を判定できる。そのため、メモリカードの歩留まりの向上や低コスト化が図れる。

- [0033] また、本実施の形態1によれば、直に実装された第1半導体チップ3、第3半導体チップ5と回路基板2間は、一次封止樹脂11により、嵩張らず確実に封止して実装できる。また、ワイヤ12による接続数を少なくできるので、微細ピッチでの接続が避けられ、二次封止樹脂10に粘度の低い封止材を用いなくてもよい。そのため、ワイヤ12を介した第2半導体電極411と基板電極212との接続領域を容易かつ確実に封止し、電気的に安定した接続が図れる。
- [0034] また、本実施の形態1によれば、回路形成領域100を保護するカバー7は、回路形成領域100の大きさに対応して、容易に薄型化、小型化することができるので、全体に嵩張らないメモリカードを実現できる。
- [0035] また、本実施の形態1によれば、さらに、非半導体チップ部品6を設けることにより、信頼性が高く、高機能なメモリカード1を実現できる。
- [0036] 以下に、本発明の実施の形態1におけるメモリカードの製造方法について、図3A、図3Bと図4Aから図4Eを用いて説明する。
- [0037] 図3Aと図3Bは、本発明の実施の形態1におけるメモリカードの製造方法を説明するフローチャートである。図4Aから図4Eは、本発明の実施の形態1におけるメモリカードの製造方法を示す断面図である。
- [0038] まず、図3Aと図4Aに示すように、第1半導体チップ3の下面32の電極（図示せず）上にバンプを第1半導体電極33として形成する。また、第3半導体チップ5の下面52の電極（図示せず）上にバンプを第3半導体電極53として形成する（ステップS11）。
- [0039] そして、回路基板2の上面21で第1半導体チップ3と第3半導体チップ5を実装する領域に、例えばNCFなどの一次封止樹脂11を貼り付ける。このとき、回路基板2の基板電極212、213上には貼り付けない。これにより、一次封止樹脂11が基板電極211に付与される（ステップS12）。

)。

[0040] さらに、実装装置（図示せず）により、第1半導体チップ3の下面32を回路基板2の上面21と対向して保持する。そして、第1半導体電極33が一次封止樹脂11を介して基板電極211と対向するように第1半導体チップ3の位置を調整した後、第1半導体チップ3を回路基板2に押圧する。同様に、実装装置により、第3半導体チップ5の下面52を回路基板2の上面21と対向して保持する。そして、第3半導体電極53が一次封止樹脂11を介して基板電極211と対向するように第3半導体チップ5の位置を調整した後、第3半導体チップ5を回路基板2に押圧する。その後、第1半導体チップ3と第3半導体チップ5を回路基板2に押圧した状態で、第1半導体チップ3と第3半導体チップ5を加熱して、第1半導体チップ3の第1半導体電極33と第3半導体チップ5の第3半導体電極53を、回路基板2の基板電極211と電気的に接続する。

[0041] これにより、図4Bに示すように、一次封止樹脂11が硬化して、第1半導体チップ3と第3半導体チップ5が回路基板2に電気的な接続して実装される（ステップS13）。

[0042] 以下では、回路基板2に実装された第1半導体チップ3、第3半導体チップ5をまとめて「一次実装モジュール」と表現する。

[0043] そして、図3Aに示すように、検査装置（図示せず）を用いて、一次実装モジュールを電気的に検査する。例えば、回路基板2を介して一次実装モジュールに電気を流すことにより、第1半導体チップ3および第3半導体チップ5と回路基板2との実装の良否を電気的に個別に検査する（ステップS14）。これにより、正常に実装された一次実装モジュールが選別できる。

[0044] つぎに、図3Aと図4Bに示すように、ウエハーからダイシング装置（図示せず）を用いて切り出された、例えば熱硬化性樹脂を主成分とする膜状の固定材8を下面42に転写された第2半導体チップ4を準備する。そして、一次実装モジュールと、第2半導体チップ4の下面42を、ダイボンディング装置（図示せず）により、図4Bに示すように第1半導体チップ3の上面

3 1 と対向して保持する。さらに、第 2 半導体チップ 4 を所定の位置に調整した後、第 2 半導体チップ 4 を第 1 半導体チップ 3 に固定材 8 を介して押圧する。そして、加熱装置（図示せず）により、第 2 半導体チップ 4、第 1 半導体チップ 3 と回路基板 2 を加熱し、固定材 8 を硬化させて、第 2 半導体チップ 4 を第 1 半導体チップ 3 に固定する（ステップ S 1 5）。

[0045] つぎに、図 3 A と図 4 C に示すように、ワイヤボンディング装置（図示せず）により、第 2 半導体チップ 4 の第 2 半導体電極 4 1 1 と回路基板 2 の基板電極 2 1 2 を、例えば金ワイヤなどのワイヤ 1 2 で電気的に接続する（ステップ S 1 6）。

[0046] つぎに、図 3 B と図 4 D に示すように、図示しないディスペンス装置または射出装置により、例えばエポキシ樹脂などの熱硬化性樹脂を主成分とする液状の非導電性樹脂材料からなる二次封止樹脂 1 0 を、第 1 半導体チップ 3 および第 2 半導体チップ 4 の少なくとも一部、回路基板 2 の一部とワイヤ 1 2 を覆うように塗布する。そして、加熱装置（図示せず）により、二次封止樹脂 1 0 を加熱して硬化し、第 1 半導体チップ 3 および第 2 半導体チップ 4 の少なくとも一部、回路基板 2 の一部とワイヤ 1 2 を封止する（ステップ S 1 7）。このとき、第 3 半導体チップ 5 がワイヤ 1 2 の近傍に配置されている場合には、第 3 半導体チップの少なくとも一部も、同様に二次封止樹脂 1 0 で封止される。

[0047] 以下では、一次実装モジュールに実装された第 2 半導体チップをまとめて「二次実装モジュール」と表現する。

[0048] つぎに、図 3 B に示すように、検査装置（図示せず）を用いて、二次実装モジュールを電気的に検査する。例えば、回路基板 2 を介して二次モジュールに電気を流すことにより、第 1 半導体チップ 3、第 2 半導体チップ 4、第 3 半導体チップ 5 と回路基板 2 との実装の良否を電気的に検査する（ステップ S 1 8）。これにより、正常に実装された二次実装モジュールを選別できる。

[0049] つぎに、図 3 B と図 4 E に示すように、必要に応じて、選別した二次実装

モジュールの回路基板2の上面21にマスクを介してクリームはんだ9を基板電極213上に付与する（ステップS19）。そして、例えばコンデンサなどの非半導体チップ部品6を回路基板2の基板電極213上にクリームはんだ9を介して搭載する。その後、非半導体チップ部品6を搭載した二次実装モジュールをリフローする。これにより、非半導体チップ部品6を回路基板2の上面21の基板電極213と電気的に接続して接合する。（ステップS20）。

[0050] つぎに、図2と図3Bに示すように、カバー7を、その凹部71の開口7aを介して回路基板2に取り付ける。これにより、回路基板2の上面21側において第1半導体チップ3、第2半導体チップ4、第3半導体チップ5、非半導体チップ部品6やワイヤ12をカバー7の凹部71内に収納してメモリカード1が作製される（ステップS21）。

[0051] 以上で説明したように、本実施の形態1によれば、第1半導体チップ3、第3半導体チップ5と接続する回路基板2の基板電極211は、第1半導体チップ3、第3半導体チップ5の下に配置できる。そして、基板電極211と接続される配線を第1半導体チップ3と第3半導体チップ5の下で引き回すことができる。そのため、回路基板2上で第1半導体チップ3、第3半導体チップ5や非半導体チップ部品6を実装するスペース以外には、第2半導体チップ4とワイヤボンドで接続される基板電極212を配置するスペースだけを確保すればよい。それにより、回路基板2の層数を少なくできるため、薄型化が可能になるとともに、限られた回路基板の実装領域に、より大容量で大きな形状のメモリチップなどの半導体チップを搭載できる。その結果、小型で高容量のメモリカードを実現できる。

[0052] また、本実施の形態1によれば、一次実装モジュールを形成した状態で電気的に検査をし、選別した良品の一次実装モジュールだけを用いて、第2半導体チップ4を実装できる。さらに、必要に応じて、二次実装モジュールを形成した状態で電気的に検査をし、選別した良品の二次実装モジュールだけを用いて、非半導体チップ部品6を実装できる。これにより、材料や時間の

ロスを削減して低成本で生産性よくメモリカードを作製できる。

[0053] また、本実施の形態1によれば、第1半導体チップ3の第1半導体電極3と第3半導体チップ5の第3半導体電極53と基板電極211を一次封止樹脂を介して一括で実装し接合することができる。その結果、従来、全ての半導体チップをワイヤボンディングで回路基板2に実装する場合と比べて、大幅に時間を短縮して製造コストを低減できる。

[0054] また、本実施の形態1によれば、二次実装モジュールとして、一次実装モジュールに第2半導体チップ4の第2半導体電極411と基板電極212とをワイヤ12を介して接続し、その近傍の最小限の領域だけを二次封止樹脂10で封止している。そのため、電気的な検査により、第2半導体チップ4のみ不良と判定されても、第2半導体チップ4が動作しないように回路基板2の上面21に露出させた第2半導体チップ4の電源の配線だけを切断することができる。これにより、一次実装モジュールだけの容量を有するメモリカードとして有効に使用することができる。その結果、材料や部品のロスを大幅に低減できる。

[0055] 一方、従来、全ての半導体チップをワイヤボンディングで回路基板に実装する場合、ワイヤを封止する必要がある。そのため、通常、ワイヤを覆うよう、回路基板の上面の全体を粘度が低い熱硬化性樹脂を用いたトランスファーモールド法で成型する。その後、成形部と回路基板を切削加工などにより所定のメモリカード形状に加工している。

[0056] それに対して、本実施の形態1では、第2半導体チップと回路基板を接続するワイヤ12の近傍だけを二次封止樹脂10で封止して、安価な熱可塑性樹脂で成形したカバー7を取り付ける構造とした。これにより、製造を簡素化して、低成本で生産性よくメモリカードを作製できる。

[0057] また、本実施の形態1では、第2半導体チップ4の上面41で、第3半導体チップ5と隣接する辺に第2半導体電極411を形成しない構成を有する。これにより、第1半導体チップ3と第3半導体チップ5とが隣接する部分の回路基板2の上面21に、第2半導体チップ4の第2半導体電極411と

接続するための基板電極 212 が必要でない。そして、従来のように、狭ピッチに配置された基板電極間に、さらに基板電極を形成するために、例えば多層構造の回路基板を用いて、層間をビアホールを通じて下層に配線層を形成して接続する必要がない。また、第 1 半導体チップ 3 と第 3 半導体チップ 5 を直接接続するための配線を、回路基板 2 の上面 21 の隣接部分を介して最短距離で形成できる。これにより、層数の少ない回路基板 2 を用いて、さらに薄型化が可能となる。また、第 1 半導体チップ 3 と第 3 半導体チップ 5 との隣接間以外の領域での、配線を引き回す面積を削減できるため、限られた回路基板の実装面積でより大きな半導体チップを搭載できる。その結果、小型化と高容量化したメモリカードを実現できる。

[0058] なお、本実施の形態 1 では、第 1 半導体チップ 3 の第 1 半導体電極 33 を、例えば図 2 の断面図に示すように左右に配置した例で説明したが、これに限られない。例えば、図示していないが、図 2 を参照して具体的に説明すると、第 1 半導体チップ 3 のある一辺だけに第 1 半導体電極 33 を配置してもよい。具体的には、例えば第 1 半導体チップ 3 の左側の辺での第 1 半導体電極 33 の配列をなくし、右側の辺の第 1 半導体電極 33 に配列するなどである。このとき、第 1 半導体電極 33 を配列した右側の辺と、第 2 半導体チップ 4 の上面 41 に設ける第 2 半導体電極 411 を配列する辺と対向して設けてもよい。これにより、回路基板 2 の上面 21において第 1 半導体チップ 3 の直下も含めた広い領域で、第 1 半導体チップ 3 と第 2 半導体チップ 4 の配線交差を行うことが可能となる。さらに、層数の少ない回路基板 2 を用いて、配線の L/S (ラインアンドスペース) を広げることができる。その結果、回路基板のコスト低減や、メモリカードの製造コストを削減できる。

[0059] 以下、本発明の実施の形態 1 の別の例におけるメモリカードについて、図 5 と図 6 を用いて説明する。

[0060] 図 5 は、本発明の実施の形態 1 における別の例におけるメモリカードの内部構成を示す平面図である。図 6 は、図 5 のメモリカードを B-B 線の位置で切断した断面図である。

- [0061] 図5と図6に示すように、本発明の実施の形態1の別の例におけるメモリカード1aは、回路基板2の上面21で非半導体チップ部品6と二次封止樹脂10の間に、ダム103を設けたものである。このとき、ダム103は、回路基板2の上面21の基板電極212と基板電極213との間に、例えばソルダーレジストを用いて、例えば幅0.1mm～1mm、高さ0.01mm～0.1mmの少なくとも1本が形成される。
- [0062] これにより、回路基板2の上面21に塗布した際、二次封止樹脂10が基板電極213へ広がることをダム103により防止できる。そして、非半導体チップ部品6の実装不良を防止し製造コストを低減できる。さらに、基板電極212と基板電極213との距離を短くできるので、限られた実装領域に、より大記憶容量で形状の大きな半導体チップを搭載できる。その結果、小型化や高容量化が容易なメモリカード1aを実現できる。
- [0063] なお、上記では、ダム103を基板電極212と基板電極213との間に設けた例で説明したが、これに限られない。例えば、基板電極212と隣接する基板電極211との間にも設けてもよい。これにより、第1半導体チップ3の第1半導体電極33と回路基板2の基板電極211を一次封止樹脂11に押圧して接合する際に、基板電極212に一次封止樹脂11が広がり、基板電極212を被覆することを未然に防止できる。
- [0064] なお、基板電極212と第2半導体電極411の接続数が増加し、ワイヤ12間のピッチが狭くなり二次封止樹脂10の充填性が低下する場合には、ワイヤ12の間隔を部分的に広くすることが好ましい。これにより、二次封止樹脂10が部分的に広がったワイヤ12間から容易に侵入し、回路基板2との空間を効率的に充填できる。この結果、二次封止樹脂10の未充填部やボイドの発生を低減して、高品質でロスが少なく製造コストの低いメモリカードを実現できる。
- [0065] (実施の形態2)

図7は、本発明の実施の形態2におけるメモリカードの内部構成を示す平面図である。図8は、図7のメモリカードをC-C線の位置で切断した断面

図である。

- [0066] なお、図7においても、実施の形態1と同様に、メモリカードの内部構造の理解を容易にするために、カバー7については輪郭のみを破線で示し、図8の一次封止樹脂11と二次封止樹脂10は省略して示している。
- [0067] 図7と図8に示すように、実施の形態2のメモリカード1bは、少なくとも第3半導体チップ5と非半導体チップ部品6が、回路基板2の一辺に並んで実装されている。そして、回路基板2に設けられる基板電極212の配列が、第3半導体チップ5と第2半導体チップ4との対向域101の両側に振り分けて配置されている点で実施の形態1と異なる。このとき、第1半導体チップ3の上面31と第2半導体チップ4の下面42が、少なくとも一部で重ならないように位置をずらして固定することが好ましい。また、第3半導体チップ5と第2半導体チップ4とが対向域101で重なるように設けることが好ましい。なお、他の構成要素や材料あるいは基本的な機能などは、実施の形態1と同様であるので、説明を省略する場合がある。
- [0068] 以下に、図7と図8を用いて、具体的にメモリカード1bを説明する。
- [0069] つまり、メモリカード1bは、複数の非半導体チップ部品6が、回路基板2の一辺に沿って第3半導体チップ5と並んで実装されている。これは、コントロールチップである第3半導体チップ5が、メモリチップである第1半導体チップ3や第2半導体チップ4より形状が小さいことにより実現できるものである。
- [0070] そして、ワイヤ12を介して、第2半導体チップ4の第2半導体電極411と接続される回路基板2の基板電極212は、第2半導体チップ4の一辺と第3半導体チップ5との対向域101の両側に振り分けて配列される。このとき、図7に示すように、例えば基板電極212は、対向域101の両側で第2半導体チップ4の隣り合う2辺に沿って振り分けられる。また、振り分けられた基板電極212の一方の配列は、非半導体チップ部品6と第2半導体チップ4との間に設けられる。
- [0071] なお、図7に示すように、第2半導体チップ4の一辺に沿って配列する第

2半導体電極411を、振り分けて配列した基板電極212に対応して振り分けて配列することが好ましい。これにより、第2半導体電極411と基板電極212とをほぼ等しい長さのワイヤ12で接続できるので、信号の遅延差などを生じない。

- [0072] 上記構成により、第3半導体チップ5が回路基板2の一辺と隣接して単独で配置する場合に比べて、さらに回路基板2の大きさを小型化できる。このため、形状が規格化されたメモリカードにおいて、記憶容量が大きく、形状の大きなメモリチップを実装できる。
- [0073] また、第3半導体チップ5と非半導体チップ部品6とを並べて配置することにより、基板電極212の配列領域が制限されるが、第2半導体チップ4の一辺と第3半導体チップ5との対向域101の両側に振り分け配列することで、余分なスペースを設けることなく、必要な数の基板電極212を設けることができる。
- [0074] また、第1半導体チップ3の上面31と第2半導体チップ4の下面42が、少なくとも一部で重ならないように、第2半導体チップ4を振り分け配列した基板電極212の側に寄った位置にずらして固定する。例えば、図7に示すように、第1半導体チップ3に対して、第2半導体チップ4が右斜め上方にずらして固定する。具体的には、第2半導体チップ4は、第1半導体チップ3に対して、図8中において右側にオーバーハングし、図5中において上側にオーバーハングした状態で固定される。これにより、第1半導体チップ3は、回路基板2の基板電極212から十分な距離を確保して配置できる。また、第3半導体チップ5は厚み方向に十分な距離を確保しながら平面視では基板電極212と短い距離で配置して固定できる。この結果、第2半導体チップ4の第2半導体電極411と回路基板2の基板電極212とを接続するワイヤ12の長さを短くできるので、第1半導体チップ3や第2半導体チップ4と基板電極212との電気的な干渉やノイズの影響を防止できる。なお、電気的な影響が少ない場合には、第1半導体チップ3と第2半導体チップ4との位置をずらすことなく、積層して固定してもよい。

- [0075] また、図7と図8に示すように、第2半導体チップ4の下面42と第3半導体チップ5の上面51とを対向させ、対向域101で重なって配置する。このとき、第2半導体チップ4と第3半導体チップ5とを重なった対向域101で固定材8を介して固定する。これにより、第1半導体チップ3からオーバーハングさせた第2半導体チップ4の支持強度が向上し、メモリカード1bの曲げ変形に対する信頼性が向上する。
- [0076] なお、本実施の形態2のメモリカード1aは、実施の形態1のメモリカード1と同様の製造方法で作製できるので、説明を省略する。
- [0077] 以上に説明したように、実施の形態2によれば、実施の形態1と同様の効果が得られる。
- [0078] さらに、実施の形態1のメモリカード1では、回路基板2に直に実装した第1半導体チップ3と第3半導体チップ5の周囲にある一次封止樹脂11を乗り越えて長いワイヤ12により第2半導体電極411と基板電極212とを接続しなければならなかった。そして、ワイヤ12に加わる応力を軽減するため、ワイヤ12の高さも高くする必要があった。しかし、本実施の形態2では、第2半導体チップ4をオーバーハングした状態で、ワイヤ12で接続できるので、ワイヤ12の長さを短くできるとともに、それによって高さも低くできる。その結果、変形や形状のばらつきの少ないワイヤ12を安定してボンディングできるため、ワイヤボンディング工程の品質が向上し低成本で信頼性に優れたメモリカードを作製できる。
- [0079] また、第2半導体チップ4の第1半導体チップ3からのオーバーハングした部分を、一次封止樹脂11や第3半導体チップ5の上面51と固定材8を介して固定することにより、ワイヤボンディング時に生じやすい第2半導体チップ4のオーバーハング部分でのしなりや振動を低減できる。これにより、ワイヤ12と第2半導体電極411とを安定したワイヤ形状で接続できる。さらに、しなりや振動による第2半導体チップ4の、クラックや欠けなどの発生を防止できる。
- [0080] なお、本実施の形態2では、第1半導体チップ3からオーバーハングさせ

た第2半導体チップ4のオーバーハングの端部が第3半導体チップ5の上面51まで到達した例で説明したが、これに限られない。例えば、第1半導体チップ3、第2半導体チップ4と第3半導体チップ5のサイズや配置によって、ワイヤ12の長さを短くできる場合、必ずしも、第2半導体チップ4のオーバーハングの端部を第3半導体チップ5の上面51まで到達させなくてもよい。

[0081] 以上、本発明の各実施の形態について説明してきたが、本発明は上記実施の形態に限定されるものではなく、以下に示すように様々な変更が可能である。

[0082] すなわち、各実施の形態では、第1半導体チップ3と第2半導体チップ4をメモリチップ、第3半導体チップ5をコントロールチップである場合を例に説明したが、これに限らない。例えば、A S I Cなどの他のベアチップを第1半導体チップ3、第2半導体チップ4と第3半導体チップ5として用いてもよい。さらに、第2半導体チップ4の上に別のメモリチップを積層し、ワイヤで回路基板2と接続して、コントロールチップである第3半導体チップ5で、3つのメモリチップを制御する構成としてもよい。

[0083] また、第3半導体チップ5として、情報の記憶と別のメモリチップを制御するメモリ・コントローラ兼用チップを回路基板2に実装してもよい。このとき、半導体チップは、部分的に半導体機能を利用したチップであれば、全体が半導体機能を有するチップでなくてもよい。

[0084] また、各実施の形態では、第1半導体電極33や第3半導体電極53としてのバンプを形成した例で説明したが、これに限られない。例えば、第1半導体電極33や第3半導体電極53に対応する回路基板2の基板電極211上にバンプを形成してもよい。さらに、バンプとして、スタッダードバンプ以外に、ボールバンプやメッキバンプ、はんだバンプなどを用いてもよい。

[0085] また、各実施の形態では、一次封止樹脂11として、N C Fなどを貼り付けた例で説明したが、これに限られない。例えば、非導電性樹脂ペーストの塗布、異方導電性樹脂フィルムや異方導電性樹脂ペーストを用いて一次封止

樹脂を形成してもよい。

[0086] また、各実施の形態では、一次封止樹脂11を第1半導体チップ3と第3半導体チップ5の実装領域に一括で貼り付け、第1半導体チップ3と第3半導体チップ5の回路基板2へ一括して接合する例で説明したが、これに限られない。例えば、一次封止樹脂11を第1半導体チップ3の実装領域と第3半導体チップ5の実装領域に分割して貼り付け、第1半導体チップ3を回路基板2への接合を行った後、第3半導体チップ5を回路基板2へ接合するなど、個別に接合してもよい。

[0087] また、各実施の形態では、樹脂により形成された成型部品からなるカバーを回路基板に取り付ける例で説明したが、これに限られない。必要に応じて、熱可塑性樹脂または熱硬化性樹脂などでカバーを回路基板2上に成形してもよい。ただし、メモリカードの製造をより簡素化するという点から、カバーを成型部品とすることが好ましい。なお、カバーの硬さを低減して安全性を高めるという点から、カバーを熱可塑性樹脂で成形することが好ましい。

[0088] また、各実施の形態では、メモリカードとしてSDカードを例に説明したがこれの限られず、例えばICカードなどの別のカード型記録媒体に適用してもよい。

### 産業上の利用可能性

[0089] 本発明は、情報を記録する、特に小型化や薄型化が要望されるメモリカードなどの技術分野に有用である。

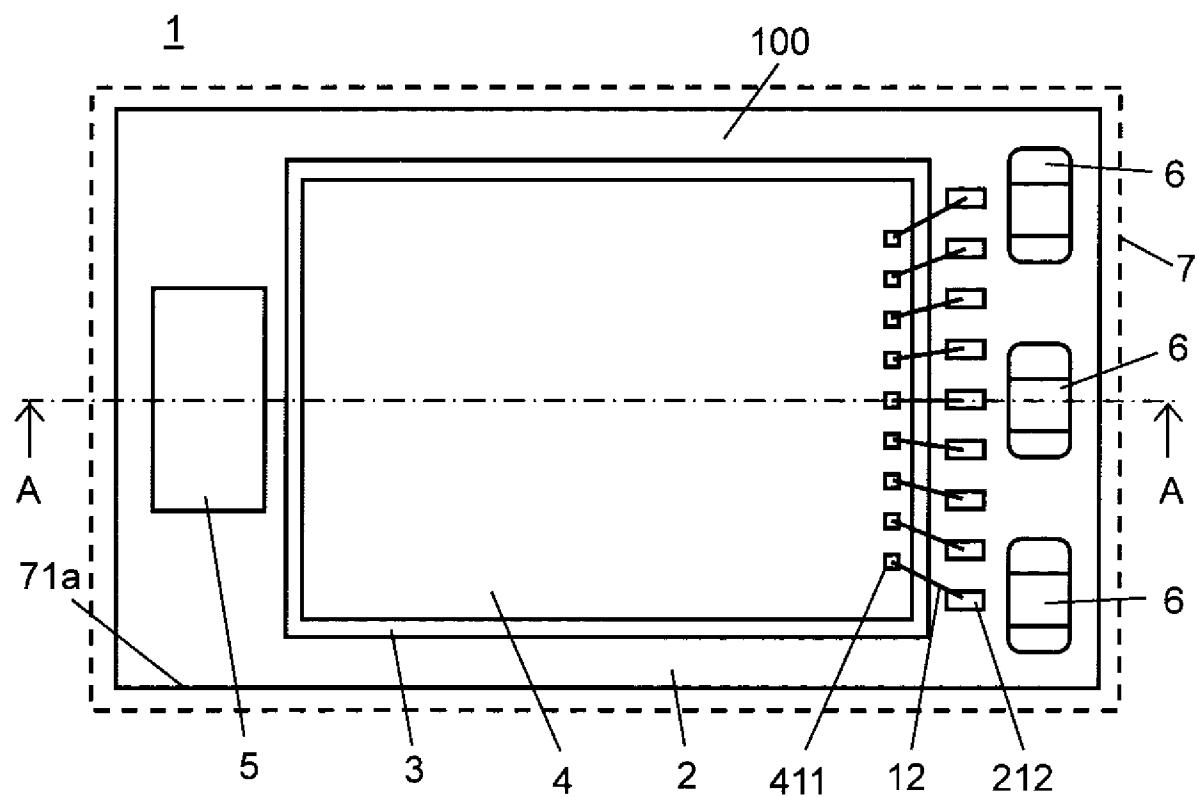
## 請求の範囲

- [1] 少なくとも上面に基板電極と下面に外部電極を有する回路基板と、前記回路基板の前記上面に実装された第1半導体電極を有する第1半導体チップと、前記回路基板の前記上面で前記第1半導体チップの実装された領域と異なる領域に実装された第3半導体電極を有する第3半導体チップと、上面に第2半導体電極を有する第2半導体チップと、前記第2半導体電極と前記基板電極を接続するワイヤと、前記回路基板の前記上面に設けられた前記第1半導体チップ、前記第2半導体チップ、前記第3半導体チップ、前記ワイヤを含む回路形成領域を覆うカバーと、を備え、前記第2半導体チップの下面と前記第1半導体チップの前記上面の少なくとも一部は対面させて固定するとともに、前記第1半導体チップ、前記第2半導体チップ、前記第3半導体チップおよび前記回路基板の少なくとも一部と、前記ワイヤが封止樹脂で覆われていることを特徴とするメモリカード。
- [2] 前記回路基板の前記上面で前記第1半導体チップと第2半導体チップが実装された領域と異なる領域に実装された非半導体チップ部品を、さらに有することを特徴とする請求項1に記載のメモリカード。
- [3] 少なくとも前記第1半導体チップの前記上面と、前記第2半導体チップの前記下面とを固定する固定材を有することを特徴とする請求項1に記載のメモリカード。
- [4] 前記カバーは、熱可塑性樹脂からなり、前記回路基板の前記回路形成領域を収容する凹部を有し、前記凹部の開口を介して前記回路基板に取り付けられていることを特徴とする請求項1に記載のメモリカード。
- [5] 前記凹部は、少なくとも前記第1半導体チップと前記第2半導体チップの一部を収納する第1凹部と、少なくとも前記非半導体チップ部品と前記ワイヤを収納する第2凹部を有することを特徴とする請求項4に記載のメモリカード。

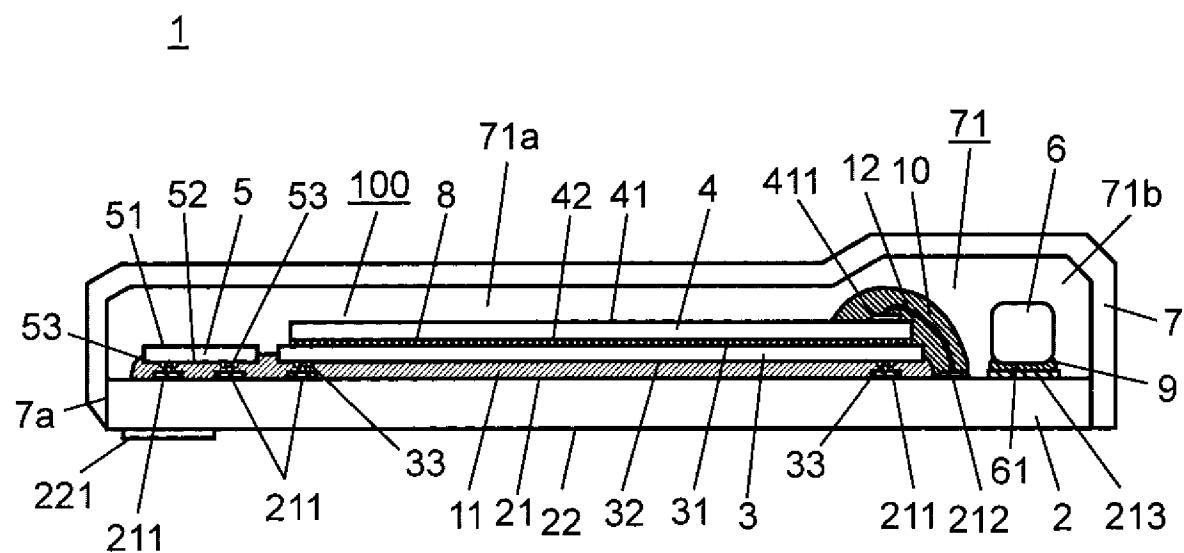
- [6] 前記回路基板の一辺側に前記非半導体チップ部品と前記第3半導体チップとが実装され、前記第2半導体チップの前記第2半導体電極と前記ワイヤで接続される前記基板電極が、前記第3半導体チップと前記第2半導体チップとの対向域の両側に振り分けられて配列されていることを特徴とする請求項1に記載のメモリカード。
- [7] 振り分けられた前記基板電極に対応して、前記第2半導体チップの第2半導体電極が振り分けられて設けられていることを特徴とする請求項6に記載のメモリカード。
- [8] 前記第2半導体チップの前記下面の一部が、前記回路基板の振り分けられた前記基板電極と対向する辺側で、前記第1半導体チップと重ならないことを特徴とする請求項6に記載のメモリカード。
- [9] 前記第2半導体チップの前記下面の一部と、前記第3半導体チップの前記上面の一部が対面して固定されていることを特徴とする請求項6に記載のメモリカード。
- [10] 前記第1半導体チップと前記第2半導体チップが情報を記憶するメモリチップであり、前記第3半導体チップが前記第1半導体チップと前記第2半導体チップを制御するコントロールチップであることを特徴とする請求項1に記載のメモリカード。
- [11] 回路基板の上面に第1半導体チップを実装するステップと、  
前記回路基板の前記上面で前記第1半導体チップが実装された領域と異なる領域に第3半導体チップを実装するステップと、  
第2半導体チップの下面と前記第1半導体チップの前記上面の少なくとも一部とは対面させて固定材で固定するステップと、  
前記第2半導体チップの上面の第2半導体電極と前記回路基板の前記上面の基板電極をワイヤで接続するステップと、  
前記第1半導体チップ、前記第2半導体チップ、前記第3半導体チップおよび前記回路基板の少なくとも一部と、前記ワイヤを封止樹脂で封止するステップと、

前記回路基板の前記上面に設けられた前記第1半導体チップ、前記第2半導体チップ、前記第3半導体チップ、前記ワイヤを含む回路形成領域をカバーで覆うステップと、  
を含むことを特徴とするメモリカードの製造方法。

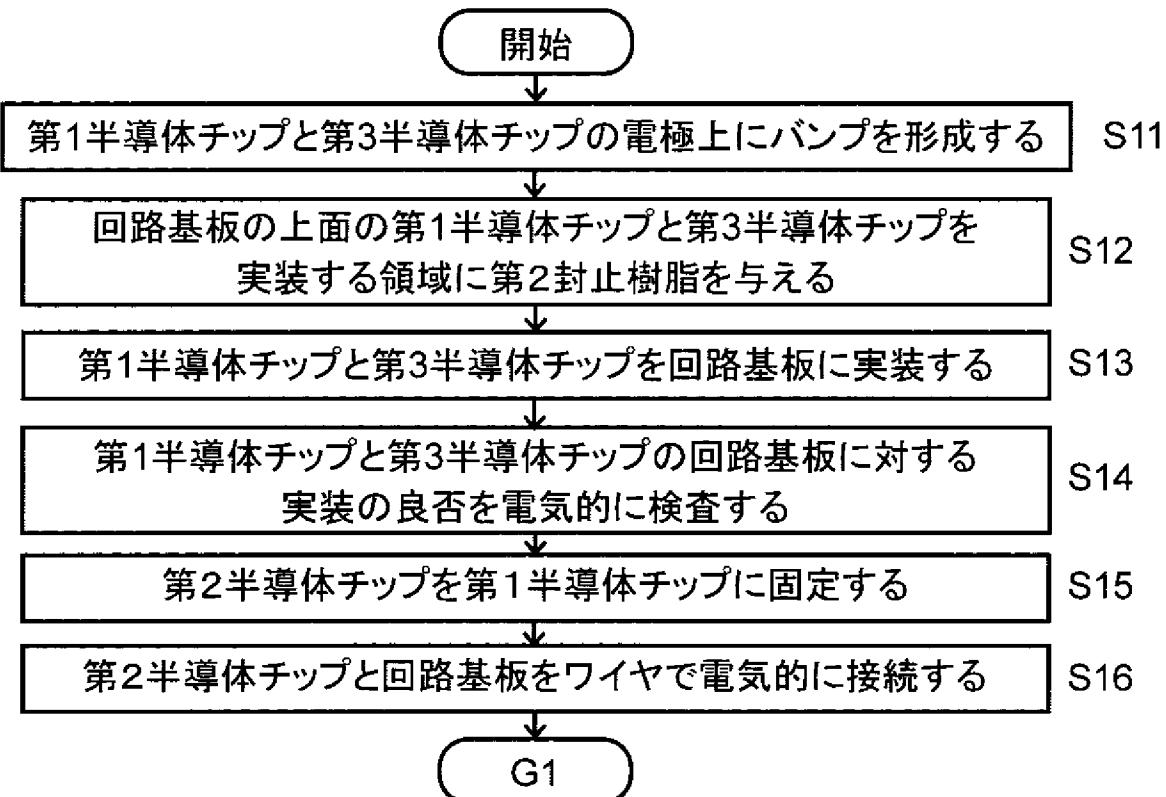
[図1]



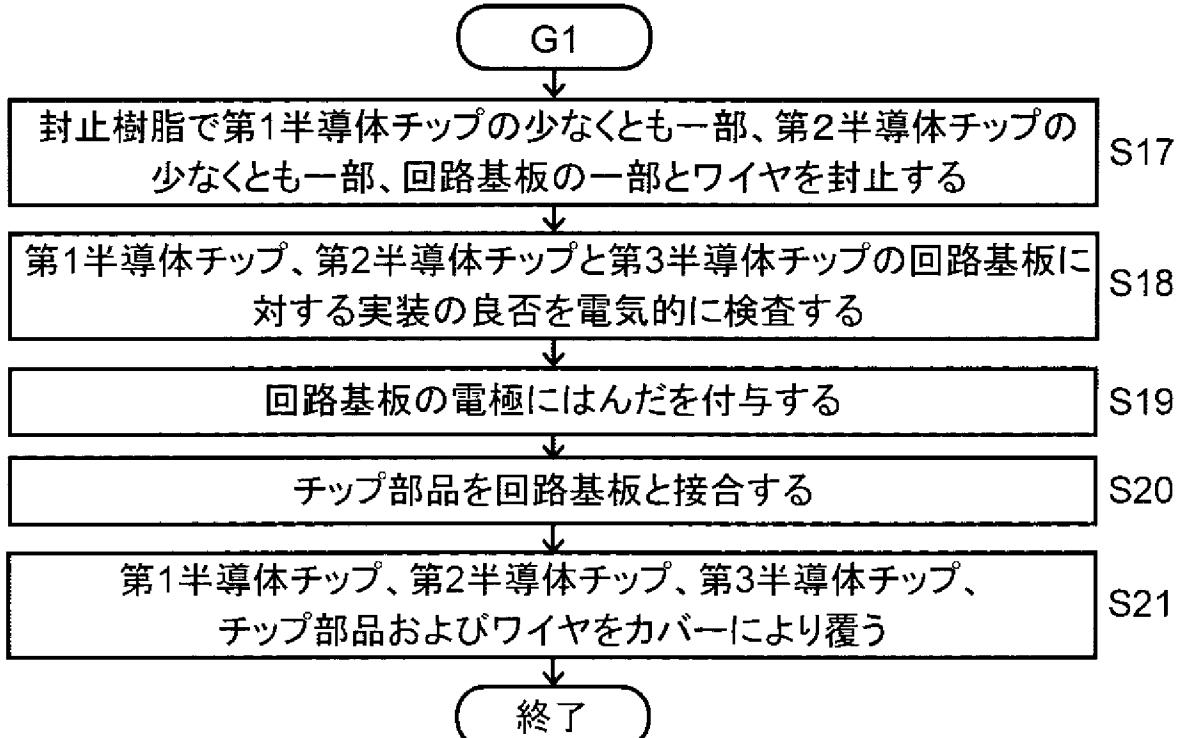
[図2]



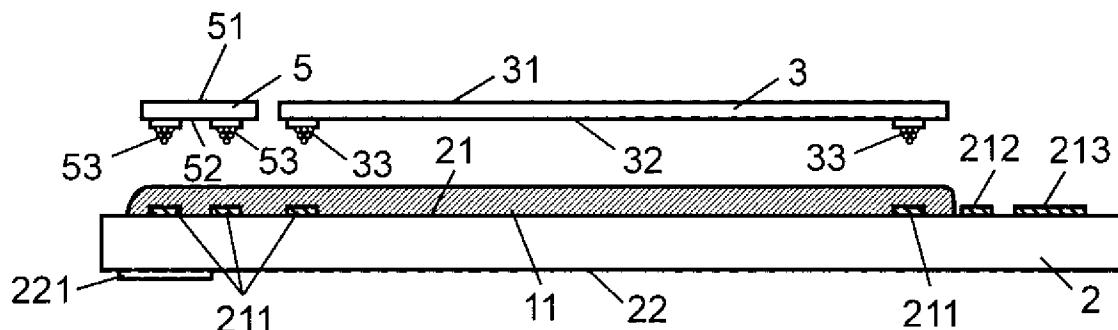
[図3A]



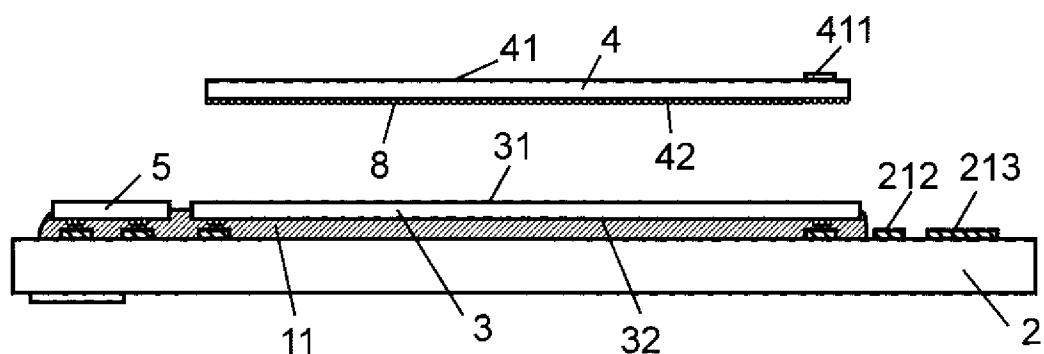
[図3B]



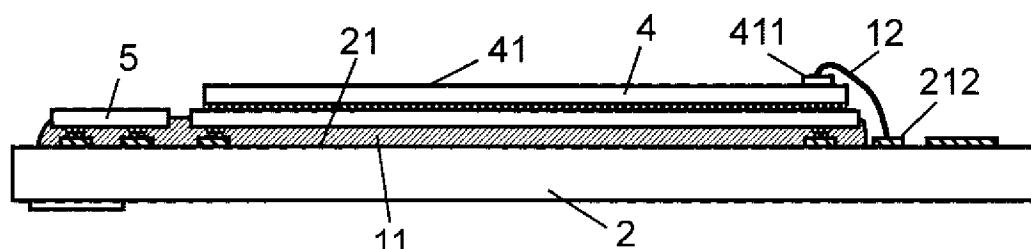
[図4A]



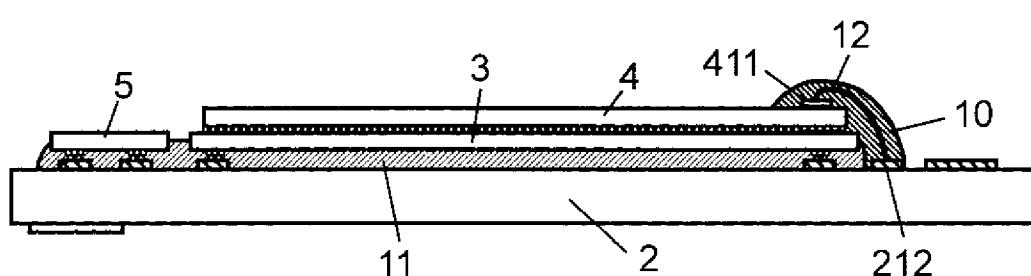
[図4B]



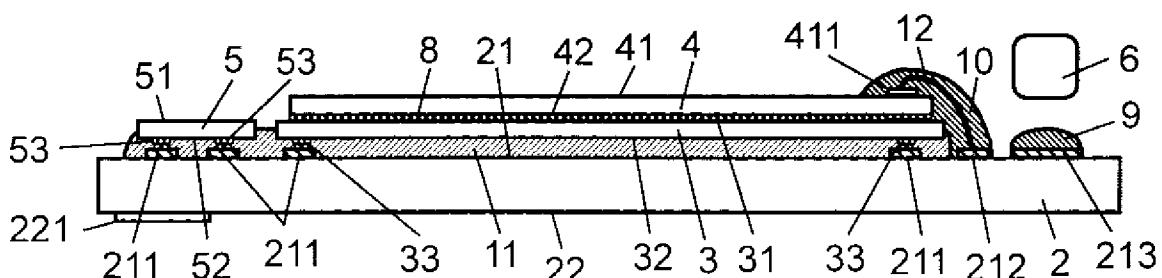
[図4C]



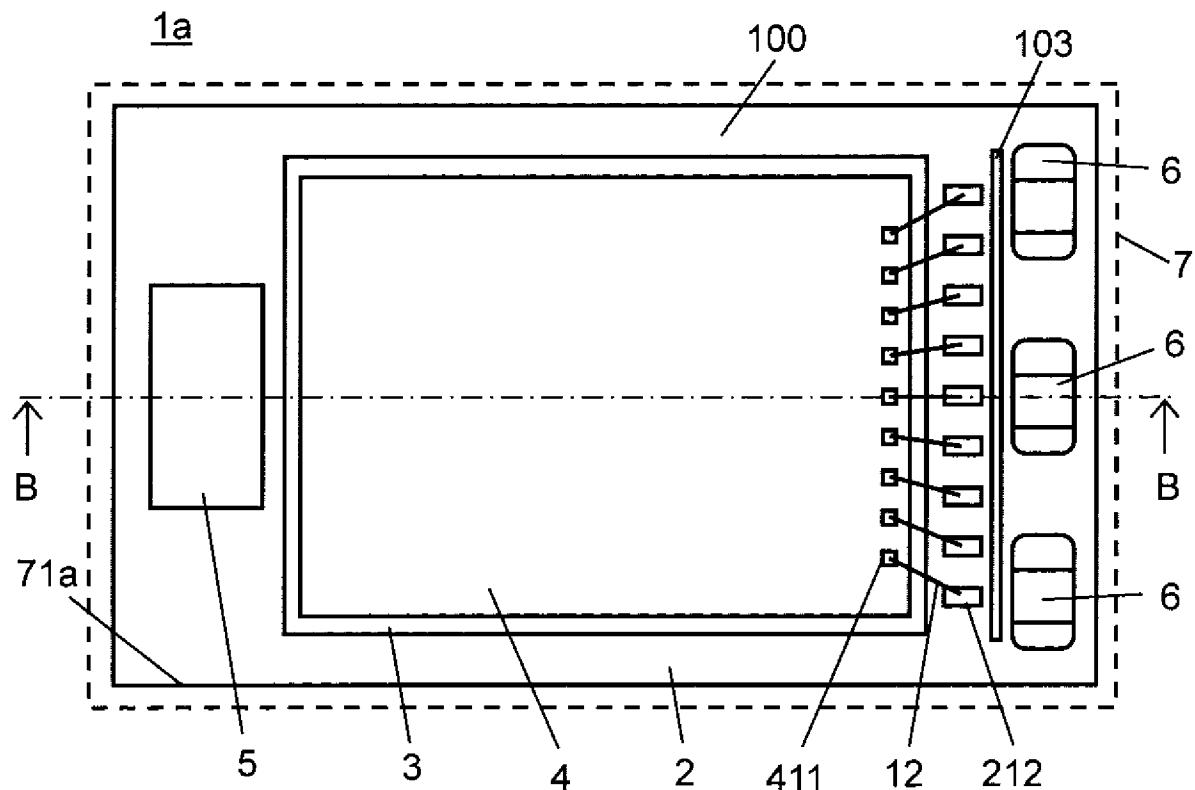
[図4D]



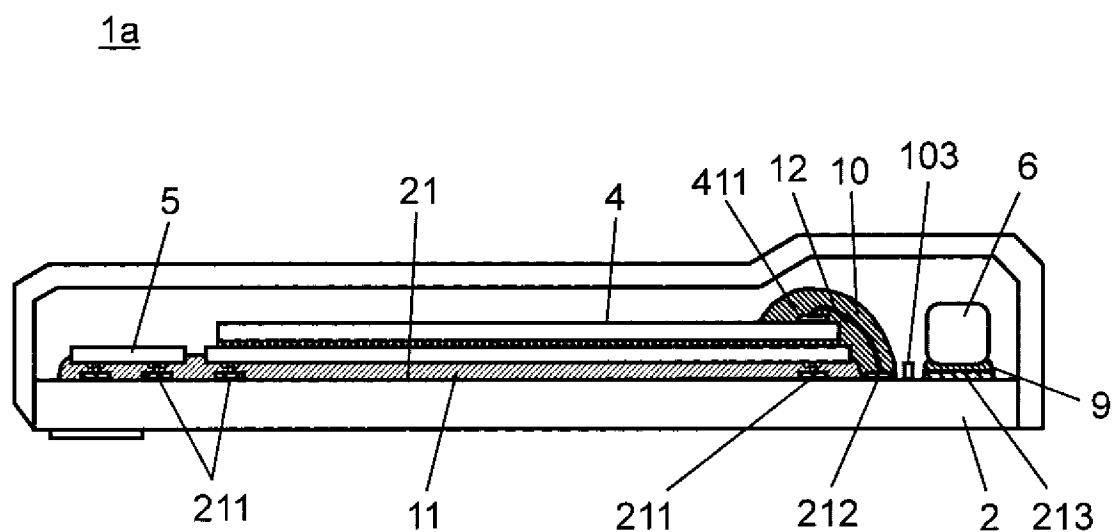
[図4E]



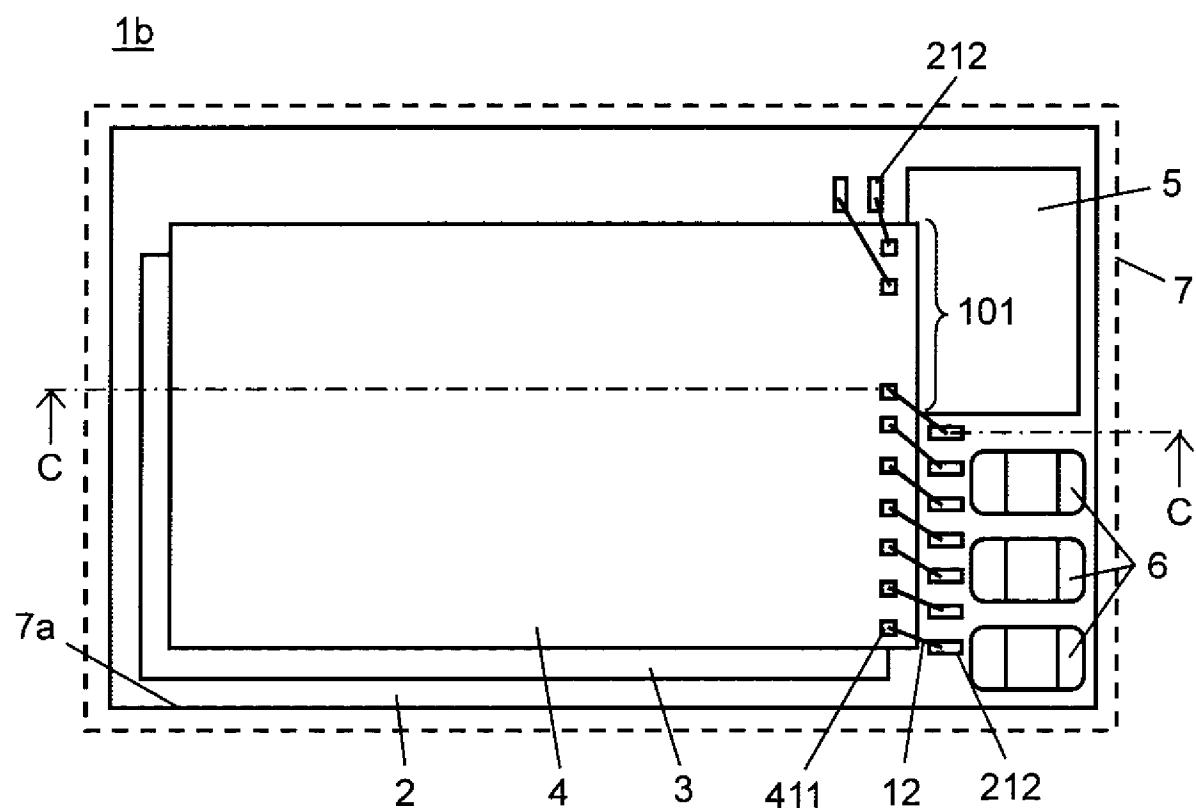
[図5]



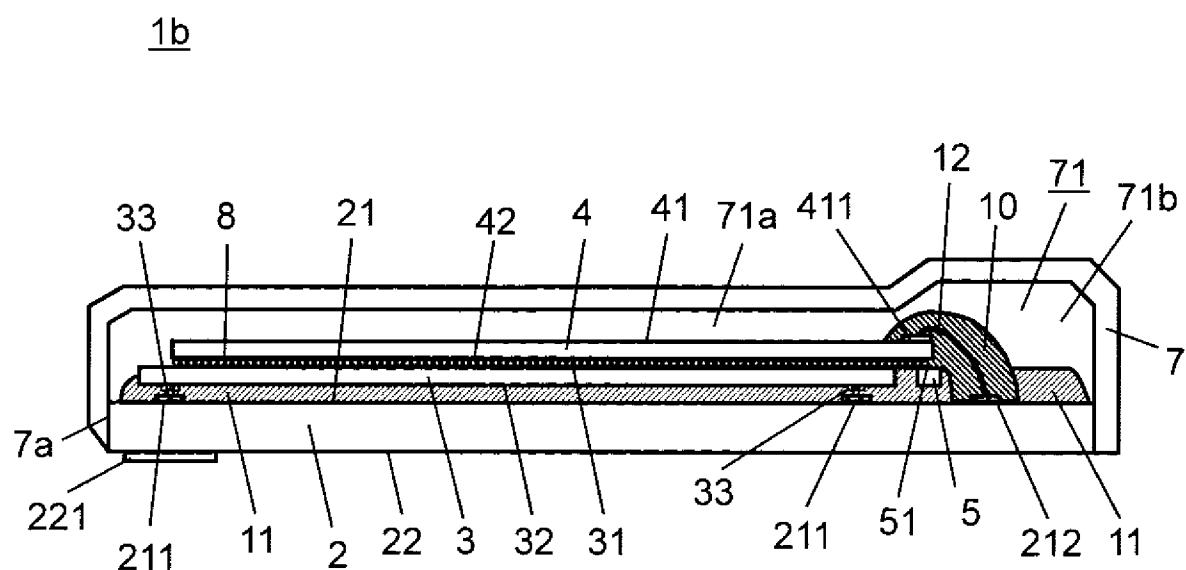
[図6]



[図7]



[図8]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/001301

**A. CLASSIFICATION OF SUBJECT MATTER**

*G06K19/077(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i,  
H01L25/18(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

*G06K19/077, H01L25/065, H01L25/07, H01L25/18*

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	1922-1996	<i>Jitsuyo Shinan Toroku Koho</i>	1996-2008
<i>Kokai Jitsuyo Shinan Koho</i>	1971-2008	<i>Toroku Jitsuyo Shinan Koho</i>	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-119983 A (Renesas Technology Corp.), 11 May, 2006 (11.05.06), Par. Nos. [0015] to [0045]; Figs. 1 to 35 & US 2006/0087016 A1 & KR 10-2006-0054042 A	1-11
A	JP 2007-027287 A (Renesas Technology Corp.), 01 February, 2007 (01.02.07), Full text; all drawings & US 2007/0013083 A1 & KR 10-2007-0009428 A & CN 1897241 A	1-11
A	JP 2004-013738 A (Renesas Technology Corp.), 15 January, 2004 (15.01.04), Full text; all drawings & US 2003/0227075 A1 & KR 10-2004-0014185 A	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
**23 July, 2008 (23.07.08)**

Date of mailing of the international search report  
**05 August, 2008 (05.08.08)**

Name and mailing address of the ISA/  
**Japanese Patent Office**

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2008/001301

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-344587 A (Matsushita Electric Industrial Co., Ltd.), 14 December, 2001 (14.12.01), Full text; all drawings & US 2001/0025721 A1 & TW 244708 B	1-11

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06K19/077 (2006.01)i, H01L25/065 (2006.01)i, H01L25/07 (2006.01)i, H01L25/18 (2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06K19/077, H01L25/065, H01L25/07, H01L25/18

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2006-119983 A (株式会社ルネサステクノロジ) 2006.05.11, 【0015】-【0045】，図1～35 & US 2006/0087016 A1 & KR 10-2006-0054042 A	1-11
A	JP 2007-027287 A (株式会社ルネサステクノロジ) 2007.02.01, 全文，全図 & US 2007/0013083 A1 & KR 10-2007-0009428 A & CN 1897241 A	1-11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  23.07.2008	国際調査報告の発送日  05.08.2008
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 相崎 裕恒 電話番号 03-3581-1101 内線 3586 5N 9290

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-013738 A (株式会社ルネサステクノロジ) 2004.01.15, 全文, 全図 & US 2003/0227075 A1 & KR 10-2004-0014185 A	1 - 1 1
A	JP 2001-344587 A (松下電器産業株式会社) 2001.12.14, 全文, 全図 & US 2001/0025721 A1 & TW 244708 B	1 - 1 1