

發明專利說明書 200423208

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93105148

※ 申請日期：93.2.27,

※IPC 分類：H01L 21/00

壹、發明名稱：(中文/日文)

半導體裝置及其製造方法

半導体装置およびその製造方法

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

岡村 正

OKAMURA, TADASHI

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦1丁目1番1號

1-1, SHIBAURA, 1-CHOME MINATO-KU, TOKYO 105-8001, JAPAN

國 籍：(中文/英文)

日本 JAPAN

參、發明人：(共 1 人)

姓 名：(中文/英文)

清利 正弘

住居所地址：(中文/英文)

日本國神奈川縣相模原市東淵野邊1丁目8-1

國 籍：(中文/英文)

日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2003年02月28日；特願2003-053184

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2003年02月28日；特願2003-053184

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於包含電容，特別是包含MIM(Metal Insulator Metal：金屬-絕緣-金屬)電容之半導體裝置及其製造方法。

【先前技術】

伴隨著通信技術之發達，近年，大量的個人電腦(PC)或掌上型電腦(PDA)與網路連線使用。今後，預測於多數的家用電器產品(錄放影機、冰箱、空調等)亦將與網路連線使用。

以如此多數的機器形成網路之情形，特別是於一般家庭內，並不適用施行於辦公室等將各個機器間以配置LAN線構成網路之方法，認為今後將會以利用無線之無線連接成為主流。因此，認為於今後大部分的LSI晶片將附加RF通信功能。

該種LSI於先前係以複數晶片構成。例如由RF類比裝置(SiGe-BiCMOS等)之晶片與CMOS邏輯裝置之晶片所構成。由於在掌上型電腦等重視小型化，要求上述LSI以RF混載LSI小型化。RF混載LSI係將RF類比裝置與CMOS邏輯裝置單晶片化。

為將RF類比裝置與CMOS邏輯裝置單晶片化，需要整合兩裝置之製造步驟。RF類比裝置係由電阻、電感、電容等構成。CMOS邏輯裝置係由複數CMOS電晶體所構成。因此，為實現RF混載LSI，將產生需要開發新穎的RF-CMOS製程，例如將CMOS邏輯製程作為基礎，於此整合RF類比裝置之製程。

於整合兩製程，首先成為問題的是MIM電容之構造及其製程。其理由如下。

作為在RF混載LSI中的RF類比裝置用之MIM電容之特徵之一，可舉出電容面積大到數百平方微米。因此，電容面積之削減，即，增加單位面積之電容量，對於晶片面積之削減及電路Q值之增加非常重要。

又，RF類比裝置用之MIM電容被要求有良好的配對性。因為，RF類比電路係包含利用對稱電路進行輸出差分之演算電路，以配對使用於該演算電路之電容容量，回應特性需以非常高的精度一致。

為提高面積大的MIM電容之容量密度，以從先前被用於DRAM之電容之將電極3維化增大側邊面積之方法並無效果。其理由如下。

由於DRAM之電容由上所看之面積(S_1)非常小，故將電極3維化增大側邊面積(S_2)之情形 S_2/S_1 之比呈非常高。因此，於DRAM電容之情形，藉由將電極3維化，可容易地增加電容密度。

另一方面，使用於RF混載LSI之電容，與DRAM之電容相比， S_1 非常的大，稍微將 S_2 變大， S_2/S_1 之比並不會變大很多。單只是，藉由將電極加工成柱狀使側邊面積變大，以使 S_2/S_1 之比充分增大，需要數十微米高之電極。但如此高的電極，並不實際。

不使用如此高的電極增大 S_2 之方法，已知有於電極之側面形成細微的凹凸。但是使用具有如此複雜的形狀之電極

之情形，難以實現具有良好的配對性之MIM電容。

不將電極3維化而增加容量密度之其他方法，可考慮將MIM電容之介電質膜材料，由先前所使用之氮氧化矽取代，使用氧化鉭(Ta_2O_5)、氧化鈮(Nb_2O_5)或者鈦酸鋇等高介電常數材料，(例如，專利文獻1、2)。但是，使用該種介電質材料之情形，本發明者發現有後述之問題。

[專利文獻1]

特開2000-183289號公報

[專利文獻2]

特開2000-208720號公報

[發明所欲解決之課題]

如上述，作為增加RF混載LSI中之RF類比裝置用之MIM電容之容量密度之手段，已知有將電極3維化、或者於電極側面形成多數細微凹凸。但是，前者之手法需要數十微米高之電極故不實際，後者之手法難以實現良好的配對性。

本發明係考慮上述情事所進行者，其目的係提供可容易地增加電容密度之MIM電容之半導體裝置及其製造方法。

【發明內容】

[解決課題之手段]

於本案所揭示之發明之中，將具有代表性之概要簡單地說明如下。

即，為達成上述目的，於關於本發明之半導體裝置，具備：半導體基板，及設於前述半導體基板之上方之電容，其特徵在於：前述電容具備：下部電極，其包含金屬；第1

介電質膜，其係設於下部電極之上方，包含氧化鋁或氧化鈮作，於上面含有凸部；上部電極，其包含金屬，且設於前述第1介電質膜之凸部上方；第2介電質膜，其設於前述下部電極與前述第1介電質膜之間，具有較前述第1介電質膜小之介電常數；以及第3介電質膜，其係設於前述第1介電質膜之前述凸部與前述上部電極之間，具有較前述第1介電質膜小之介電常數。

又，關於本發明之半導體裝置之製造方法，其具有：準備半導體基板之步驟；於前述半導體基板之上方，形成包含：含有金屬之下部電極；積層介電質膜；及較前述下部電極小而含有金屬之上部電極之電容之步驟，其特徵在於：前述形成電容之步驟具有：形成成為前述下部電極之第1導電膜之步驟；於前述第1導電膜上，形成包含氧化鋁或氧化鈮之第1介電質膜；形成具有較第1介電質膜2小之介電常數之第2及第3介電質膜，且，將該等介電質膜以前述第2介電質膜、第1介電質膜、前述第3介電質膜之順序於前述第1導電膜上形成之步驟；於前述第3介電質膜上形成成為前述上部電極之第2導電膜之步驟；蝕刻前述第2導電膜，形成前述上部電極之步驟；實施前述第3介電體膜，除去較前述上部電極之側面更外側部分之前述第3介電質膜之步驟；蝕刻前述第1介電質膜，除去由前述第1介電質膜之上面到前述第1介電質膜之中途之部分，且，較前述上部電極之側面更外側部分之前述第1介電質膜之步驟。

本發明之上述以及其他目的與新穎之特徵，應由本說明

書之記載以及附圖可以明瞭。

【實施方式】

首先，說明成為本發明之基礎之發明者之研究結果及討論結果等。

如前述，作為不將電極3維化而增加容量密度之手法，作為MIM電容之介電質膜之材料，可考慮使用氧化鈮、氧化鈳等高介電常數材料。

特別是氧化鈮，可認為是實現低漏電流且高容量密度之電容之最佳材料。作為其理由之一係，氧化鈮即使在非晶狀態仍可呈現30左右之高介電常數。作為其他理由有，氧化鈮之結晶化溫度高達700℃前後(高介電常數材料一般結晶化則漏電流容易增大。)。

然而，根據本發明者之銳意研究，了解到使用氧化鈮或氧化鈳之電容，較使用先前以PECVD(Plasma Enhanced Chemical Vapor Deposition:電漿輔助化學氣相沈積法)法所形成之矽氮化膜(PECVD-SiN膜)之電容，配對性差。

於此，探究其原因之結果，了解到以下原因。

於電容施加電壓，於電容蓄積電荷，則如圖1(a)所示，由上部電極93經由介電質膜92至下部電極91之電力線94之大部分，會成為將上部電極93與下部電極91以最短聯繫之直線，惟於電容之外緣部則電力線94會超出電容之外部。如此之電力線94之超出程度，一般下部電極91較上部電極93大之RF類比電路之MIM電容，較上部電極與下部電極之尺寸大致相等之電容為大。

此種電容之向外部超出之電力線94，會受到電容周圍之電荷或電場、磁場之影響。因此，超出電容外部之電力線94，影響電容之回應。

MIM電容具有數百微米之外周，由周圍所受之影響大。用於類比電路之MIM電容，異於用在數位電路之DRAM電容，被要求線性或配對性之回應性。

因此，此種MIM電容，大大地受到超出電容外部之電力線與電容周圍之電場、磁場之交談之影響，進一步使用上述MIM電容之類比電路特性亦大大地受到上述交談之影響。

當然，關於如此由外部受到擾亂的問題，於使用矽氮化膜作為介電質膜之先前所使用之MIM電容亦存在。

但是，氧化鈮或氧化鋁等高介電常數材料作為MIM電容之介電質膜之材料使用之情形，如圖1(b)所示，電力線94將大大地超出電容之外部(電力線94之密度表示電場之強度。)。於圖1(b)，顯示電容外部之電場到與圖1(a)之與其成為相同強度之處之電力線94。

於此，覆蓋圖2之電容之層間絕緣膜(無圖示)，通常係以 SiO_2 為基礎之絕緣膜，由於該介電數為3~4左右。因此，介電質膜92之介電常數，比上述層間絕緣膜之介電常數大。

電力線94之密度，向與電力線94之方向垂直之方向連續地變化。電力線94之密度可以變化的是，只有上部電極93及下部電極91之表面，或者具有相異介電常數之材料之間之介面(上部電極93/介電質膜92、介電質膜92/下部電極

91)。

因此，使用氧化鉭等之高介電常數材料之情形，由電場之連續性，電場，即由於電力線94容易超出電容外部，入射於圖1(b)之介電質膜92附近之電力線94之密度非常高。此為，招致使用高介電常數膜之MIM電容之配對性惡化。

於介電質材料使用氧化鉭或氧化鈮之MIM電容，於電極材料使用白金之情形，可得非常低的漏電流。

但是，於該種MIM電容，於介電質材料使用氧化鉭或氧化鈮之情形，發現由於上部/下部電極之電極材料會還原氧化鉭或氧化鈮，產生難以實現低漏電流之新問題。

以下，參照圖面，說明可以解決上述問題之關於本發明實施形態之高容量密度MIM電容。

(第1實施形態)

於圖2，表示作為高介電質材料使用氧化鉭或氧化鈮之關於本發明之第1實施形態之MIM電容之構造及電力線。於圖2，僅顯示MIM電容之一邊半部。又，MIM電容係形成於係基板之上方，於矽基板與MIM電容之間，形成有例如，未示於圖之多層導線層、半導體元件等。

本實施形態之MIM電容，具備：第1介電質膜2，其係設於下部電極1，與下部電極1之上方，以氧化鉭或氧化鈮作為主成分，於中央部含有凸部；上部電極3，其係設於第1介電質膜2之凸部上方；第2介電質膜4，其設於下部電極1與第1介電質膜2之間，具有較第1介電質膜2小之介電常數；以及第3介電質膜5，其係設於上部電極3與第1介電質

膜2之凸部之間，具有較第1介電質膜2小之介電常數。

下部電極1與上部電極3之材料為，例如氮化鈦或者氮化鉬。第1介電質膜2之材料為，例如氧化鉬或氧化鈮(介電常數均約為30)。

下部電極1與上部電極3之材料為，例如氮化鈦或者氮化鉬之情形，第1及第3介電質膜2、5之材料，以氧化鋁(Al_2O_3)、氮化矽、氧化鈣及氧化鋅之至少一種為佳。其理由如下。

上述介電質材料，不與氮化鈦及氮化鉬反應。因此，使用上述介電質材料之情形，下部電極1與第2介電質膜4之介面，上部電極3與第3介電質膜5之介面可以形成良好的蕭特基障壁。藉此，可以圖謀漏電流之減低。

又，上述介電質材料之介電常數為7.5~20，較氧化鉬及氧化鈮之介電數低，較 SiO_2 系之層間絕緣膜之介電常數(3~3.9)大。因此，適於實現本實施形態之效果。

具有如此構造之MIM電容，藉由如下步驟而得，例如，於下部電極1(第1導電膜)上，依序沈積第2介電質膜4、第1介電質膜2、第3介電質膜5、上部電極3(第2導電膜)，其後，依序蝕刻上部電極3、第3介電質膜5、第1介電質膜2。

此時，上部電極3及第3介電質膜5之周緣部全由蝕刻去除，惟第1介電質膜2之周邊部僅蝕刻去除到中途之深度。

又，第2介電質膜4完全不蝕刻。因此，可以防止因於蝕刻上部電極3、第3介電質膜5及第1介電質膜2，特別是蝕刻第1介電質膜2時對第2介電質膜4之損傷為起因之漏電流之

增加。

為減低漏電流，盡量使上部電極3較下部電極1小，使上部電極3之側面與下部電極1之側面之間之距離大為有效。當使上部電極3變小則電荷之蓄積量會減少，惟藉由使用氧化鈮或氧化鋇作為高介電質材料，故可確保蓄積量。而且，根據本實施形態，如以下所說明，即使利用氧化鈮或氧化鋇亦可抑制配對性之惡化。

本實施形態之MIM電容，如圖2所示，較示於圖1(b)之MIM電容，可抑制超出MIM電容外部之電力線6。因此，可以抑制MIM電容周邊之電場或磁場之交談。上述電場或磁場，係由例如MIM電容周圍之導線等所產生。

示於圖2之電力線6之分布(電場分布)，係於第1介電質膜2之材料使用氧化鈮、第1及第3介電質膜2、5之材料使用氧化鋁之情形者。

抑制電力線6超出MIM電容外部之理由係，電場於MIM電容側面需具有連續性(於圖2電力線6之密度需相等。)其結果，電力線6，被封入第2介電質膜4中。

又，本實施形態之情形，由於上部電極3與第1介電質膜2之間，設有第1介電質膜2之介電常數之一半程度以下(<15)之第3介電質膜5，減少了上部電極3附近之介電常數。

其結果，由電場之連續性，較上部電極3直接設於第1介電質膜2之情形(圖1(b))，可以抑制通過第1介電質膜2之電力線6之滲出(圖2)。此亦為抑制電力線6超出MIM電容之外部(電場之滲出)之理由之一。

惟，於上部電極3與第1介電質膜2之間設，較第1介電質膜2介電常數低之第3介電質膜5，由MIM電容之觀點係損失，因此第3介電質膜5之膜厚薄為佳。

又，如圖3所示，於裝置中之MIM電容上，一般沈積較第1介電質膜2介電常數小之層間絕緣膜7。其結果，於第1介電質膜2之凸部周圍以較其介電常數小之層間絕緣膜(第4介電質膜)7包圍。藉此，上部電極3附近之介電常數變小，抑制超出電容外部之電力線(電場之滲出)。

如此根據本實施形態，用氧化鉭膜或氧化鈮膜作為介電質膜，可以抑制惡化配對性之原因之電力線6(電場之滲出)超出MIM電容外部。

因此，根據本實施形態，可實現高配對性、低漏電流及高容量密度之MIM電容。藉此，可使被預測將搭載於今後所有機器之RF混載LSI晶片之面積小，從而可以實現上述機器之小型化。

再者，於本實施形態，雖第2介電質膜4，直接與下部電極1及第1介電質膜2相接，惟亦可介由其他膜間接地接觸。同樣地，第3介電質膜5，直接與上部電極3及第1介電質膜2相接，惟亦可介由其他膜間接地接觸。

(第2實施形態)

圖4及圖5係表示包含關於本發明之第2實施形態之MIM電容之半導體裝置之製造步驟之剖面圖。

上述MIM電容之上部電極及下部電極，係藉由濺鍍法形成之氮化鈦。又，上述MIM電容之介電質膜，係包含：藉

由反應性濺鍍法形成之下部氧化鋁膜(第2介電質膜)；於下部氧化鋁膜上藉由反應性濺鍍法形成氧化鉭膜(第1介電質膜)；於上述氧化鉭膜上藉由反應性濺鍍法形成上部氧化鋁膜(第3介電質膜)之積層介電質膜。

以下詳細說明本實施形態之MIM電容之製造方法。

圖4(a)係表示，習知之包含MOS電晶體、元件隔離區域、多層導線層之矽基板。於本實施形態，於圖4(a)之多層導線層上製造MIM電容。

本實施形態之MIM電容，係例如類比電路用之電容、特別是包含RF電路之類比電路(例如，RF收信部之濾波器)用之電容。上述RF電路係RF混載LSI中之電路。

圖4(a)所示習知構造，藉由習知之標準的邏輯製程所形成。以下，簡單說明為形成圖4(a)之構造之步驟。

首先，於矽基板11上，形成元件隔離區域(STI)12、閘極電極部(閘極絕緣膜、閘極電極、閘極上部絕緣膜、閘極側壁絕緣膜)13、源極/汲極區域14，其後，於基板之全面沈積層間絕緣膜15，平坦化裝置面之表面。源極/汲極區域14，係具有LDD構造者，惟圖中省略LDD構造。

其次，蝕刻層間絕緣膜15，形成接觸孔，其後，於該接觸孔內形成插塞16。

其次，依序於基板之全面上形成矽氮化膜17、層間絕緣膜18，蝕刻層間絕緣膜18、矽氮化膜17開介層孔，其後，藉由雙鑲嵌製程，於上述介層孔內形成阻障金屬膜19、導線及插塞(DD導線)20。如此地得到第1層之金屬導線層。阻

障金屬膜19係例如氮化鈦膜，DD導線20為例如Cu-DD導線。又，於各DD導線步驟，係藉由例如電鍍法於導線溝及連接孔內部進行埋入金屬之步驟。

其後，藉由與第1層金屬導線層同樣的方法，藉由形成矽氮化膜21、層間絕緣膜22、阻障金屬膜23、DD導線24、矽氮化膜25、層間絕緣膜26、阻障金屬膜27、DD導線28、矽氮化膜29，得到第2層金屬導線層、第3層金屬導線。

其次，如圖4(b)所示，於矽氮化膜29上，以濺鍍法依序形成成為下部電極之鈦膜30、氮化鈦膜31。鈦膜30，經由開口於矽氮化膜29中之接觸孔及於該接觸孔內形成之插塞，與上述多層導線層電性連接。上述插塞為，例如，藉由雙鑲嵌製程，與鈦膜30同時形成之鈦插塞。

其次，藉由使用鋁金屬靶之反應性濺鍍法，如同圖(b)所示，於氮化鈦膜31上形成由氧化鋁所成之第2介電質膜(以下，於本實施形態，稱為下部氧化鋁膜。)32。製程氣體為Ar與O₂之混合氣體，成膜溫度為室溫，Ar/O₂流量比為1.5，濺鍍功率為1.8 kW。濺鍍裝置為使用DC型者。下部氧化鋁膜32之膜厚為3 nm。

其次，藉由使用鉮金屬靶之反應性濺鍍法，如同圖(b)所示，於下部氧化鋁膜32上形成由氧化鉮所成之第1介電質膜(以下，於本實施形態，稱為氧化鉮膜。)33。製程氣體為Ar與O₂之混合氣體，成膜溫度為200℃，Ar/O₂流量比為1.3，濺鍍功率為1 kW。濺鍍裝置為使用DC型者。氧化鉮膜33之膜厚為30 nm，介電常數為25。

其次，如同圖(b)所示，以反應性濺鍍法於氧化鉬膜33上形成由氧化鋁所成之第3介電質膜(以下，於本實施形態，稱為上部氧化鋁膜。)34，接著，不打破真空，連續地藉由濺鍍法於上部氧化鋁膜34上形成成為上部電極之氮化鈦膜35，其後，藉由PECVD法，於氮化鈦膜35之上形成矽氮化膜36。上部氧化鋁膜34之條件係與下部氧化鋁膜32相同。氧化鋁34之膜厚為8 nm。

其次，如圖4(c)所示，於矽氮化膜36上形成光阻圖案37，以光阻圖案37作為掩膜蝕刻矽氮化膜36，將光阻圖案37轉印至矽氮化膜36。其後藉由去光阻去除光阻圖案37。

其次，如圖4(d)所示，以矽氮化膜36作為掩膜，使用氟系蝕刻氣體之RIE製程蝕刻氮化鈦膜35，接著，將氟系蝕刻氣體變更為氯系蝕刻氣體，以RIE製程蝕刻上部氧化鋁膜34，進一步，將氯系蝕刻氣體變更為氟系蝕刻氣體與氧氣之混合氣體，將氧化鉬膜33以指定時間之RIE製程蝕刻5 nm左右。藉此，可得特定形狀之上部電極35及於上部電極35下方具有凸部之氧化鉬膜33。

其次，如圖5(a)所示，矽氮化膜36及氧化鉬膜33上形成光阻圖案38，其後，以光阻圖案38作為掩膜藉由RIE製程依序蝕刻氧化鉬膜33、下部氧化鋁膜32、氮化鈦膜31、鈦膜30，得到特定形狀之氧化鉬膜33、下部氧化鋁膜32及下部電極30、31。其後藉由去光阻去除光阻圖案38。

於以上之步驟，完成MIM電容之基本構造。其後，如圖5(b)所示，於基板之全面形成層間絕緣膜39，而接著形成上

部電極35之引出電極40₁及下部電極31之引出電極40₂之步驟等習知步驟。於圖6，表示經由以上之製造步驟所得本實施形態之半導體裝置之剖面圖。

引出電極40₁、40₂之具體製程係如下，首先，藉由微影製程及RIE製程，蝕刻形成分別連通層間絕緣膜39、矽氮化膜36、氧化鉭膜33、下部氧化鋁膜32形成分別連通，上部電極35、下部電極31及多層導線層之第1、第2及第3接觸孔。於上述RIE製程，使用氟系蝕刻氣體。

其次，埋入第1、第2及第3之接觸孔內的方式，藉由濺鍍法於基板之全面上形成鋁膜，其後，藉由微影製程及RIE製程加工得到引出電極40₁、40₂。

於此，層間絕緣膜39之介電常數以低於氧化鉭膜33之介電常數為佳。通常，於層間絕緣膜39，使用所謂被稱為low-k膜之低介電常數膜，因此可以滿足上述要件。

當層間絕緣膜39形成於基板之全面上，則於氧化鉭膜33之凸部周邊上形成層間絕緣膜39，氧化鉭膜33之凸部之周圍以較其介電常數低之層間絕緣膜39包圍。其結果，上述電極36附近之介電常數變小，可抑制電力線超出電容外部(電場之滲出)。

本實施形態之MIM電容之容量為， $3.5 \text{ fF}/\mu\text{m}^2$ 。於本實施形態，與第1實施形態相同地，可實現高配對性、低漏電流及高容量密度之MIM電容。藉此，可使被預估將搭載於今後所有機器之RF混載LSI晶片之面積小，從而可以實現上述機器之小型化。

本發明者，準備如圖7所示之七個MIM電容作為比較例(reference)。於比較例1~7之MIM電容，相當於本實施形態之MIM電容之部分，付予與本實施形態之MIM電容相同之參照符號。又，為求簡單省略矽氮化膜29、層間絕緣膜39及引出電極40₁、40₂。

比較例1(圖7(a))係作為介電質膜使用一個氧化鋇膜之電容，即係由本實施形態之MIM電容去除下部及上部氧化鋁膜32、34之MIM電容。

比較例2(圖7(b))係由本實施形態之MIM電容去除下部及上部氧化鋁膜32、34者，且係具備於上部電極35之下方沒有凸部之平坦的氧化鋇膜33之MIM電容。

比較例3(圖7(c))係作為介電質膜，使用氧化鋇膜，及僅於氧化鋇膜與上部電極之間設氧化鋁膜之電容，即係由本實施形態之MIM電容去除下部氧化鋁膜32之MIM電容。

比較例4(圖7(d))係由本實施形態之MIM電容去除下部氧化鋁膜32之MIM電容者，且係具備於上部電極35之下方沒有凸部之平坦的氧化鋇膜33之MIM電容。

比較例5(圖7(e))係作為介電質膜，使用氧化鋇膜，及僅於氧化鋇膜與下部電極之間設氧化鋁膜之電容，即係由本實施形態之MIM電容去除上部氧化鋁膜34之MIM電容。

比較例6(圖7(f))係由本實施形態之MIM電容去除上部氧化鋁膜34之MIM電容者，且係具備於上部電極35之下方沒有凸部之平坦的氧化鋇膜33之MIM電容。

比較例7(圖7(g))係除了具備於上部電極35之下方沒有凸

部之平坦的氧化鉬膜33之MIM電容之外，與本實施形態相同之MIM電容。

比較例1~6之氧化鉬膜33之膜厚，以使比較例1~6之電容量與本實施形態之電容量相同的方式選擇。比較例7之氧化鉬膜33之膜厚，與本實施形態之氧化鉬膜33之膜厚相同。

於表1表示，對於比較例1~7及本實施形態之MIM電容，以電容之配對性(3σ 匹配)之值，及以 100°C 施加條件 $\pm 3.6\text{V}$ 評價漏電流之值。

[表1]

	凸部	3σ matching	漏電流[+3.6V]	漏電流[-3.6V]
比較例1(Ta_2O_5)	有	$3.1\%\mu\text{m}^2$	$2.7\text{E}-6\text{A}/\text{mm}^2$	$3.2\text{E}-6\text{A}/\text{mm}^2$
比較例2(Ta_2O_5)	無	$6.6\%\mu\text{m}^2$	$8.2\text{E}-7\text{A}/\text{mm}^2$	$9.5\text{E}-7\text{A}/\text{mm}^2$
比較例3($\text{Ta}_2\text{O}_5/\text{Al}_2\text{O}_3$)	有	$2.9\%\mu\text{m}^2$	$2.8\text{E}-11\text{A}/\text{mm}^2$	$1.5\text{E}-9\text{A}/\text{mm}^2$
比較例4($\text{Ta}_2\text{O}_5/\text{Al}_2\text{O}_3$)	無	$6.5\%\mu\text{m}^2$	$2.9\text{E}-11\text{A}/\text{mm}^2$	$2.1\text{E}-10\text{A}/\text{mm}^2$
比較例5($\text{Al}_2\text{O}_3/\text{Ta}_2\text{O}_5$)	有	$1.8\%\mu\text{m}^2$	$1.5\text{E}-9\text{A}/\text{mm}^2$	$2.3\text{E}-9\text{A}/\text{mm}^2$
比較例6($\text{Al}_2\text{O}_3/\text{Ta}_2\text{O}_5$)	無	$3.8\%\mu\text{m}^2$	$2.1\text{E}-10\text{A}/\text{mm}^2$	$2.8\text{E}-11\text{A}/\text{mm}^2$
實施形態 ($\text{Al}_2\text{O}_3/\text{Ta}_2\text{O}_5/\text{Al}_2\text{O}_3$)	有	$1.4\%\mu\text{m}^2$	$8.2\text{E}-12\text{A}/\text{mm}^2$	$8.8\text{E}-12\text{A}/\text{mm}^2$
比較例7 ($\text{Al}_2\text{O}_3/\text{Ta}_2\text{O}_5/\text{Al}_2\text{O}_3$)	無	$4.4\%\mu\text{m}^2$	$8.1\text{E}-12\text{A}/\text{mm}^2$	$8.5\text{E}-12\text{A}/\text{mm}^2$

由表1，使用表面為平坦之氧化鉬膜33之MIM電容(比較例1)，與使用於上部電極35之下方具有凸部之氧化鉬膜33之MIM電容(比較例3、5、實施形態)相比，可知配對性差。

又，不是氧化鋁膜32/氧化鉬膜33/氧化鋁膜34之3層構造(實施形態)，而為氧化鉬膜33之單層構造、或以氧化鉬膜33與氧化鋁膜32(或氧化鋁膜34)之2層構造之情形、使用於上部電極35之下方具有凸部之氧化鉬膜33之情形(比較例1、

3、5)可知均可得到良好的配對性。但是，漏電流與本實施形態相比反映出氧化鉬膜33與氮化鈦膜31(或氮化鈦膜35)之反應而差。

又，使用僅於下部電極設氧化鋁膜之2層構造之電容介電質膜之情形(比較例3)，雖漏電流顯示某種程度的低值，但僅於上部電極，設氧化鋁膜之2層構造之電容介電質膜之情形(比較例5)，與比較例3相比可知漏電流大。

該理由可認為如下，使用於上部電極35之下方具有凸部之氧化鉬膜33之電容之製造製程，包含藉由RIE製程蝕刻之氧化鉬膜33之步驟(圖4(d))。於此時之步驟，於氧化鉬膜33中產生缺陷，氧化鉬膜33之絕緣性大幅地降低。認為如此之絕緣性降低為增加漏電流之原因。因此，了解到於電容之至少下部電極側需要夾氧化鋁膜等介電質膜。

又，使用於上部電極35之下方具有凸部之氧化鉬膜33之情形，亦可知與上部電極35接觸之介電質膜為氧化鋁膜34之情形(比較例5、實施形態)之方，較與上部電極35接觸之介電質膜為氧化鉬膜33之情形(比較例1、3)可得良好的配對性。

因此，可知上部電極35與氧化鉬膜33之間，設介電常數較氧化鉬小之材料所成之介電質膜，不僅可抑制漏電流，於實現良好的配對性亦有效。

(第3實施形態)

本實施形態之MIM電容與第2之實施形態相異之點係，使用氧化鋯(ZrO_2)膜作為第2及第3之介電質膜，使用氧化鈮作

為第1介電質膜。

本實施形態之MIM電容與第2實施形態之MIM電容具有相同構造，故參照用於說明第2實施形態之圖4及圖5，說明本實施形態之包含MIM電容之半導體裝置之製造方法。

首先，如圖4(a)所示，以習知製程形成包含MOS電晶體、元件隔離區域、多層導線層之矽基板。

其次，如圖4(b)所示，於矽氮化膜29上，以濺鍍法依序形成成為下部電極之鈦膜30、氮化鈦膜31。至此與第2實施形態相同。

其次，藉由使用鋁金屬靶之反應性濺鍍法，如同圖(b)所示，於氮化鈦膜31上形成由氧化鋁所成之第2介電質膜(以下，於本實施形態，稱為下部氧化鋁膜。)32。製程氣體為Ar與O₂之混合氣體，成膜溫度為300℃，Ar/O₂流量比為1.00，濺鍍功率為1.0 kW。濺鍍裝置為使用DC型者。下部氧化鋁膜32之膜厚為9 nm，介電常數為18。

其次，藉由使用鈦金屬靶之反應性濺鍍法，如同圖(b)所示，於下部氧化鋁膜32上形成由氧化鈦所成之第1介電質膜(以下，於本實施形態，稱為氧化鈦膜。)33。製程氣體為Ar與O₂之混合氣體，成膜溫度為300℃，Ar/O₂流量比為1.3，濺鍍功率為1 kW。濺鍍裝置為使用DC型者。氧化鈦膜33之膜厚為36 nm，介電常數為18。

其次，以反應性濺鍍法，如同圖(b)所示，於氧化鈦膜33上形成由氧化鋁所成之第3介電質膜(以下，於本實施形態，稱為上部氧化鋁膜。)34，接著，不打破真空，連續地

藉由濺鍍法於上部氧化鋅膜34上形成成為上部電極之氮化鈦膜35，其後，藉由PECVD法，於氮化鈦膜35之上形成矽氮化膜36。上部氧化鋅膜34之條件係與下部氧化鋅膜32相同。氧化鋅34之膜厚為15 nm。

其次，如圖4(c)所示，於矽氮化膜36上形成光阻圖案37，以光阻圖案37作為掩膜蝕刻矽氮化膜36，將光阻圖案37轉印至矽氮化膜36。其後藉由去光阻去除光阻圖案37。

其次，如圖4(d)所示，以矽氮化膜36作為掩膜，使用氟系蝕刻氣體之RIE製程蝕刻氮化鈦膜35，接著，將氟系蝕刻氣體變更為氯系蝕刻氣體，以RIE製程蝕刻上部氧化鋅膜34，進一步，將氯系蝕刻氣體變更為氟系蝕刻氣體與氧氣之混合氣體，將氧化鋁膜33以指定時間之RIE製程蝕刻5 nm左右。藉此，可得特定形狀之上部電極35及於上部電極35下方具有凸部之氧化鋁膜33。

其次，如圖5(e)所示，矽氮化膜36及氧化鋁膜33上形成光阻圖案38，其後，以光阻圖案38作為掩膜藉由RIE製程依序蝕刻氧化鋁膜33、下部氧化鋅膜32、氮化鈦膜31、鈦膜30，得到特定形狀之氧化鋁膜33、下部氧化鋅膜32及下部電極30、31。其後藉由去光阻去除光阻圖案38。

於以上之步驟，完成MIM電容之基本構造。其後，如圖5(f)所示，於基板之全面形成層間絕緣膜39，而接著形成上部電極35之引出電極40₁及下部電極31之引出電極40₂之步驟等習知步驟。由以上製造方法所得本實施形態之半導體裝置之製造步驟之剖面圖，與表示第2實施形態之半導體裝

置之製造步驟之剖面之圖6相同。

引出電極 40_1 、 40_2 之具體製程係如下，首先，藉由微影製程及RIE製程，蝕刻形成分別連通層間絕緣膜39、矽氮化膜36、氧化鈮膜33、下部氧化鋅膜32形成分別連通，上部電極35、下部電極31及多層導線層之第1、第2及第3接觸孔。於上述RIE製程，使用氟系蝕刻氣體。

其次，埋入第1、第2及第3之接觸孔內的方式，藉由濺鍍法於基板之全面上形成鋁膜，其後，藉由微影製程及RIE製程加工得到由上述鋁膜所成之引出電極 40_1 、 40_2 。

本實施形態之MIM電容之容量為， $3.5 \text{ fF}/\mu\text{m}^2$ 。又，評價本實施形態之MIM電容之配對性，以 3σ 匹配得到 $2.1\%\mu\text{m}^2$ 之值，得到與第2實施形態同樣的良好結果。因此，於本實施形態亦可與第1實施形態同樣地實現，高配對性、低漏電流及高容量密度之MIM電容。藉此，可使被預估將搭載於今後所有機器之RF混載LSI晶片之面積小，從而可以實現上述機器之小型化。

(第4實施形態)

本實施形態之MIM電容與第2實施形態相異之點係，使用氧化鉭(Ta_2O_5)膜作為第2及第3之介電質膜，使用矽氮化膜作為第1介電質膜。

本實施形態之MIM電容與第2實施形態之MIM電容具有相同構造，故參照用於說明第2實施形態之圖4及圖5，說明本實施形態之包含MIM電容之半導體裝置之製造方法。

首先，如圖4(a)所示，以習知製程形成包含MOS電晶體、

元件隔離區域、多層導線層之矽基板。

其次，如圖4(b)所示，於矽氮化膜29上，以濺鍍法依序形成成為下部電極之鈦膜30、氮化鈦膜31。至此與第2實施形態相同。

其次，藉由使用燒結氮化矽陶瓷靶之反應性濺鍍法，如同圖(b)所示，於氮化鈦膜31上形成由氮化矽所成之第2介電質膜(以下，於本實施形態，稱為下部矽氮化膜。)32。製程氣體為Ar與N₂之混合氣體，成膜溫度為300℃，Ar/N₂流量比為10，濺鍍功率為1.0 kW。濺鍍裝置為使用RF型者。下部矽氮化膜32之膜厚為2 nm，介電常數為7.5。

其次，藉由使用鈮金屬靶之反應性濺鍍法，如同圖(b)所示，於下部矽氮化膜32上形成由氧化鈮所成之第1介電質膜(以下，於本實施形態，稱為氧化鈮膜。)33。製程氣體為Ar與O₂之混合氣體，成膜溫度為200℃，Ar/O₂流量比為1.5，濺鍍功率為1.8 kW。濺鍍裝置為使用DC型者。氧化鈮膜33之膜厚為25 nm。

其次，以反應性濺鍍法，如同圖(b)所示，於氧化鈮膜33上形成由氮化矽所成之第3介電質膜(以下，於本實施形態，稱為上部矽氮化膜。)34，接著，不打破真空，連續地藉由濺鍍法於上部矽氮化膜34上形成成為上部電極之氮化鈦膜35，其後，藉由PECVD法，於氮化鈦膜35之上形成矽氮化膜36。上部矽氮化膜34之條件係與下部矽氮化膜32相同。矽氮化膜34之膜厚為10 nm。

其次，如圖4(c)所示，於矽氮化膜36上形成光阻圖案37，

以光阻圖案37作為掩膜蝕刻矽氮化膜36，將光阻圖案37轉印至矽氮化膜36。其後藉由去光阻去除光阻圖案37。

其次，如圖4(d)所示，以矽氮化膜36作為掩膜，使用氟系蝕刻氣體之RIE製程蝕刻氮化鈦膜35。此時，上部矽氮化膜34與掩膜(矽氮化膜36)為相同材料，故上部矽氮化膜34幾乎不被蝕刻。

其次，如同圖(d)所示，將氟系蝕刻氣體變更為溴系蝕刻氣體，以RIE製程蝕刻上部矽氮化膜34，進一步，將溴系蝕刻氣體變更為氟系蝕刻氣體與氧氣之混合氣體，將氧化鉭膜33以指定時間之RIE製程蝕刻5 nm左右。藉此，可得特定形狀之上部電極35及於上部電極35下方具有凸部之氧化鉭膜33。

其次，如圖5(e)所示，矽氮化膜36及氧化鉭膜33上形成光阻圖案38，其後，以光阻圖案38作為掩膜藉由RIE製程依序蝕刻氧化鉭膜33、下部矽氮化膜32、氮化鈦膜31、鈦膜30，得到特定形狀之下部電極30、31。其後藉由去光阻去除光阻圖案38。

於以上之步驟，完成MIM電容之基本構造。其後，如圖5(f)所示，於基板之全面形成層間絕緣膜39，而接著形成上部電極35之引出電極40₁及下部電極31之引出電極40₂之步驟等習知步驟。由以上製造方法所得本實施形態之半導體裝置之製造步驟之剖面圖，與表示第2實施形態之半導體裝置之製造步驟之剖面之圖6相同。

引出電極40₁、40₂之具體製程係如下，首先，藉由微影製

程及RIE製程，蝕刻形成分別連通層間絕緣膜39、矽氮化膜36、氧化鉭膜33、下部矽氮化膜32形成分別連通，上部電極35、下部電極31及多層導線層之第1、第2及第3接觸孔。於上述RIE製程，使用氟系蝕刻氣體。

其次，埋入第1、第2及第3之接觸孔內的方式，藉由濺鍍法於基板之全面上形成鋁膜，其後，藉由微影製程及RIE製程加工得到由上述鋁膜所成之引出電極40₁、40₂。

本實施形態之MIM電容之容量為， $3.5 \text{ fF}/\mu\text{m}^2$ 。又，評價本實施形態之MIM電容之配對性，以 3σ 匹配得到 $1.8\%\mu\text{m}^2$ 之值，得到與第2及第3實施形態同樣的良好結果。因此可實現與第1實施形態同樣地，高配對性、低漏電流及高容量密度之MIM電容。藉此，可使被預估將搭載於今後所有機器之RF混載LSI晶片之面積小，從而可以實現上述機器之小型化。

再者，本發明，並非限定於上述實施形態者。例如，於上述實施形態，使用鈦膜30與氮化鈦膜之積層膜作為上部電極35及下部電極31，惟亦可將其替之以鈦膜30、氮化鎢膜、氮化鉭膜等之含有金屬之單層導電膜，或者，氮化鈦膜/AlCu膜/氮化鈦膜等含有金屬之多層導電膜等。又，於上述實施形態，使用氮化鈦膜，作為上部電極35，惟以可與下部電極31之情形，同樣地可以各種導電膜代替使用。

又，於上述實施形態，使用矽基板，惟亦可將其替之以，SOI基板、SiGe基板、歪矽基板。

進一步，於上述實施形態含有種種階段之發明，藉由適

當組合揭示之複數之構成要件可萃取出種種發明。例如，即使由示於實施形態之全構成要件刪除幾個構成要件，亦可解決發明所欲解決之課題之欄所述課題之情形，該構成要件被刪除之構成可做為發明萃取出。

[發明之效果]

如以上所述，根據本發明可實現可容易地增加MIM電容之電容密度之半導體裝置及其製造方法。

【圖式簡單說明】

圖1(a)、(b)係表示先前之電容所產生之電力線。

圖2係表示第1實施形態之MIM電容之構造及電力線。

圖3係表示第1實施形態之裝置中之MIM電容之剖面圖

圖4(a)-(d)係表示關於第2實施形態之包含MIM電容之半導體裝置之製造步驟之剖面圖。

圖5(a)、(b)係接續圖4表示同半導體裝置之製造步驟之剖面圖。

圖6係表示關於第2實施形態之包含MIM電容之半導體裝置之剖面圖。

圖7(a)~(g)係表示比較例1~7之MIM電容之剖面圖。

【圖式代表符號說明】

- | | |
|---|--------|
| 1 | 下部電極 |
| 2 | 第1介電質膜 |
| 3 | 上部電極 |
| 4 | 第2介電質膜 |
| 5 | 第3介電質膜 |

6	電力線
7	層間絕緣膜
11	矽基板
12	元件隔離區域
13	閘極電極部
14	源極/汲極區域
15	層間絕緣膜
16	插塞
17	矽氮化膜
18	層間絕緣膜
19	阻障金屬膜
21	導線及插塞(DD導線)
22	矽氮化膜
23	阻障金屬膜
24	DD導線
25	矽氮化膜
26	層間絕緣膜
27	阻障金屬膜
28	DD導線
29	矽氮化膜
30	鈦膜(下部電極)
31	氮化鈦膜(下部電極)
32	第2介電質膜
33	第1介電質膜

34	第3介電質膜
35	氮化鈦膜(上部電極)
38	矽氮化膜
39	層間絕緣膜(第4介電質膜)
40 ₁ 、40 ₂	引出電極

伍、中文發明摘要：

本發明係實現可容易地增加電容密度之MIM電容器。MIM電容器具備：下部電極1；第1介電質膜2，其係設於下部電極1之上方，以氧化鉭或氧化鋯作為主成分，於中央部含有凸部；上部電極3，其係設於第1介電質膜2之凸部上方；第2介電質膜4，其係設於下部電極1與第1介電質膜2之間，介電常數較第1介電質膜2小；以及第3介電質膜5，其係設於上部電極3與第1介電質膜2之凸部之間，介電常數較第1介電質膜2小。

陸、日文發明摘要：

【課題】容量密度の増加を容易に図れるMIMキャパシタを実現すること。

【解決手段】MIMキャパシタは、下部電極1と、下部電極1の上方に設けられ、タンタルオキサイドまたはニオブオキサイドを主成分とし、中央部に凸部を含む第1の誘電体膜2と、第1の誘電体膜2の凸部の上方に設けられた上部電極3と、下部電極1と第1の誘電体膜2との間に設けられ、第1の誘電体膜2よりも誘電率が小さい第2の誘電体膜4と、上部電極3と第1の誘電体膜2の凸部との間に設けられ、第1の誘電体膜2よりも誘電率が小さい第3の誘電体膜5とを備えている。

拾、申請專利範圍：

1. 一種半導體裝置，其特徵在於具備：
半導體基板；及
設於前述半導體基板上方之電容器；
前述電容器具備：
下部電極，其包含金屬；
第1介電質膜，其係設於前述下部電極之上方，包含氧化鈦或氧化鋇，於上面含有凸部；
上部電極，其設於前述第1介電質膜之前述凸部上方，且包含金屬；
第2介電質膜，其設於前述下部電極與前述第1介電質膜之間，介電常數較前述第1介電質膜小；及
第3介電質膜，其係設於前述第1介電質膜之前述凸部與前述上部電極之間，介電常數較前述第1介電質膜小。
2. 如申請專利範圍第1項之之半導體裝置，其中
前述上部電極、前述第3介電質膜及前述第1介電質膜之前述凸部，由上所見形狀及尺寸為相同。
3. 如申請專利範圍第1或2項之半導體裝置，其中
前述金屬係鈦或鈹。
4. 如申請專利範圍第1至2項中任一項之半導體裝置，其中
前述第2及第3介電質膜之材料係氮化矽、氧化鋁、氧化鉛及氧化鋇之至少一種。
5. 如申請專利範圍第1至2項中任一項之半導體裝置，其中
進一步具備：設於前述電容器上，介電常數較前述第1

介電質膜低之第4介電質膜。

6. 一種半導體裝置之製造方法，其特徵在於具有：

準備半導體基板之步驟；及

於前述半導體基板之上方，形成包含：含有金屬之下部電極、層疊介電質膜及較前述下部電極小而含有金屬之上部電極之電容器之步驟；

形成前述電容器之步驟具有：

形成成為前述下部電極之第1導電膜之步驟；

於前述第1導電膜上，形成包含氧化鉭或氧化鈮之第1介電質膜及介電常數較第1介電質膜小之第2及第3介電質膜，且將該等介電質膜以前述第2介電質膜、前述第1介電質膜、前述第3介電質膜之順序形成於前述第1導電膜上之步驟；

於前述第3介電質膜上形成成為前述上部電極之第2導電膜之步驟；

蝕刻前述第2導電膜，形成前述上部電極之步驟；

蝕刻前述第3介電質膜，除去較前述上部電極之側面外側部分之前述第3介電質膜之步驟；及

蝕刻前述第1介電質膜，除去由前述第1介電質膜之上面到前述第1介電質膜之中途之深度之部分，且較前述上部電極之側面外側部分之前述第1介電質膜之步驟。

7. 如申請專利範圍第6項之半導體裝置之製造方法，其中

前述上部電極及下部電極含有金屬。

8. 如申請專利範圍第6至7項中任一項之半導體裝置之製造

方法，其中

前述第2及第3介電質膜之材料係氮化矽、氧化鋁、氧化鈣及氧化鋅之至少一種。

9. 如申請專利範圍第8項之半導體裝置之製造方法，其中
前述金屬係鈦或鉭。

10. 如申請專利範圍第9項之半導體裝置之製造方法，其中
使用氟系氣體蝕刻前述第2導電膜，使用氯系氣體蝕刻
前述第3介電質膜，使用氟系氣體與氧氣體之混合氣體蝕
刻前述第1介電質膜。

11. 如申請專利範圍第6至7項中任一項之半導體裝置之製造
方法，其中

進一步含有蝕刻前述第1介電質膜、前述第2介電質膜
及前述第1導電膜，形成前述下部電極之步驟。

12. 如申請專利範圍第6至7項中任一項之半導體裝置之製造
方法，其中

進一步具有：於前述電容器上形成介電常數較前述第1
介電質膜低之第4介電質膜之步驟。

拾壹、圖式：

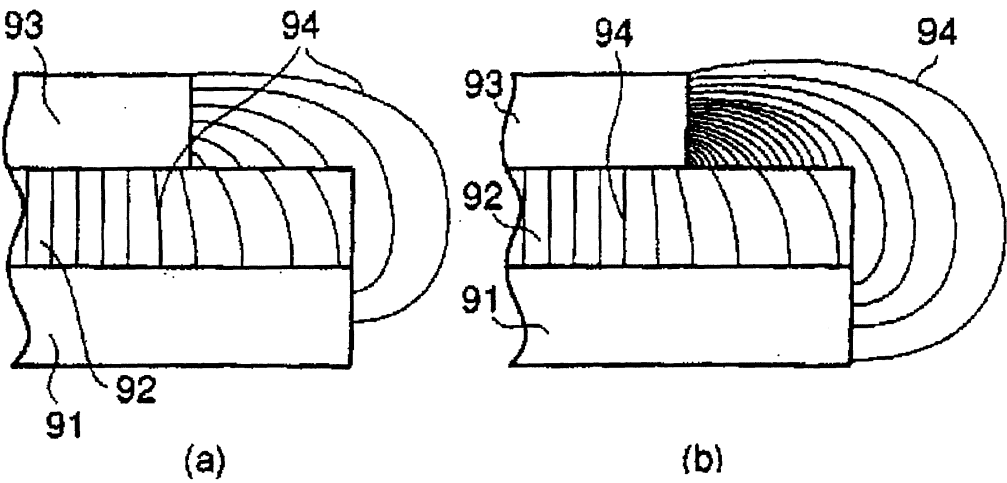


圖 1

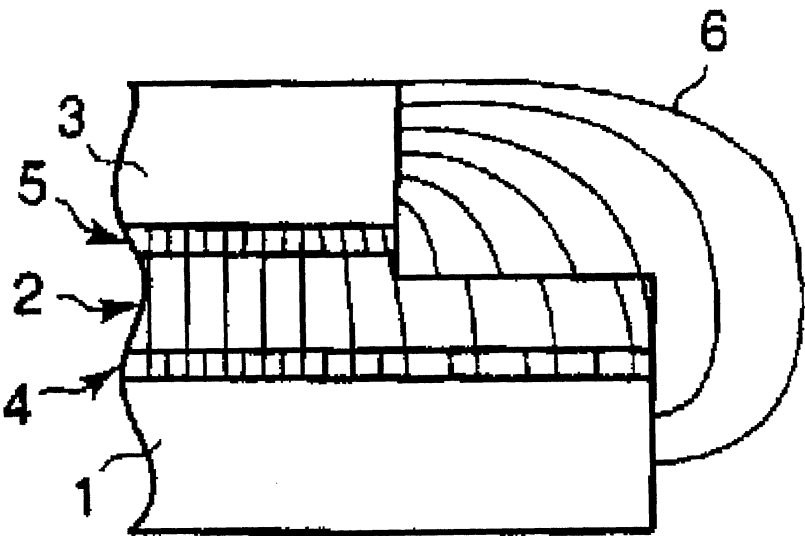


圖 2

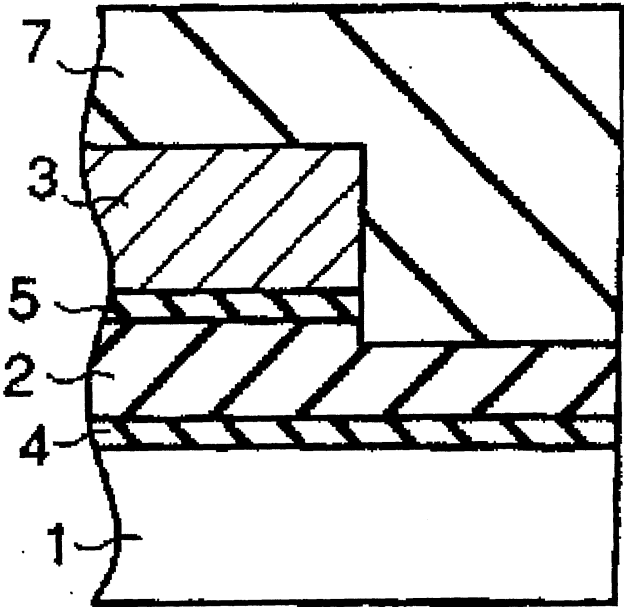


圖 3

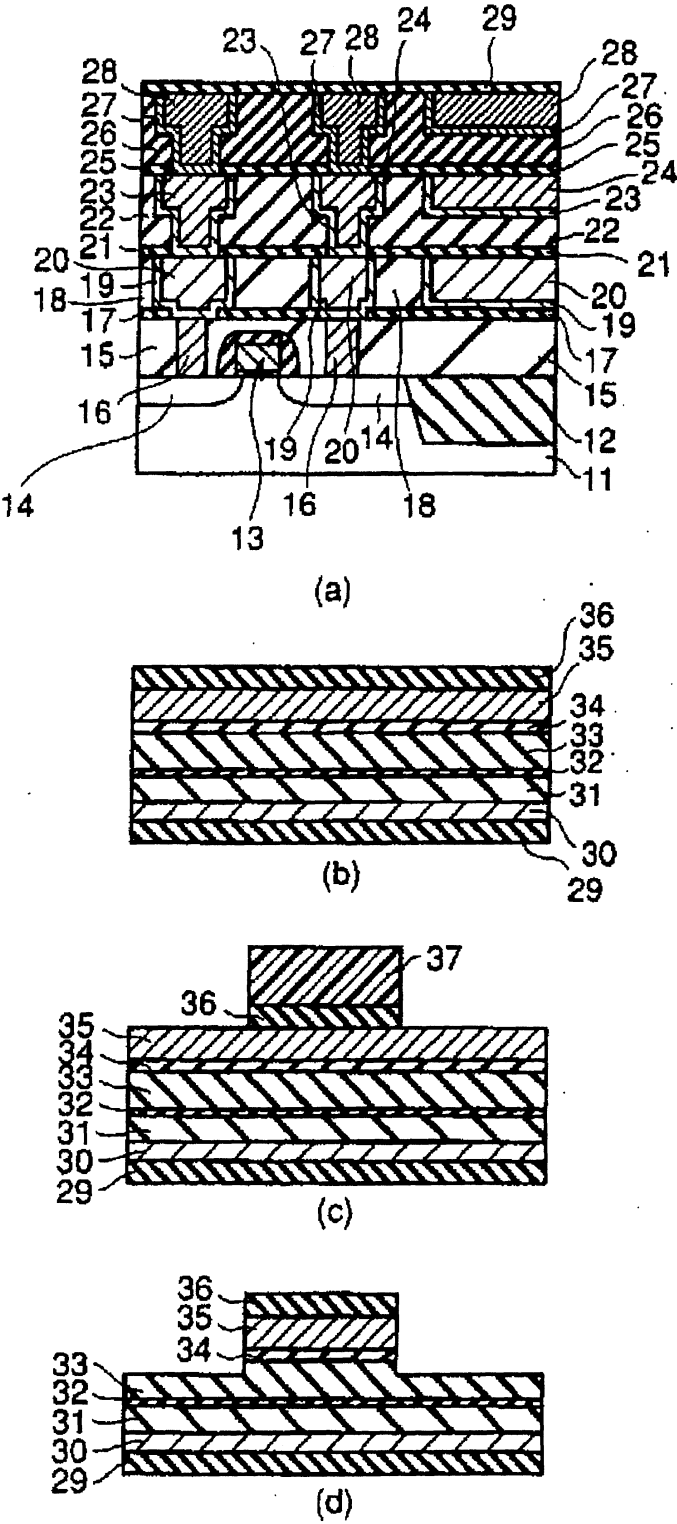


圖 4

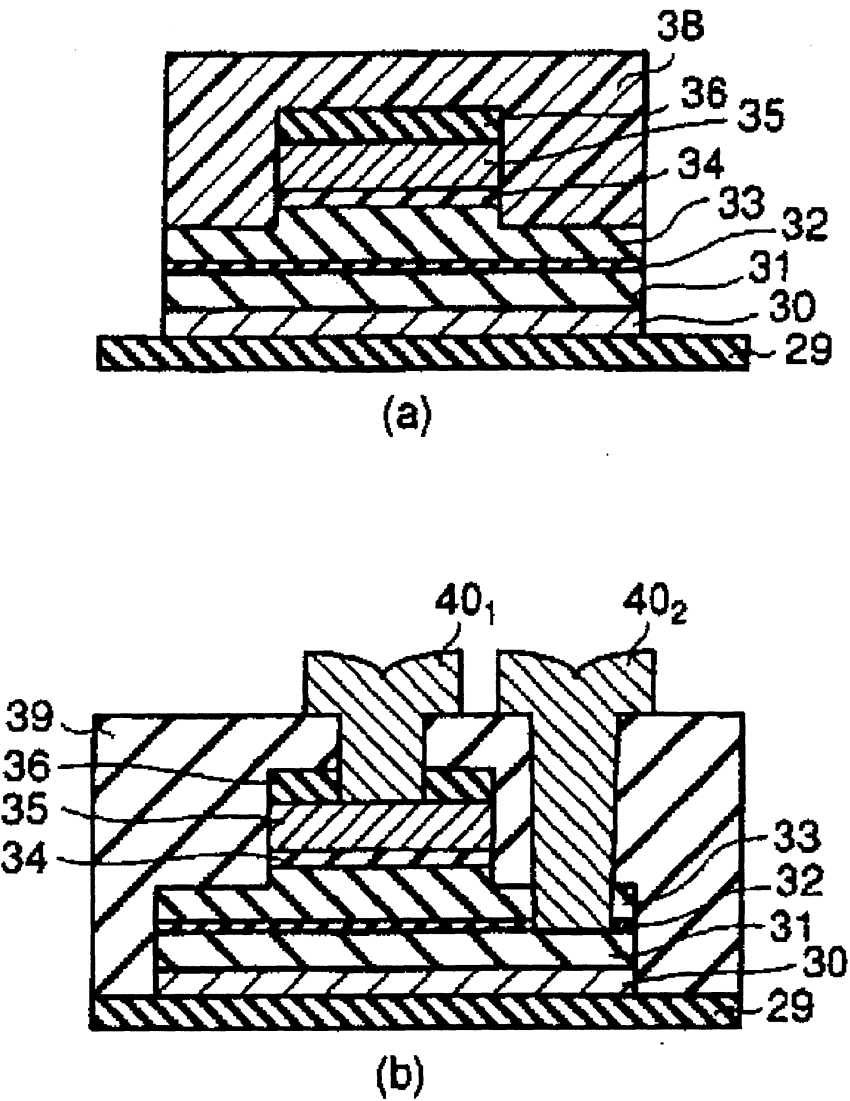


圖 5

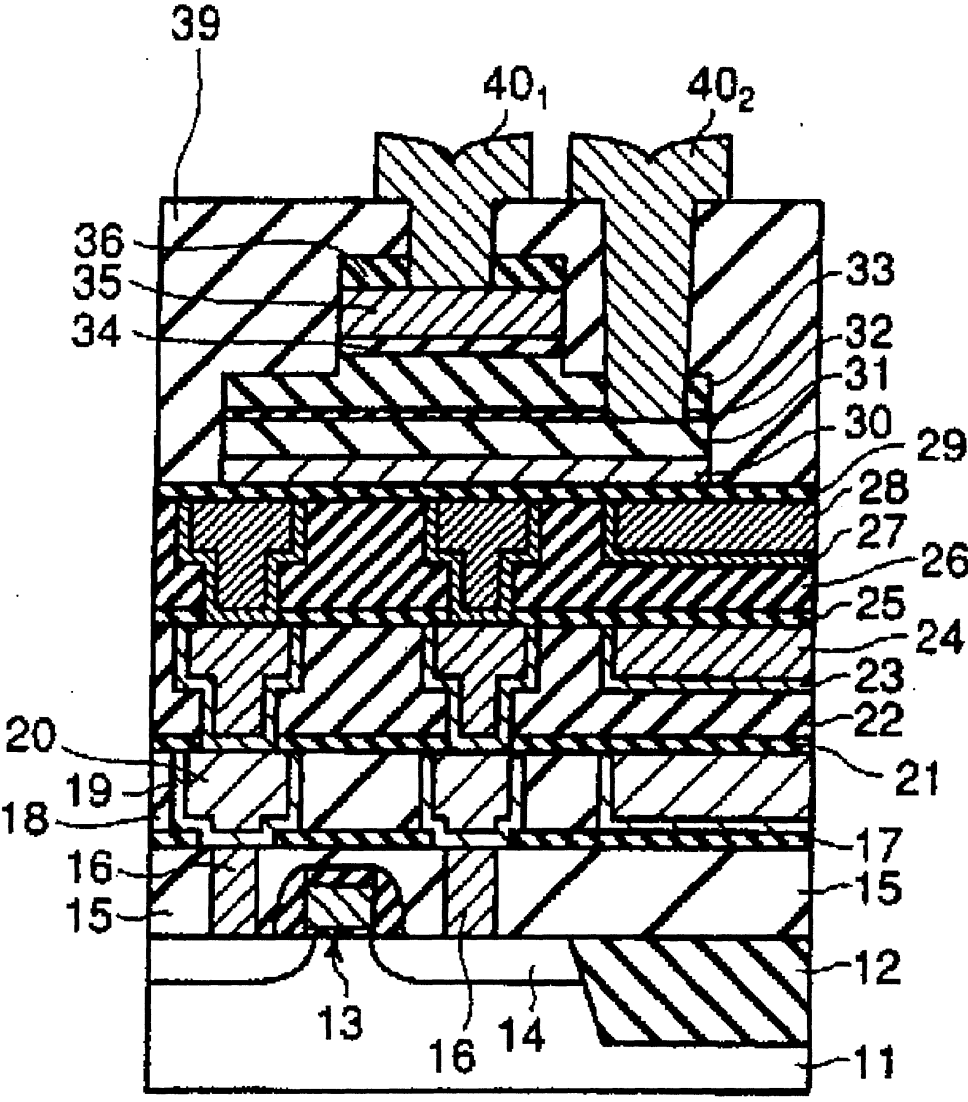


圖 6

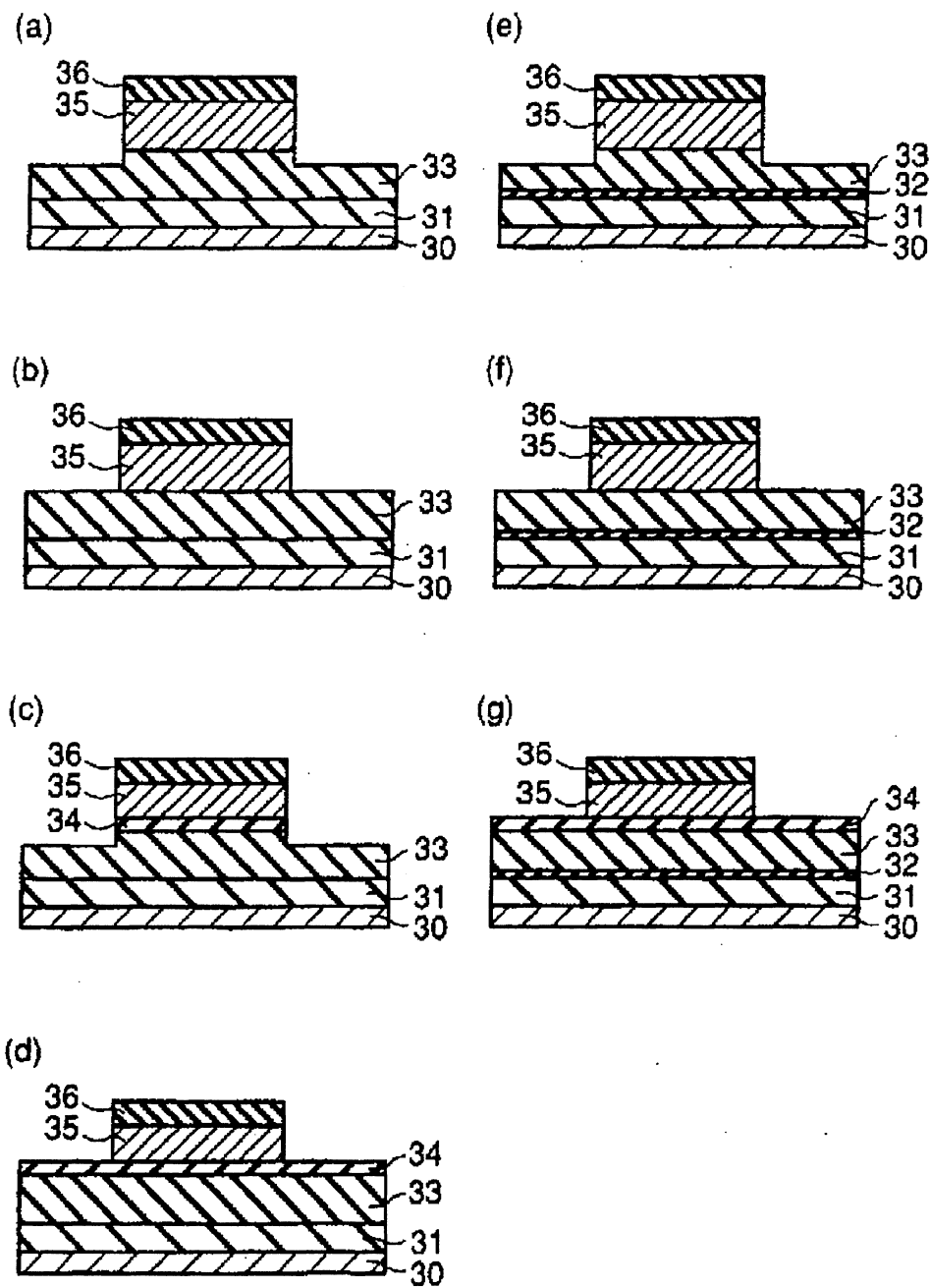


圖 7

柒、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 1 下部電極
- 2 第1介電質膜
- 3 上部電極
- 4 第2介電質膜
- 5 第3介電質膜
- 7 層間絕緣膜

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)