

公告本

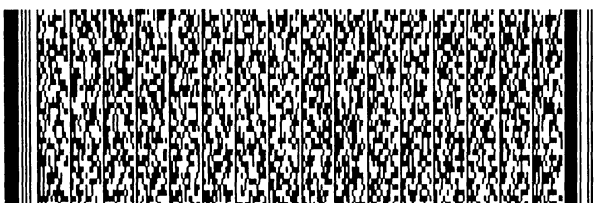
申請日期: 7/16/21 案號: 91113602
類別: G11C16/14

(以上各欄由本局填註)

發明專利說明書

559818

一、發明名稱	中文	非揮發性半導體記憶裝置及其資料消去方法
	英文	Nonvolatile Semiconductor Storage Device Having A Shortened Time Required for Data Erasing Operation and Data Erasing Method Thereof
二、發明人	姓名 (中文)	1. 清水悟 2. 友枝光弘
	姓名 (英文)	1. Satoshi SHIMIZU 2. Mitsuhiro TOMOEDA
	國籍	1. 日本 2. 日本
	住、居所	1. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內 2. 東京都千代田區大手町二丁目6番2號 三菱電機工學股份有限公司內
三、申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司 2. 三菱電機工學股份有限公司
	姓名 (名稱) (英文)	1. MITSUBISHI DENKI KABUSHIKI KAISHA(三菱電機株式会社) 2. MITSUBISHI ELECTRIC ENGINEERING Co., Ltd.
	國籍	1. 日本 2. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸之內二丁目2番3號 2. 日本國東京都千代田區大手町二丁目6番2號
	代表人 姓名 (中文)	1. 谷口一郎 2. 綿谷晴司
	代表人 姓名 (英文)	1. Ichiro TANIGUCHI 2. Wataya Haruji



本案已向

國(地區)申請專利

日本 JP

申請日期

2002/01/17

案號

2002-008640

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明所屬技術領域

本發明係有關於非揮發性半導體記憶裝置及其資料拭除方法，尤其係有關於快閃記憶體及其資料拭除方法。

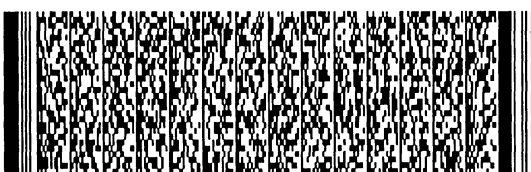
習知技術

快閃記憶體係在電氣上可寫入及拭除資料之非揮發性半導體記憶裝置。快閃記憶體包括將複數個記憶體單元配置成行列狀之記憶體單元陣列，各記憶體單元包括具有浮動閘之記憶體單元電晶體。記憶體單元電晶體之臨限值電壓依在浮動閘內是否儲存電子而變，記憶體單元依據該臨限值電壓之差異記憶資料。

現在，成為快閃記憶體之主流的係NOR型快閃記憶體。在本專利說明書，以在NOR型快閃記憶體之中尤其在資料拭除動作將浮動閘內儲存之電子抽到通道區域之整個面之所謂的通道全面抽出型之NOR型快閃記憶體為例說明。

圖47係用以說明在以往之半導體記憶裝置之資料拭除動作之流程圖。在步驟SP1，輸入拭除命令後，在步驟SP2，既定之電壓值及既定之脈寬之成批寫入脈衝作用於全部之記憶體單元電晶體。接著，在步驟SP3，對全部之記憶體單元電晶體施加既定之電壓值及既定之脈寬之拭除脈衝。

接著，在步驟SP4，進行判定是否對全部之記憶體單元拭除了資料之拭除查證。在未拭除資料之記憶體單元只



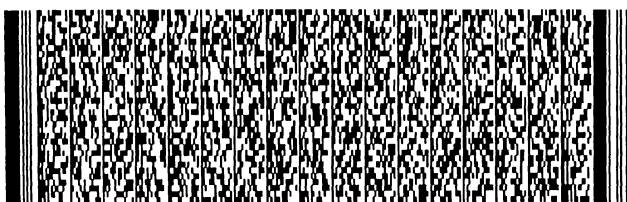
五、發明說明 (2)

要有一個之情況，即在步驟SP4之判定結果係「FAIL」之情況，到步驟SP5，將成批寫入脈衝及拭除脈衝之各電壓值各自更新為脈衝強度變強。然後，在步驟SP2、SP3再施加電壓值各自更新後之成批寫入脈衝及拭除脈衝。至對全部之記憶體單元拭除資料為止，即至在步驟SP4之判定結果變成「PASS」為止重複步驟SP2~SP5之動作。

在步驟SP4之判定結果係「PASS」之情況，到步驟SP6，進行判定因過度之資料拭除而變成過拭除狀態之記憶體單元電晶體是否存在之過拭除查證。在處於過拭除狀態之記憶體單元電晶體不存在之情況，即在步驟SP6之判定結果係「PASS」之情況，到步驟SP10，資料拭除動作完了。

而，在處於過拭除狀態之記憶體單元只要有一個之情況，即在步驟SP6之判定結果係「FAIL」之情況，到步驟SP7，對處於過拭除狀態之記憶體單元電晶體施加各位元寫回脈衝。接著，在步驟SP8，為了判定處於過拭除狀態之全部之記憶體單元電晶體是否自過拭除狀態恢復了，再進行過拭除查證。依然在處於過拭除狀態之記憶體單元只要有一個之情況，即在步驟SP8之判定結果係「FAIL」之情況，回到步驟SP7，對處於過拭除狀態之記憶體單元電晶體再施加各位元寫回脈衝。至處於過拭除狀態之記憶體單元電晶體不存在為止，即至在步驟SP8之判定結果變成「PASS」為止重複步驟SP7、SP8之動作。

在步驟SP8之判定結果係「PASS」之情況，到步驟



五、發明說明 (3)

SP9，進行判定因過度之資料寫回而變成過寫回狀態之記憶體單元電晶體是否在之過寫回查證。在處於過寫回狀態之記憶體單元電晶體不存在之情況，即在步驟SP9之判定結果係「PASS」之情況，到步驟SP10，資料拭除動作完了。

而，在處於過寫回狀態之記憶體單元只要有一個之情況，即在步驟SP9之判定結果係「FAIL」之情況，重新執行步驟SP2以後之動作。

發明要解決之課題

若依據以往之非揮發性半導體記憶裝置及其資料拭除方法，不管資料拭除動作之次數，例如不管係第一次之資料拭除動作或是第一萬次之資料拭除動作，在步驟SP1之正後執行之最之步驟SP2、SP3，施加既定之電壓值及既定之脈寬之成批寫入脈衝及拭除脈衝。即，成批寫入脈衝及拭除脈衝之脈衝強度之起始電壓值係定值，和資料拭除動作之次數無關。

在快閃記憶體，藉著向浮動閘內注入電子向記憶體單元寫入資料，藉著自浮動閘內抽出電子拭除記憶體單元之資料，隨著資料拭除動作之次數增加，電子之注入效率或抽出效率降低。

可是，若依據以往之非揮發性半導體記憶裝置及其資料拭除方法，如上述所示，成批寫入脈衝及拭除脈衝之脈衝強度之起始電壓值係定值，和資料拭除動作之次數無



五、發明說明 (4)

關。因而，在已進行某程度之多次資料拭除動作後之資料拭除動作，在步驟SP4之判定結果變成「FAIL」之可能性高，因每次重複步驟SP2~SP5之動作，具有資料拭除之所需時間變長之問題。

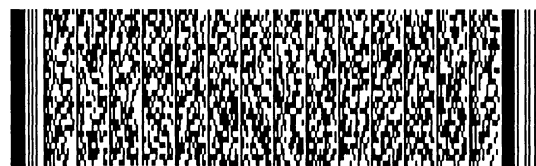
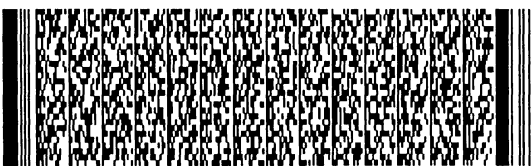
本發明為解決這種問題，其目的在於得到一種非揮發性半導體記憶裝置及其資料拭除方法，縮短了資料拭除動作之所需時間。

解決課題之方式

本發明之中之申請專利範圍第1項之非揮發性半導體記憶裝置，包括：記憶體單元電晶體；及控制部，具有記憶部，控制作用於記憶體單元電晶體之電壓脈衝；在資料拭除動作，控制部在施加拭除脈衝之前，至對記憶體單元電晶體寫入資料為止，逐漸加脈衝強度後施加寫入脈衝；在記憶部記憶在上次之資料拭除動作之關於寫入脈衝之最終之脈衝強度之第一資訊；控制部依照第一資訊決定在資料拭除動作之寫入脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第2項之非揮發性半導體記憶裝置，係申請專利範圍第1項之非揮發性半導體記憶裝置，其特徵在於：階段性的加強寫入脈衝之脈衝強度；將在資料拭除動作之寫入脈衝之脈衝強度之起始值設為比在上次之資料拭除動作之寫入脈衝之最終之脈衝強度低既定個階段之值。

又，本發明之中之申請專利範圍第3項之非揮發性半

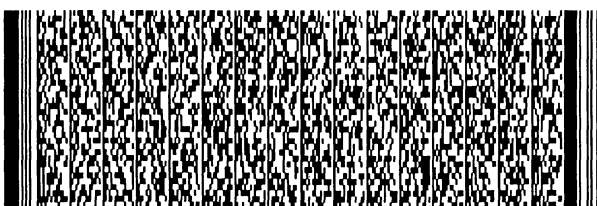


五、發明說明 (5)

導體記憶裝置，係申請專利範圍第1或2項之非揮發性半導體記憶裝置，其特徵在於：在資料拭除動作，控制部至拭除記憶體單元電晶體之資料為止，逐漸加脈衝強度後施加拭除脈衝；在記憶部還記憶在上次之資料拭除動作之關於拭除脈衝之最終之脈衝強度之第二資訊；控制部依照第二資訊決定在資料拭除動作之拭除脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第4項之非揮發性半導體記憶裝置，係申請專利範圍第1~3項之其中一項之非揮發性半導體記憶裝置，其特徵在於：在資料拭除動作，控制部在因拭除脈衝之作用而過拭除之記憶體單元電晶體存在之情況，至對過拭除之記憶體單元電晶體寫回資料為止，逐漸加脈衝強度後施加寫回脈衝；在記憶部還記憶在上次之資料拭除動作之關於寫回脈衝之最終之脈衝強度之第三資訊；控制部依照第三資訊決定在資料拭除動作之寫回脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第5項之非揮發性半導體記憶裝置，包括：記憶體單元電晶體；及控制部，具有記憶部，控制作用於該記憶體單元電晶體之電壓脈衝；在資料拭除動作，至拭除記憶體單元電晶體之資料為止，控制部逐漸加脈衝強度後施加拭除脈衝；在該記憶部記憶在上次之資料拭除動作之關於拭除脈衝之最終之脈衝強度之第一資訊；控制部依照該第一資訊決定在資料拭除動作之拭除脈衝之脈衝強度之起始值。

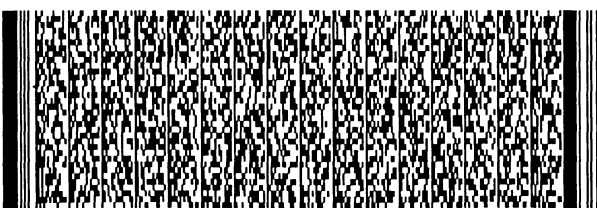


五、發明說明 (6)

又，本發明之中之申請專利範圍第6項之非揮發性半導體記憶裝置，係申請專利範圍第5項之非揮發性半導體記憶裝置，其特徵在於：階段性的加強拭除脈衝之脈衝強度；將在資料拭除動作之拭除脈衝之脈衝強度之起始值設為比在上次之資料拭除動作之拭除脈衝之最終之脈衝強度低既定個階段之值。

又，本發明之中之申請專利範圍第7項之非揮發性半導體記憶裝置，係申請專利範圍第5或6項之非揮發性半導體記憶裝置，其特徵在於：在資料拭除動作，控制部在因拭除脈衝之作用而過拭除之記憶體單元電晶體存在之情況，至對過拭除之記憶體單元電晶體寫回資料為止，逐漸加脈衝強度後施加寫回脈衝；在記憶部還記憶在上次之資料拭除動作之關於寫回脈衝之最終之脈衝強度之第二資訊；控制部依照第二資訊決定在資料拭除動作之寫回脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第8項之非揮發性半導體記憶裝置，包括：記憶體單元電晶體；及控制部，具有記憶部，控制作用於記憶體單元電晶體之電壓脈衝；在資料拭除動作，控制部在因施加拭除脈衝而存在過拭除之記憶體單元電晶體之情況，至向過拭除之記憶體單元電晶體寫回資料為止，逐漸加脈衝強度後施加寫回脈衝；在記憶部記憶在上次之資料拭除動作之關於寫回脈衝之最終之脈衝強度之資訊；控制部依照資訊決定在資料拭除動作之寫回脈衝之脈衝強度之起始值。



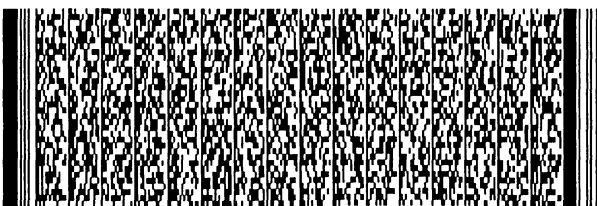
五、發明說明 (7)

又，本發明之中之申請專利範圍第9項之非揮發性半導體記憶裝置，係申請專利範圍第8項之非揮發性半導體記憶裝置，其特徵在於：階段性的加強該寫回脈衝之該脈衝強度；將在資料拭除動作之寫回脈衝之脈衝強度之起始值設為比在上次之資料拭除動作之寫回脈衝之最終之脈衝強度低既定個階段之值。

又，本發明之中之申請專利範圍第10項之非揮發性半導體記憶裝置，係申請專利範圍第1~9項之其中一項之非揮發性半導體記憶裝置，記憶部係非揮發性半導體記憶體。

本發明之中之申請專利範圍第11項之非揮發性半導體記憶裝置之資料拭除方法，包括：(a)在資料拭除動作，在施加拭除脈衝之前，至對記憶體單元電晶體寫入資料為止，逐漸加脈衝強度後施加寫入脈衝之步驟；及(b)記憶在資料拭除動作之關於寫入脈衝之最終之脈衝強度之第一資訊之步驟；依照在上次之資料拭除動作時所記憶之關於上次之資料拭除動作之第一資訊決定在資料拭除動作之寫入脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第12項之非揮發性半導體記憶裝置之資料拭除方法，係申請專利範圍第11項之非揮發性半導體記憶裝置之資料拭除方法，其特徵在於：階段性的加強寫入脈衝之脈衝強度；將在資料拭除動作之寫入脈衝之脈衝強度之起始值設為比在上次之資料拭除動作之寫入脈衝之最終之脈衝強度低既定個階段之值。



五、發明說明 (8)

又，本發明之中之申請專利範圍第13項之非揮發性半導體記憶裝置之資料拭除方法，係申請專利範圍第11或12項之非揮發性半導體記憶裝置之資料拭除方法，其特徵在於還包括：(c)在資料拭除動作，至拭除記憶體單元電晶體之資料為止，逐漸加脈衝強度後施加拭除脈衝之步驟；及(d)記憶在資料拭除動作之關於拭除脈衝之最終之脈衝強度之第二資訊之步驟；依照在上次之資料拭除動作時所記憶之關於上次之資料拭除動作之第二資訊決定在資料拭除動作之拭除脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第14項之非揮發性半導體記憶裝置之資料拭除方法，係申請專利範圍第11~13項之其中一項之非揮發性半導體記憶裝置之資料拭除方法，其特徵在於還包括：(e)在資料拭除動作，在因拭除脈衝之作用而過拭除之記憶體單元電晶體存在之情況，至對過拭除之記憶體單元電晶體寫回資料為止，逐漸加脈衝強度後施加寫回脈衝之步驟；及(f)記憶在資料拭除動作之關於寫回脈衝之最終之脈衝強度之第三資訊之步驟；依照在上次之資料拭除動作時所記憶之關於上次之資料拭除動作之第三資訊決定在資料拭除動作之寫回脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第15項之非揮發性半導體記憶裝置之資料拭除方法，包括：(a)在資料拭除動作，至拭除記憶體單元電晶體之資料為止，控制部逐漸加脈衝強度後施加拭除脈衝之步驟；及(b)記憶在上次之資



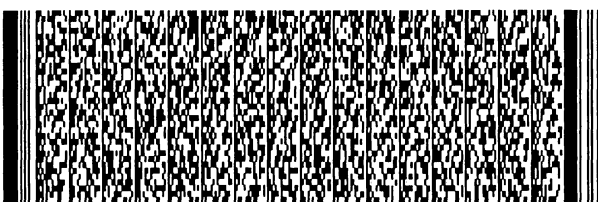
五、發明說明 (9)

料拭除動作之關於拭除脈衝之最終之脈衝強度之第一資訊之步驟；依照在上次之資料拭除動作時所記憶之關於上次之資料拭除動作之第一資訊決定在資料拭除動作之拭除脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第16項之非揮發性半導體記憶裝置之資料拭除方法，係申請專利範圍第15項之非揮發性半導體記憶裝置之資料拭除方法，其特徵在於：階段性的加強拭除脈衝之脈衝強度；將在資料拭除動作之拭除脈衝之脈衝強度之起始值設為比在上次之資料拭除動作之拭除脈衝之最終之脈衝強度低既定個階段之值。

又，本發明之中之申請專利範圍第17項之非揮發性半導體記憶裝置之資料拭除方法，係申請專利範圍第15或16項之非揮發性半導體記憶裝置之資料拭除方法，其特徵在於還包括：(a)在資料拭除動作，在因拭除脈衝之作用而過拭除之記憶體單元電晶體存在之情況，至對過拭除之記憶體單元電晶體寫回資料為止，逐漸加脈衝強度後施加寫回脈衝之步驟；及(d)記憶在上次之資料拭除動作之關於寫回脈衝之最終之脈衝強度之第二資訊之步驟；依照在上次之資料拭除動作時所記憶之關於上次之資料拭除動作之第二資訊決定在資料拭除動作之寫回脈衝之脈衝強度之起始值。

又，本發明之中之申請專利範圍第18項之非揮發性半導體記憶裝置之資料拭除方法，包括：(a)在資料拭除動作，在因施加拭除脈衝而存在過拭除之記憶體單元電晶體



五、發明說明 (10)

之情況，至向過拭除之記憶體單元電晶體寫回資料為止，逐漸加脈衝強度後施加寫回脈衝之步驟；及(b)記憶在資料拭除動作之關於寫回脈衝之最終之脈衝強度之資訊；依照在上次之資料拭除動作時所記憶之關於上次之資料拭除動作之資訊決定在資料拭除動作之寫回脈衝之脈衝強度之起始值。

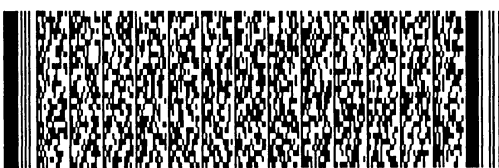
又，本發明之中之申請專利範圍第19項之非揮發性半導體記憶裝置之資料拭除方法，係申請專利範圍第18項之非揮發性半導體記憶裝置之資料拭除方法，其特徵在於：階段性的加強該寫回脈衝之該脈衝強度；將在資料拭除動作之寫回脈衝之脈衝強度之起始值設為比在上次之資料拭除動作之寫回脈衝之最終之脈衝強度低既定個階段之值。

又，本發明之中之申請專利範圍第20項之非揮發性半導體記憶裝置之資料拭除方法，係申請專利範圍第11~19項之其中一項之非揮發性半導體記憶裝置之資料拭除方法，記憶步驟係非揮發性之記憶步驟。

發明之實施例

實施例1

圖1係概略表示本發明之實施例1之非揮發性半導體記憶裝置之構造之方塊圖。非揮發性半導體記憶裝置1包括控制部2，藉著控制作用於記憶體單元電晶體之電壓脈衝，控制資料之寫入動作及拭除動作。控制部2具有由快閃記憶體等非揮發性半導體記憶體構成之記憶部2a。

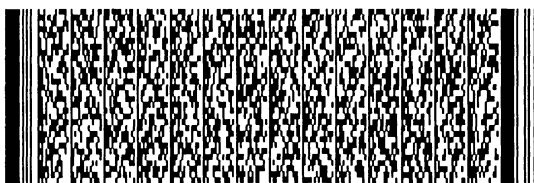


五、發明說明 (11)

又，非揮發性半導體記憶裝置1包括(A)電壓產生部3，自控制部2輸入備用信號CXHRDY、充電泵活化信號PPUMPE、NPUMPE以及重設信號RSTE，產生輸出電位 V_{out+} 、 V_{out-} 後輸出；(B)位址緩衝器16，自外部輸入位址信號ADR，產生內部位址信號後輸出；(C)X解碼器18，自電壓產生部3接受電位供給，而且自位址緩衝器16輸入內部位址信號後，決定選擇閘極線SGL、字元線WL0、WL1、源極線SL以及井之各電位；(D)輸出入緩衝器22，在和外部之間交換資料輸出入信號DIO；(E)Y解碼器20，自位址緩衝器16接受內部位址信號後解碼；以及(F)Y系控制電路24，按照Y解碼器20之輸出信號及資料輸出入信號DIO向主位元線MBL施加高電壓。

電壓產生部3包括(G)正電壓產生電路4，自控制部2輸入備用信號CXHRDY、充電泵活化信號PPUMPE以及重設信號RSTE，依照這些信號產生正的輸出電位 V_{out+} ；(H)負電壓產生電路8，自控制部2輸入備用信號CXHRDY、充電泵活化信號NPUMPE以及重設信號RSTE，依照這些信號產生負的輸出電位 V_{out-} ；(I)WL增壓電路12，產生字元線電位 V_{WL} ；以及(J)分配器14，由控制部2控制，向各內部電路分配輸出電位 V_{out+} 、 V_{out-} 及字元線電位 V_{WL} 。

X解碼器18包括WL解碼器，用以選擇字元線；SG解碼器，用以選擇選擇閘極；WELL解碼器，用以選擇和所選擇之記憶體方塊對應之井區域；以及SL解碼器(圖上都未示)，用以選擇源極線。



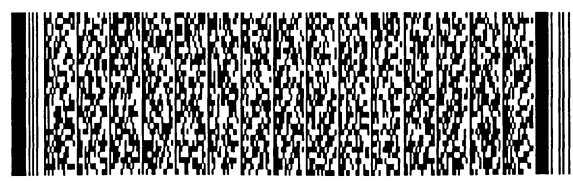
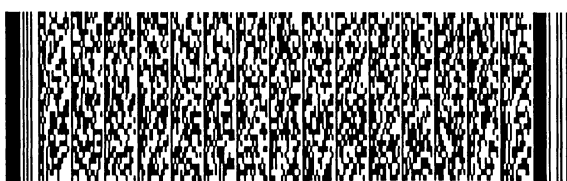
五、發明說明 (12)

此外，非揮發性半導體記憶裝置1包括複數個記憶體單元配置成行列狀之記憶體單元陣列26，記憶體單元陣列26藉著在不同之井內形成分割成彼此分離之複數個記憶體單元方塊BLOCK0~BLOCKk。

記憶體單元方塊BLOCK0具有記憶體單元電晶體30、32及選擇閘極28。在記憶體單元方塊BLOCK0，和X解碼器18所選擇之選擇閘極線SGL、字元線WL0、WL1以及源極線SL對應的選擇2個記憶體單元電晶體30、32。記憶體單元電晶體30、32自主位元線MBL接受和資料對應之信號後保持該資料。此外，在圖1，只代表性圖示和所選擇之選擇閘極線SGL、字元線WL0、WL1以及源極線SL對應之選擇閘極28及記憶體單元電晶體30、32。

圖2~圖5係用以說明在本發明之實施例1之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。又，圖6係表示在執行資料拭除動作正前之狀態，即在資料拭除時之起始狀態之臨限值電壓之分布圖。圖6之橫軸表示記憶體單元電晶體之臨限值電壓，縱軸表示保橫軸之各臨限值電壓之記憶體單元方塊內之記憶體單元電晶體之個數。參照圖6，在資料拭除時之起始狀態，存在程式狀態和拭除狀態，而程式狀態係在記憶體單元電晶體記憶"0"之狀態，拭除狀態係在記憶體單元電晶體記憶"1"之狀態。

參照圖2，在步驟SP51，輸入第一次拭除命令後，在步驟SP52，既定之脈寬(在此，設為1ms)之成批寫入脈衝作用於全部之記憶體單元電晶體。因而，使用FN隧道電



五、發明說明 (13)

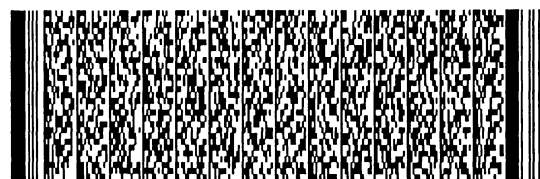
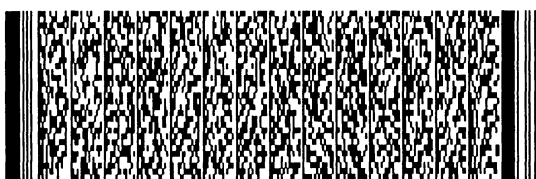
流，按照記憶體單元方塊單位實施成批寫入。

圖7係用以說明在步驟SP52在施加成批寫入脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。參照圖7，在記憶體單元方塊配置 n 列 m 行之共 $n \times m$ 個記憶體單元電晶體MT。在步驟SP52，將全部之位元線BL1~BL m 設為斷路，對井施加 $V_{well} = -4.00V$ 之脈衝電壓，對源極線SL施加 $V_{SL} = -4.00V$ 之脈衝電壓，對全部之字元線WL0~WL n 施加 $V_{WL} = 6.00V$ 之脈衝電壓。

參照圖2，接在步驟SP52之後，在步驟SP53，進行判定是否對全部之記憶體單元寫入了資料，具體而言，是否全部之記憶體單元電晶體之臨限值電壓變成既定值（在此，設為 $5.5V$ ）以上之寫入查證。

圖8係用以說明在步驟SP53在進行寫入查證之狀態之施加電壓之記憶體單元方塊之電路圖。在步驟SP53，對和與選擇位元對應之記憶體單元電晶體MT(j, i)連接之位元線BL j 施加 $V_{BL(j)} = 1.0V$ 之脈衝電壓，井之電位 V_{well} 及源極線SL之電位 V_{SL} 都設為 $0V$ ，對和與選擇位元對應之記憶體單元電晶體MT(j, i)連接之字元線WL i 施加 $V_{WL(i)} = 5.5V$ 之脈衝電壓。

參照圖2，在未寫入資料之記憶體單元只要有一個之情況，即在步驟SP53之判定結果係「FAIL」之情況，到步驟SP54，將成批寫入脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP52再施加電壓值更新後之成批寫入脈衝。至對全部之記憶體單元寫入資料為止，即至在步驟SP53之



五、發明說明 (14)

判定結果變成「PASS」為止重複步驟SP52~SP54之動作。

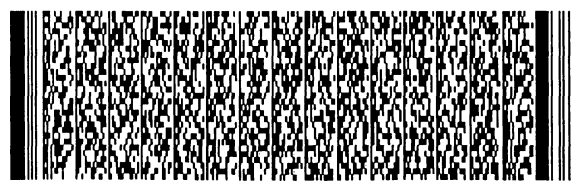
圖9係表示在步驟SP54之成批寫入脈衝之電壓值之更新狀況之圖。作用於字元線WL之脈衝電壓之電壓值 V_{WL} 自圖7所示之第1階段t1之6.00V開始按照刻度0.25V上升至第17階段t17之10.00V為止。作用於井及源極線SL之各脈衝電壓之電壓值 V_{well} 及 V_{SL} 自圖7所示之第1階段t1之-4.00V開始按照刻度0.25V降低至第17階段t17之-8.00V為止。

參照圖2，在步驟SP53之判定結果係「PASS」之情況，到步驟SP55，將成批寫入脈衝之最終之電壓值，即最終之 V_{WL} 、 V_{well} 、 V_{SL} 之值記錄於圖1所示之記憶部2a。如圖9之例子所示，在步驟SP53之判定結果為在第9階段t9變成「PASS」之情況，將「成批寫入脈衝： $V_{WL}=8.00V$ 、 $V_{well}=V_{SL}=-6.00V$ 」之資訊記錄於記憶部2a。

圖10係表示在步驟SP53在判定為「PASS」之時刻之臨限值電壓之分布圖。在此時刻，記憶體單元方塊內之全部之記憶體單元電晶體之臨限值電壓變成5.5V以上。

參照圖3，接在步驟SP55之後，在步驟SP56，既定之脈寬(在此，設為1ms)之拭除脈衝作用於全部之記憶體單元電晶體。因而，使用FN隧道電流，按照記憶體單元方塊單位實施成批拭除。

圖11係用以說明在步驟SP56在施加拭除脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。在步驟SP56，將全部之位元線BL1~BLm設為斷路，對井施加 $V_{well}=4.00V$ 之脈衝電壓，對源極線SL施加 $V_{SL}=4.00V$ 之脈衝電壓，對全部之字



五、發明說明 (15)

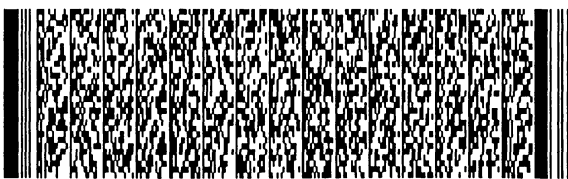
元線WL0~WLn 施加 $V_{WL} = -6.00V$ 之脈衝電壓。

參照圖3，接在步驟SP56之後，在步驟SP57，進行判定是否對全部之記憶體單元拭除了資料，具體而言，是否全部之記憶體單元電晶體之臨限值電壓變成比既定值（在此，設為3.5V）低之拭除查證。

圖12係用以說明在步驟SP57在進行拭除查證之狀態之施加電壓之記憶體單元方塊之電路圖。在步驟SP57，對和與選擇位元對應之記憶體單元電晶體MT(j, i)連接之位元線BLj 施加 $V_{BL(j)} = 1.0V$ 之脈衝電壓，井之電位 V_{well} 及源極線SL之電位 V_{SL} 都設為0V，對和與選擇位元對應之記憶體單元電晶體MT(j, i)連接之字元線WLi 施加 $V_{WL(i)} = 3.5V$ 之脈衝電壓。

參照圖3，在未拭除資料之記憶體單元只要有一個之情況，即在步驟SP57之判定結果係「FAIL」之情況，到步驟SP58，將拭除脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP56再施加電壓值更新後之拭除脈衝。至對全部之記憶體單元拭除資料為止，即至在步驟SP57之判定結果變成「PASS」為止重複步驟SP56~SP58之動作。

圖13係表示在步驟SP58之拭除脈衝之電壓值之更新狀況之圖。作用於字元線WL之脈衝電壓之電壓值 V_{WL} 自圖11所示之第1階段t1之-6.00V開始按照刻度0.25V降低至第17階段t17之-10.00V為止。作用於井及源極線SL之各脈衝電壓之電壓值 V_{well} 及 V_{SL} 自圖11所示之第1階段t1之4.00V開始按照刻度0.25V上升至第17階段t17之8.00V為止。



五、發明說明 (16)

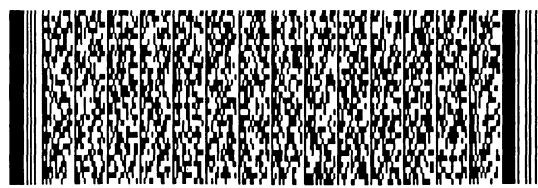
參照圖3，在步驟SP57之判定結果係「PASS」之情況，到步驟SP59，將拭除脈衝之最終之電壓值，即最終之 V_{WL} 、 V_{well} 、 V_{SL} 之值記錄於圖1所示之記憶部2a。如圖13之例子所示，在步驟SP57之判定結果為在第5階段 t_5 變成「PASS」之情況，將「拭除脈衝： $V_{WL} = -7.00V$ 、 $V_{well} = V_{SL} = 5.00V$ 」之資訊記錄於記憶部2a。

圖14係表示在步驟SP57在判定為「PASS」之時刻之臨限值電壓之分布圖。在此時刻，記憶體單元方塊內之全部之記憶體單元電晶體之臨限值電壓變成未滿 $3.5V$ 。

參照圖3，接在步驟SP59之後，在步驟SP60，進行判定因過度之資料拭除而變成過拭除狀態之記憶體單元電晶體是否存在，具體而言，判定全部之記憶體單元電晶體之臨限值電壓是否變成既定值（在此，設為 $1.0V$ ）以上之過拭除查證。

圖15係用以說明在步驟SP60在進行過拭除查證之狀態之施加電壓之記憶體單元方塊之電路圖。在步驟SP60，對和與選擇位元對應之記憶體單元電晶體 $MT(j, i)$ 連接之位元線 BL_j 施加 $V_{BL(j)} = 1.0V$ 之脈衝電壓，井之電位 V_{well} 及源極線 SL 之電位 V_{SL} 都設為 $0V$ ，對和與選擇位元對應之記憶體單元電晶體 $MT(j, i)$ 連接之字元線 WLi 施加 $V_{WL(i)} = 1.0V$ 之脈衝電壓。

參照圖3，在處於過拭除狀態之記憶體單元電晶體不存在之情況，即在步驟SP60之判定結果係「PASS」之情況，到圖5所示之步驟SP61，第一次之資料拭除動作完



五、發明說明 (17)

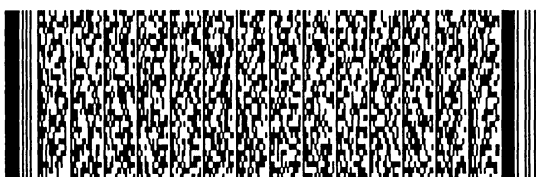
了。

而，在處於過拭除狀態之記憶體單元只要有一個之情況，即在步驟SP60之判定結果係「FAIL」之情況，到圖4所示步驟SP62，選擇處於過拭除狀態之記憶體單元電晶體，施加既定之脈寬(在此，設為 $1\mu s$)之各位元寫回脈衝。因而，使用通道熱電子(CHE: Channel Hot Electron)，對各位元寫回資料。

圖16係用以說明在步驟SP62在施加各位元寫回脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。在步驟SP62，對和與選擇位元對應之記憶體單元電晶體 $MT(j, i)$ 連接之位元線 BL_j 施加 $V_{BL(j)} = 4.0V$ 之脈衝電壓，對其他之位元線之電位 V_{BL} 、井之電位 V_{well} 以及源極線 SL 之電位 V_{SL} 都設為 $0V$ ，對和與選擇位元對應之記憶體單元電晶體 $MT(j, i)$ 連接之字元線 WLi 施加 $V_{WL(i)} = 1.0V$ 之脈衝電壓。

參照圖4，接在步驟SP62之後，在步驟SP63，為了判定處於過拭除狀態之全部之記憶體單元電晶體是否自過拭除狀態恢復了，再進行過拭除查證。在步驟SP63之作用電壓之條件和步驟SP60的一樣。

依然在處於過拭除狀態之記憶體單元只要有一個之情況，即在步驟SP63之判定結果係「FAIL」之情況，在步驟SP64，將各位元寫回脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP62，對於處於過拭除狀態之記憶體單元電晶體再施加電壓值更新後之各位元寫回脈衝。至處於過拭除狀態之記憶體單元電晶體不存在為止，即至在步驟SP63



五、發明說明 (18)

之判定結果變成「PASS」為止重複步驟SP62~SP64之動作。

圖17係表示在步驟SP64之各位元寫回脈衝之電壓值之更新狀況之圖。作用於字元線WL之脈衝電壓之電壓值 V_{WL} 自圖16所示之第1階段t1之1.0V開始按照刻度0.5V上升至第13階段t13之7.0V為止。對和與選擇位元對應之記憶體單元電晶體MT(j, i)連接之位元線BLj施加之脈衝電壓之電壓值固定為 $V_{BL(j)}=4.0V$ 。

參照圖4，在步驟SP63之判定結果係「PASS」之情況，到步驟SP65，將各位元寫回脈衝之最終之電壓值，即最終之 V_{WL} 之值記錄於圖1所示之記憶部2a。如圖17之例子所示，在步驟SP63之判定結果為在第7階段t7變成

「PASS」之情況，將「各位元寫回脈衝： $V_{WL}=4.0V$ 」之資訊記錄於記憶部2a。

其次，在步驟SP66，進行判定因過度之資料寫回而變成過寫回狀態之記憶體單元電晶體是否在之過寫回查證。在處於過寫回狀態之記憶體單元電晶體不存在之情況，即在步驟SP66之判定結果係「PASS」之情況，到圖5所示之步驟SP61，第一次之資料拭除動作完了。

而，在處於過寫回狀態之記憶體單元只要有一個之情況，即在步驟SP66之判定結果係「FAIL」之情況，回到圖3所示步驟SP56，重新執行步驟SP56以後之動作。

圖18係表示在步驟SP66在判定為「PASS」之時刻之臨限值電壓之分布圖。在此時刻，記憶體單元方塊內之全部



五、發明說明 (19)

之記憶體單元電晶體之臨限值電壓變成1.0V以上未滿3.5V。

圖19~圖22係用以說明在本發明之實施例1之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之流程圖。參照圖19，在步驟SP101，輸入第二次以後之拭除命令後，在步驟SP102，自圖1所示之記憶體部2a讀出在上次之資料拭除動作之成批寫入脈衝之最終電壓值。

接著，在步驟SP103，控制部2依照在上次之資料拭除動作之成批寫入脈衝之最終電壓值，設定這次之資料拭除動作之成批寫入脈衝之起始電壓值。此時，為了避免成批寫入脈衝之脈衝強度過強，希望設為比在上次之資料拭除動作之成批寫入脈衝之最後之脈衝強度低既定階段(例如1或2階段)之值。在上述之例子，因在第一次資料拭除動作之成批寫入脈衝之最終電壓值係 $V_{WL}=8.00V$ 、 $V_{well}=V_{SL}=-6.00V$ ，在第二次資料拭除動作比其低1階段，將成批寫入脈衝之起始電壓值設為 $V_{WL}=7.75V$ 、 $V_{well}=V_{SL}=-5.75V$ 。此外，成批寫入脈衝之脈寬和上次一樣(1ms)。

其次，在步驟SP104，對全部之記憶體單元電晶體施加在步驟SP103所設定之電壓值之成批寫入脈衝。接著，在步驟SP105進行寫入查證。在步驟SP105之寫入查證之電壓施加條件和在上述之步驟SP53之寫入查證之電壓施加條件一樣。

在步驟SP105之判定結果係「FAIL」之情況，到步驟SP106，按照圖9將成批寫入脈衝之電壓值更新為脈衝強度



五、發明說明 (20)

變強。然後，在步驟SP104，再施加電壓值更新後之成批寫入脈衝。至在步驟SP105之判定結果變成「PASS」為止重複步驟SP104~SP106之動作。

在步驟SP105之判定結果係「PASS」之情況，到步驟SP107，將這次之資料拭除動作之成批寫入脈衝之最終電壓值記錄於圖1所示之記憶部2a。這次之資料拭除動作之成批寫入脈衝之最終電壓值用於在下次之資料拭除動作控制部2設定成批寫入脈衝之起始電壓值。

參照圖20，接著，在步驟SP108，自圖1所示之記憶部2a讀出在上次之資料拭除動作之拭除脈衝之最終電壓值。接著，在步驟SP109，控制部2依照在上次之資料拭除動作之拭除脈衝之最終電壓值，設定這次之資料拭除動作之拭除脈衝之起始電壓值。此時，為了避免拭除脈衝之脈衝強度過強，希望設為比在上次之資料拭除動作之拭除脈衝之最後之脈衝強度低既定階段之值。在上述之例子，因在第一次資料拭除動作之拭除脈衝之最終電壓值係 $V_{WL} = -7.00V$ 、 $V_{well} = V_{SL} = 5.00V$ ，在第二次資料拭除動作比其低1階段，將拭除脈衝之起始電壓值設為 $V_{WL} = -6.75V$ 、 $V_{well} = V_{SL} = 4.75V$ 。此外，拭除脈衝之脈寬和上次一樣(1ms)。

其次，在步驟SP110，對全部之記憶體單元電晶體施加在步驟SP109所設定之電壓值之拭除脈衝。接著，在步驟SP111進行拭除查證。在步驟SP111之拭除查證之電壓施加條件和在上述之步驟SP57之拭除查證之電壓施加條件一



五、發明說明 (21)

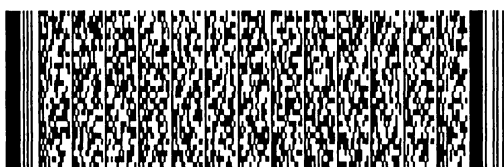
樣。

在步驟SP111之判定結果係「FAIL」之情況，到步驟SP112，按照圖13將拭除脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP110，再施加電壓值更新後之拭除脈衝。至在步驟SP111之判定結果變成「PASS」為止重複步驟SP110~SP112之動作。

在步驟SP111之判定結果係「PASS」之情況，到步驟SP113，將這次之資料拭除動作之拭除脈衝之最終電壓值記錄於圖1所示之記憶部2a。這次之資料拭除動作之拭除脈衝之最終電壓值用於在下次之資料拭除動作控制部2設定拭除脈衝之起始電壓值時。

其次，在步驟SP114進行過拭除查證。在步驟SP114之過拭除查證之電壓施加條件和在上述之步驟SP60之過拭除查證之電壓施加條件一樣。在步驟SP114之判定結果係「PASS」之情況，到圖22所示之步驟SP115，這次之資料拭除動作完了。

而，在步驟SP114之判定結果係「FAIL」之情況，到圖21所示之步驟SP116，自圖1所示之記憶部2a讀出在上次之資料拭除動作之各位元寫回脈衝之最終電壓值。接著，在步驟SP117，控制部2依照在上次之資料拭除動作之各位元寫回脈衝之最終電壓值，設定在這次之資料拭除動作之各位元寫回脈衝之起始電壓值。此時，為了避免各位元寫回脈衝之脈衝強度過強，希望設為比在上次之資料拭除動作之各位元寫回脈衝之最後之脈衝強度低既定階段之值。



五、發明說明 (22)

在上述之例子，因在第一次資料拭除動作之各位元寫回脈衝之最終電壓值係 $V_{WL}=4.0V$ ，在第二次資料拭除動作比其低1階段，將各位元寫回脈衝之起始電壓值設為 $V_{WL}=3.5V$ 。此外，各位元寫回脈衝之脈寬和上次一樣($1\mu s$)。

其次，在步驟SP118，選擇處於過拭除狀態之記憶體單元電晶體後，施加在步驟SP117所設定之電壓值之各位元寫回脈衝。接著，在步驟SP119進行和步驟SP114一樣之過拭除查證。

在步驟SP119之判定結果係「FAIL」之情況，到步驟SP120，按照圖17將各位元寫回脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP118，再施加電壓值更新後之各位元寫回脈衝。至在步驟SP119之判定結果變成「PASS」為止重複步驟SP118~SP120之動作。

在步驟SP119之判定結果係「PASS」之情況，到步驟SP121，將這次之資料拭除動作之各位元寫回脈衝之最終電壓值記錄於圖1所示之記憶部2a。這次之資料拭除動作之各位元寫回脈衝之最終電壓值用於在下次之資料拭除動作控制部2設定各位元寫回脈衝之起始電壓值時。

其次，在步驟SP122進行過寫回查證。在步驟SP122之過寫回查證之電壓施加條件和在上述之步驟SP66之過寫回查證之電壓施加條件一樣。在步驟SP122之判定結果係「PASS」之情況，到圖22所示之步驟SP115，這次之資料拭除動作完了。而，在步驟SP122之判定結果係「FAIL」之情況，回到圖20所示之步驟SP110，重新執行步驟SP110



五、發明說明 (23)

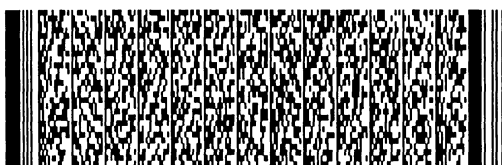
以後之動作。

此外，在以上之說明，控制部2在這次之資料拭除動作分別在步驟SP102、SP108、SP116各自讀出成批寫入脈衝之上次之最終電壓值、拭除脈衝之上次之最終電壓值以及各位元寫回脈衝之上次之最終電壓值。可是，在步驟SP102讀出成批寫入脈衝之上次之最終電壓值時一併讀出拭除脈衝及各位元寫回脈衝之各自之上次之最終電壓值也可。

於是，若依據本實施例1之非揮發性半導體記憶裝置及其資料拭除方法，在記憶部2a記憶在上次之資料拭除動作之關於成批寫入脈衝之最終之脈衝強度之資料(第一資訊)，控制部2依照該第一資訊決定在這次之資料拭除動作之成批寫入脈衝之脈衝強度之起始值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，在步驟SP105之判定結果變成「FAIL」之可能性也比以往的低，可縮短資料拭除動作之所需時間。

又，在記憶部2a記憶在上次之資料拭除動作之關於拭除脈衝之最後之脈衝強度之資料(第二資訊)，控制部2依照該第二資訊決定在這次之資料拭除動作之拭除脈衝之脈衝強度之起始值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，在步驟SP111之判定結果變成「FAIL」之可能性也比以往的低，可縮短資料拭除動作之所需時間。

此外，在記憶部2a記憶在上次之資料拭除動作之關於



五、發明說明 (24)

各位元寫回脈衝之最後之脈衝強度之資料(第三資訊)，控制部2依照該第三資訊決定在這次之資料拭除動作之各位元寫回脈衝之脈衝強度之起始值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，在步驟SP119之判定結果變成「FAIL」之可能性也比以往的低，可縮短資料拭除動作之所需時間。

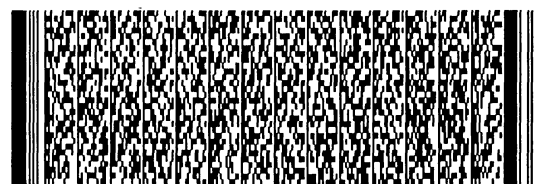
其次，說明本實施例1之變形例1。在以上之說明，在步驟SP52、SP104施加成批寫入脈衝，但是施加各位元寫入脈衝也可。

圖23係用以說明在本發明之實施例1之變形例1之非揮發性半導體記憶裝置之第一次資料拭除方法之一部分之流程圖。在步驟SP71，輸入第一次拭除命令後，在步驟SP72，選擇處於拭除狀態之位元後施加各位元寫回脈衝。因而，使用通道熱電子，對各位元寫入資料。

其次，在步驟SP73進行寫入查證。在步驟SP73之判定結果係「FAIL」之情況，到步驟SP74，將各位元寫入脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP72再施加電壓值更新後之各位元寫入脈衝。至在步驟SP73之判定結果變成「PASS」為止重複步驟SP72~SP74之動作。

在步驟SP73之判定結果係「PASS」之情況，到步驟SP75，將各位元寫入脈衝之最終之電壓值記錄於圖1所示之記憶部2a。以後之動作和該步驟SP56以後之動作一樣。

圖24係用以說明在本發明之實施例1之變形例1之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之一部



五、發明說明 (25)

分之流程圖。在步驟SP141，輸入第二次以後之拭除命令後，在步驟SP142，自圖1所示之記憶部2a讀出在上次之資料拭除動作之各位元寫入脈衝之最終電壓值。

接著，在步驟SP143，控制部2依照在上次之資料拭除動作之各位元寫入脈衝之最終電壓值，設定這次之資料拭除動作之各位元寫入脈衝之起始電壓值。此時，為了避免各位元寫入脈衝之脈衝強度過強，希望設為比在上次之資料拭除動作之各位元寫入脈衝之最後之脈衝強度低既定階段之值。

其次，在步驟SP144，對所選擇之記憶體單元電晶體施加在步驟SP143所設定之電壓值之各位元寫入脈衝。接著，在步驟SP145進行寫入查證。在步驟SP145之判定結果係「FAIL」之情況，到步驟SP146，將各位元寫入脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP144，再施加電壓值更新後之各位元寫入脈衝。至在步驟SP145之判定結果變成「PASS」為止重複步驟SP144~SP146之動作。

在步驟SP145之判定結果係「PASS」之情況，到步驟SP147，將這次之資料拭除動作之各位元寫入脈衝之最終電壓值記錄於圖1所示之記憶部2a。以後之動作和上述之步驟SP108以後之動作一樣。

其次，說明本實施例1之變形例2。在以上之說明，在步驟SP62、SP118施加了各位元寫回脈衝，但是施加成批寫回脈衝也可。

圖25係用以說明在本實施例1之變形例2之非揮發性半



五、發明說明 (26)

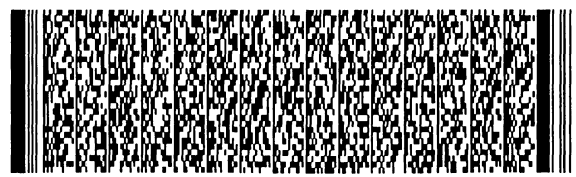
導體記憶裝置之第一次資料拭除方法之一部分之流程圖。在圖3所示之步驟SP60之判定結果係「FAIL」之情況，在步驟SP80，對全部之記憶體單元電晶體施加成批寫回脈衝。因而，使用FN隧道電流在全部之記憶體單元電晶體寫回資料。

接著，在步驟SP81進行過拭除查證。在步驟SP81之判定結果係「FAIL」之情況，在步驟SP82，將成批寫回脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP80，再施加電壓值更新後之成批寫回脈衝。至在步驟SP81之判定結果變成「PASS」為止重複步驟SP80~SP82之動作。

圖26係表示在步驟SP82之成批寫回脈衝之電壓值之更新狀況之圖。作用於字元線WL之脈衝電壓之電壓值 V_{WL} 自第1階段t1之5.0V開始按照刻度0.5V上升至第11階段t11之10.0V為止。此外，對位元線BL1~BLm施加 $V_{BL}=4.0V$ 之脈衝電壓，井之電位 V_{WL} 及源極線SL之電位都設為0V。

在步驟SP81之判定結果係「PASS」之情況，到步驟SP83，將成批寫入回脈衝之最終之電壓值記錄於圖1所示之記憶部2a。以後之動作和上述步驟SP66以後之動作一樣。

圖27係用以說明在本實施例1之變形例2之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之一部分之流程圖。在圖20所示步驟SP114之判定結果係「FAIL」之情況，到步驟SP150，自圖1所示之記憶部2a讀出在上次之資料拭除動作之成批寫回脈衝之最終電壓值。接著，在步驟



五、發明說明 (27)

SP151，控制部2依照在上次之資料拭除動作之成批寫回脈衝之最終電壓值，設定這次之資料拭除動作之成批寫回脈衝之起始電壓值。此時，為了避免成批寫回脈衝之脈衝強度過強，希望設為比在上次之資料拭除動作之成批寫回脈衝之最後之脈衝強度低既定階段之值。

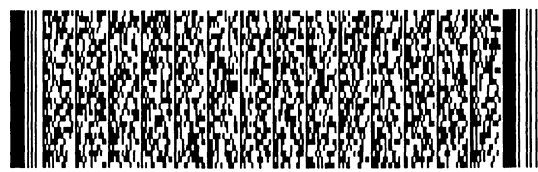
其次，在步驟SP152，對全部之記憶體單元電晶體施加在步驟SP151所設定之電壓值之成批寫回脈衝。接著，在步驟SP153進行過拭除查證。在步驟SP153之判定結果係「FAIL」之情況，到步驟SP154，按照圖26將成批寫回脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP152，再施加電壓值更新後之成批寫回脈衝。至在步驟SP153之判定結果變成「PASS」為止重複步驟SP152~SP154之動作。

在步驟SP153之判定結果係「PASS」之情況，到步驟SP155，將這次之資料拭除動作之成批寫回脈衝之最終電壓值記錄於圖1所示之記憶部2a。以後之動作和上述步驟SP122以後之動作一樣。

依據變形例1及2之半導體記憶裝置及其資料拭除方法，也可得到和實施例1之上述效果一樣之效果。

實施例2

在上述實施例1，在步驟SP54、SP106更新成批寫入脈衝之電壓值，在步驟SP58、SP112更新拭除脈衝之電壓值，在步驟SP64、SP120更新各位元寫回脈衝之電壓值，但是藉著更新脈寬加強脈衝強度也可。



五、發明說明 (28)

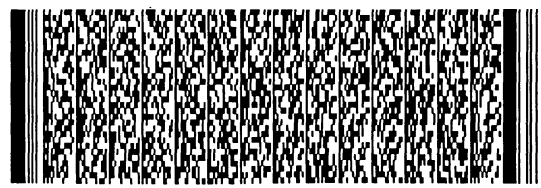
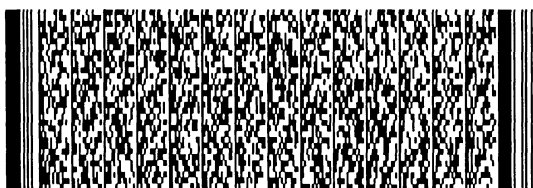
圖28~圖31係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。參照圖28，在步驟SP201，輸入第一次拭除命令後，在步驟SP202，既定之電壓值之成批寫入脈衝作用於全部之記憶體單元電晶體。

圖32係用以說明在步驟SP202在施加成批寫入脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。在步驟SP202，將全部之位元線BL1~BLm設為斷路，對井施加 $V_{well} = -7.00V$ 之脈衝電壓，對源極線SL施加 $V_{SL} = -7.00V$ 之脈衝電壓，對全部之字元線WL0~WLn施加 $V_{WL} = 10.00V$ 之脈衝電壓。

參照圖28，接在步驟SP202之後，在步驟SP203進行寫入查證。在步驟SP203之判定結果係「FAIL」之情況，到步驟SP204，將成批寫入脈衝之脈寬更新為脈衝強度變強。然後，在步驟SP202再施加脈寬更新後之成批寫入脈衝。至在步驟SP203之判定結果變成「PASS」為止重複步驟SP202~SP204之動作。

圖33係表示在步驟SP204之成批寫入脈衝之脈寬之更新狀況之圖。分別作用於字元線WL、井以及源極線SL之電壓脈衝之脈寬自第1階段t1之1ms開始每前進一階段變成2倍，擴寬至第10階段t10之512ms為止。

參照圖28，在步驟SP203之判定結果係「PASS」之情況，到步驟SP205，將成批寫入脈衝之最終之脈寬記錄於圖1所示之記憶部2a。如圖33之例子所示，在步驟SP203之



五、發明說明 (29)

判定結果為在第4階段 t_4 變成「PASS」之情況，將「成批寫入脈衝：8ms」之資訊記錄於記憶部2a。

參照圖29，接在圖28所示步驟SP205之後，在步驟SP206，既定之電壓值之拭除脈衝作用於全部之記憶體單元電晶體。

圖34係用以說明在步驟SP206在施加拭除脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。在步驟SP206，將全部之位元線 $BL_1 \sim BL_m$ 設為斷路，對井施加 $V_{well} = 7.0V$ 之脈衝電壓，對源極線 SL 施加 $V_{SL} = 7.0V$ 之脈衝電壓，對全部之字元線 $WL_1 \sim WLn$ 施加 $V_{WL} = -10.0V$ 之脈衝電壓。

參照圖29，接在步驟SP206之後，在步驟SP207進行拭除查證。在步驟SP207之判定結果係「FAIL」之情況，到步驟SP208，將拭除脈衝之脈寬更新為脈衝強度變強。然後，在步驟SP206再施加脈寬更新後之拭除脈衝。至在步驟SP207之判定結果變成「PASS」為止重複步驟SP206~SP208之動作。

圖35係表示在步驟SP208之拭除脈衝之脈寬之更新狀況之圖。分別作用於字元線 WL 、井以及源極線 SL 之電壓脈衝之脈寬自第1階段 t_1 之1ms開始每前進一階段變成2倍，擴寬至第10階段 t_{10} 之512ms為止。

參照圖29，在步驟SP207之判定結果係「PASS」之情況，到步驟SP209，將拭除脈衝之最終之脈寬記錄於圖1所示之記憶部2a。如圖35之例子所示，在步驟SP207之判定結果為在第4階段 t_4 變成「PASS」之情況，將「拭除脈



五、發明說明 (30)

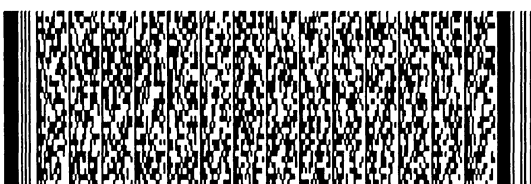
衝：8ms」之資訊記錄於記憶部2a。

其次，在步驟SP210進行過拭除查證。在步驟SP210之判定結果係「PASS」之情況，到圖31所示之步驟SP211，第一次之資料拭除動作完了。而，在步驟SP210之判定結果係「FAIL」之情況，到圖30所示步驟SP212，選擇處於過拭除狀態之記憶體單元電晶體，施加既定之電壓值之各位元寫回脈衝。

圖36係用以說明在步驟SP212在施加各位元寫回脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。在步驟SP212，對和與選擇位元對應之記憶體單元電晶體 $MT(j, i)$ 連接之位元線 BL_j 施加 $V_{BL(j)}=4.0V$ 之脈衝電壓，對其他之位元線之電位 V_{BL} 、井之電位 V_{well} 以及源極線 SL 之電位 V_{SL} 都設為0V，對和與選擇位元對應之記憶體單元電晶體 $MT(j, i)$ 連接之字元線 WLi 施加 $V_{WL(i)}=5.0V$ 之脈衝電壓。

參照圖30，接在步驟SP212之後，在步驟SP213再進行過拭除查證。在步驟SP213之判定結果係「FAIL」之情況，在步驟SP214，將各位元寫回脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP212，對於處於過拭除狀態之記憶體單元電晶體再施加脈寬更新後之各位元寫回脈衝。至在步驟SP213之判定結果變成「PASS」為止重複步驟SP212~SP214之動作。

圖37係表示在步驟SP214之各位元寫回脈衝之脈寬之更新狀況之圖。作用於字元線 WL 之電壓脈衝之脈寬自第1階段 $t1$ 之 $0.5\mu s$ 開始每前進一階段變成2倍，擴寬至第6階



五、發明說明 (31)

段 t_6 之 $16.0\ \mu\text{s}$ 為止。

參照圖30，在步驟SP213之判定結果係「PASS」之情況，到步驟SP215，將各位元寫回脈衝之最終之脈寬記錄於圖1所示之記憶部2a。如圖37之例子所示，在步驟SP213之判定結果為在第4階段 t_4 變成「PASS」之情況，將「各位元寫回脈衝： $4.0\ \mu\text{s}$ 」之資訊記錄於記憶部2a。

其次，在步驟SP216進行過寫回查證。在步驟SP216之判定結果係「PASS」之情況，到圖31所示之步驟SP211，第一次之資料拭除動作完了。而，在步驟SP216之判定結果係「FAIL」之情況，回到圖29所示步驟SP206，重新執行步驟SP206以後之動作。

圖38~圖41係用以說明在本實施例2之非揮發性半導體記憶裝置1之第二次以後之資料拭除方法之流程圖。參照圖38，在步驟SP251，輸入第二次以後之拭除命令後，在步驟SP252，自圖1所示之記憶部2a讀出在上次之資料拭除動作之成批寫入脈衝之最終脈寬。

接著，在步驟SP253，控制部2依照在上次之資料拭除動作之成批寫入脈衝之最終脈寬，設定這次之資料拭除動作之成批寫入脈衝之起始脈寬。在上述之例子，因在第一次之資料拭除動作之成批寫入脈衝之最終脈寬係 8ms ，在第二次資料拭除動作比其低一個階段，將成批寫入脈衝之起始脈寬設為 4ms 。此外，成批寫入脈衝之電壓值和上次一樣。

其次，在步驟SP254，對全部之記憶體單元電晶體施



五、發明說明 (32)

加在步驟SP253所設定之脈寬之成批寫入脈衝。接著，在步驟SP255進行寫入查證。在步驟SP255之判定結果係「FAIL」之情況，到步驟SP256，按照圖33將成批寫入脈衝之脈寬更新為脈衝強度變強。然後，在步驟SP254，再施加脈寬更新後之成批寫入脈衝。至在步驟SP255之判定結果變成「PASS」為止重複步驟SP254~SP256之動作。

在步驟SP255之判定結果係「PASS」之情況，到步驟SP257，將這次之資料拭除動作之成批寫入脈衝之最終電壓值記錄於圖1所示之記憶部2a。

參照圖39，接著，在步驟SP258，自圖1所示之記憶部2a讀出在上次之資料拭除動作之拭除脈衝之最終脈寬。接著，在步驟SP259，控制部2依照在上次之資料拭除動作之拭除脈衝之最終脈寬，設定這次之資料拭除動作之拭除脈衝之起始脈寬。在上述之例子，因在第一次之資料拭除動作之成批寫入脈衝之最終脈寬係8ms，在第二次資料拭除動作比其低一個階段，將拭除脈衝之起始脈寬設為4ms。此外，拭除脈衝之電壓值和上次一樣。

其次，在步驟SP260，對全部之記憶體單元電晶體施加在步驟SP259所設定之脈寬之拭除脈衝。接著，在步驟SP261進行拭除查證。在步驟SP261之判定結果係「FAIL」之情況，到步驟SP262，按照圖35將拭除脈衝之脈寬更新為脈衝強度變強。然後，在步驟SP260，再施加脈寬更新後之拭除脈衝。至在步驟SP261之判定結果變成「PASS」為止重複步驟SP260~SP262之動作。



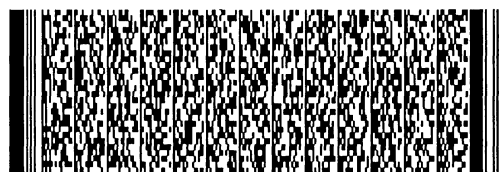
五、發明說明 (33)

在步驟SP261之判定結果係「PASS」之情況，到步驟SP263，將這次之資料拭除動作之拭除脈衝之最終脈寬記錄於圖1所示之記憶部2a。

其次，在步驟SP264進行過拭除查證。在步驟SP264之判定結果係「PASS」之情況，到圖41所示之步驟SP265，這次之資料拭除動作完了。而，在步驟SP264之判定結果係「FAIL」之情況，到圖40所示之步驟SP266，自圖1所示之記憶部2a讀出在上次之資料拭除動作之各位元寫回脈衝之最終脈寬。

其次，在步驟SP267，控制部2依照在上次之資料拭除動作之各位元寫回脈衝之最終脈寬，設定這次之資料拭除動作之各位元寫回脈衝之起始脈寬。在上述之例子，因在第一次之資料拭除動作之各位元寫回脈衝之最終脈寬係 $4.0\ \mu\text{s}$ ，在第二次資料拭除動作比其低一個階段，將各位元寫回脈衝之起始脈寬設為 $2.0\ \mu\text{s}$ 。此外，各位元寫回脈衝之電壓值和上次一樣。

其次，在步驟SP268，選擇處於過拭除狀態之記憶體單元電晶體，施加在步驟SP267所設定之脈寬之各位元寫回脈衝。其次，在步驟SP269進行過拭除查證。在步驟SP269之判定結果係「FAIL」之情況，到步驟SP270，按照圖37將各位元寫回脈衝之脈寬更新為脈衝強度變強。然後，在步驟SP268，再施加脈寬更新後之各位元寫回脈衝。至在步驟SP269之判定結果變成「PASS」為止重複步驟SP268~SP270之動作。



五、發明說明 (34)

在步驟SP269之判定結果係「PASS」之情況，到步驟SP271，將這次之資料拭除動作之各位元寫回脈衝之最終脈寬記錄於圖1所示之記憶部2a。

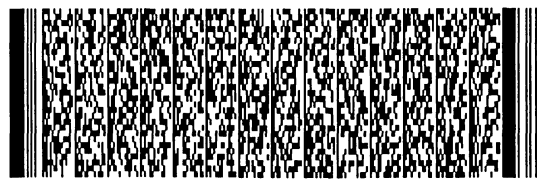
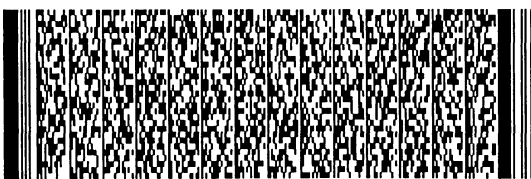
其次，在步驟SP272進行過寫回查證。在步驟SP272之判定結果係「PASS」之情況，到圖41所示之步驟SP265，這次之資料拭除動作完了。而，在步驟SP272之判定結果係「FAIL」之情況，回到圖39所示之步驟SP260，重新執行步驟SP260以後之動作。

此外，在以上之說明，控制部2在第二次以後之資料拭除動作分別在步驟SP252、SP258、SP266各自讀出成批寫入脈衝之上次之最終脈寬、拭除脈衝之上次之最終脈寬以及各位元寫回脈衝之上次之最終脈寬。可是，在步驟SP252讀出成批寫入脈衝之上次之最終脈寬時一併讀出拭除脈衝及各位元寫回脈衝之各自之上次之最終脈寬也可。

如本實施例2之半導體記憶裝置之資料拭除方法般，藉著擴大脈寬而不是電壓值，也可加強脈衝強度。因此，和上述實施例1一樣，在已進行某程度之多次資料拭除動作後之資料拭除動作，在步驟SP255、SP261、SP269之各判定結果變成「FAIL」之可能性也比以往的低，可縮短資料拭除動作之所需時間。

其次，說明本實施例2之變形例1。在以上之說明，在步驟SP202、SP254施加成批寫入脈衝，但是施加各位元寫入脈衝也可。

圖42係用以說明在本實施例2之變形例1之非揮發性半



五、發明說明 (35)

導體記憶裝置之第二次以後之資料拭除方法之一部分之流程圖。在步驟SP320，輸入第二次以後之拭除命令後，在步驟SP321，自圖1所示之記憶部2a讀出在上次之資料拭除動作之各位元寫回脈衝之最終脈寬。

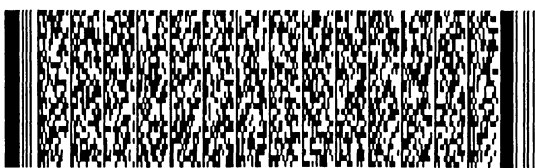
其次，在步驟SP322，控制部2依照在上次之資料拭除動作之各位元寫入脈衝之最終脈寬，設定這次之資料拭除動作之各位元寫入脈衝之起始脈寬。

其次，在步驟SP323，對所選擇之記憶體單元電晶體施加在步驟SP322所設定之脈寬之各位元寫入脈衝。接著，在步驟SP324進行寫入查證。在步驟SP324之判定結果係「FAIL」之情況，到步驟SP325，將各位元寫入脈衝之脈寬更新為脈衝強度變強。然後，在步驟SP323，再施加脈寬更新後之各位元寫入脈衝。至在步驟SP324之判定結果變成「PASS」為止重複步驟SP3234~SP325之動作。

在步驟SP324之判定結果係「PASS」之情況，到步驟SP326，將這次之資料拭除動作之各位元寫入脈衝之最終脈寬記錄於圖1所示之記憶部2a。以後之動作和上述之步驟SP258以後之動作一樣。

其次，說明本實施例2之變形例2。在以上之說明，在步驟SP212、SP268施加了各位元寫回脈衝，但是施加成批寫入脈衝也可。

圖44係用以說明在本實施例2之變形例2之非揮發性半導體記憶裝置之第一次資料拭除方法之一部分之流程圖。在圖29所示之步驟SP210之判定結果係「FAIL」之情況，



五、發明說明 (36)

在步驟SP400，對全部之記憶體單元電晶體施加成批寫回脈衝。

接著，在步驟SP401進行過拭除查證。在步驟SP401之判定結果係「FAIL」之情況，在步驟SP402，將成批寫回脈衝之脈寬更新為脈衝強度變強。然後，在步驟SP400，再施加脈寬更新後之成批寫回脈衝。至在步驟SP401之判定結果變成「PASS」為止重複步驟SP400~SP402之動作。

圖45係表示在步驟SP402之成批寫回脈衝之電壓值之更新狀況之圖。作用於字元線WL之脈衝電壓之脈寬自第1階段t1之1ms開始每前進一階段變成2倍，擴寬至第7階段t7之64ms為止。

參照圖44，在步驟SP401之判定結果係「PASS」之情況，到步驟SP403，將成批寫回脈衝之最終之脈寬記錄於圖1所示之記憶部2a。以後之動作和上述步驟SP216以後之動作一樣。

圖46係用以說明在本實施例2之變形例2之非揮發性半導體記憶裝置1之第二次以後之資料拭除方法之一部分之流程圖。在圖39所示步驟SP264之判定結果係「FAIL」之情況，在步驟SP420，自圖1所示之記憶部2a讀出在上次之資料拭除動作之成批寫回脈衝之最終脈寬。接著，在步驟SP421，控制部2依照在上次之資料拭除動作之成批寫回脈衝之最終脈寬，設定這次之資料拭除動作之成批寫回脈衝之起始脈寬。

其次，在步驟SP422，對全部之記憶體單元電晶體施



五、發明說明 (37)

加在步驟SP421所設定之脈寬之成批寫回脈衝。接著，在步驟SP423進行過拭除查證。在步驟SP423之判定結果係「FAIL」之情況，到步驟SP424，按照圖45將成批寫回脈衝之電壓值更新為脈衝強度變強。然後，在步驟SP422，再施加脈寬更新後之成批寫回脈衝。至在步驟SP423之判定結果變成「PASS」為止重複步驟SP422~SP424之動作。

在步驟SP423之判定結果係「PASS」之情況，到步驟SP425，將這次之資料拭除動作之成批寫回脈衝之最終脈寬記錄於圖1所示之記憶部2a。以後之動作和上述步驟SP272以後之動作一樣。

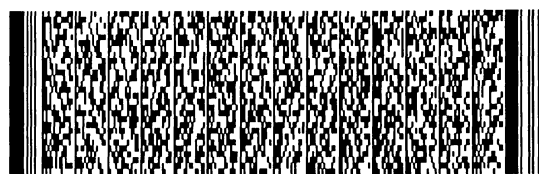
依據變形例1及2之半導體記憶裝置及其資料拭除方法，也可得到和實施例2之上述效果一樣之效果。

發明之效果

若依據本發明之中之申請專利範圍第1項，控制部依照記憶部記憶之第一資訊可將在這次之資料拭除動作之寫入脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強寫入脈衝之脈衝強度之次數少，可縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第2項，在這次之資料拭除動作可避免寫入脈衝之脈衝強度之起始值變成過大。

又，若依據本發明之中之申請專利範圍第3項，控制



五、發明說明 (38)

部依照記憶部記憶之第二資訊可將在這次之資料拭除動作之拭除脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強拭除脈衝之脈衝強度之次數少，可更縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第4項，控制部依照記憶部記憶之第三資訊可將在這次之資料拭除動作之寫回脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強寫回脈衝之脈衝強度之次數少，可更縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第5項，控制部依照記憶部記憶之第一資訊可將在這次之資料拭除動作之拭除脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強拭除脈衝之脈衝強度之次數少，可縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第6項，在這次之資料拭除動作可避免拭除脈衝之脈衝強度之起始值變成過大。

又，若依據本發明之中之申請專利範圍第7項，控制部依照記憶部記憶之第二資訊可將在這次之資料拭除動作之寫回脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也



五、發明說明 (39)

可使加強寫回脈衝之脈衝強度之次數少，可更縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第8項，控制部依照記憶部記憶之資訊可將在這次之資料拭除動作之寫回脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強寫回脈衝之脈衝強度之次數少，可縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第9項，在這次之資料拭除動作可避免寫回脈衝之脈衝強度之起始值變成過大。

又，本發明之中之申請專利範圍第10項，在係裝置之電源在上次之資料拭除動作和這次之資料拭除動作之間一度斷電之情況，也可保持記憶部之記憶內容。

若依據本發明之中之申請專利範圍第11項，依照在步驟(b)記憶之第一資訊可將在這次之資料拭除動作之寫入脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強寫入脈衝之脈衝強度之次數少，可縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第12項，在這次之資料拭除動作可避免寫入脈衝之脈衝強度之起始值變成過大。

又，若依據本發明之中之申請專利範圍第13項，依照



五、發明說明 (40)

在步驟(d)記憶之第二資訊可將在這次之資料拭除動作之拭除脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強拭除脈衝之脈衝強度之次數少，可更縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第14項，依照在步驟(f)記憶之第三資訊可將在這次之資料拭除動作之寫回脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強寫回脈衝之脈衝強度之次數少，可更縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第15項，依照在步驟(b)記憶之第一資訊可將在這次之資料拭除動作之拭除脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強拭除脈衝之脈衝強度之次數少，可縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第16項，在這次之資料拭除動作可避免拭除脈衝之脈衝強度之起始值變成過大。

又，若依據本發明之中之申請專利範圍第17項，依照在步驟(d)記憶部記憶之第二資訊可將在這次之資料拭除動作之寫回脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動



五、發明說明 (41)

作，也可使加強寫回脈衝之脈衝強度之次數少，可更縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第18項，依照在步驟(b)記憶之資訊可將在這次之資料拭除動作之寫回脈衝之脈衝強度之起始值決定為適當值。因此，在已進行某程度之多次資料拭除動作後之資料拭除動作，也可使加強寫回脈衝之脈衝強度之次數少，可縮短資料拭除動作之所需時間。

又，若依據本發明之中之申請專利範圍第19項，在這次之資料拭除動作可避免寫回脈衝之脈衝強度之起始值變成過大。

又，本發明之中之申請專利範圍第20項，在係裝置之電源在上次之資料拭除動作和這次之資料拭除動作之間一度斷電之情況，也可保持記憶內容。



圖式簡單說明

圖1係概略表示本發明之實施例1之非揮發性半導體記憶裝置之構造之方塊圖。

圖2係用以說明在本發明之實施例1之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。

圖3係用以說明在本發明之實施例1之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。

圖4係用以說明在本發明之實施例1之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。

圖5係用以說明在本發明之實施例1之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。

圖6係表示在資料拭除之起始狀態之臨限值電壓之分布圖。

圖7係用以說明在步驟SP52在施加成批寫入脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。

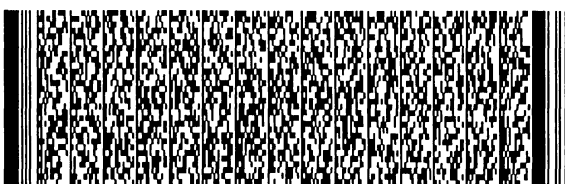
圖8係用以說明在步驟SP53在進行寫入查證之狀態之施加電壓之記憶體單元方塊之電路圖。

圖9係表示在步驟SP54之成批寫入脈衝之電壓值之更新狀況之圖。

圖10係表示在步驟SP53在判定為「PASS」之時刻之臨限值電壓之分布圖。

圖11係用以說明在步驟SP56在施加拭除脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。

圖12係用以說明在步驟SP57在進行拭除查證之狀態之施加電壓之記憶體單元方塊之電路圖。



圖式簡單說明

圖13係表示在步驟SP58之拭除脈衝之電壓值之更新狀況之圖。

圖14係表示在步驟SP57在判定為「PASS」之時刻之臨限值電壓之分布圖。

圖15係用以說明在步驟SP60在進行過拭除查證之狀態之施加電壓之記憶體單元方塊之電路圖。

圖16係用以說明在步驟SP62在施加各位元寫回脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。

圖17係表示在步驟SP64之各位元寫回脈衝之電壓值之更新狀況之圖。

圖18係表示在步驟SP66在判定為「PASS」之時刻之臨限值電壓之分布圖。

圖19係用以說明在本發明之實施例1之非揮發性半導體記憶體裝置之第二次以後之資料拭除方法之流程圖。

圖20係用以說明在本發明之實施例1之非揮發性半導體記憶體裝置之第二次以後之資料拭除方法之流程圖。

圖21係用以說明在本發明之實施例1之非揮發性半導體記憶體裝置之第二次以後之資料拭除方法之流程圖。

圖22係用以說明在本發明之實施例1之非揮發性半導體記憶體裝置之第二次以後之資料拭除方法之流程圖。

圖23係用以說明在本發明之實施例1之變形例1之非揮發性半導體記憶體裝置之第一次資料拭除方法之一部分之流程圖。

圖24係用以說明在本發明之實施例1之變形例1之非揮



圖式簡單說明

發性半導體記憶裝置之第二次以後之資料拭除方法之一部分之流程圖。

圖25係用以說明在本發明之實施例1之變形例2之非揮發性半導體記憶裝置之第一次資料拭除方法之一部分之流程圖。

圖26係表示在步驟SP62之成批寫回脈衝之電壓值之更新狀況之圖。

圖27係用以說明在本發明之實施例1之變形例2之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之一部分之流程圖。

圖28係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。

圖29係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。

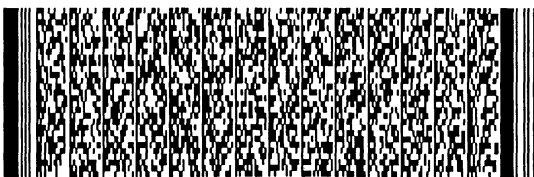
圖30係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。

圖31係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第一次資料拭除方法之流程圖。

圖32係用以說明在步驟SP202在施加成批寫入脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。

圖33係表示在步驟SP204之成批寫入脈衝之脈寬之更新狀況之圖。

圖34係用以說明在步驟SP206在施加拭除脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。



圖式簡單說明

圖35係表示在步驟SP208之拭除脈衝之脈寬之更新狀況之圖。

圖36係用以說明在步驟SP212在施加各位元寫回脈衝之狀態之施加電壓之記憶體單元方塊之電路圖。

圖37係表示在步驟SP214之各位元寫回脈衝之脈寬之更新狀況之圖。

圖38係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之流程圖。

圖39係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之流程圖。

圖40係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之流程圖。

圖41係用以說明在本發明之實施例2之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之流程圖。

圖42係用以說明在本發明之實施例2之變形例1之非揮發性半導體記憶裝置之第一次資料拭除方法之一部分之流程圖。

圖43係用以說明在本發明之實施例2之變形例1之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之一部分之流程圖。

圖44係用以說明在本發明之實施例2之變形例2之非揮發性半導體記憶裝置之第一次資料拭除方法之一部分之流程圖。

圖45係表示在步驟SP402之成批寫回脈衝之脈寬之更



圖式簡單說明

新狀況之圖。

圖46係用以說明在本發明之實施例2之變形例2之非揮發性半導體記憶裝置之第二次以後之資料拭除方法之一部分之流程圖。

圖47係用以說明在以往之半導體記憶裝置之資料拭除動作之流程圖。

符號說明

1 非揮發性半導體記憶裝置	2 控制部
2a 記憶部	3 電壓產生部
4 正電壓產生電路	8 負電壓產生電路
12 WL增壓電路	14 分配器
16 位址緩衝器	18 X解碼器
20 Y解碼器	22 輸出入緩衝器
24 Y系控制電路	26 記憶體單元陣列
30、32 記憶體單元電晶體	28 選擇閘極



四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置及其資料消去方法)

[課題]

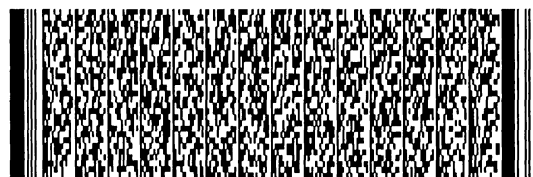
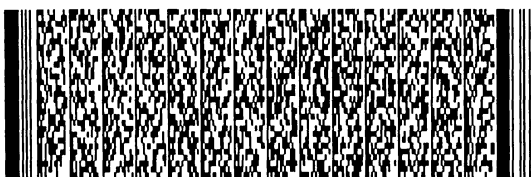
得到一種非揮發性半導體記憶裝置及其資料拭除方法，縮短了資料拭除動作之所需時間。

[解決方式]

在步驟SP101輸入第二次以後之拭除命令後，在步驟SP102，自記憶部2a讀出在上次之資料拭除動作之成批寫入脈衝之最終電壓值。接著，在步驟SP103，控制部2依照在上次之資料拭除動作之成批寫入脈衝之最終電壓值，設定這次之資料拭除動作之成批寫入脈衝之起始電壓值。例如，在上次資料拭除動作之成批寫入脈衝之最終電壓值係 $V_{WL}=8.00V$ 、 $V_{well}=V_{SL}=-6.00V$ 之情況，這次比其低1階段，

英文發明摘要 (發明之名稱：Nonvolatile Semiconductor Storage Device Having A Shortened Time Required for Data Erasing Operation and Data Erasing Method Thereof)

It is an object to obtain a nonvolatile semiconductor storage device and a data erasing method thereof in which a time required for a data erasing operation can be shortened. When second and succeeding erasing commands are input at a step SP101, a final voltage value of a batch writing pulse in a last data erasing operation is read from a storage portion (2a) at a step SP102. At a step SP103, next, a control portion (2) sets a starting voltage value of a batch writing pulse in a present



四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置及其資料消去方法)

將成批寫入脈衝之起始電壓值設為 $V_{WL}=7.75V$ 、 $V_{well}=V_{SL}=-5.75V$ 。

英文發明摘要 (發明之名稱：Nonvolatile Semiconductor Storage Device Having A Shortened Time Required for Data Erasing Operation and Data Erasing Method Thereof)

data erasing operation based on the final voltage value of the batch writing pulse in the last data erasing operation. For example, in the case in which the final voltage value of the batch writing pulse in the last data erasing operation is $V_{WL}=8.00V$ and $V_{well}=V_{SL}=-6.00V$, the starting voltage value of the batch writing pulse is currently set to $V_{WL}=7.75V$ and $V_{well}=V_{SL}=-5.75V$ with a reduction of one step.



六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，包括：

記憶體單元電晶體；及

控制部，具有記憶部，控制作用於該記憶體單元電晶體之電壓脈衝；

其特徵在於：

在資料拭除動作，該控制部在施加拭除脈衝之前，至對該記憶體單元電晶體寫入資料為止，逐漸加脈衝強度後施加寫入脈衝；

在該記憶部記憶在上次之資料拭除動作之關於該寫入脈衝之最終之脈衝強度之第一資訊；

該控制部依照該第一資訊決定在該資料拭除動作之該寫入脈衝之脈衝強度之起始值。

2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中，階段性的加強該寫入脈衝之該脈衝強度；

將在該資料拭除動作之該寫入脈衝之該脈衝強度之該起始值設為比在該上次之資料拭除動作之該寫入脈衝之該最終之脈衝強度低既定個階段之值。

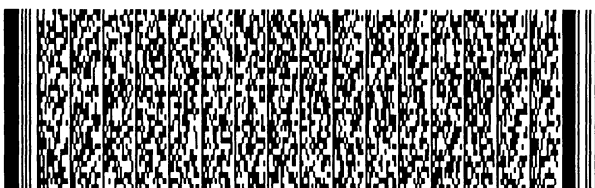
3. 一種非揮發性半導體記憶裝置，包括：

記憶體單元電晶體；及

控制部，具有記憶部，控制作用於該記憶體單元電晶體之電壓脈衝；

其特徵在於：

在資料拭除動作，至拭除該記憶體單元電晶體之資料為止，該控制部逐漸加脈衝強度後施加拭除脈衝；



六、申請專利範圍

在該記憶部記憶在上次之資料拭除動作之關於該拭除脈衝之最終之脈衝強度之第一資訊；

該控制部依照該第一資訊決定在該資料拭除動作之該拭除脈衝之脈衝強度之起始值。

4. 如申請專利範圍第3項之非揮發性半導體記憶裝置，其中，階段性的加強該拭除脈衝之該脈衝強度；

將在該資料拭除動作之該拭除脈衝之該脈衝強度之該起始值設為比在該上次之資料拭除動作之該拭除脈衝之該最終之脈衝強度低既定個階段之值。

5. 一種非揮發性半導體記憶裝置，包括：

記憶體單元電晶體；及

控制部，具有記憶部，控制作用於該記憶體單元電晶體之電壓脈衝；

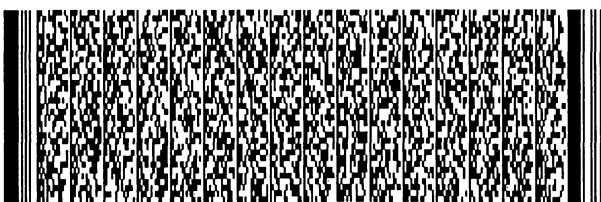
其特徵在於：

在資料拭除動作，該控制部在因施加拭除脈衝而存在過拭除之記憶體單元電晶體之情況，至向該過拭除之記憶體單元電晶體寫回資料為止，逐漸加脈衝強度後施加寫回脈衝；

在該記憶部記憶在上次之資料拭除動作之關於該寫回脈衝之最終之脈衝強度之資訊；

該控制部依照該資訊決定在該資料拭除動作之該寫回脈衝之脈衝強度之起始值。

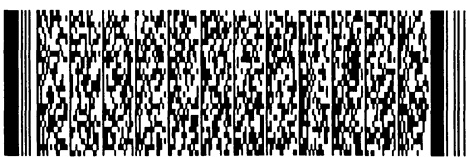
6. 如申請專利範圍第5項之非揮發性半導體記憶裝置，其中，階段性的加強該寫回脈衝之該脈衝強度；

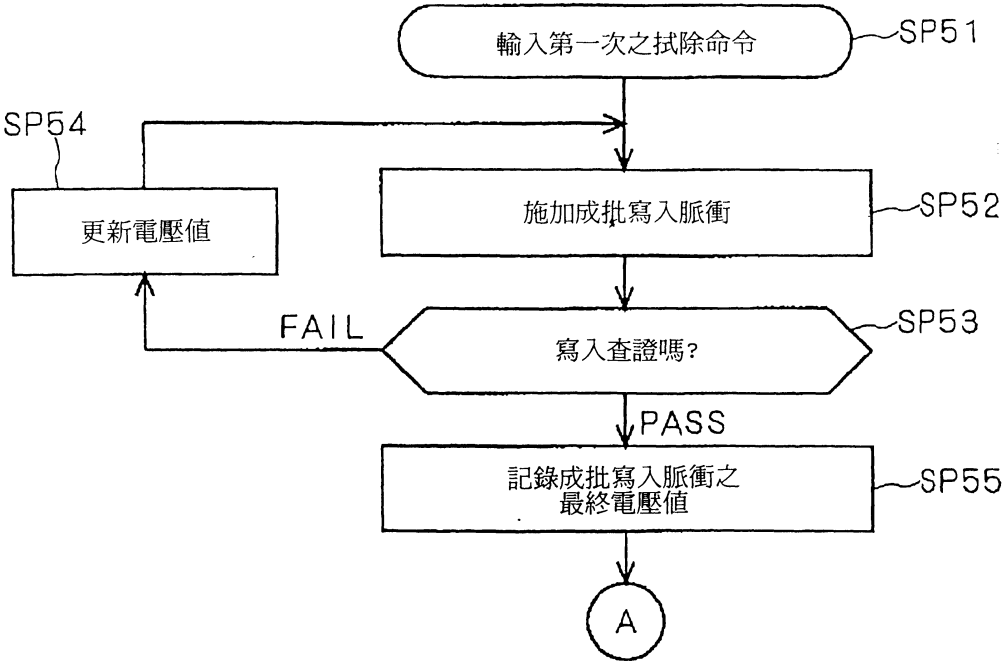


六、申請專利範圍

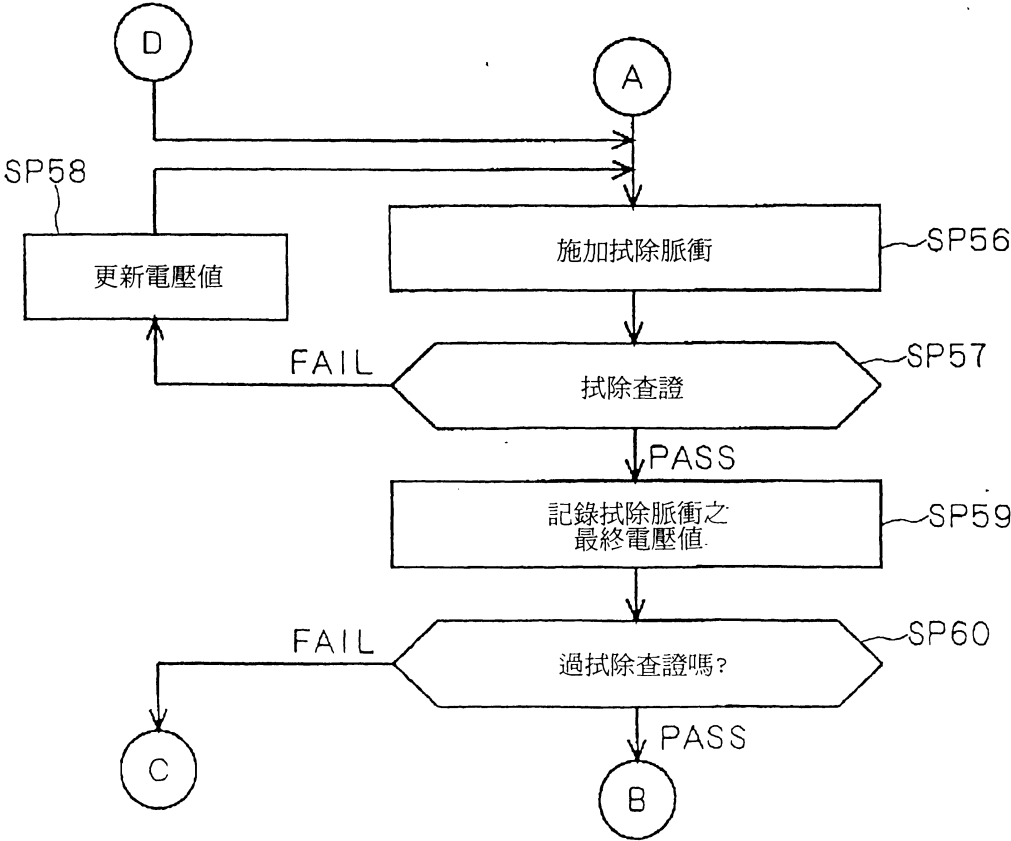
將在該資料拭除動作之該寫回脈衝之該脈衝強度之該起始值設為比在該上次之資料拭除動作之該寫回脈衝之該最終之脈衝強度低既定個階段之值。

7. 如申請專利範圍第1、2、3、4、5、或6項之非揮發性半導體記憶裝置，其中，該記憶部係非揮發性半導體記憶體。

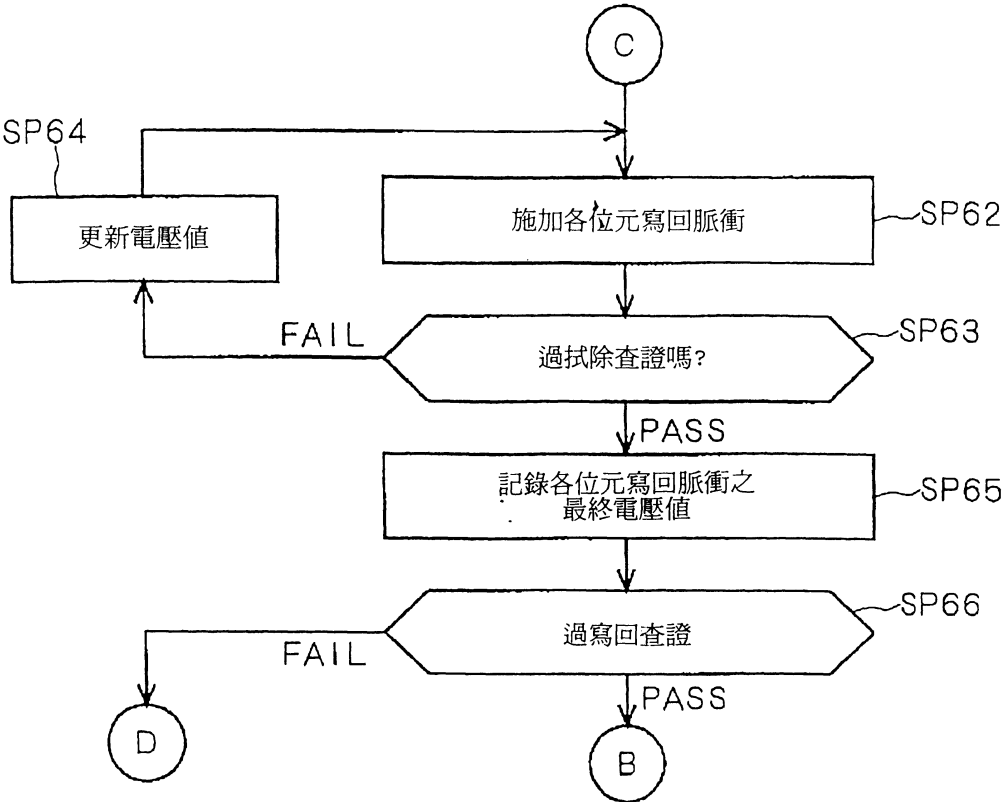




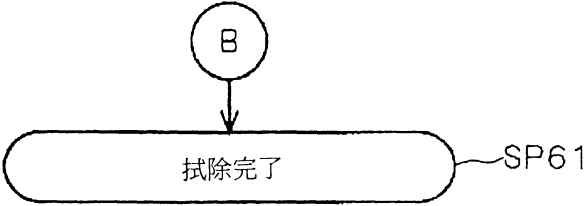
第 2 圖



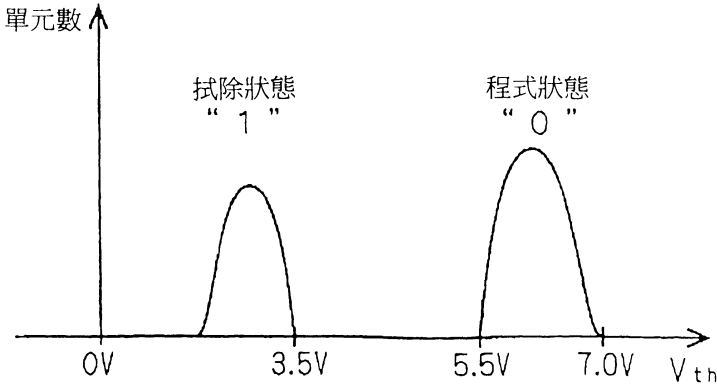
第 3 圖



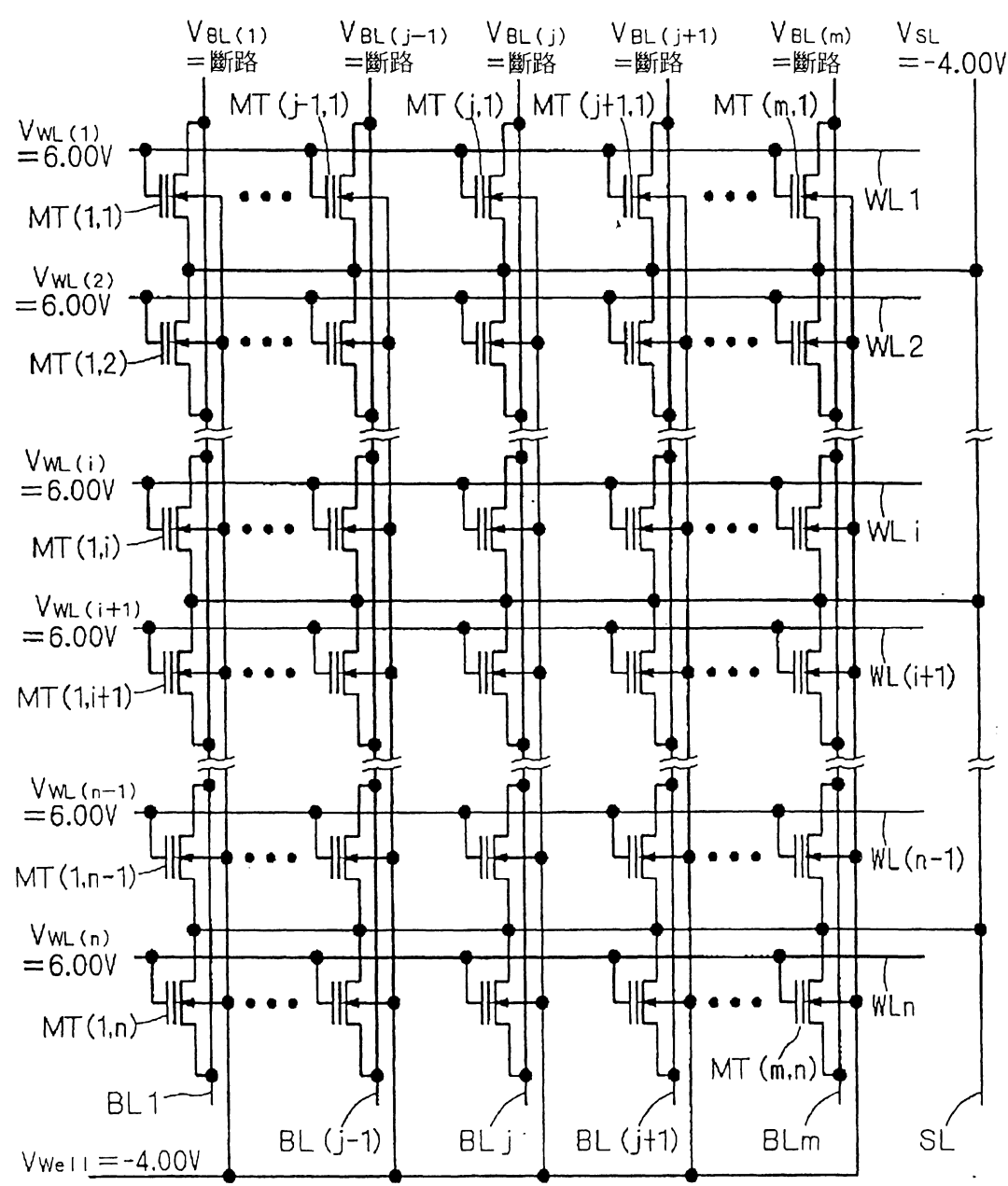
第 4 圖



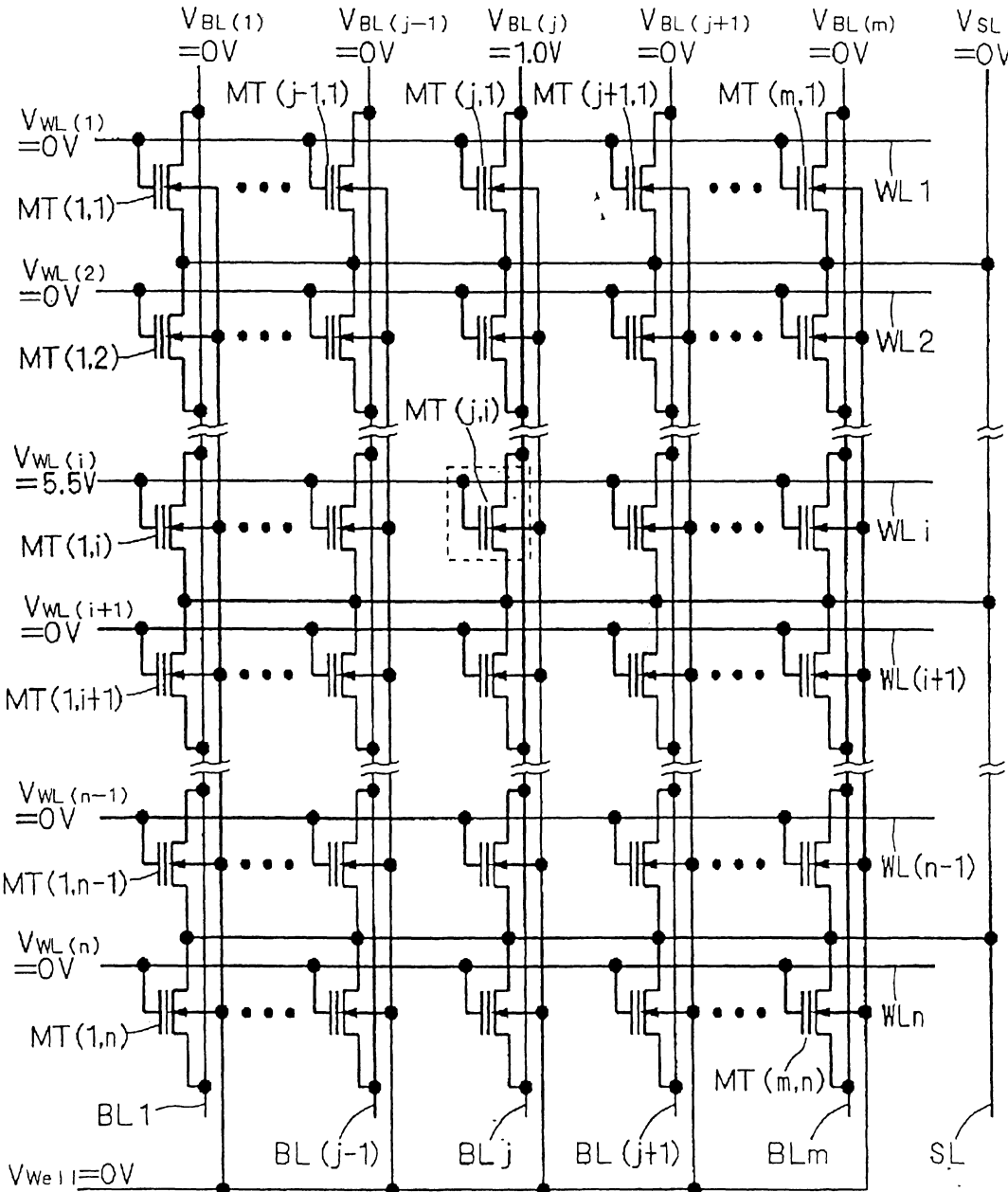
第 5 圖



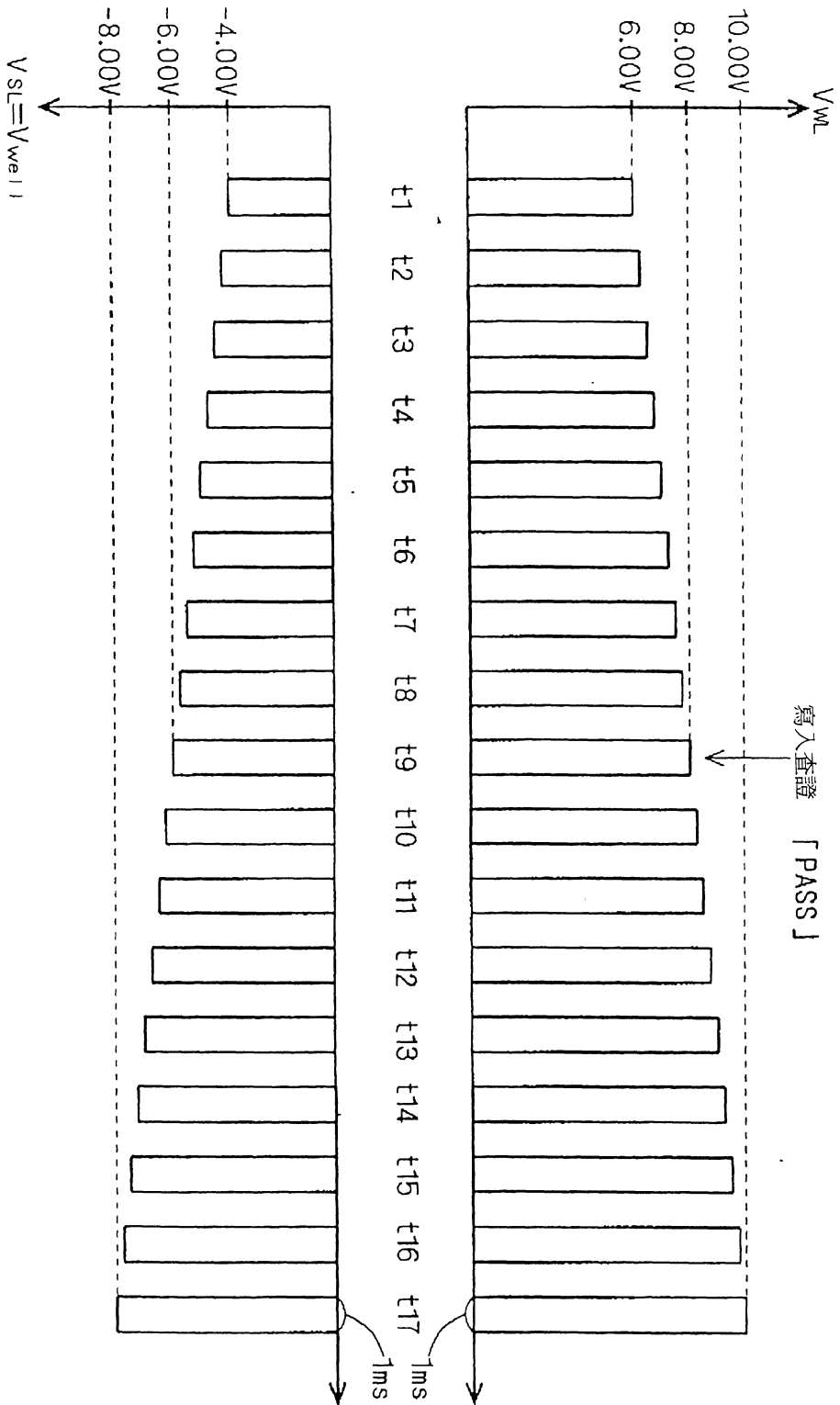
第 6 圖



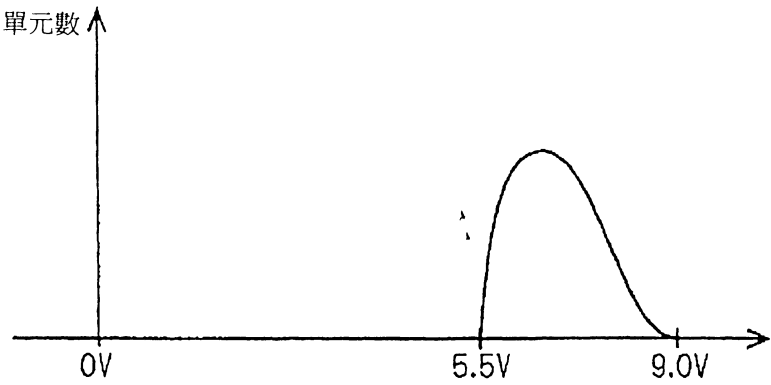
第 7 圖



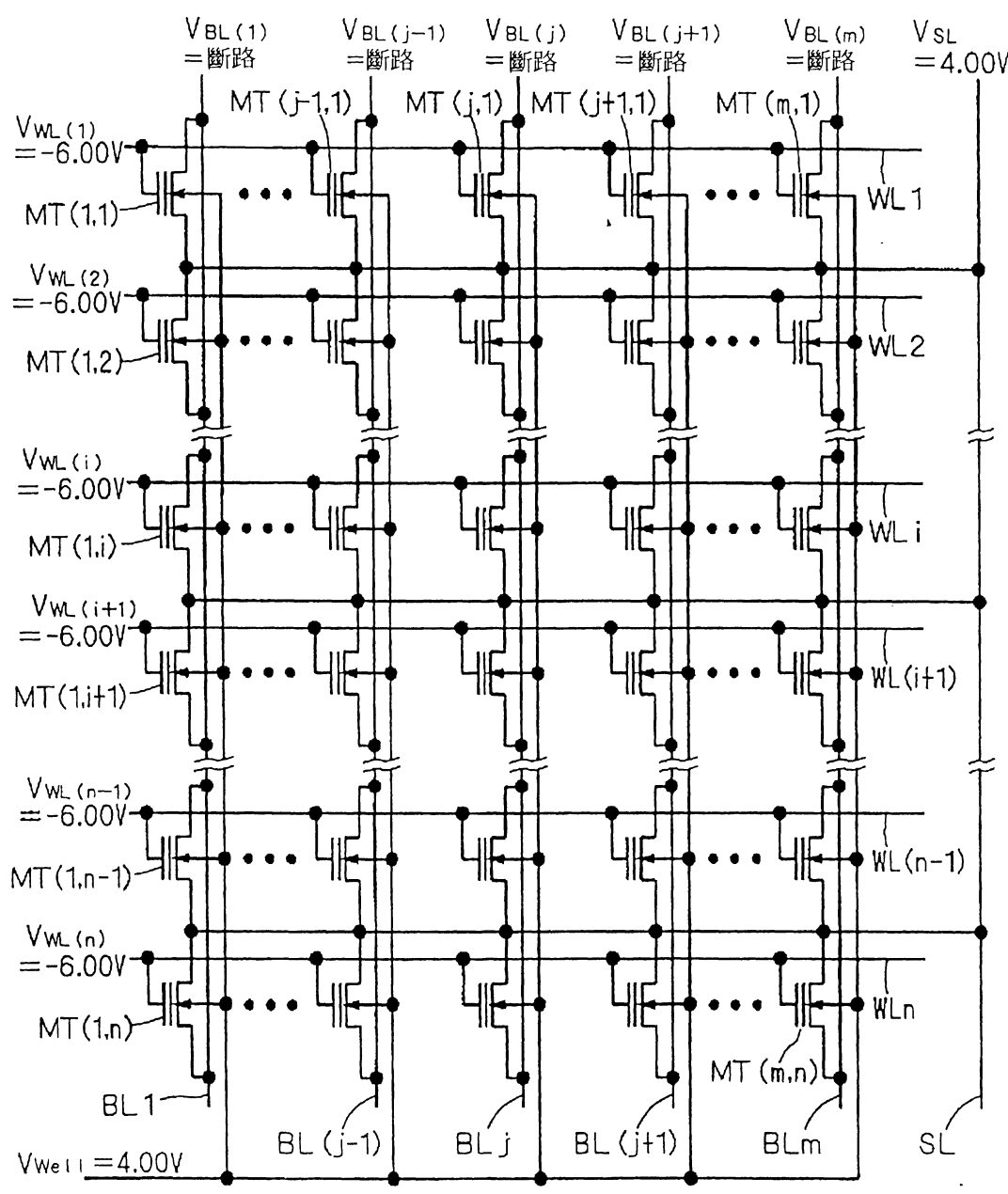
第 8 圖



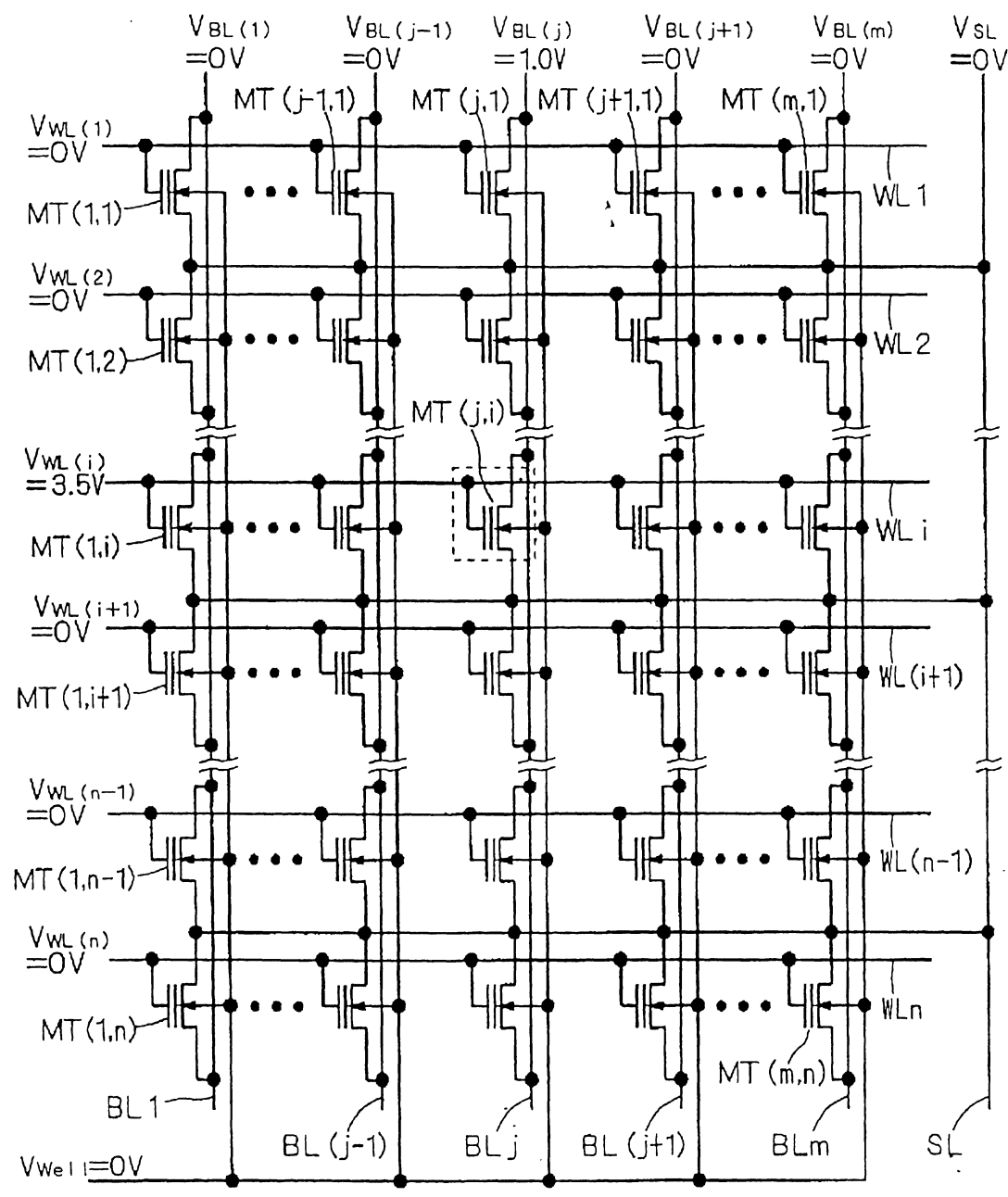
第9圖



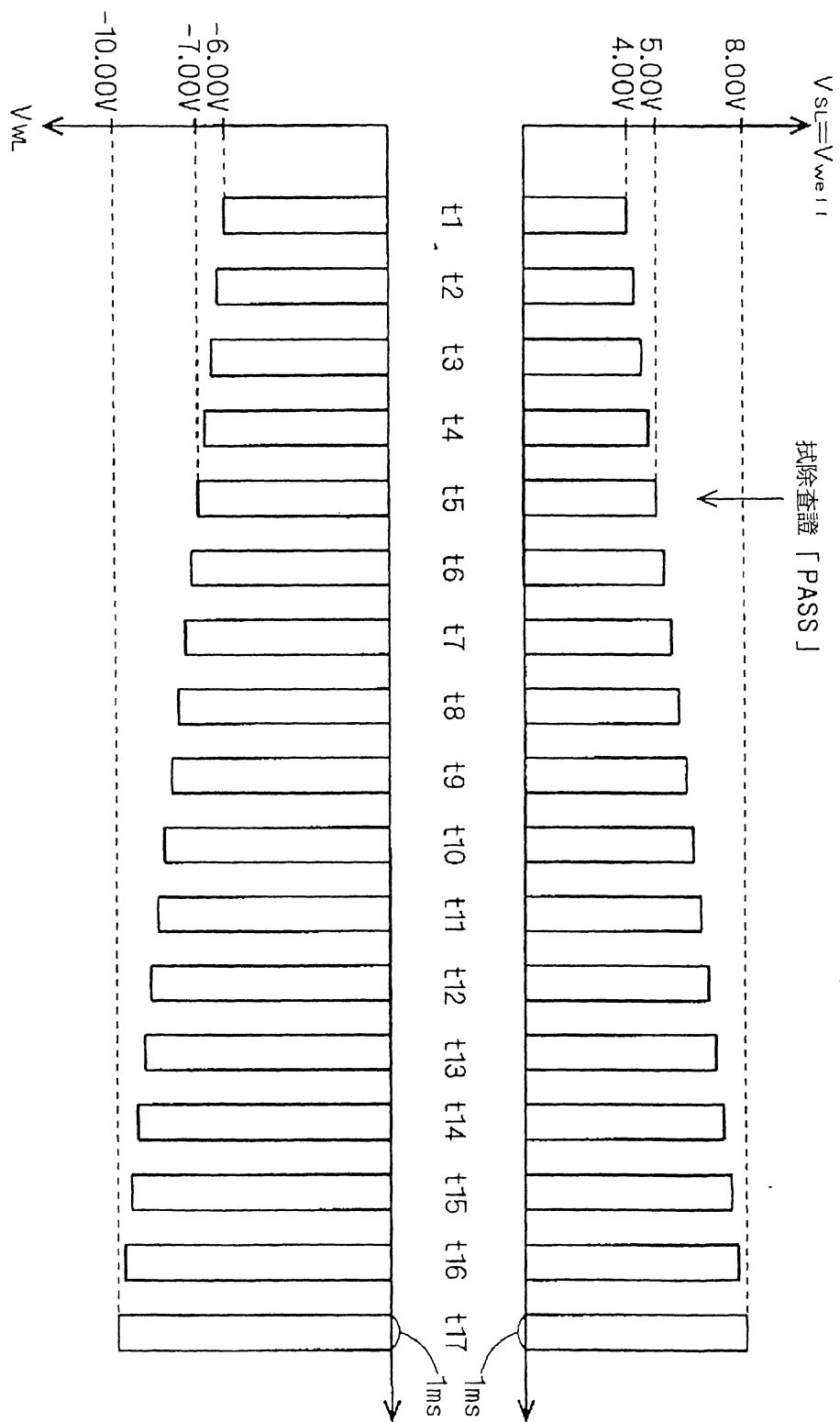
第 10 圖



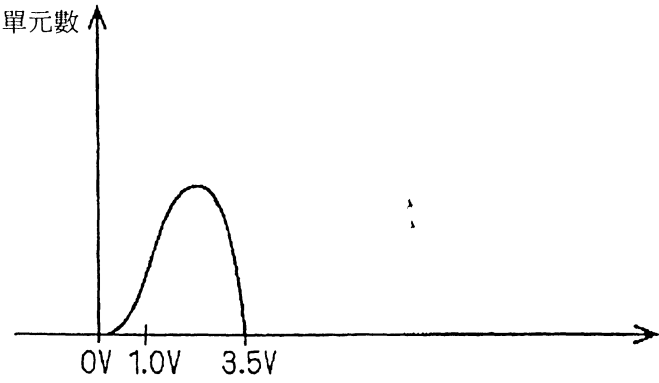
第 11 圖



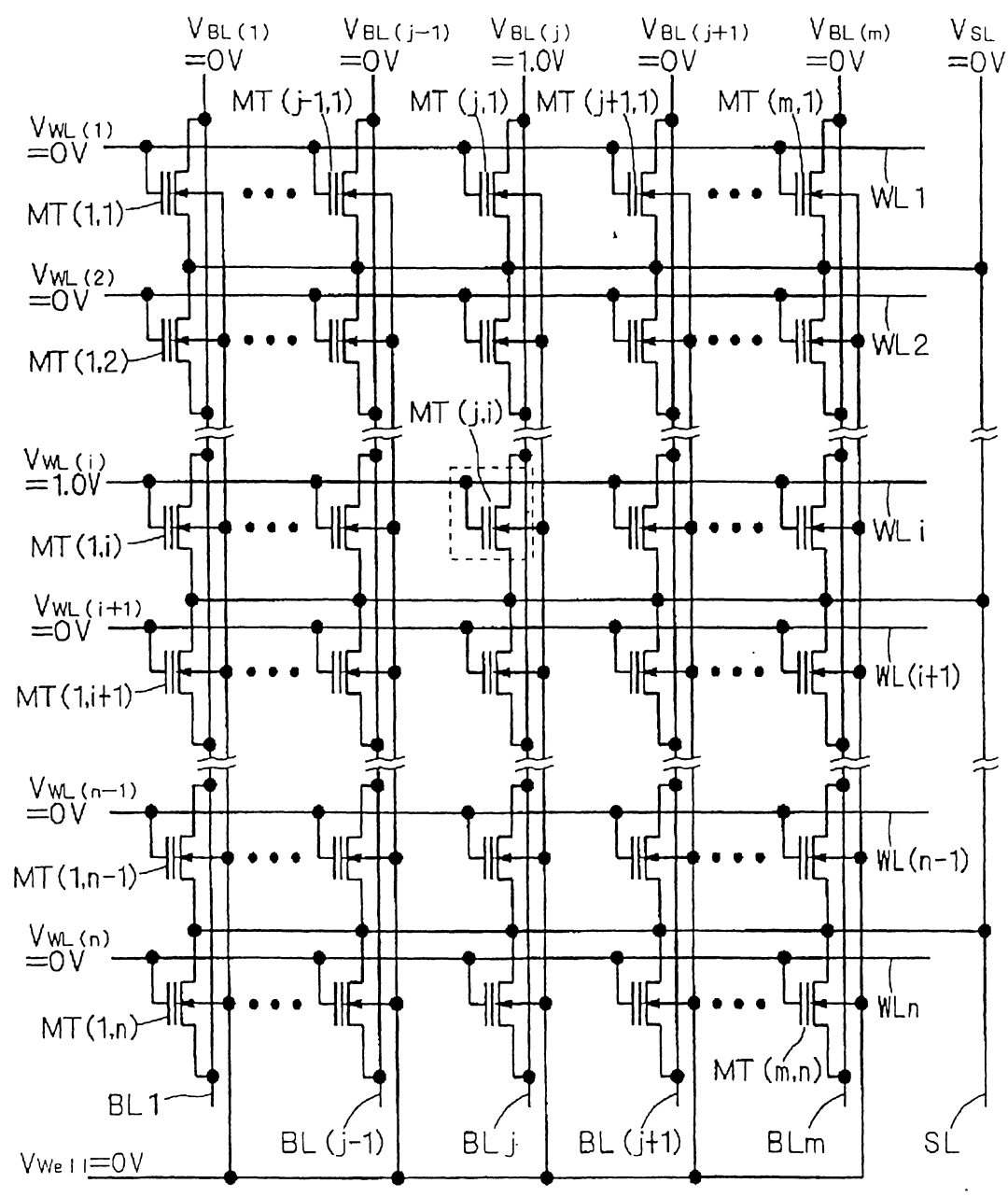
第 12 圖



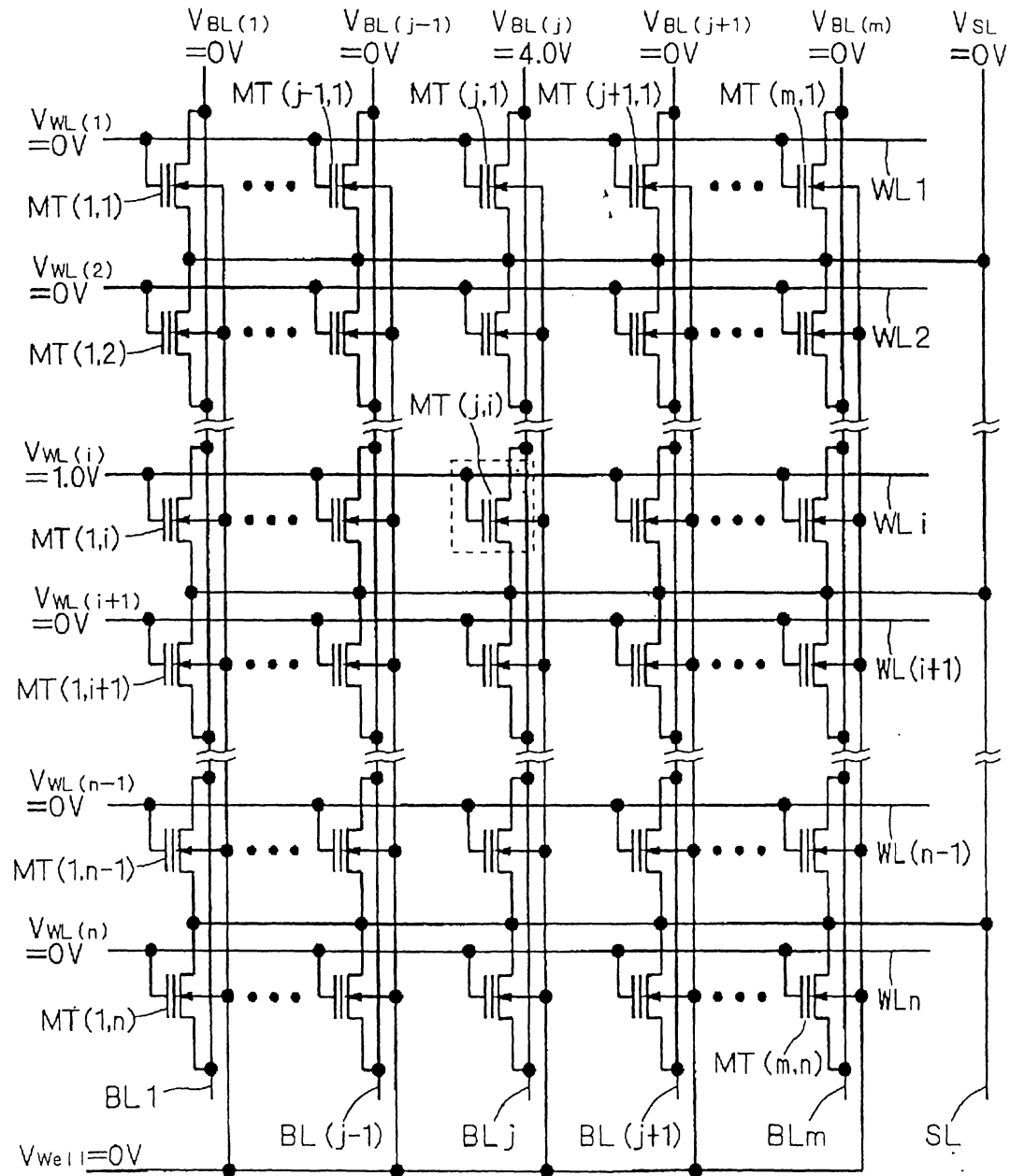
第 13 圖



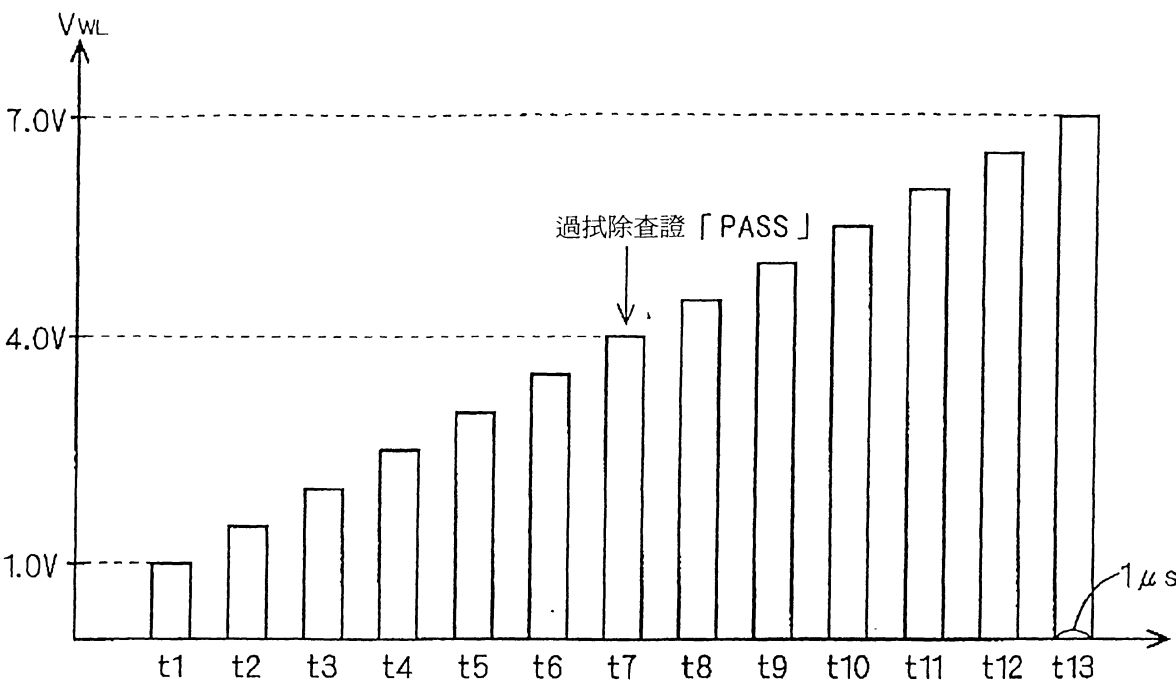
第 14 圖



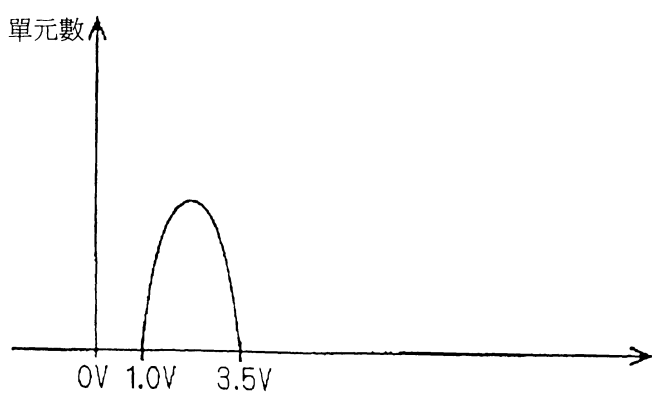
第 15 圖



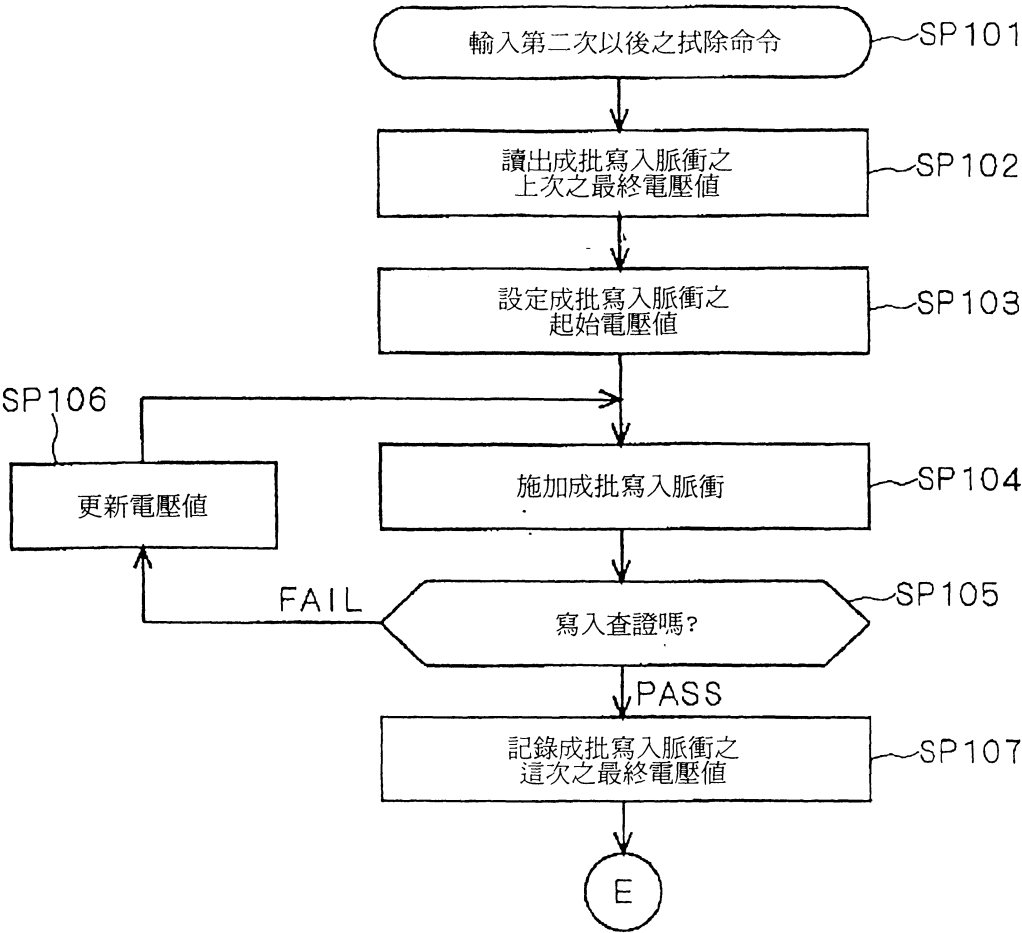
第 16 圖



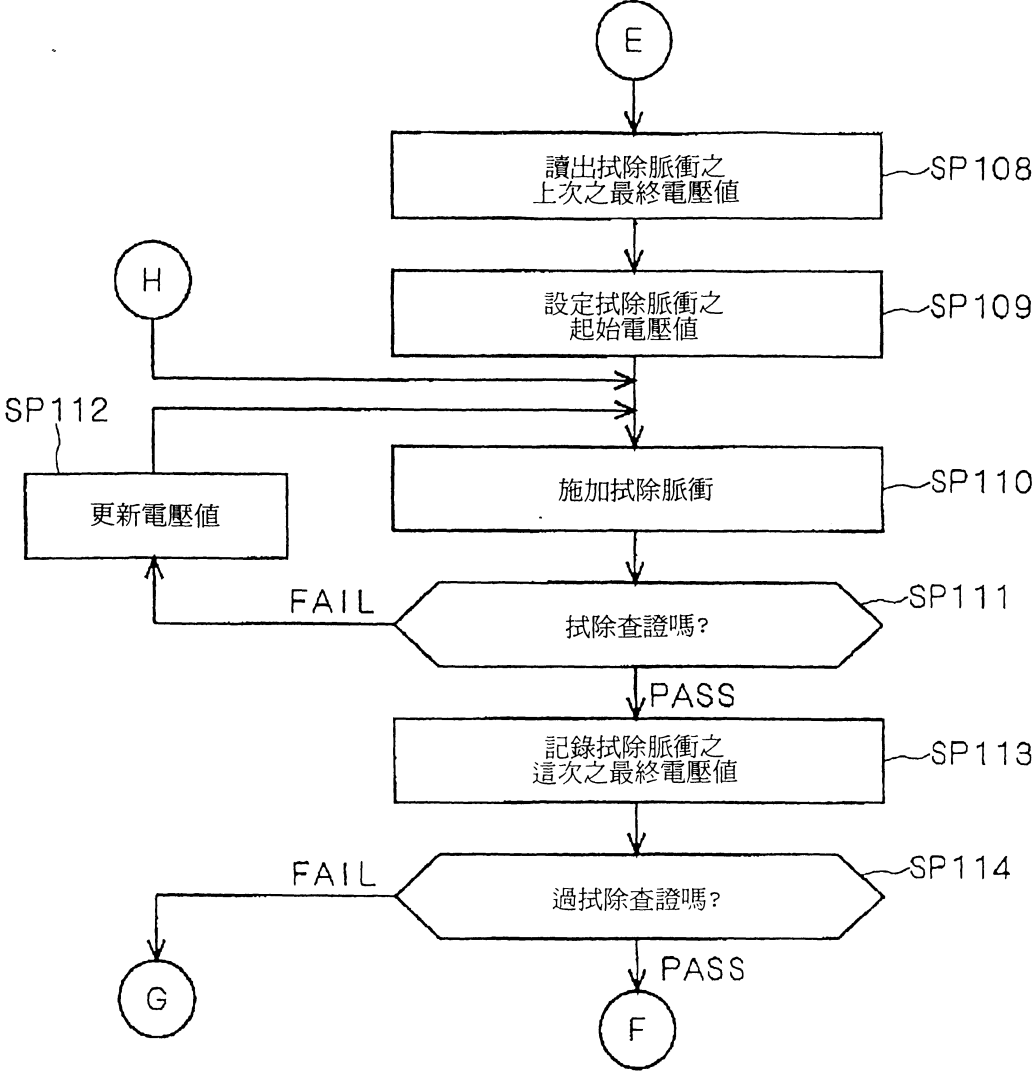
第 17 圖



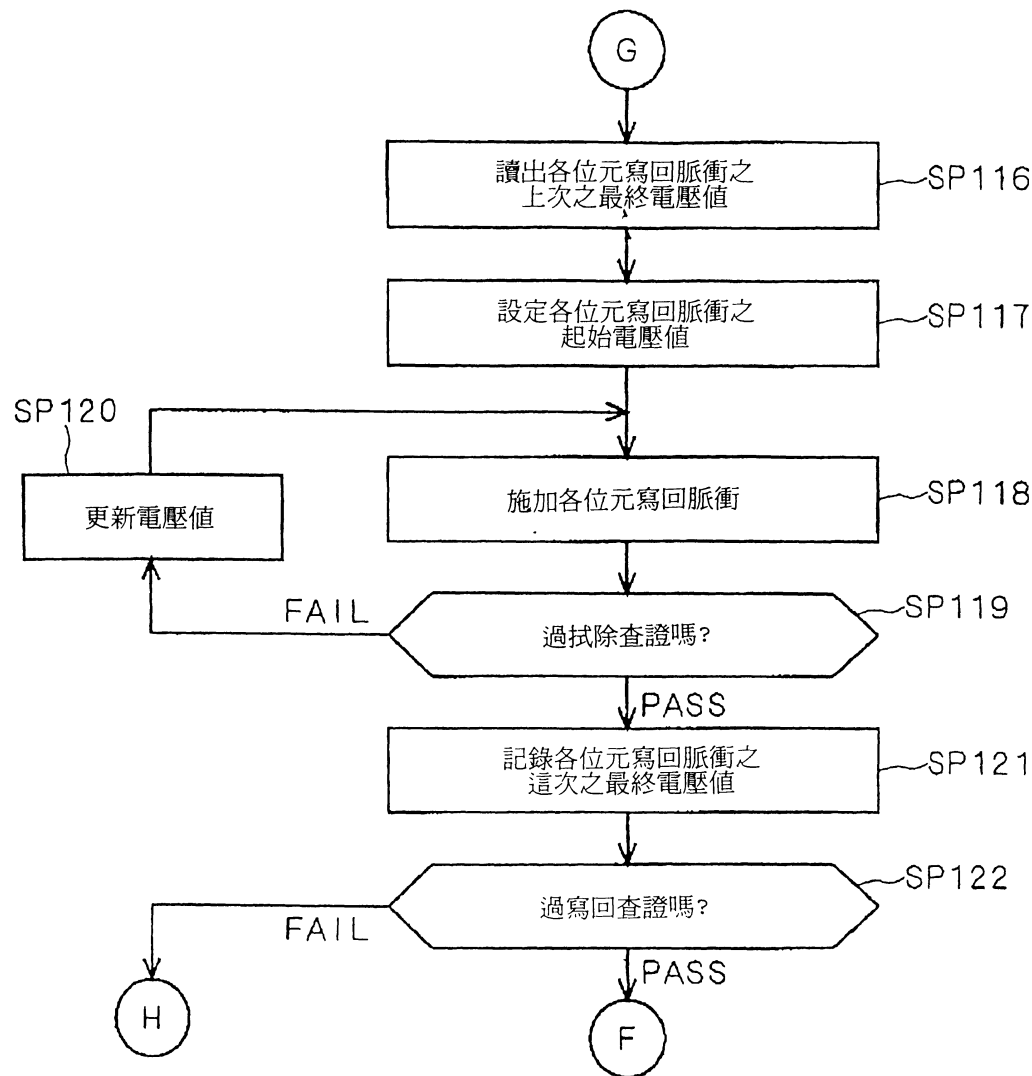
第 18 圖



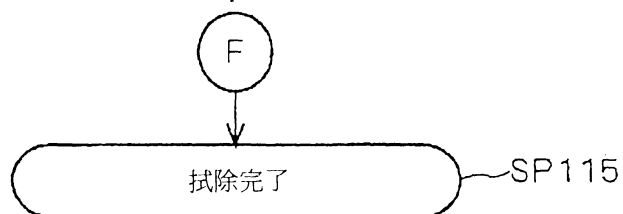
第 19 圖



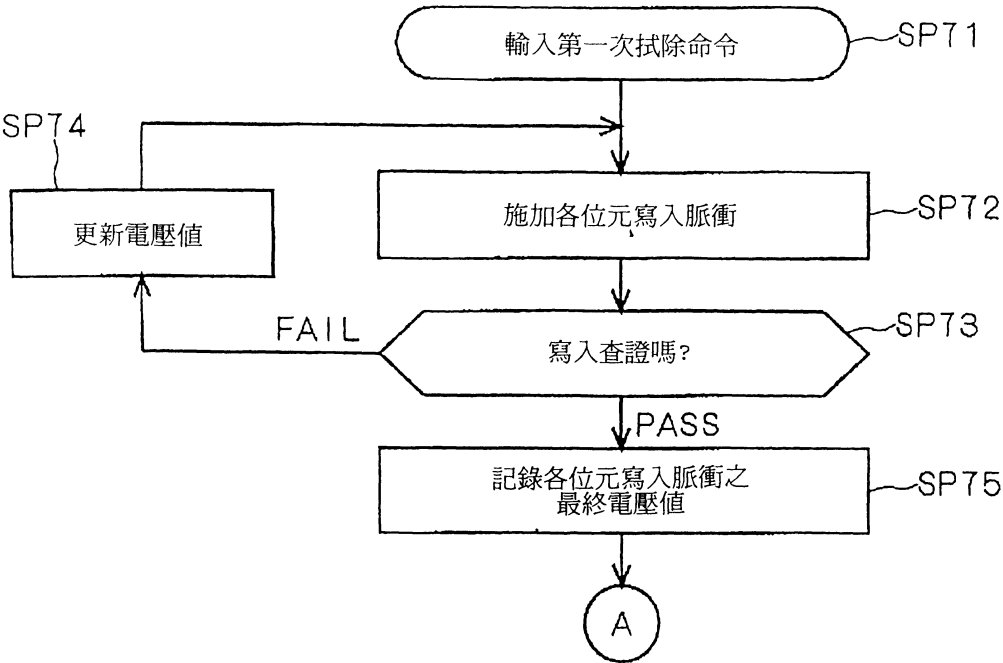
第 20 圖



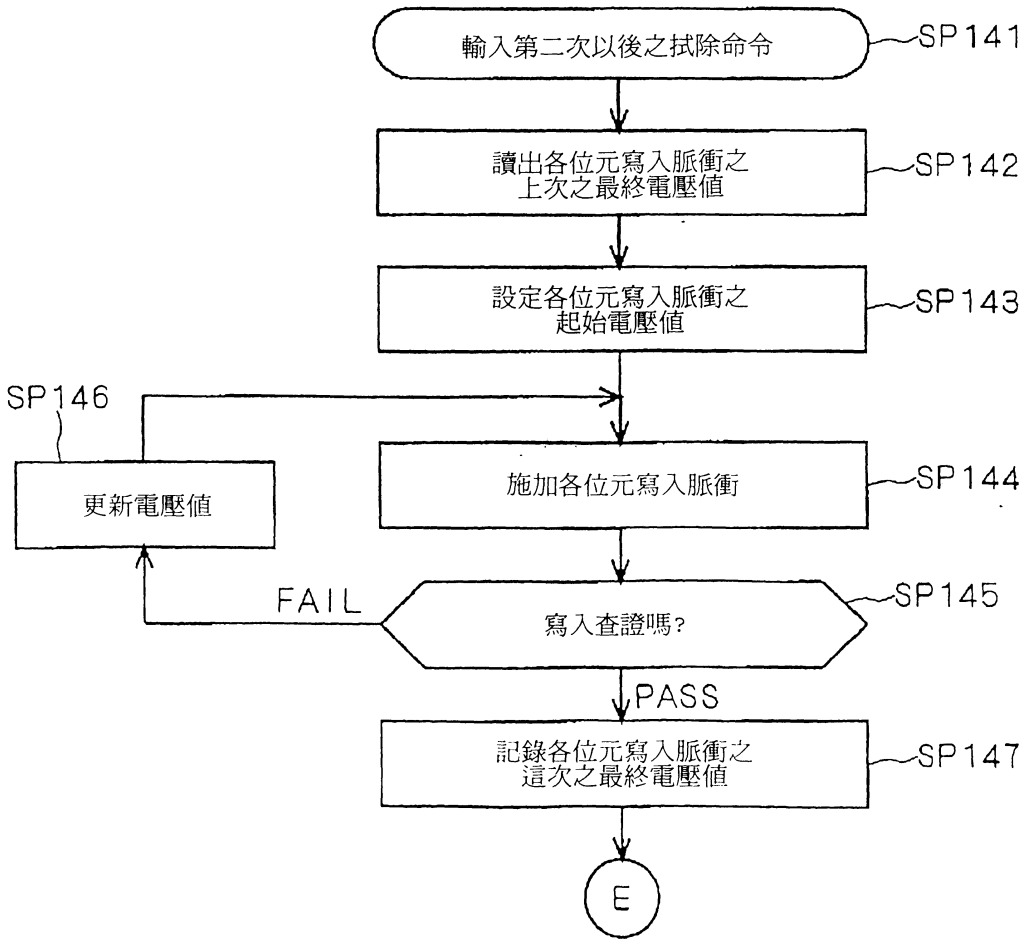
第 21 圖



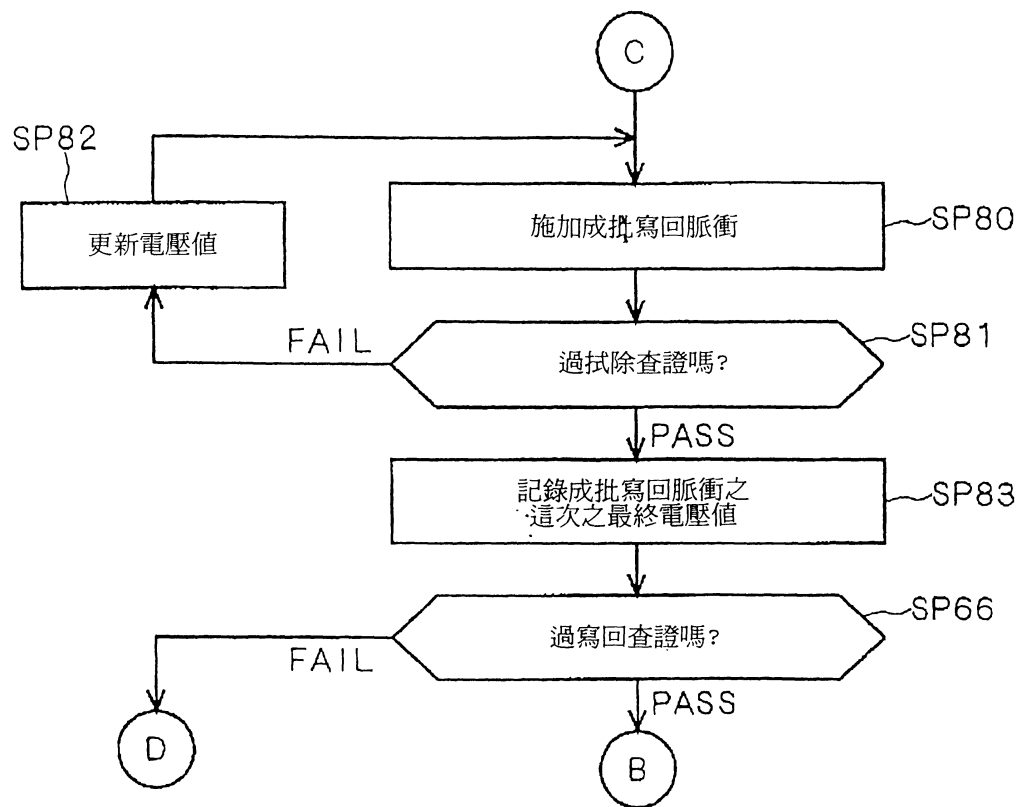
第 22 圖



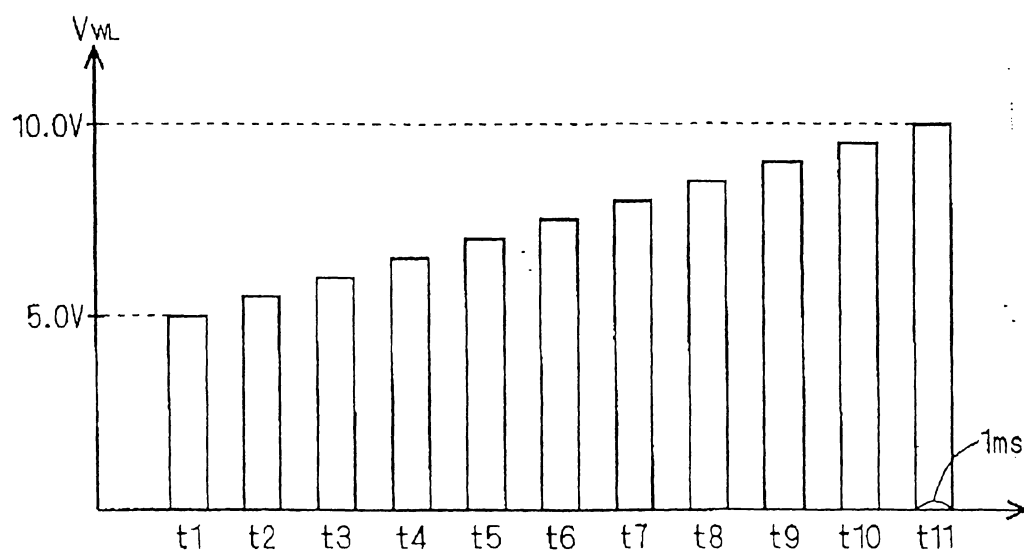
第 23 圖



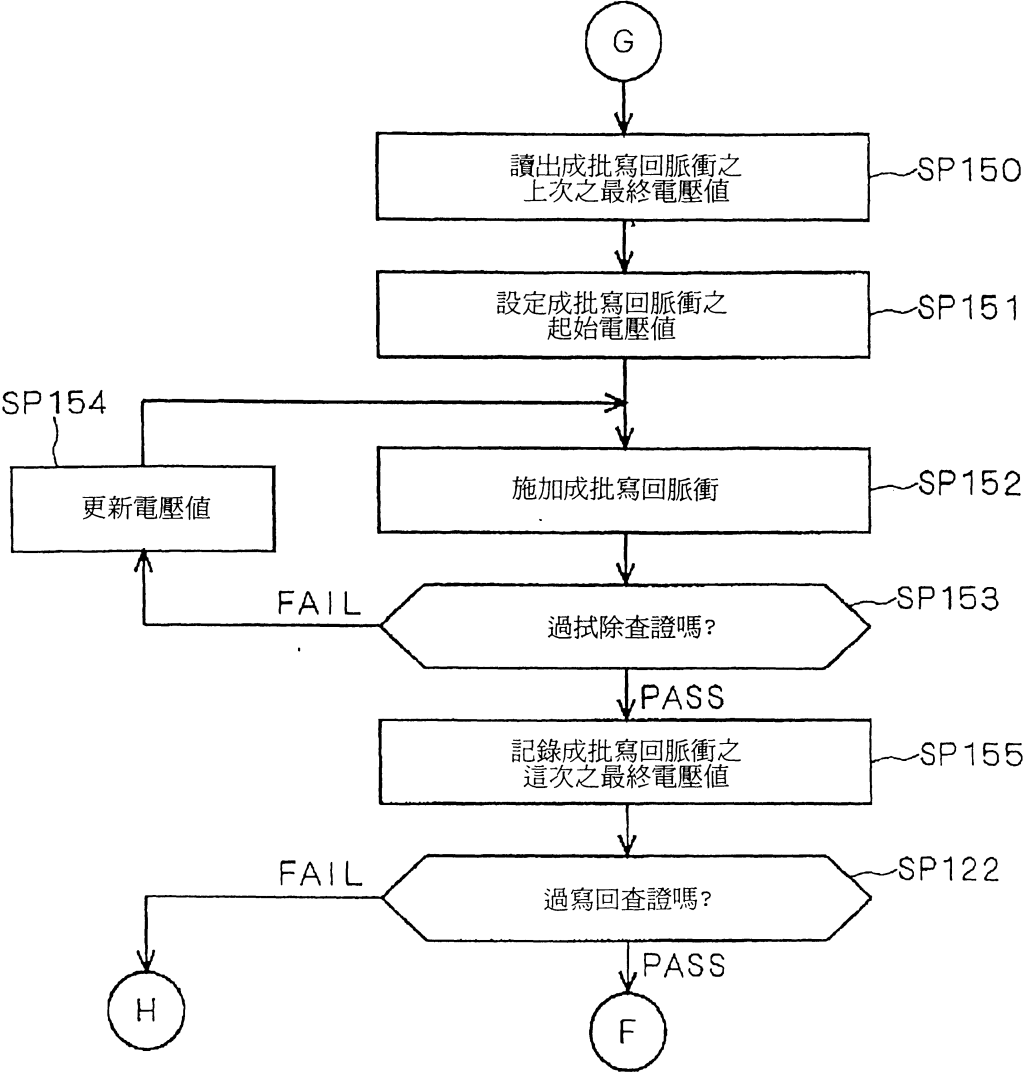
第 24 圖



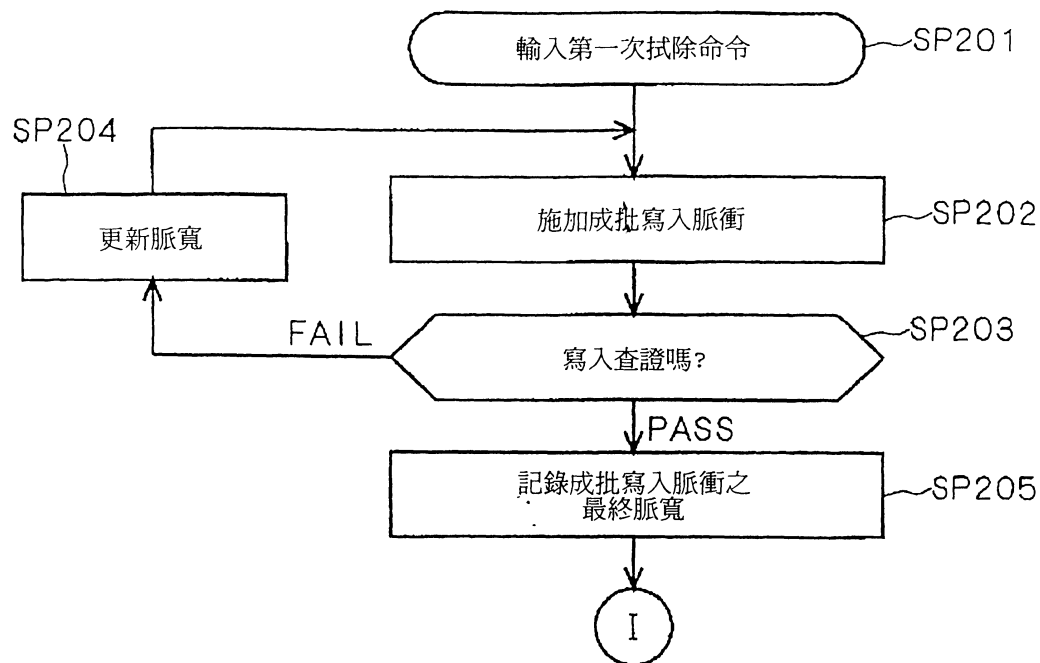
第 25 圖



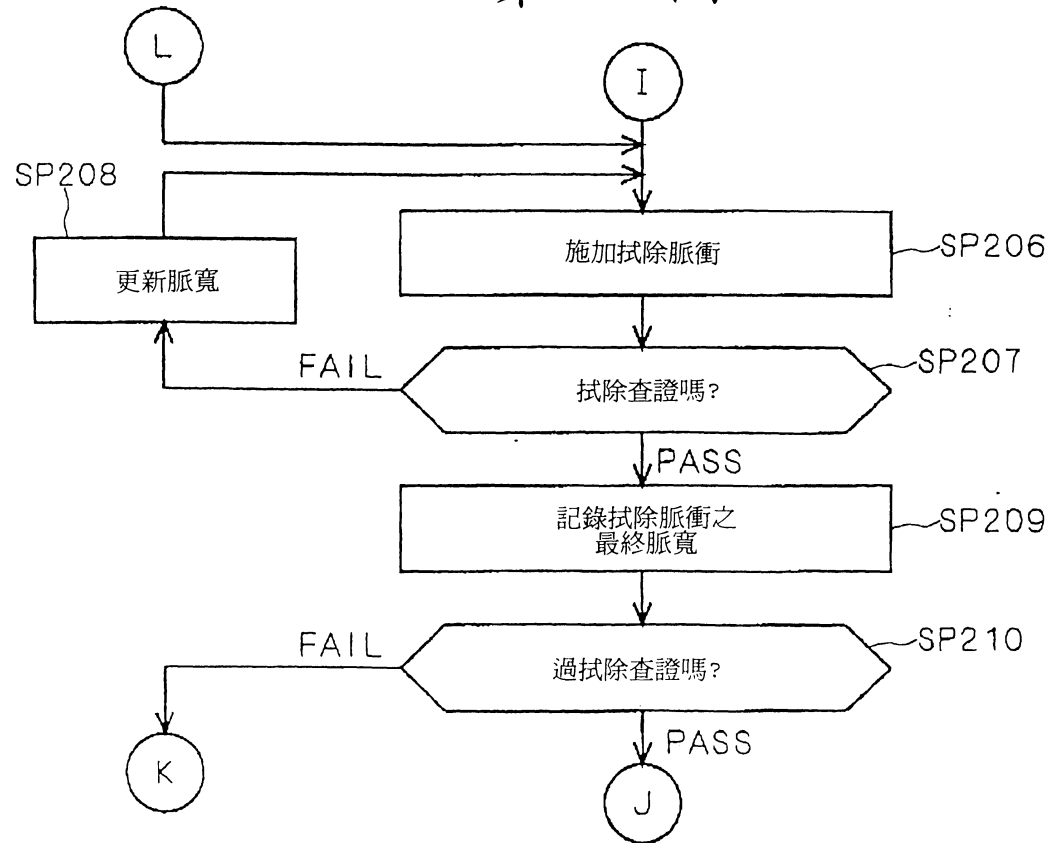
第 26 圖



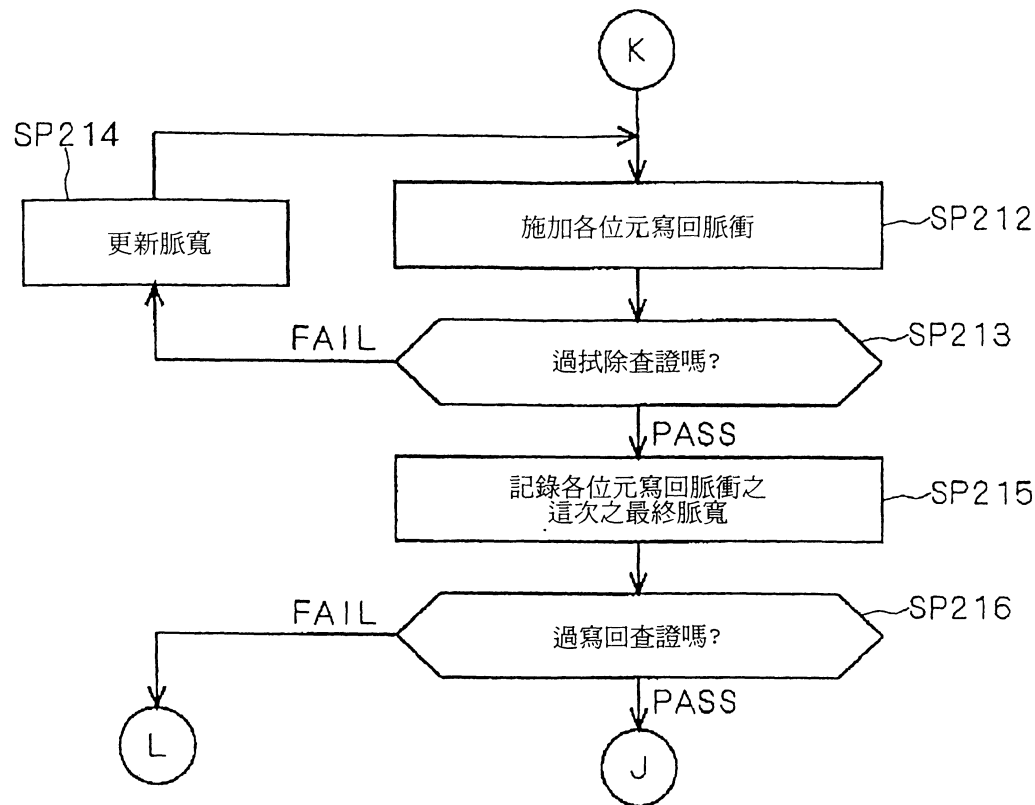
第 27 圖



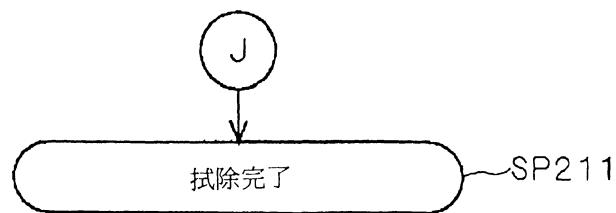
第 28 圖



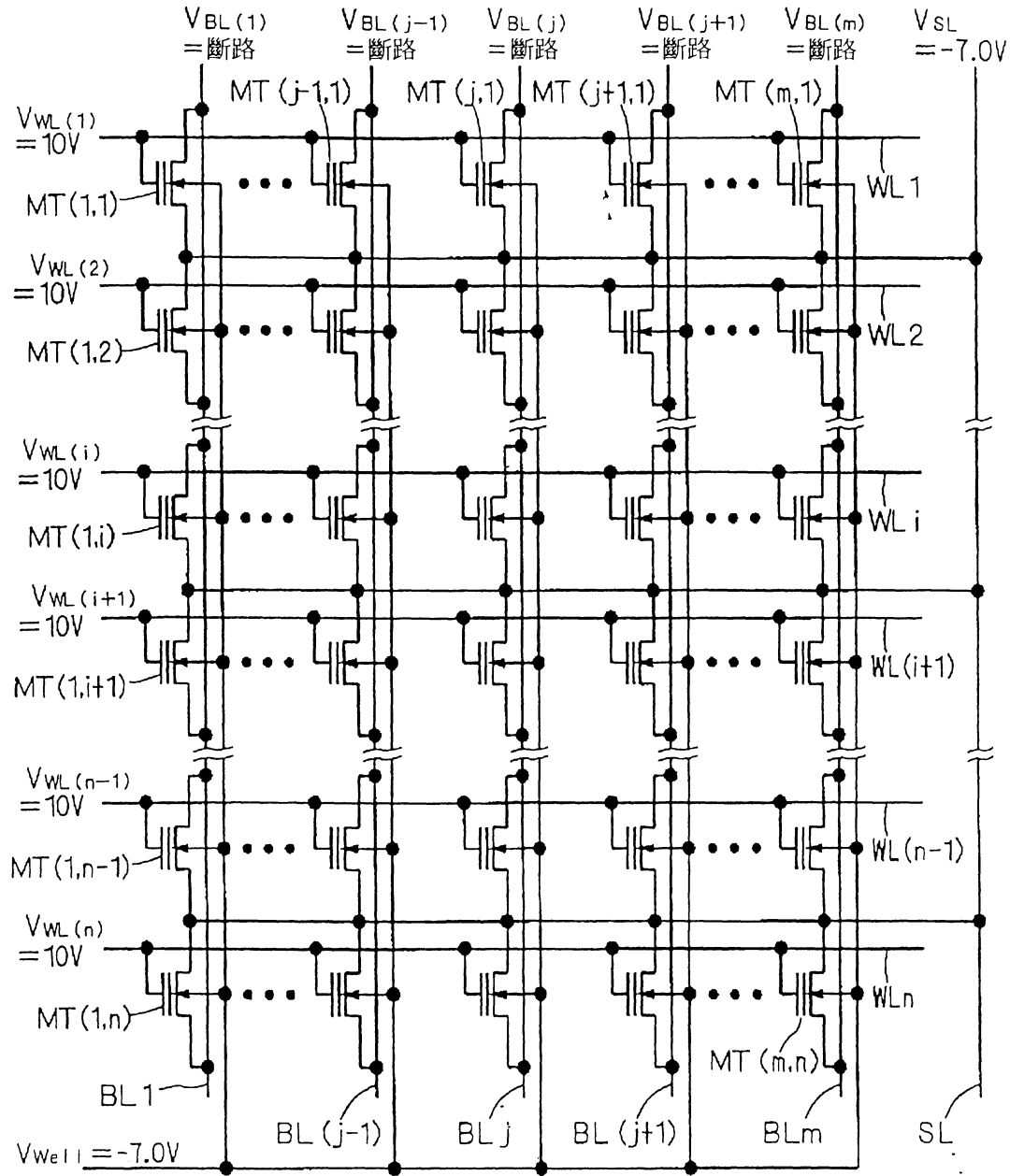
第 29 圖



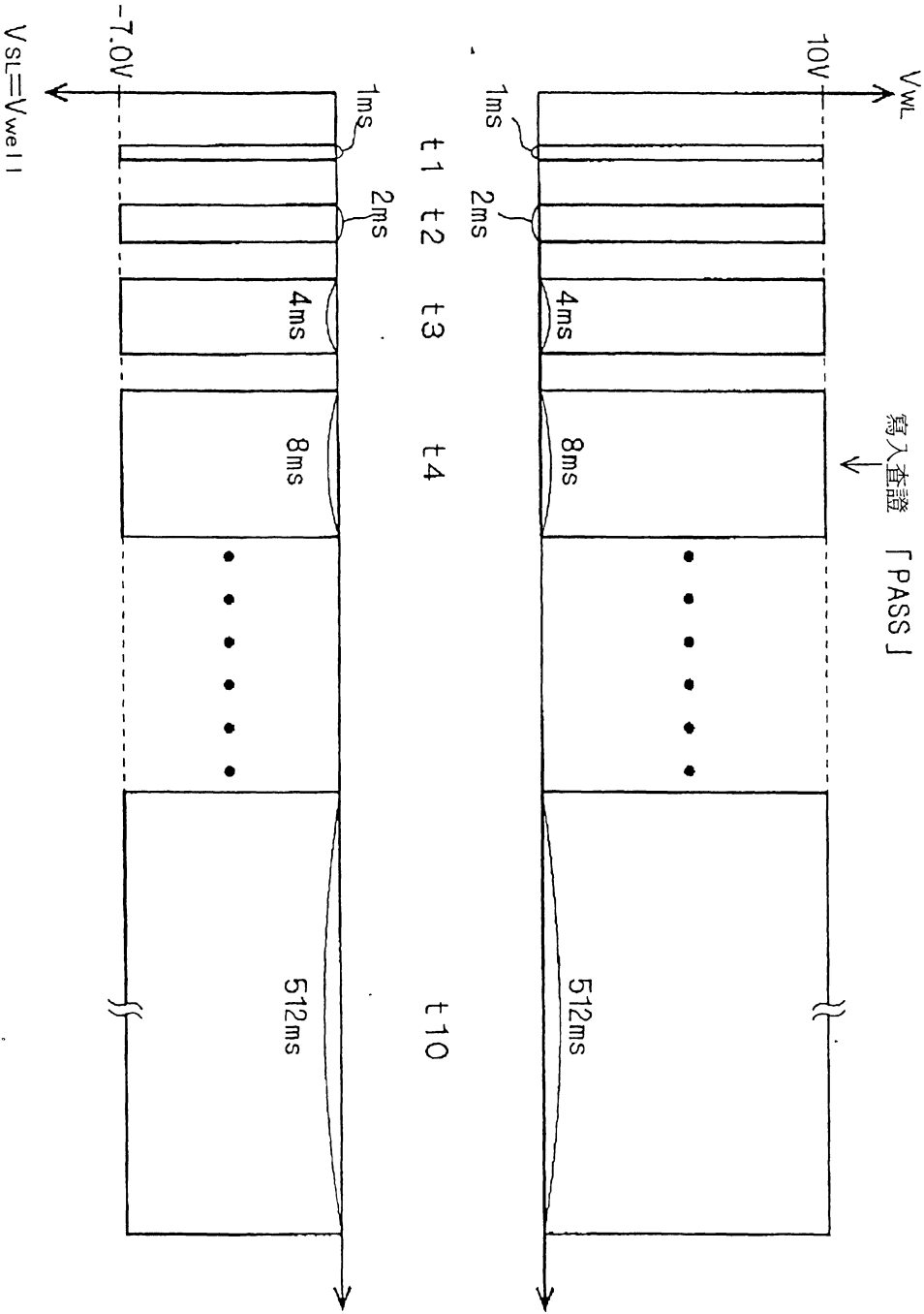
第 30 圖



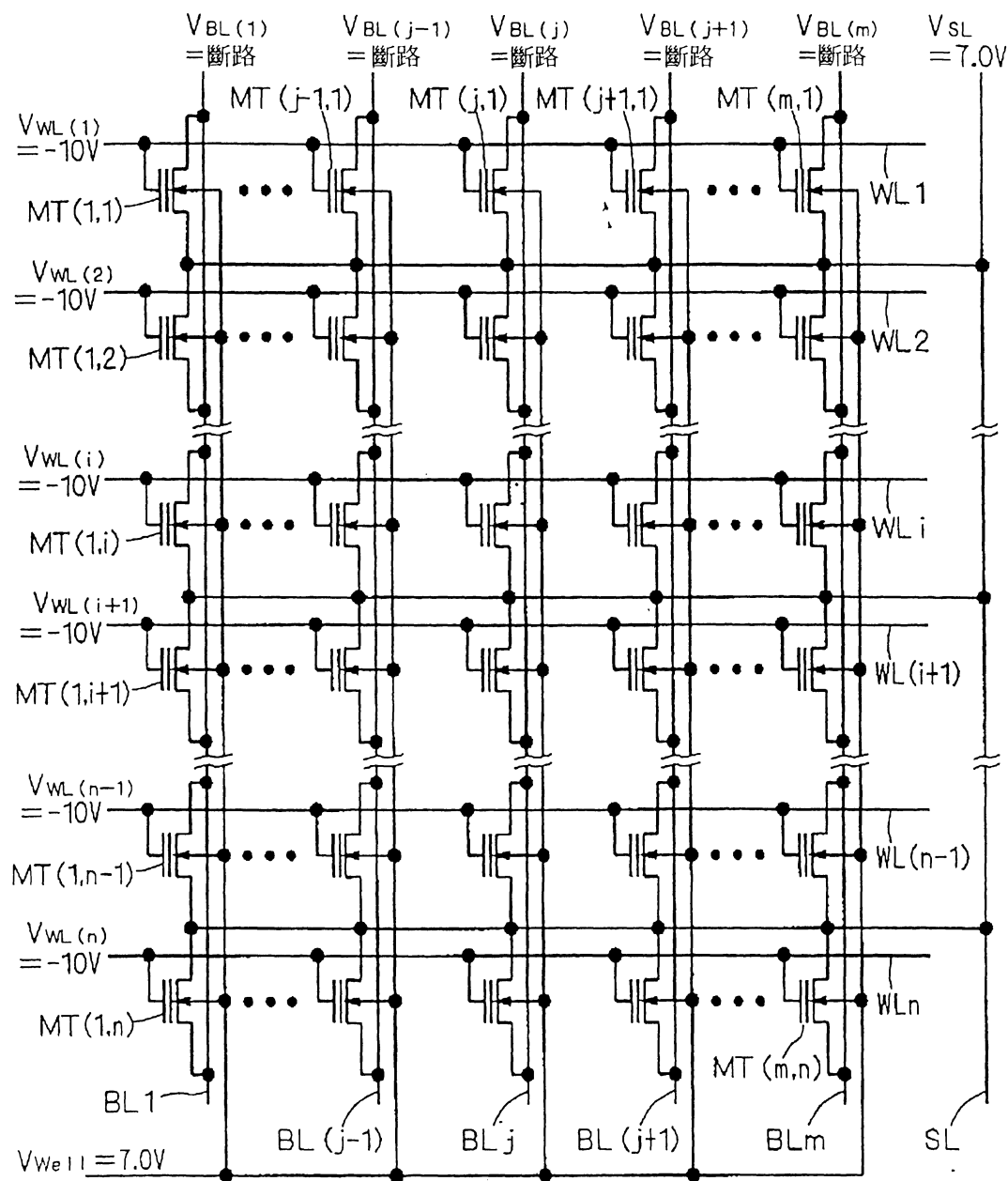
第 31 圖



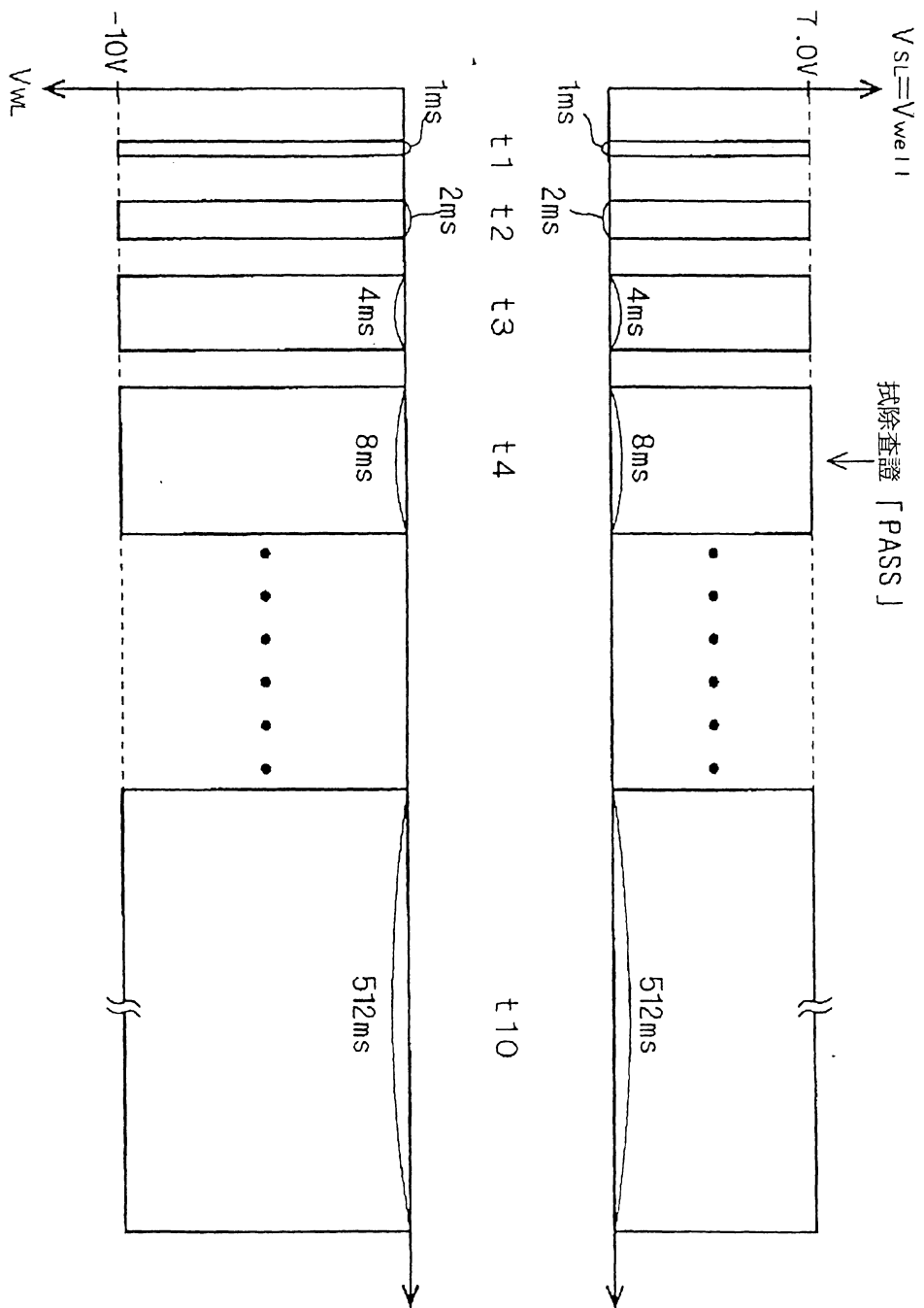
第 32 圖



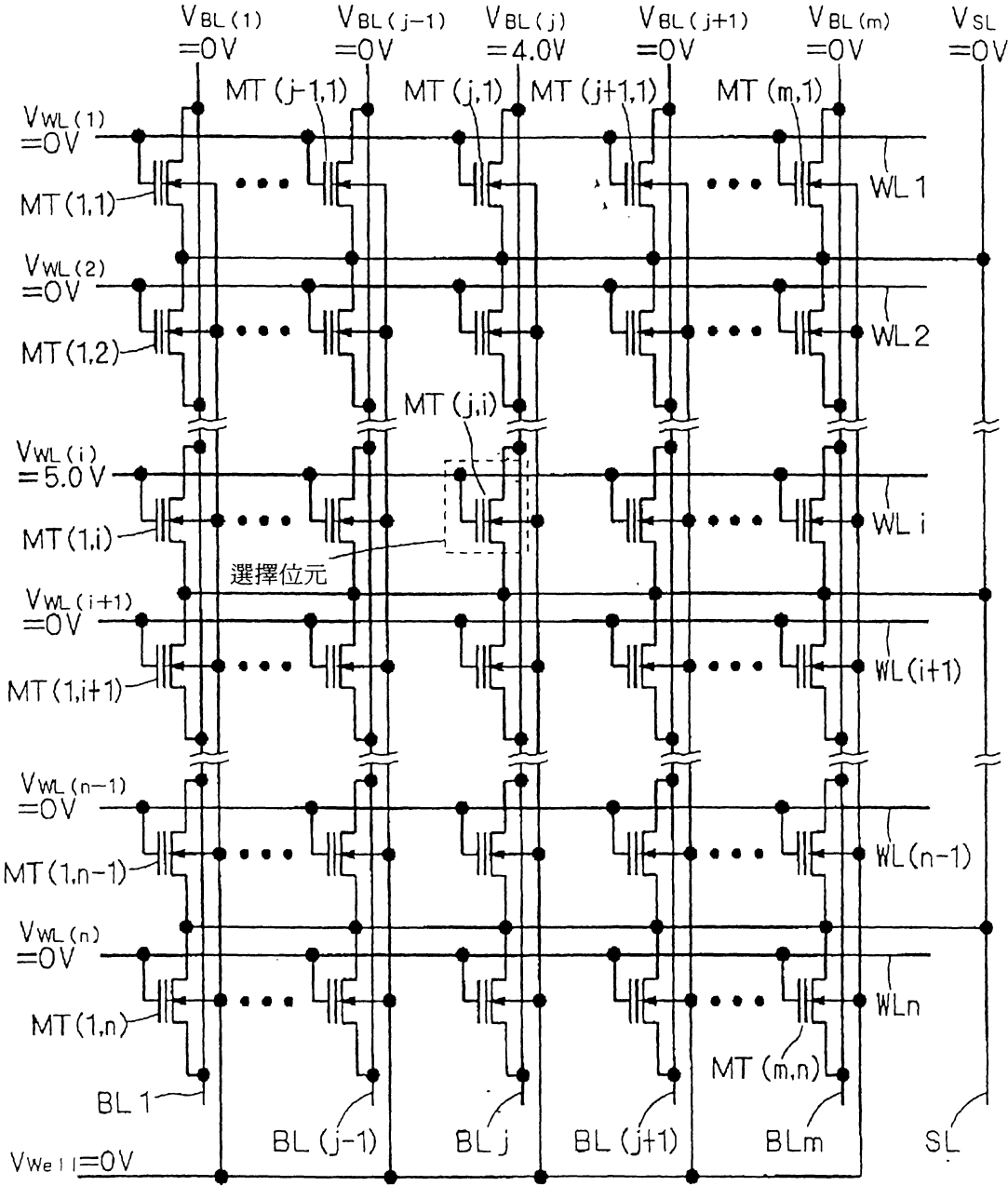
第 33 圖



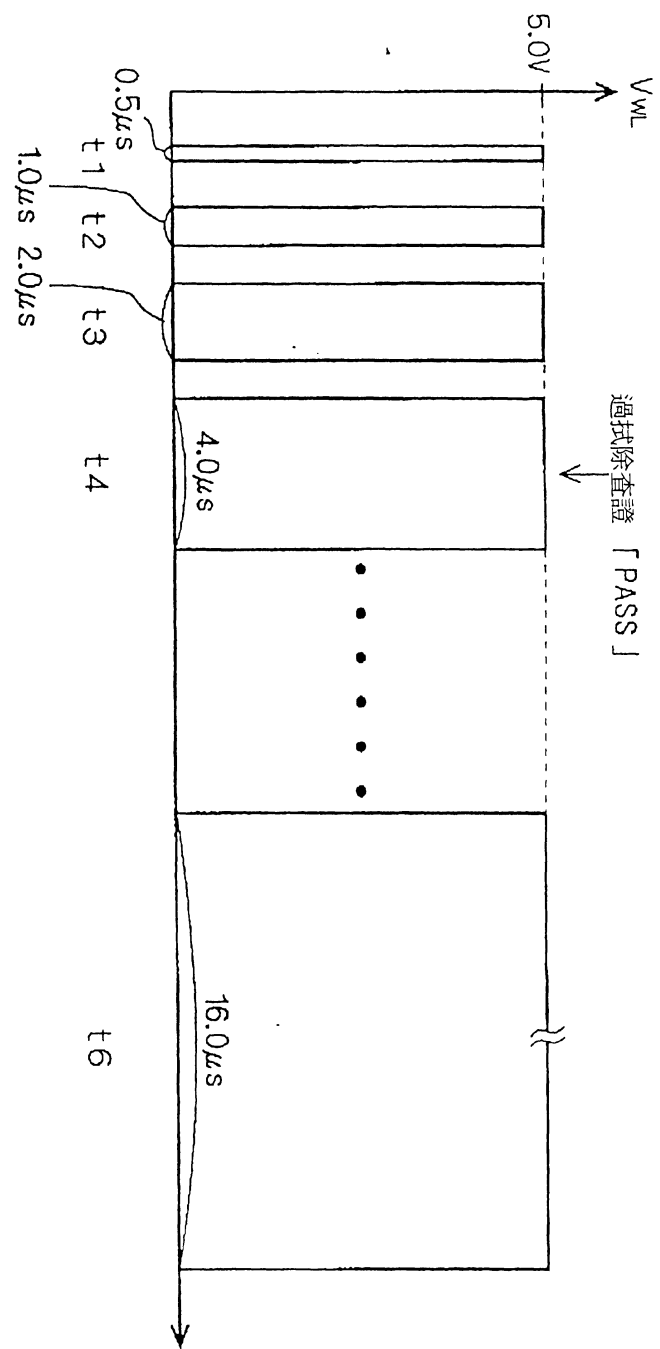
第 34 圖



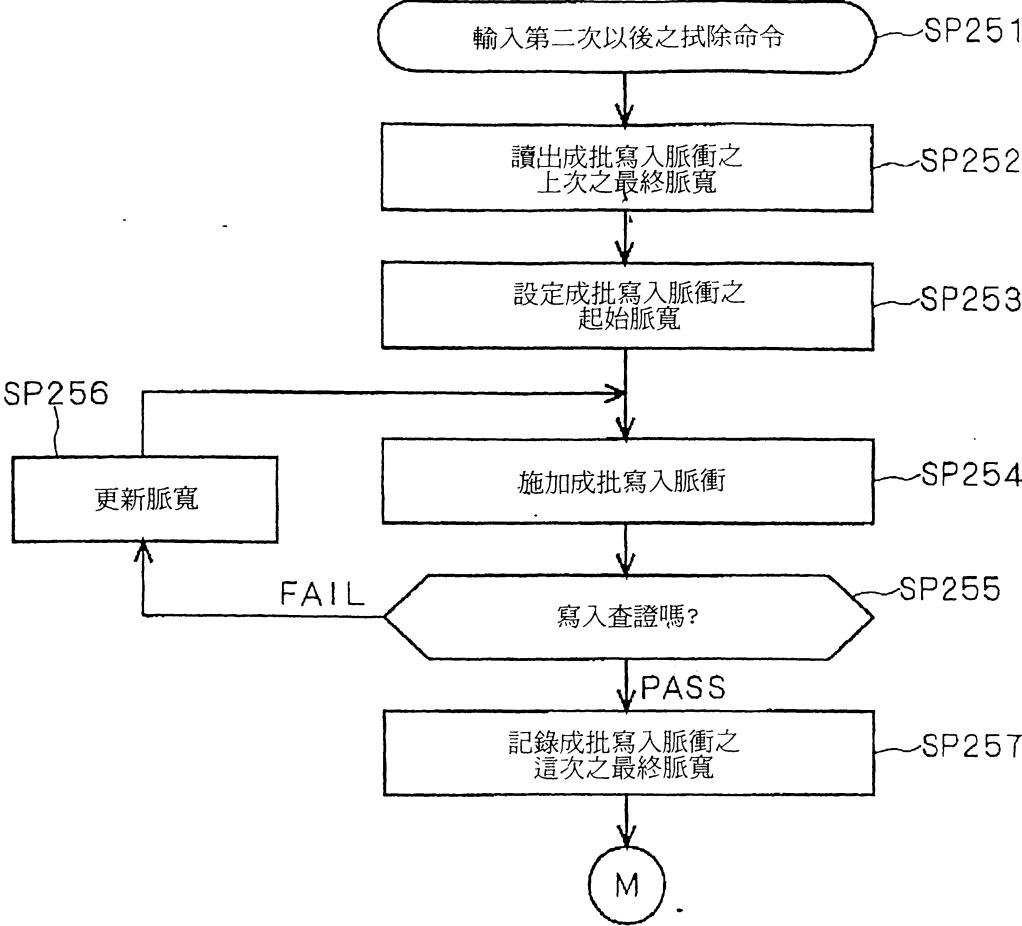
第 35 圖



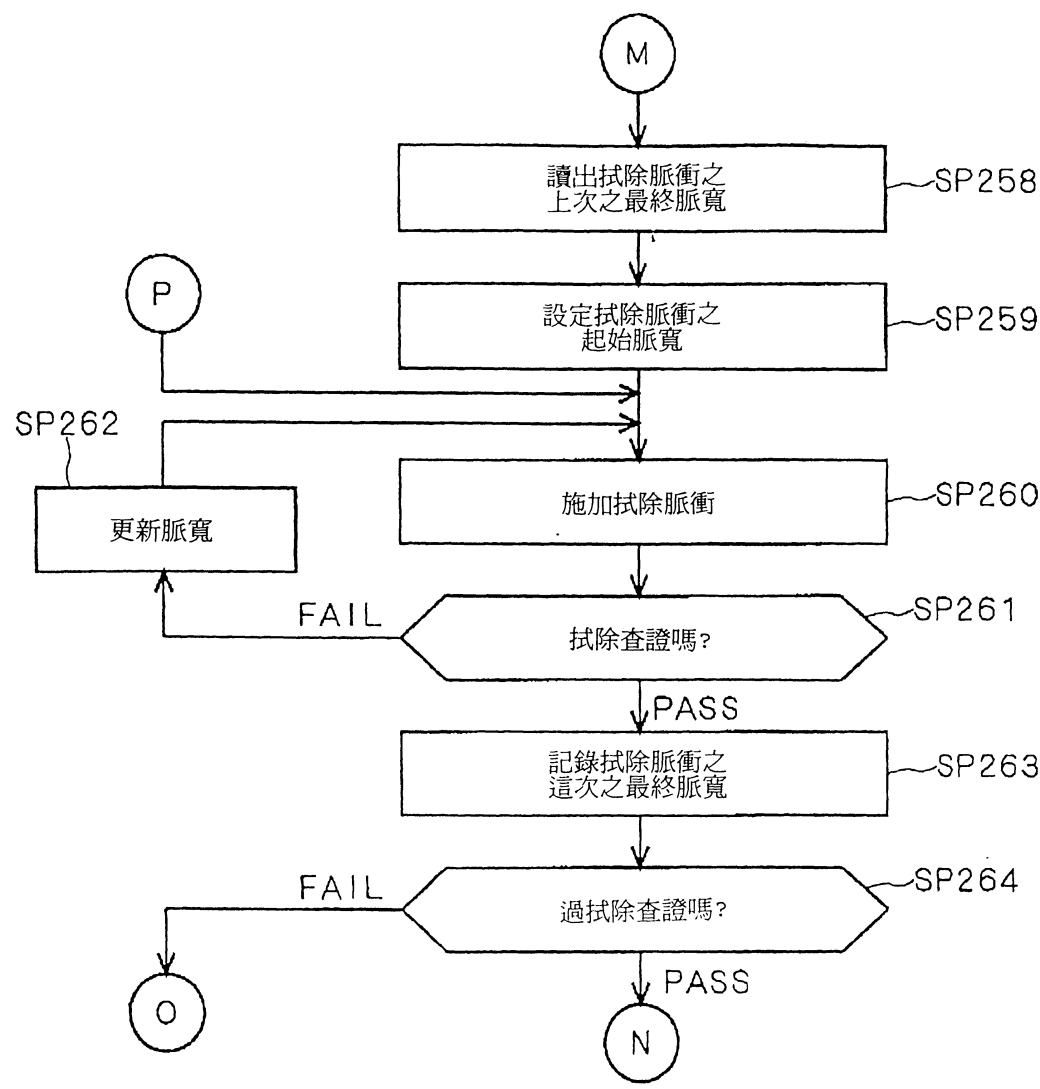
第 36 圖



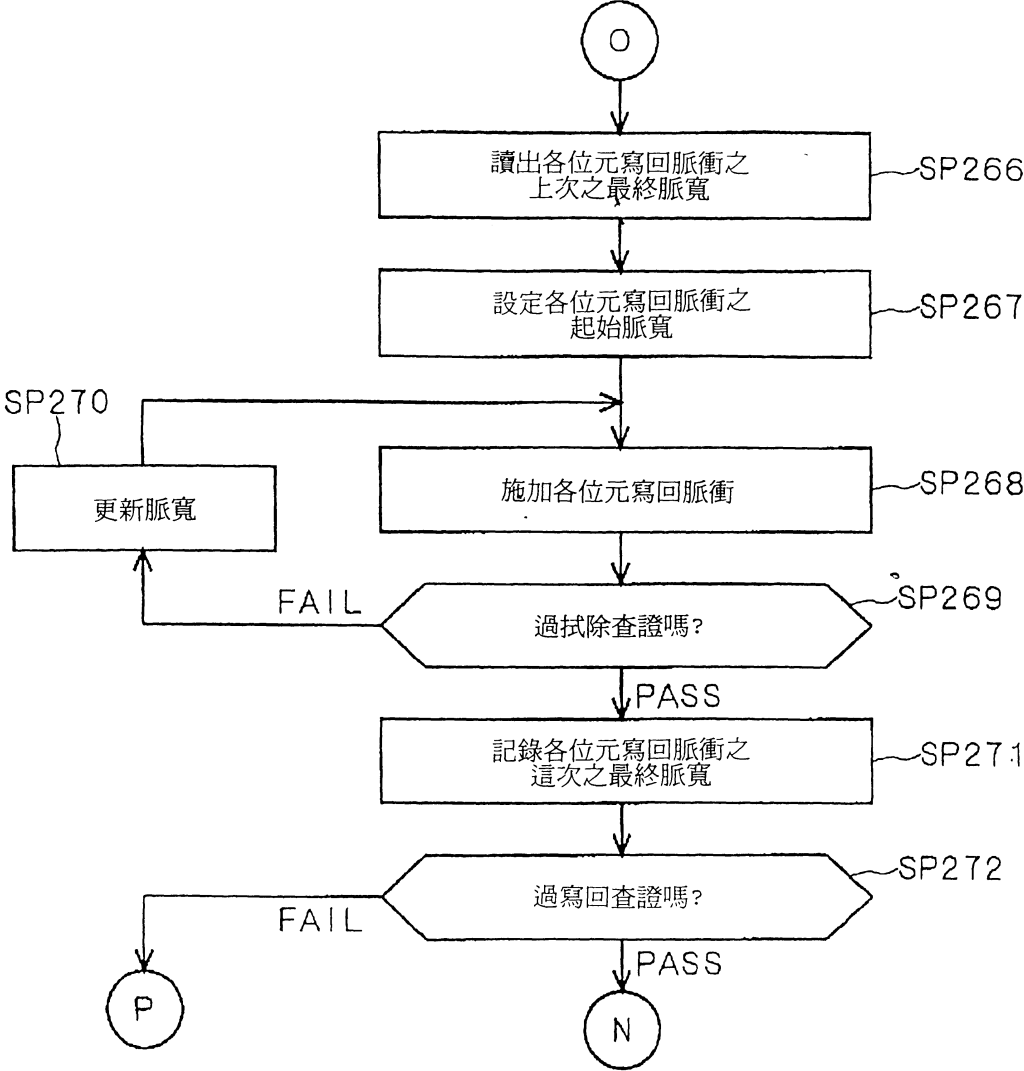
第 37 圖



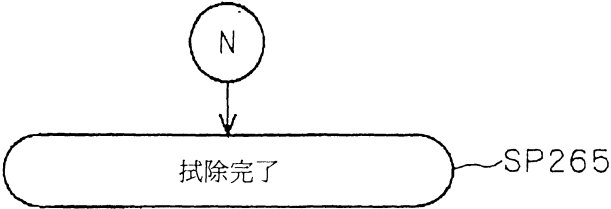
第 38 圖



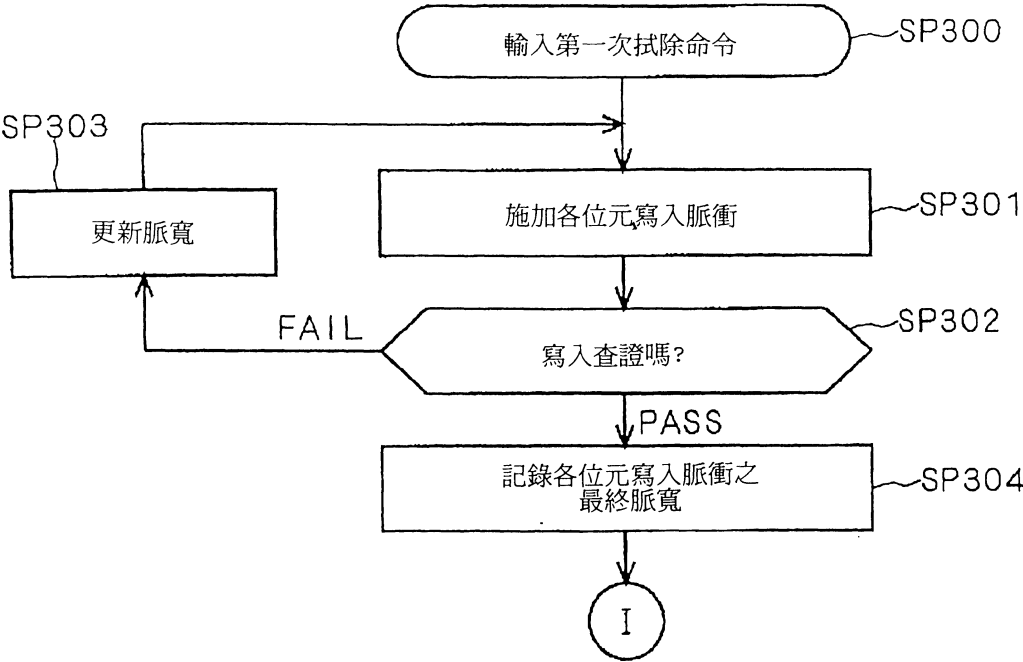
第 39 圖



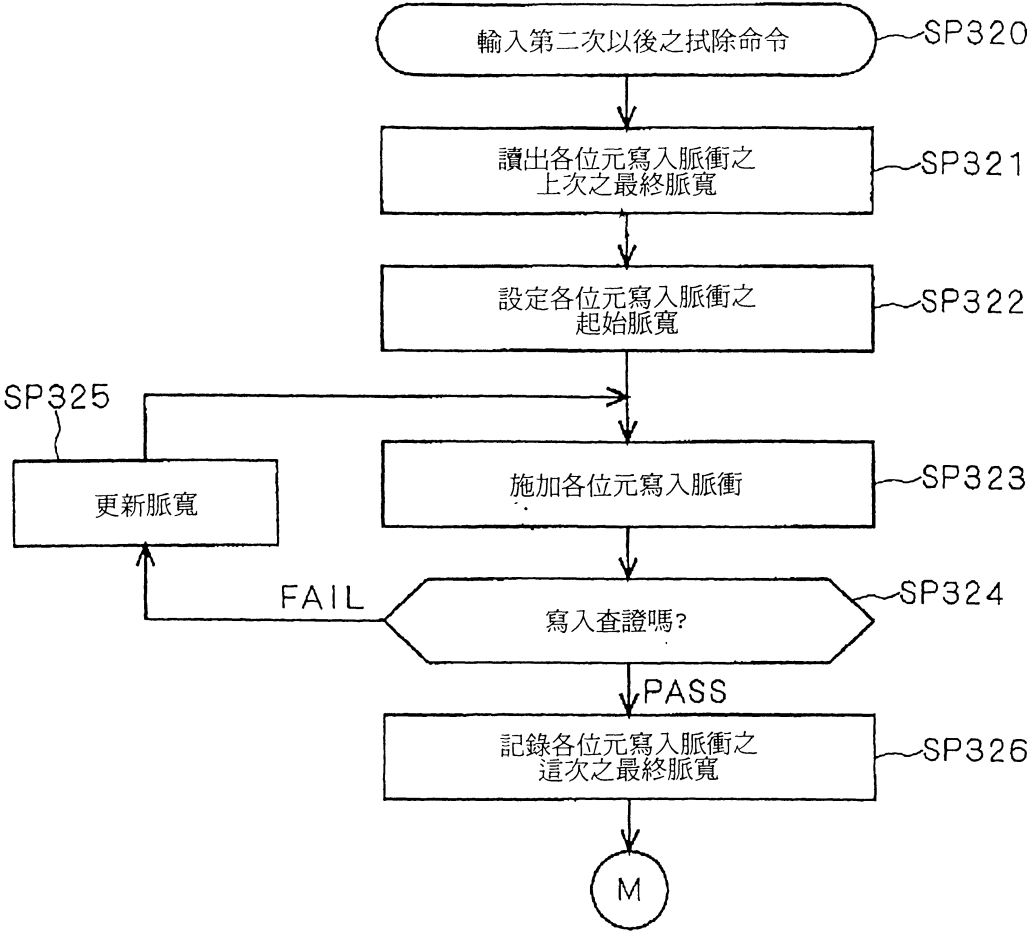
第 40 圖



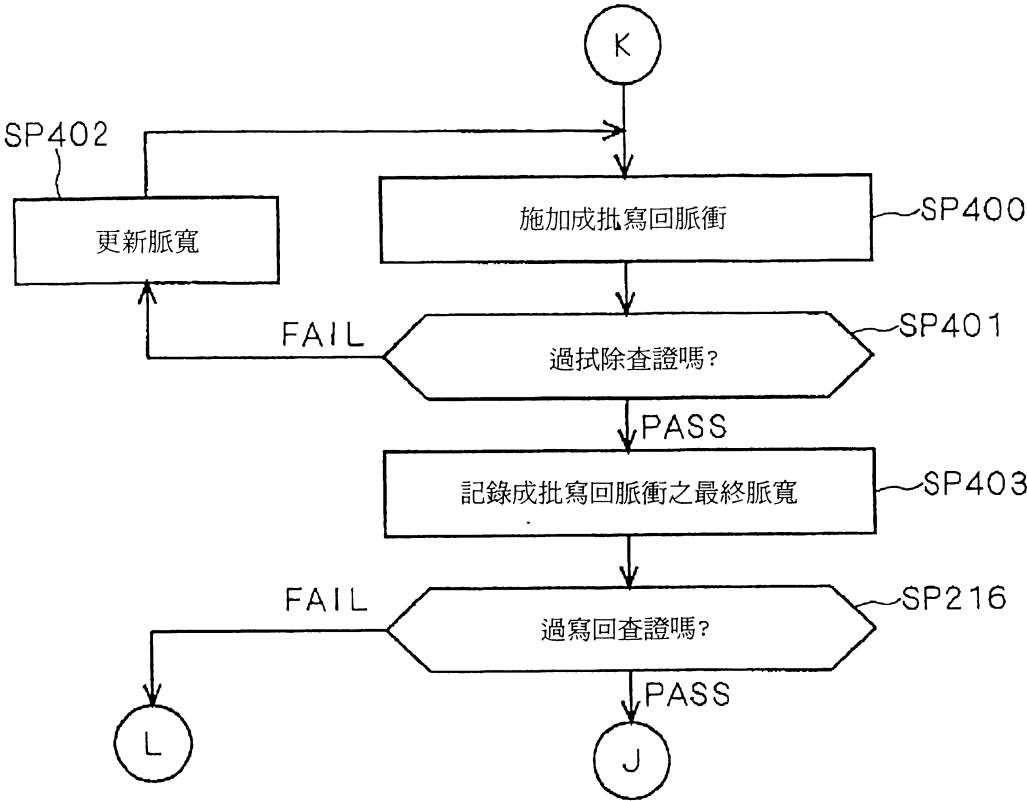
第 41 圖



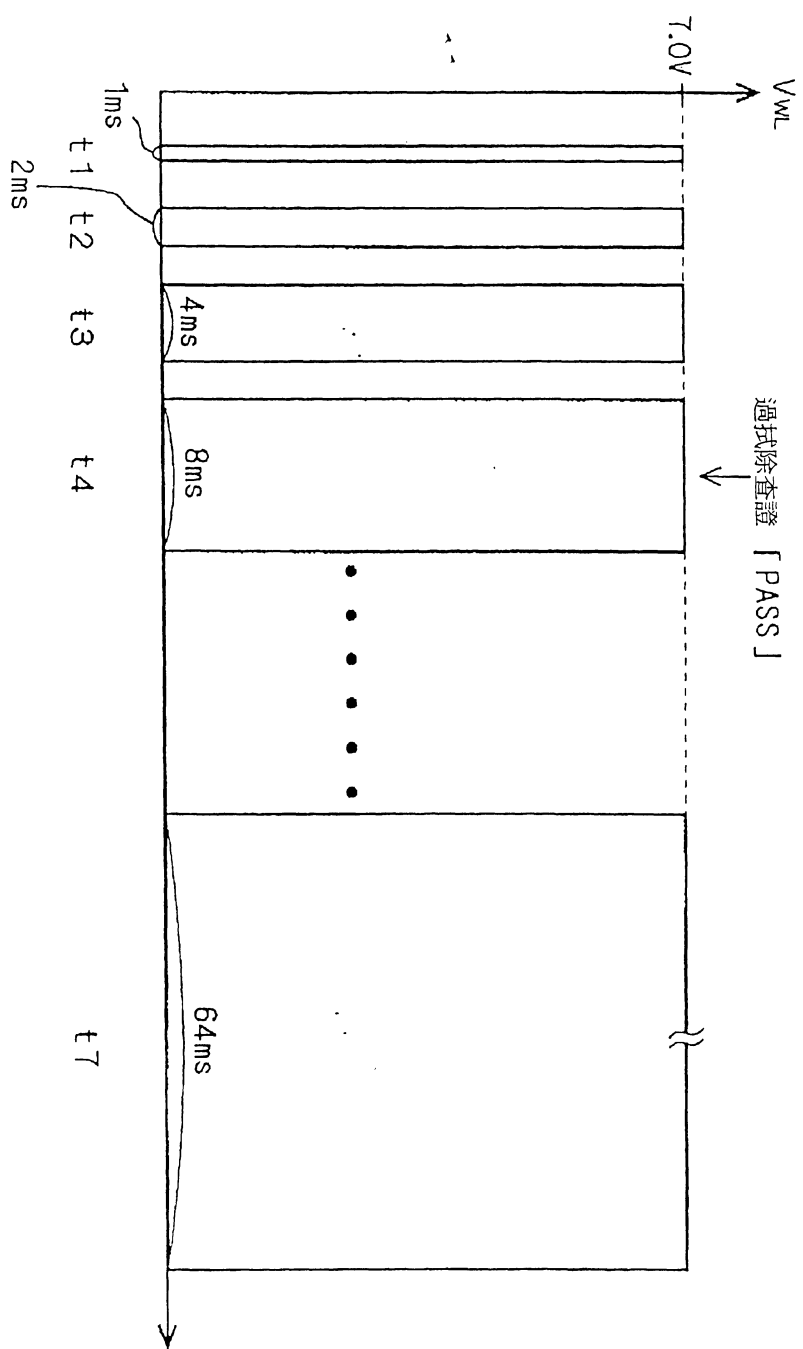
第 42 圖



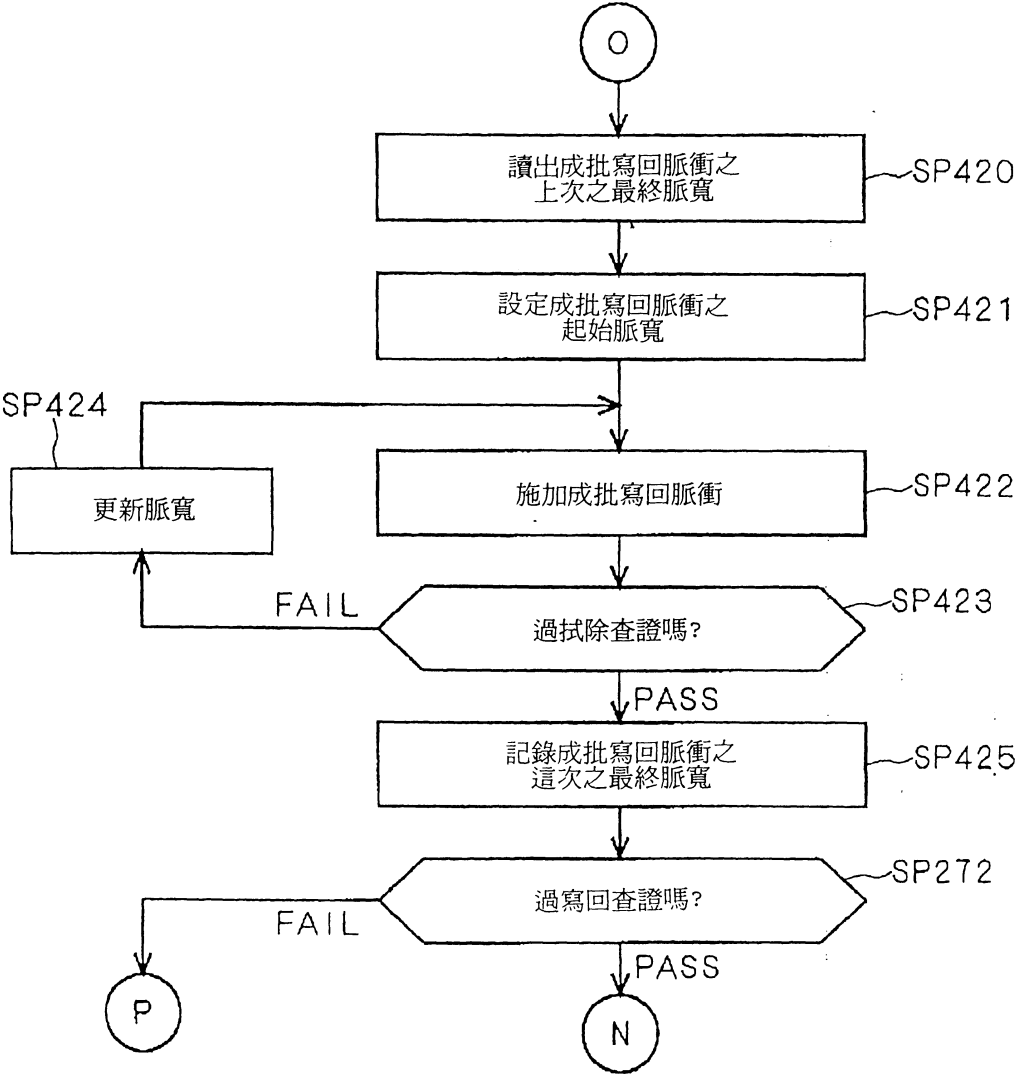
第 43 圖



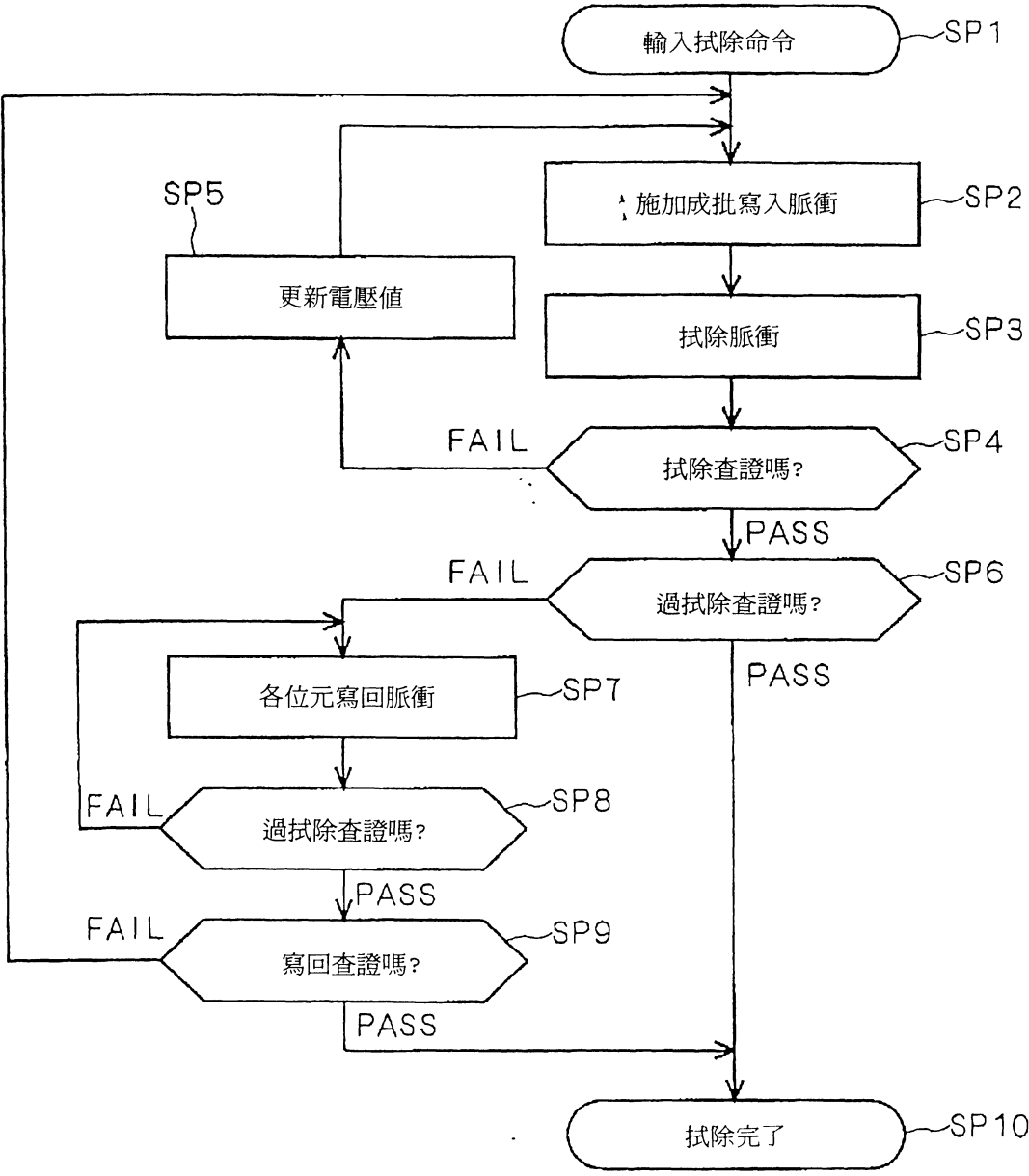
第 44 圖



第 45 圖



第 46 圖



第 47 圖