

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号

WO 2012/026506 A1

(43) 国際公開日

2012年3月1日(01.03.2012)

PCT

- (51) 国際特許分類:  
G11C 13/00 (2006.01) H01L 45/00 (2006.01)  
H01L 27/105 (2006.01) H01L 49/02 (2006.01)
- (21) 国際出願番号: PCT/JP2011/069113
- (22) 国際出願日: 2011年8月25日(25.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-189132 2010年8月26日(26.08.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1-3-1 Tokyo (JP). 株式会社船井電機新応用技術研究所(FUNAI ELECTRIC ADVANCED APPLIED TECHNOLOGY RESEARCH INSTITUTE INC.) [JP/JP]; 〒5740013 大阪府大東市中垣内7丁目7番1号 Osaka (JP). 船井電機株式会社(FUNAI ELECTRIC CO., LTD.) [JP/JP]; 〒5740013 大阪府大東市中垣内7丁目7番1号 Osaka (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 高橋 剛 (TAKAHASHI, Tsuyoshi) [JP/JP]; 〒3050047 茨城県つくば市千現2-1-6 株式会社船井電機新応用技術研究所内 Ibaraki (JP). 増田 雄一郎 (MASUDA, Yuichiro) [JP/JP]; 〒3050047 茨城県つくば市千現2-1-6 株式会社船井電機新応用技術研究所 Ibaraki (JP). 古田 成生 (FURUTA, Shigeo) [JP/JP]; 〒3050047 茨城県つくば市千現2-1-6 株式会社船井電機新応用技術研究所内 Ibaraki (JP). 角谷 透 (SUMIYA, Touro) [JP/JP]; 〒3050047 茨城県つくば市千現2-1-6 株式会社船井電機新応用技術研究所内 Ibaraki (JP). 小野 雅敏 (ONO, Masatoshi) [JP/JP]; 〒3050047 茨城県つくば市千現2-1-6 株式会社船井電機新応用技術研究所内 Ibaraki (JP). 林 豊 (HAYASHI, Yutaka) [JP/JP]; 〒3050047 茨城県つくば市千現2-1-6 株式会社船井電機新応用技術研究所 Ibaraki (JP). 福岡 敏美 (FUKUOKA, Toshimi) [JP/JP]; 〒3050047 茨城県つくば市千現2-1-6 株式会社船井電機新応用技術研究所内 Ibaraki (JP). 清水 哲夫 (SHIMIZU, Tetsuo) [JP/JP]; 〒3058562 茨城県つくば市東1-1-1 中央第4 独立行政法人産業技術総合研究所内 Ibaraki (JP). ソム クマ

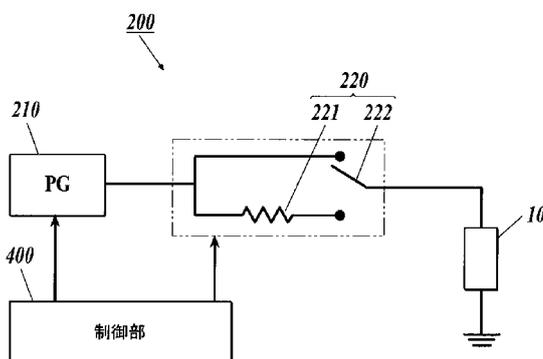
[続葉有]

(54) Title: DRIVE METHOD FOR MEMORY ELEMENT, AND STORAGE DEVICE USING MEMORY ELEMENT

(54) 発明の名称: メモリ素子の駆動方法及びメモリ素子を用いた記憶装置

[図3]

FIG.3



400 Control unit

(57) Abstract: In a drive method that enables more stable switching operations, a memory element (10) is equipped with an insulating substrate (1) provided with a first electrode (2), a second electrode (3), and an electrode gap portion (4) for generating a resistance change phenomenon between the first electrode and the second electrode. By applying to the memory element a first voltage pulse from a pulse generation source for shifting the memory element from a predetermined low resistance status to a predetermined high resistance status, and a second voltage pulse for shifting from the high resistance status to the low resistance status via a serially connected resistor, the current flowing to the memory element after the change to the low resistance value is reduced. The drive method is characterised in that the voltage pulse is applied so that the electrical resistance between the memory elements from the pulse generation source is higher when shifting from the high resistance status to the low resistance status, than when shifting from the low resistance status to the high resistance status.

(57) 要約: より安定的にスイッチング動作を行う。絶縁性基板1と絶縁性基板に設けられた第1電極2及び第2電極3と第1電極と第2電極との間の抵抗値の変化現象を生じる電極間隙部4とを備えるメモリ素子10に

対し、所定の低抵抗状態から所定の高抵抗状態へ移行させるための第1の電圧パルスを実行源から印加し、高抵抗状態から低抵抗状態へ移行させるための第2の電圧パルスの印加を直列接続された抵抗体を介して行うことにより、低抵抗値へ変化後のメモリ素子に流れる電流値を低減させ、高抵抗状態から低抵抗状態へ移行させる場合には、低抵抗状態から前記高抵抗状態へ移行させる場合よりも、パルス発生源からメモリ素子の間の電気抵抗が高くなるようにして、電圧パルスの印加を行うことを特徴とする。

WO 2012/026506 A1



ラグルバラン(SOMU, Kumaragurubaran) [IN/JP]; 〒3058564 茨城県つくば市並木 1-2-1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 菅 洋志(SUGA, Hiroshi) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP). 内藤 泰久(NAITOU, Yasuhisa) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP).

(74) 代理人: 荒船 博司, 外(ARAFUNE, Hiroshi et al.); 〒1620832 東京都新宿区岩戸町 1 8 番地 日交神楽坂ビル 5 階 光陽国際特許法律事務所内 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,

KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：

メモリ素子の駆動方法及びメモリ素子を用いた記憶装置

### 技術分野

[0001] 本発明は、ナノギャップ電極を備えるメモリ素子の駆動方法及びメモリ素子を用いた記憶装置に関する。

### 背景技術

[0002] 現在、デバイスの小型化、高密度化に伴い、電気素子の一層の微細化が望まれている。その一例として、微細な間隙（ナノギャップ）を隔てた2つの電極間に電圧を印加することによって、スイッチング動作が可能な素子が知られている。

具体的には、例えば、酸化シリコンと金という安定な材料からなり、傾斜蒸着という簡便な製造方法により製造され、スイッチング動作を安定的に繰り返し行うことができる素子が開発されている（例えば、特許文献1参照）。

[0003] このようなナノギャップを有する素子（以下、「ナノギャップメモリ素子」という。）においては、書き込み又は消去のために、所定の電圧値の電圧パルスを印加して、高抵抗状態（OFF状態）から低抵抗状態（ON状態）へ移行させたり、低抵抗状態（ON状態）から高抵抗状態（OFF状態）へ移行させたりするようになっている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2007-123828号公報

### 発明の開示

#### 発明が解決しようとする課題

[0005] しかしながら、特に高抵抗状態から低抵抗状態へ移行させる際、電圧パルスを印加しても、所望の抵抗状態（低抵抗状態）へ移行する確率が低いとい

う問題があった。そこで、高抵抗状態から低抵抗状態へ移行する確率を向上させるために、パルス幅（すなわち、1回の電圧パルスの印加時間）を大きくする方法や、電圧値を高くする等の方法が考えられた。しかしながら、これらの方法では、高抵抗状態から低抵抗状態へ移行する確率がまだ十分でないという問題があった。

[0006] 本発明の課題は、高い確率で高抵抗状態から低抵抗状態へ移行させることができるメモリ素子の駆動方法及び当該メモリ素子を用いた記憶装置を提供することにある。

### 課題を解決するための手段

[0007] 請求項1記載の発明は、絶縁性基板と、前記絶縁性基板に設けられた第1電極及び第2電極と、前記第1電極と前記第2電極との間に設けられ、前記第1電極と前記第2電極との間への所定電圧の印加により第1、第2電極間の抵抗値の変化現象が生じるナノメートルオーダーの間隙を有する電極間間隙部とを備え、電圧パルスの印加により、所定の低抵抗状態から所定の高抵抗状態への移行と、前記高抵抗状態から前記低抵抗状態への移行とが可能なメモリ素子の駆動方法において、少なくとも、前記高抵抗状態から前記低抵抗状態への移行の際には、直列に接続された抵抗体を介在させてパルス発生源から前記メモリ素子に電圧パルスの印加を行うことにより、抵抗値の変化後の電流値を低減させ、また、前記高抵抗状態から前記低抵抗状態へ移行させる場合には、前記低抵抗状態から前記高抵抗状態へ移行させる場合よりも、前記パルス発生源から前記メモリ素子の間の電気抵抗が高くなるようにして、前記電圧パルスの印加を行うことを特徴とする。

[0008] 請求項2記載の発明は、請求項1記載の発明と同様の構成を備えると共に、前記高抵抗状態から前記低抵抗状態へ移行させる場合の前記抵抗体の抵抗値は2MΩから0.5MΩであることを特徴とする。

[0009] 請求項3記載の発明は、絶縁性基板と、前記絶縁性基板に設けられた第1電極及び第2電極と、前記第1電極と前記第2電極との間に設けられ、前記第1電極と前記第2電極との間への所定電圧の印加により第1、第2電極間

の抵抗値の変化現象が生じるナノメートルオーダーの間隙を有する電極間間隙部とを備えるメモリ素子と、

前記メモリ素子の前記第1電極と第2電極との間における所定の低抵抗状態から所定の高抵抗状態への移行と前記高抵抗状態から前記低抵抗状態への移行とを行うために電圧パルスを印加する電圧印加部とを備え、

前記電圧印加部は、

一定電圧のパルスを発生するパルス発生源と、少なくとも前記高抵抗状態から前記低抵抗状態への移行の際に印加する電圧パルスによる抵抗値の変化後の前記メモリ素子に流れる電流を低減するための抵抗体と、

前記高抵抗状態から前記低抵抗状態へ移行させる場合には、前記低抵抗状態から前記高抵抗状態へ移行させる場合よりも、前記パルス発生源から前記メモリ素子の間の電気抵抗が高くなるように切り換える切り換え部とを備えることを特徴とする。

[0010] 請求項4記載の発明は、絶縁性基板と、前記絶縁性基板に設けられた第1電極及び第2電極と、前記第1電極と前記第2電極との間に設けられ、前記第1電極と前記第2電極との間への所定電圧の印加により第1、第2電極間の抵抗値の変化現象が生じるナノメートルオーダーの間隙を有する電極間間隙部とを備えるメモリ素子と、

前記メモリ素子の前記第1電極と第2電極との間における所定の低抵抗状態から所定の高抵抗状態への移行と前記高抵抗状態から前記低抵抗状態への移行とを行うために電圧パルスを印加する電圧印加部とを備え、

前記メモリ素子は複数個であり、少なくともそれぞれのメモリ素子にそれぞれ抵抗体が接続され、

前記電圧印加部は、前記高抵抗状態から前記低抵抗状態へ移行させる場合には、前記低抵抗状態から前記高抵抗状態へ移行させる場合よりも、前記パルス発生源から前記メモリ素子の間の電気抵抗が高くなるように切り換える切り換え部とを備えることを特徴とする。

この構成により書き込み速度が改善される。メモリセル面積は増加する可

能性があるが、前記抗体と前記メモリ素子の電極を積層構造にできればメモリセル面積の増加は回避できる。

- [0011] 請求項5記載の発明は、請求項3又は4記載の発明と同様の構成を備えると共に、前記高抵抗状態から前記低抵抗状態へ移行させる場合の前記抗体の抵抗値は2MΩから0.5MΩであることを特徴とする。

### 発明の効果

- [0012] 発明者等は、前述の課題を解決するために鋭意検討した結果、メモリ素子に対して、抵抗状態を切り換える電圧パルスを実発生源から直列接続された抗体を介して印加することに着目した。かかる電圧パルスの印加を行うことで、より高確率でメモリ素子が高抵抗状態から低抵抗状態へ移行することを見出したものである。

- [0013] 本発明によれば、電圧パルスの印加により所定の低抵抗状態から所定の高抵抗状態への移行と、高抵抗状態から低抵抗状態への移行とが行われるナノメートルオーダーの間隙を有する電極間隙部を備えたメモリ素子に対して、少なくとも、高抵抗状態から低抵抗状態への移行する際には、電圧パルスの印加は直列接続された抗体を介して行う。これにより、電圧パルスの印加時には、低抵抗値へ変化後のメモリ素子に流れる電流値が低減される。

従来は、低抵抗状態から高抵抗状態への切り換えに比べて、高抵抗状態から低抵抗状態への切り換えの成功率が劣っていたが、上述のように電圧パルスを実加することにより高抵抗状態から低抵抗状態への切り換えの成功率を飛躍的に向上させることが可能である。

例えば、低抵抗状態から高抵抗状態への切り換えと高抵抗状態から低抵抗状態への切り換えとを交互に行う書き換え繰り返し試験において、低抵抗状態と高抵抗状態との間での状態切り換えがより確実に実行され、また、低抵抗状態の抵抗値の属する範囲と高抵抗状態の抵抗値の属する範囲とが殆ど重複を生じることなく二分され、これによりメモリ素子を識別可能となる二状態に維持することができ、記憶装置としての適応性をより向上させることが可能となった。

## 図面の簡単な説明

- [0014] [図1A]本発明の記憶装置の機能的構成を示すブロック図である。
- [図1B]記憶装置のナノギャップメモリアレイに含まれる一つのメモリセルの構成を示す図である。
- [図2]本発明の記憶装置が備えるナノギャップメモリ素子の要部を模式的に示す断面図である。
- [図3]本発明の記憶装置が備える電圧印加部の機能的構成を示すブロック図である。
- [図4]他のナノギャップメモリ素子の要部を模式的に示す断面図である。
- [図5]実施例におけるナノギャップメモリ素子を低抵抗状態から高抵抗状態へ移行させる第1の電圧パルスと高抵抗状態から低抵抗状態へ移行させる第2の電圧パルスとを交互に繰り返し印加した場合の素子の抵抗値変化を示すグラフ図である。
- [図6]比較例におけるナノギャップメモリ素子を低抵抗状態から高抵抗状態へ移行させる第1の電圧パルスと高抵抗状態から低抵抗状態へ移行させる第2の電圧パルスとを交互に繰り返し印加した場合の素子の抵抗値変化を示すグラフ図である。
- [図7]実施例と同じ構成であってメモリ素子に印加するパルスの幅のみを変更した他の例におけるナノギャップメモリ素子を低抵抗状態から高抵抗状態へ移行させる第1の電圧パルスと高抵抗状態から低抵抗状態へ移行させる第2の電圧パルスとを交互に繰り返し印加した場合の素子の抵抗値変化を示すグラフ図である。

## 発明を実施するための形態

- [0015] 以下に、本発明について、図面を用いて具体的な態様を説明する。ただし、発明の範囲は、図示例に限定されない。

- [0016] <ナノギャップメモリ素子を備える記憶装置>

まず、記憶装置1000の構成について、図1A～図3を参照して説明する。

記憶装置1000は、複数のメモリセル110をアレイ状に配置したメモリ素子アレイを備えた、データの記憶を行う装置である。ここで、本発明の記憶装置1000においては、メモリセル110は、ナノギャップメモリ素子10と選択素子としてのMOSトランジスタ11とからなり、メモリ素子アレイは、ナノギャップメモリアレイ100である。

具体的には、記憶装置1000は、例えば、図1Aに示すように、ナノギャップメモリアレイ100と、電圧印加部200と、読み出し部300と、制御部400と、アレイ状に並んだメモリセル110の一つを選択するためにメモリセル110のX方向の位置を指定するX方向のアドレス指定部410と、メモリセル110のY方向の位置を指定するY方向のアドレス指定部420と、などを備えて構成される。

[0017] (ナノギャップメモリアレイ)

ナノギャップメモリアレイ100は、例えば、複数のメモリセル110をアレイ状(例えば、2次元アレイ状)に配置した高密度メモリである。

メモリセル110は、図1Bに示すように、MOSトランジスタ11と当該MOSトランジスタ11のドレイン電極又はソース電極に接続されたナノギャップメモリ素子10とからなる。MOSトランジスタ11は、そのソース電極又はドレイン電極がX方向のアドレス指定部410に接続され、ゲート電極はY方向のアドレス指定部420に接続されている。そして、X方向のアドレス指定部410を通じて後述する第1又は第2の電圧パルスが印加され、Y方向のアドレス指定部420から指定信号が入力されると、ナノギャップメモリ素子10に電圧パルスが印加され、後述する抵抗値変化現象が生じるようになっている。

[0018] (ナノギャップメモリ素子)

ナノギャップメモリ素子10は、例えば、ナノギャップ電極間(電極間間隙部4の間隙)の抵抗値をスイッチさせて、データの記憶を行うメモリ素子である。

具体的には、ナノギャップメモリ素子10は、例えば、図2に示すように

、絶縁性基板 1 と、絶縁性基板 1 の一面（上面）に設けられた第 1 電極 2 及び第 2 電極 3 と、第 1 電極 2 と第 2 電極 3 との間に設けられた電極間隙部 4 と、などを備えて構成される。

[0019] 絶縁性基板 1 は、例えば、ナノギャップメモリ素子 10 の 2 つの電極（第 1 電極 2 と第 2 電極 3）を隔てて設けるための支持体として機能する。

絶縁性基板 1 の構造及び材質は、特に限定されるものではない。具体的には、例えば、絶縁性基板 1 の表面の形状は、平面であっても良いし、凹凸を有していても良い。また、絶縁性基板 1 は、例えば、Si 等の半導体基板の表面に酸化膜等を設けたものであっても良いし、基板そのものが絶縁性とされたものであっても良い。

絶縁性基板 1 の材質としては、例えば、ガラス、酸化珪素（ $\text{SiO}_2$ ）などの酸化物、窒化珪素（ $\text{SiN}$ ）などの窒化物等が好ましく、このうち、酸化珪素（ $\text{SiO}_2$ ）が、第 1 電極 2 及び第 2 電極 3 との密着性と、その製造における自由度と、が大きい点で好適となっている。

[0020] 第 1 電極 2 は、例えば、第 2 電極 3 と対になって、ナノギャップメモリ素子 10 のスイッチング動作を行うためのものである。

第 1 電極 2 の形状は、特に限定されるものではなく、適宜任意に変更することができる。

第 1 電極 2 の材質は、導電性を備えていれば特に限定されるものではなく、例えば、金、銀、白金、パラジウム、ニッケル、アルミニウム、コバルト、クロム、ロジウム、銅、タングステン、タンタル、カーボン又はこれらの合金から選ばれる少なくとも 1 つであることが好ましい。ここで、第 1 電極 2 は、絶縁性基板 1 との接着性を強化するために、例えば、異なる金属を 2 層以上重ねて用いても良い。具体的には、例えば、第 1 電極 2 は、クロム及び金の積層（多層）構造としても良い。

[0021] 第 2 電極 3 は、例えば、第 1 電極 2 と対になって、ナノギャップメモリ素子 10 のスイッチング動作を行うためのものである。

第 2 電極 3 の形状は、特に限定されるものではなく、適宜任意に変更する

ことができる。

第2電極3の材質は、導電性を備えていれば特に限定されるものではなく、例えば、金、銀、白金、パラジウム、ニッケル、アルミニウム、コバルト、クロム、ロジウム、銅、タングステン、タンタル、カーボン又はこれらの合金から選ばれる少なくとも1つであることが好ましい。ここで、第2電極3は、絶縁性基板1との接着性を強化するために、例えば、異なる金属を2層以上重ねて用いても良い。具体的には、例えば、第2電極3は、クロム及び金の積層（多層）構造としても良い。

[0022] 電極間隙部4は、例えば、第1電極2と第2電極3との間に形成され、ナノギャップメモリ素子10の抵抗値変化現象を発現する役割を具備している。

具体的には、電極間隙部4は、例えば、第1電極2と第2電極3との間への所定電圧の印加により抵抗のスイッチング現象が生じるナノメートルオーダーの間隙を有するものである。すなわち、第1電極2と第2電極3との間（ナノギャップ電極間）の距離（間隔）Gは、ナノメートルオーダーとなるよう設定されている。

[0023] 第1電極20と第2電極30間（ナノギャップ電極間）の距離（間隔）Gは、例えば、 $0\text{ nm} < G \leq 13\text{ nm}$ であるのが好ましく、 $0.8\text{ nm} < G < 2.2\text{ nm}$ であるのがより好ましい。

ここで、距離Gの上限値を13 nmとしたのは、例えば、二回の斜め蒸着で作成する場合には、ギャップ間隔が13 nmより大きくなるとスイッチングが起きなくなるためである。

また、トンネル電流の理論式に低抵抗状態、高抵抗状態の典型的な値を代入すると、ギャップ幅の計算結果として $0.8\text{ nm} < G < 2.2\text{ nm}$ の範囲が求められる。

[0024] なお、第1電極2と第2電極3との間の最近接部位（電極間隙部4の間隙）は、例えば、第1電極2と第2電極3とが対向する領域に1若しくは複数箇所形成されていても良い。

また、第1電極2と第2電極3との間には、例えば、当該第1電極2と第2電極3の構成材料などからなる島部分（中州部分）が形成されていても良い。この場合には、例えば、第1電極2と島部分との間、第2電極3と島部分との間に所定の間隙（電極間隙部4の間隙）が形成されて、第1電極2と第2電極3とが短絡していなければ良い。

[0025] （電圧印加部）

電圧印加部200は、例えば、ナノギャップメモリアレイ100が有する複数のメモリセル110と制御部400とに接続されている。電圧印加部200は、例えば、制御部400から入力される制御信号に従って、メモリセル110内のナノギャップメモリ素子10の第1電極2と第2電極3との間に電圧（電圧パルス）を印加することによって、ナノギャップメモリ素子10にデータを書き込んだり、ナノギャップメモリ素子10からデータを消去したりする。

[0026] 具体的には、電圧印加部200には、例えば、制御部400から、電圧パルスを印加するナノギャップメモリ素子10の所在に関するアドレス情報が入力されるようになっている。そして、これらの情報が入力されると、電圧印加部200は、例えば、ナノギャップメモリアレイ100が有する複数のナノギャップメモリ素子10のうちの、アドレス情報で指定されたナノギャップメモリ素子10に電圧パルスを印加するようになっている。

[0027] また、電圧印加部200は、個々のナノギャップメモリ素子10に対して、その第1電極2と第2電極3との間の抵抗状態を低抵抗状態と高抵抗状態の二つの状態の間に切り換えるための第1の電圧パルスと第2の電圧パルスを印加するために、図3に示す構成を具備している。

即ち、電圧印加部200は、メモリ素子10に対して所定の電圧及び所定のパルス幅で電圧パルスを発生するパルス発生源としてのパルス発生器210と、このパルス発生器210とナノギャップメモリ素子10の第1電極2とを第一の接続状態と第二の接続状態とに切り換え可能な切り換え部220とを備えている。なお、これらパルス発生器210及び切り換え部220は

、X方向のアドレス指定部410を介して各ナノギャップメモリ素子10に接続するように設けられている。なお、電圧印加部200と各ナノギャップメモリ素子10の間には、実際には、各アドレス指定部410及びMOSトランジスタ11が介在するが、図3ではそれらの図示は省略している。

[0028] パルス発生器210は、単発の電圧パルスを出力することができ、制御部400によってその電圧とパルス幅とを任意に制御することを可能としている。

切り換え部220は、パルス発生器210とナノギャップメモリ素子10の第1電極2とを直接接続する第一の接続状態を形成する経路と、パルス発生器210とナノギャップメモリ素子10の第1電極2との間で直列に配置された抵抗体として抵抗素子221を介してこれらを接続する第二の接続状態を形成する経路とを備えており、切り換え素子222によっていずれかの経路を選択的に接続することを可能としている。かかる切り換え素子222は、制御部400により切り換えの制御が行われる。

[0029] 切り換え部220により、第一の接続状態で接続されている場合には、パルス発生器210から出力される電圧パルスがそのまま第1の電圧パルスとしてナノギャップメモリ素子10に対して印加される。

また、切り換え部220により、第二の接続状態で接続されている場合には、パルス発生器210から出力される電圧パルスが抵抗素子222を介して第2の電圧パルスとしてナノギャップメモリ素子10に印加される。このとき、抵抗素子222及びナノギャップメモリ素子10を直列接続された二つの抵抗素子と見なすことができるので、電圧パルスに対して抵抗素子222とナノギャップメモリ素子10との合計の抵抗値に反比例した電流がナノギャップメモリ素子10に流れることとなり、低抵抗状態に切り替わったナノギャップメモリ素子10に対して大きく電流が流れることが抑止され、ナノギャップメモリ素子10の低抵抗状態を安定的に維持することができ、低抵抗応対への切り換えの成功率が向上する。

そして、これにより、第2の電圧パルスの印加によって、ナノギャップメ

メモリ素子10は、固定することが可能な範囲内で極力低い抵抗値に固定することができる。

また、データ書き込み時にナノギャップメモリ素子10が高抵抗から低抵抗へ大きな抵抗変化をした際、素子流入電流の急激な増加に起因する断線等の素子破壊を防止する。

[0030] (X方向及びY方向のアドレス指定部)

X方向のアドレス指定部410は、アレイ状に設けられた複数のメモリセル110の内、Y方向に沿って並んだ複数のメモリセル110のそれぞれのMOSトランジスタ11のソース電極が並列接続された配線を複数備え、各配線はX方向に並んで設けられている。そして、各配線に対して個々に電圧印加部200からの電圧パルスを実加することが可能となっている。

[0031] Y方向のアドレス指定部420は、アレイ状に設けられた複数のメモリセル110の内、X方向に沿って並んだ複数のメモリセル110のそれぞれのMOSトランジスタ11のゲート電極が並列接続された配線を複数備え、各配線はY方向に並んで設けられている。そして、各配線に対して個々に指定信号としての電圧印加を行うことができ、これにより各MOSトランジスタ11に対してソース電極とドレイン電極の接続を可能としている。

つまり、Y方向のアドレス指定部420に対する位置指定に応じて対応する配線に指定信号を実加し、X方向のアドレス指定部410に対する位置指定に応じて対応する配線に対して電圧パルスを実加することにより、X方向とY方向との位置指定により特定される任意のナノギャップメモリ素子10に対する電圧パルスの印加を行うことを可能としている。

[0032] なお、メモリセル110はナノギャップメモリ素子10に少なくとも抵抗体を接続した（更にMOSトランジスタ11を接続した）構成とすることで、書き込みを高速化できる。メモリセル110にいたるまでの配線の充放電電流が抵抗体により制限されないからである。メモリセル面積は増加する可能性があるが、前記抵抗体と前記メモリ素子の電極を積層構造にできればメモリセル面積の増加は回避できる。

この場合、図3に示す切替部220は不要でメモリセルはパルス発生器210から電圧駆動が可能である。

[0033] (読み出し部)

読み出し部300は、例えば、ナノギャップメモリアレイ100が有する複数のナノギャップメモリ素子10と、制御部400とに接続されている。読み出し部300は、例えば、制御部400から入力される制御信号に従って、ナノギャップメモリ素子10からデータを読み出して、当該読み出し結果を制御部400に出力する。

[0034] 具体的には、読み出し部300には、例えば、制御部400から、データを読み出すナノギャップメモリ素子10の所在に関するアドレス情報が入力されるようになっている。そして、この情報が入力されると、読み出し部300は、例えば、ナノギャップメモリアレイ100が有する複数のナノギャップメモリ素子10のうちの、アドレス情報で指定されたナノギャップメモリ素子10のナノギャップ電極間（電極間間隙部4の間隙）の抵抗値を測定することによって、そのナノギャップメモリ素子10からデータを読み出すようになっている。

[0035] (制御部)

制御部400は、電圧印加部200のパルス発生器210に制御信号（電圧値情報など）を入力し、X方向及びY方向のアドレス指定部410、420に対してアドレス信号を入力して、任意のナノギャップメモリ素子10に所定の電圧値で予め設定された一定のパルス幅の電圧パルスを印加させる制御を行う。

このとき、制御部400は、ナノギャップメモリ素子10に対して低抵抗状態（以下、「ON状態」ともいう）から高抵抗状態（以下、「OFF状態」ともいう）に切り換えを行う際には、切り換え部220が第一の接続状態となるように切り換え素子222を制御した上で、パルス発生器210を設定電圧でパルス発生させて、ナノギャップメモリ素子10に第1の電圧パルスが印加されるよう制御を行う。

また、ナノギャップメモリ素子10に対して高抵抗状態（OFF状態）から低抵抗状態（ON状態）に切り換えを行う際には、切り換え部220が第二の接続状態となるように切り換え素子222を制御した上で、パルス発生振器210を第1の電圧パルスと同様にパルスを発生させて、ナノギャップメモリ素子10に第2の電圧パルスが印加されるよう制御を行う。

[0036] また、制御部400は、例えば、第2の電圧パルスが印加されると、読み出し部300に制御信号（アドレス情報など）を入力して、ナノギャップメモリ素子10からデータを読み出させ、そして、当該読み出し結果に基づいて、ナノギャップメモリ素子10が高抵抗状態から低抵抗状態へ移行したか否かを判断する。

判断の結果、ナノギャップメモリ素子10が高抵抗状態から低抵抗状態へ移行していない場合には、第2の電圧パルスの印加のリトライを行うよう制御しても良い。

[0037] （ナノギャップメモリ素子の変形例）

なお、本発明は、上記実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

以下に、本発明に係るナノギャップメモリ素子の変形例について説明する。

[0038] 変形例1のナノギャップメモリ素子10Aは、例えば、図4に示すように、絶縁性基板1Aと、絶縁性基板1Aの上面に設けられた絶縁体5Aと、絶縁性基板1Aの上面に設けられた第1電極2Aと、絶縁体5Aの上面に設けられた第2電極3Aと、第1電極2Aと第2電極3Aとの間に設けられた電極間隙部4Aとを主に備えている。

具体的には、絶縁体5Aが絶縁性基板1Aの上面に設けられることにより段部を構成しており、当該絶縁体5Aにより、第1電極2Aと第2電極3Aとが高低差をもって基板1A上に配置されている。そして、第1電極2Aは、絶縁性基板1Aの上面と絶縁体5Aの側面51Aの下側部分とに接して設けられており、第2電極3Aは、絶縁体5Aの上面と絶縁体5Aの側面51

Aの上側部分とに接して設けられている。そして、電極間隙部4 Aは、絶縁体5 Aの側面5 1 Aの下側部分に設けられた第1電極2 Aと、絶縁体5 Aの側面5 1 Aの上側部分に設けられた第2電極3 Aとの間に設けられている。つまり、電極間隙部4 Aは絶縁体5 Aにより形成される段部の高さ方向に沿ってギャップGが形成されている。

[0039] なお、第1電極2 A及び第2電極3 Aの材質は、前述した第1電極2及び第2電極3と同様のものを選択することが望ましい。

また、絶縁体5 Aは、電極間隙部4 Aを構成する第1電極2 Aの対向部位と第2電極3 Aの対向部位とが基板1 Aの平面に対する高さ方向に沿って並ぶように配置するためのものである。従って、上記機能を具備する限り、他の構造を採っても良い。

また、絶縁体5 Aは、例えば、絶縁性基板1 Aの一部に酸化膜等を設けたものであってもよいし、絶縁性基板1 A全面に酸化膜等を設け、その一部を取り去ることで形成されるものであってもよい。また、絶縁体5 Aの材質としては、例えば、ガラス、酸化珪素( $\text{SiO}_2$ )などの酸化物、窒化珪素( $\text{Si}_3\text{N}_4$ )などの窒化物等が好ましく、このうち、酸化珪素( $\text{SiO}_2$ )が、第1電極2 A及び第2電極3 Aとの密着性と、その製造における自由度と、が大きい点で好適となっている。

[0040] また、電極間隙部4 Aは、前述した電極間隙部4に比して形成される平面の向きが異なる点を除けば、実体的な構造はほぼ同一である。従って、電極間隙部4 Aの寸法などの設計条件やその動作方法は前述した電極間隙部4の場合と同様である。

[0041] かかる変形例1のメモリ素子10 Aは、前述したメモリ素子10と同様の技術的効果を具備すると共に、絶縁性基板1 Aの上面に対して絶縁体5 Aにより形成される段部により第1電極2 A及び第2電極3 Aが高低差をもって配置され、その高さ方向に沿って電極間隙部4 Aが形成されているため、第1電極2 A、第2電極3 A及び電極間隙部4 Aを同一平面上に並べて配置する場合に比べて当該電極間隙部4 Aが絶縁性基板1 Aの平面視での占

有面積を低減することが可能となる。これにより、例えば、単一の絶縁性基板 1 A を共有して多数のメモリ素子 10 A を集積化することでメモリ素子を形成する場合に、集積化に有利であり、メモリ素子の小型化を図ることが可能となる。

[0042] <実施例>

以下に、具体的な実施例によって本発明を更に詳細に説明するが、本発明はこれらに限定されるものではない。

[0043] ここでは図 4 に示したナノギャップメモリ素子 10 A を用いた実施例について説明する。なお、ナノギャップメモリ素子 10 を採用しても良いことはいうまでもない。

かかるナノギャップメモリ素子 10 A に対して第 1 の電圧パルス及び第 2 の電圧パルスの印加を繰り返し交互に行い、そのナノギャップメモリ素子 10 A のナノギャップ電極間（電極間間隙部 4 A の間隙）の抵抗値を、各電圧パルスの印加後に測定した。第 1 の電圧パルス及び第 2 の電圧パルスの印加時において、いずれも、パルス発生器 210 から発生される電圧パルスの電圧を 10 V とし、パルス幅（1 回の電圧パルスの印加時間）を 100  $\mu$ s とした。また、電圧印加部 200 における切り換え部 220 の抵抗素子は 1 M  $\Omega$  のものを使用した。

[0044] また、比較例として、同じナノギャップメモリ素子 10 A に対して、切り換え部 220 を使用しないでパルス発生器 210 をナノギャップメモリ素子 10 とを直接接続し、第 2 の電圧パルスの印加電圧を第 1 の電圧パルスの印加電圧よりも低く設定して、第 1 の電圧パルスと第 2 の電圧パルスとを交互に繰り返し印加して、その時のナノギャップメモリ素子 10 A のナノギャップ電極間（電極間間隙部 4 A の間隙）の抵抗値を、各電圧パルスの印加後に測定した。この比較例では、第 1 の電圧パルスを 10 V、第 2 の電圧パルスを 5 V に設定し、パルス幅はいずれも 500 ns とした。

[0045] 図 5 は実施例における第 1 の電圧パルスと第 2 の電圧パルスの印加ごとの抵抗値を示すグラフ図であり、図 6 は比較例における第 1 の電圧パルスと第

2の電圧パルスの印加ごとの抵抗値を示すグラフ図である。各図において■は第1の電圧パルスの印加時（OFF時）の抵抗値、●は第2の電圧パルスの印加時（ON時）の抵抗値を示している。

実施例及び比較例は、いずれも第1の電圧パルスの印加時には抵抗値が上昇し、第2の電圧パルスの印加時には抵抗値が下降する傾向が現れている。

しかしながら、比較例の場合には、図6に示すように、第2の電圧パルスの印加後に、高抵抗状態から十分に低抵抗状態に切り換えが行われない場合が多く、第1の電圧パルス印加後の抵抗値と第2の電圧パルス印加後の抵抗値のそれぞれにバラツキが多く、高抵抗状態の抵抗の数値範囲と低抵抗状態の抵抗の数値範囲とにかなりの重複を生じてしまう。その結果、記憶装置内の一つの記憶素子としてナノギャップメモリ素子10Aを使用すると、ONとOFFの識別が困難となり、実用性が十分とはいえないという結果が現れている。

一方、実施例は、図5に示すように、第1の電圧パルスの印加後のナノギャップメモリ素子10Aの抵抗値と第2の電圧パルスの印加後のナノギャップメモリ素子10Aの抵抗値とがそれぞれバラツキが小さく抑えられ、高抵抗状態の抵抗の数値範囲と低抵抗状態の抵抗の数値範囲とに殆ど重複が生じない。つまり、一定の閾値を定めることで、ナノギャップメモリ素子10AがON状態かOFF状態かをより確実に識別することができ、記憶装置としての実用性が向上していることが分かる。

[0046] また、図7において、図5の実施例に対して、第1の電圧パルス及び第2の電圧パルスの印加時のパルス幅を150マイクロ秒として図5と同じ試験を行った場合のナノギャップメモリ素子10Aの抵抗値の測定結果を示す。

図7の例では、図5と同様に、第1の電圧パルスの印加後のナノギャップメモリ素子10Aの抵抗値と第2の電圧パルスの印加後のナノギャップメモリ素子10Aの抵抗値とがそれぞれバラツキが小さく抑えられ、高抵抗状態の抵抗の数値範囲と低抵抗状態の抵抗の数値範囲とが良好に分離され、ナノギャップメモリ素子10AのON状態とOFF状態との識別を容易に行うこ

とができ、記憶装置としての実用性が向上していることが分かる。

[0047] (発明の実施形態の効果)

上述のように、記憶装置1000では、電圧印加部200の切り換え部220において、ナノギャップメモリ素子10(又は10A)に対して、第1の電圧パルスの印加はパルス発生器210から直接的に行い、第2の電圧パルスの印加は直列に接続された抵抗素子221を介して行う。

これにより、第2の電圧パルスの印加時には、ナノギャップメモリ素子10(又は10A)に対してより小さい電流を通電することができる。このため、第1の電圧パルスの印加後のナノギャップメモリ素子10(又は10A)の抵抗値と第2の電圧パルスの印加後の抵抗値とについて、それぞれバラツキを小さく抑えることができ、高抵抗状態の抵抗値の数値範囲と低抵抗状態の抵抗値の数値範囲との重複を効果的に抑制することが可能である。従って、ナノギャップメモリ素子10(又は10A)の記憶素子としての信頼性及び実用性の向上を図ることが可能となった。

また、切り換え部220により抵抗素子221の有無を切り換えることで第1の電圧パルスと第2の電圧パルスの印加を選択的に行うので、パルス発生器の出力電圧を一定のままとすることができ、安定的な電圧印加を行うことが可能である。

[0048] (その他)

なお、記憶装置1000の一部(例えば、ナノギャップメモリアレイ100)又は全部を、所定の封止部材で封止することによって、電極間隙部4を大気や水分に接触しないようにしても良い。これにより、ナノギャップメモリ素子10(又は10A)をさらに安定的に動作させることができる。さらに、所定の封止部材で封止することによって、電極間隙部4を任意の雰囲気中に配置した状態を保つことができ、ナノギャップメモリ素子10(又は10A)を任意の雰囲気中で使用することができる。

[0049] なお、第1及び第2の電圧パルスの電圧値やパルス幅は、ナノギャップメモリ素子のギャップの寸法や電極の選択材料、ギャップ間の雰囲気成分な

どによって適宜変更し得るものであり、また、抵抗素子 2 2 1 の抵抗値も、厳密に 1 M $\Omega$  に限定されるものではなく、3 M $\Omega$  から 0. 3 M $\Omega$  の範囲、より望ましくは、2 M $\Omega$  から 0. 5 M $\Omega$  の範囲のおおよそ 1 M $\Omega$  の範囲でも効果があり、更に、同様の条件に加えて第 1 及び第 2 の電圧パルスの電圧値、ナノギャップメモリ素子の高抵抗時や低抵抗時の抵抗値等に応じて適宜選択することができ、上記の例に限定されるものではない。

[0050] また、上記記憶装置 1 0 0 0 では、ナノギャップメモリアレイ 1 0 0 に対して記憶を行う場合を例示したが、単体であるナノギャップメモリ素子 1 0 とこれに対する電圧印加部 2 0 0 と読み出し部 3 0 0 と制御部 4 0 0 とからなるデバイスを記憶装置としても良い。

[0051] なお、上述した記憶装置 1 0 0 0 では、電圧印加部 2 0 0 が第 2 の電圧パルスについてのみ抵抗素子 2 2 1 を介して印加を行っているが、第 1 の電圧パルスについても抵抗素子を介して印加を行う構成としても良い。但し、第 1 の電圧パルスの印加時に用いる抵抗素子は、第 2 の電圧パルスの印加の際に用いる抵抗素子 2 2 1 よりも抵抗値が低いものが選択され、第 1 の電圧パルスの印加時にナノギャップメモリ素子 1 0 に流れる電流値が第 2 の電圧パルスの印加時よりも大きくなるように調整される。

### 産業上の利用可能性

[0052] 電圧パルスの印加により ON-OFF が切り替え可能なメモリ素子の分野において利用可能性がある。

### 符号の説明

- [0053] 1 絶縁性基板  
2 第 1 電極  
3 第 2 電極  
4 電極間間隙部  
1 0 ナノギャップメモリ素子 (メモリ素子)  
2 0 0 電圧印加部  
2 1 0 パルス発生器 (パルス発生源)

2 2 0 切り換え部

2 2 1 抵抗素子（抵抗体）

1 0 0 0 記憶装置

## 請求の範囲

[請求項1] 絶縁性基板と、前記絶縁性基板に設けられた第1電極及び第2電極と、前記第1電極と前記第2電極との間に設けられ、前記第1電極と前記第2電極との間への所定電圧の印加により第1、第2電極間の抵抗値の変化現象が生じるナノメートルオーダーの間隙を有する電極間隙部とを備え、電圧パルスの印加により、所定の低抵抗状態から所定の高抵抗状態への移行と、前記高抵抗状態から前記低抵抗状態への移行とが可能なメモリ素子の駆動方法において、

少なくとも、前記高抵抗状態から前記低抵抗状態への移行の際には、直列に接続された抵抗体を介在させてパルス発生源から前記メモリ素子に電圧パルスの印加を行うことにより、抵抗値の変化後の電流値を低減させ、

また、前記高抵抗状態から前記低抵抗状態へ移行させる場合には、前記低抵抗状態から前記高抵抗状態へ移行させる場合よりも、前記パルス発生源から前記メモリ素子との間の電気抵抗が高くなるようにして、前記電圧パルスの印加を行うことを特徴とするメモリ素子の駆動方法。

[請求項2] 前記高抵抗状態から前記低抵抗状態へ移行させる場合の前記抵抗体の抵抗値は2MΩから0.5MΩであることを特徴とする請求項1記載のメモリ素子の駆動方法。

[請求項3] 絶縁性基板と、前記絶縁性基板に設けられた第1電極及び第2電極と、前記第1電極と前記第2電極との間に設けられ、前記第1電極と前記第2電極との間への所定電圧の印加により第1、第2電極間の抵抗値の変化現象が生じるナノメートルオーダーの間隙を有する電極間隙部とを備えるメモリ素子と、

前記メモリ素子の前記第1電極と第2電極との間における所定の低抵抗状態から所定の高抵抗状態への移行と前記高抵抗状態から前記低抵抗状態への移行とを行うために電圧パルスを印加する電圧印加部と

を備え、

前記電圧印加部は、

一定電圧のパルスが発生するパルス発生源と、少なくとも前記高抵抗状態から前記低抵抗状態への移行の際に印加する電圧パルスによる抵抗値の変化後の前記メモリ素子に流れる電流を低減するための抵抗体と、

前記高抵抗状態から前記低抵抗状態へ移行させる場合には、前記低抵抗状態から前記高抵抗状態へ移行させる場合よりも、前記パルス発生源から前記メモリ素子の間の電気抵抗が高くなるように切り換える切り換え部とを備えることを特徴とするメモリ素子を用いた記憶装置。

[請求項4]

絶縁性基板と、前記絶縁性基板に設けられた第1電極及び第2電極と、前記第1電極と前記第2電極との間に設けられ、前記第1電極と前記第2電極との間への所定電圧の印加により第1、第2電極間の抵抗値の変化現象が生じるナノメートルオーダーの間隙を有する電極間間隙部とを備えるメモリ素子と、

前記メモリ素子の前記第1電極と第2電極との間における所定の低抵抗状態から所定の高抵抗状態への移行と前記高抵抗状態から前記低抵抗状態への移行とを行うために電圧パルスを印加する電圧印加部とを備え、

前記メモリ素子は複数個であり、少なくともそれぞれのメモリ素子にそれぞれ抵抗体が接続され、

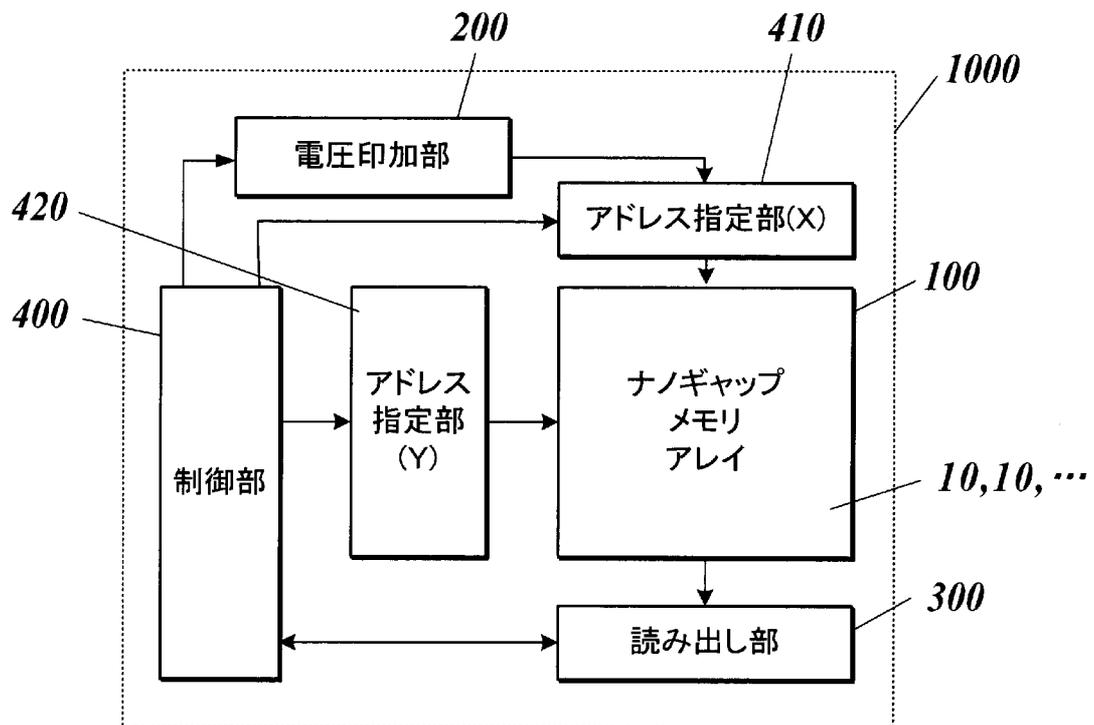
前記電圧印加部は、前記高抵抗状態から前記低抵抗状態へ移行させる場合には、前記低抵抗状態から前記高抵抗状態へ移行させる場合よりも、前記パルス発生源から前記メモリ素子の間の電気抵抗が高くなるように切り換える切り換え部とを備えることを特徴とするメモリ素子を用いた記憶装置。

[請求項5]

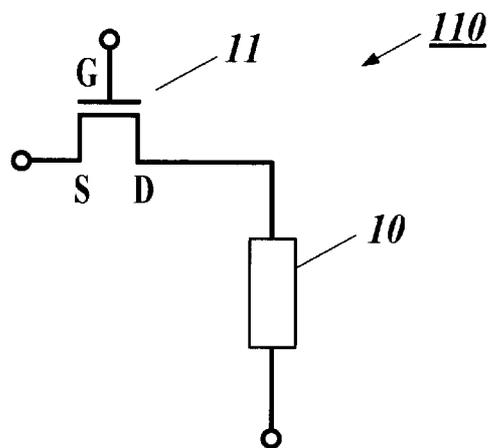
前記高抵抗状態から前記低抵抗状態へ移行させる場合の前記抵抗体

の抵抗値は $2\text{M}\Omega$ から $0.5\text{M}\Omega$ であることを特徴とする請求項3又は4記載のメモリ素子を用いた記憶装置。

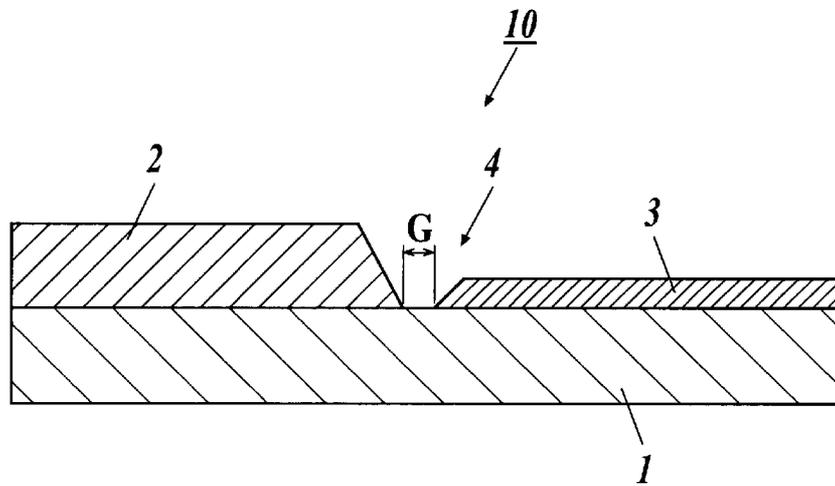
[図1A]

**FIG.1A**

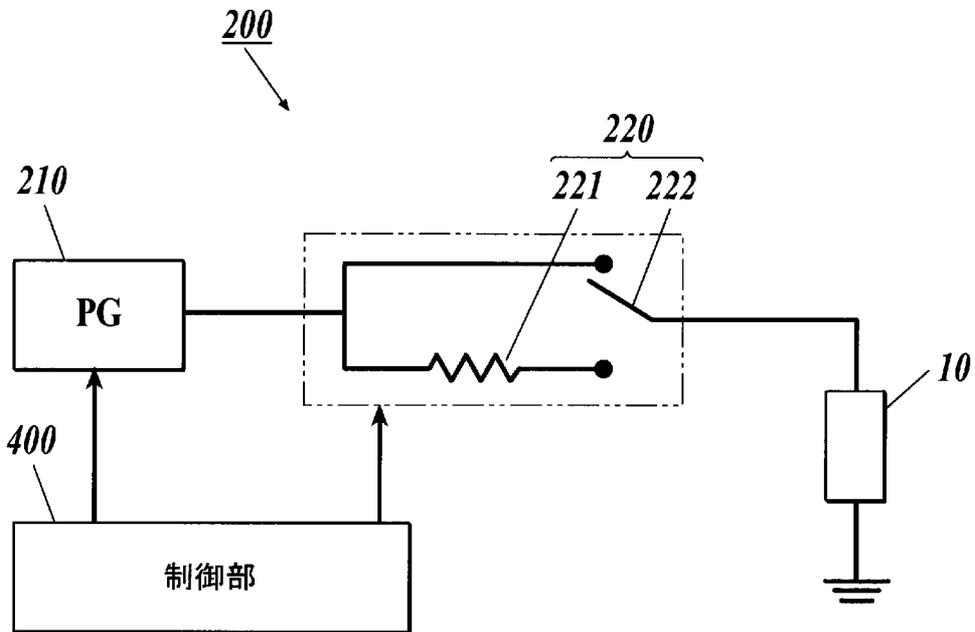
[図1B]

**FIG.1B**

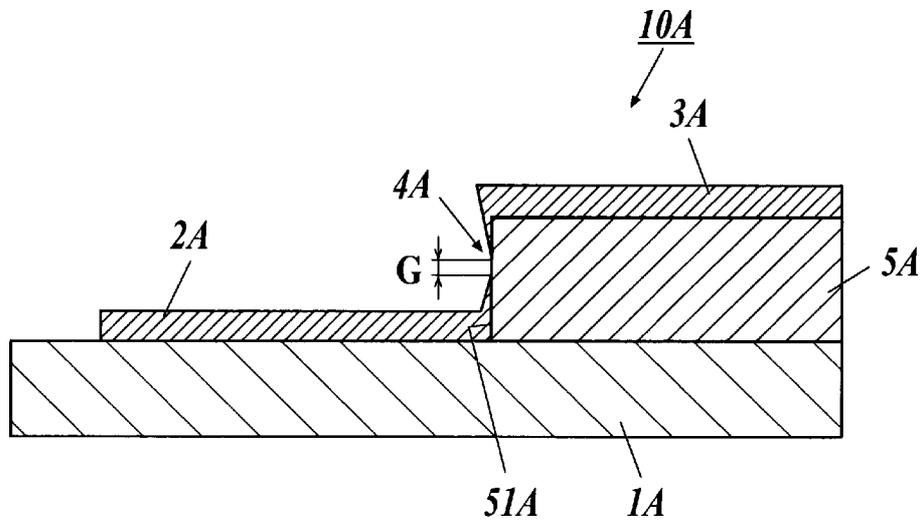
[図2]

**FIG.2**

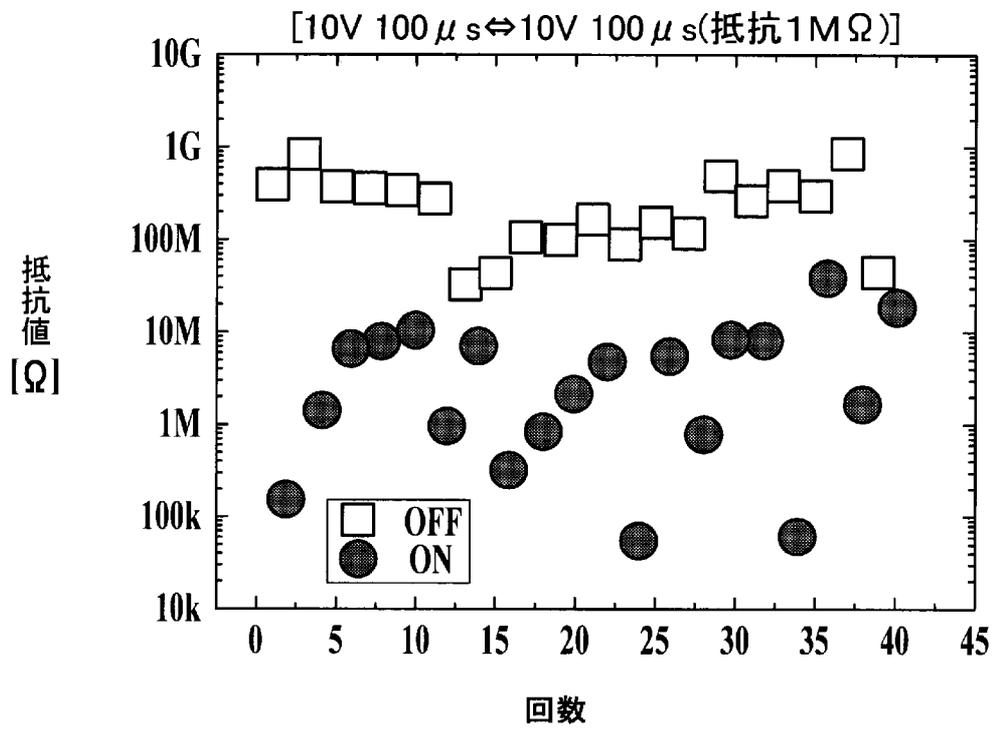
[図3]

**FIG.3**

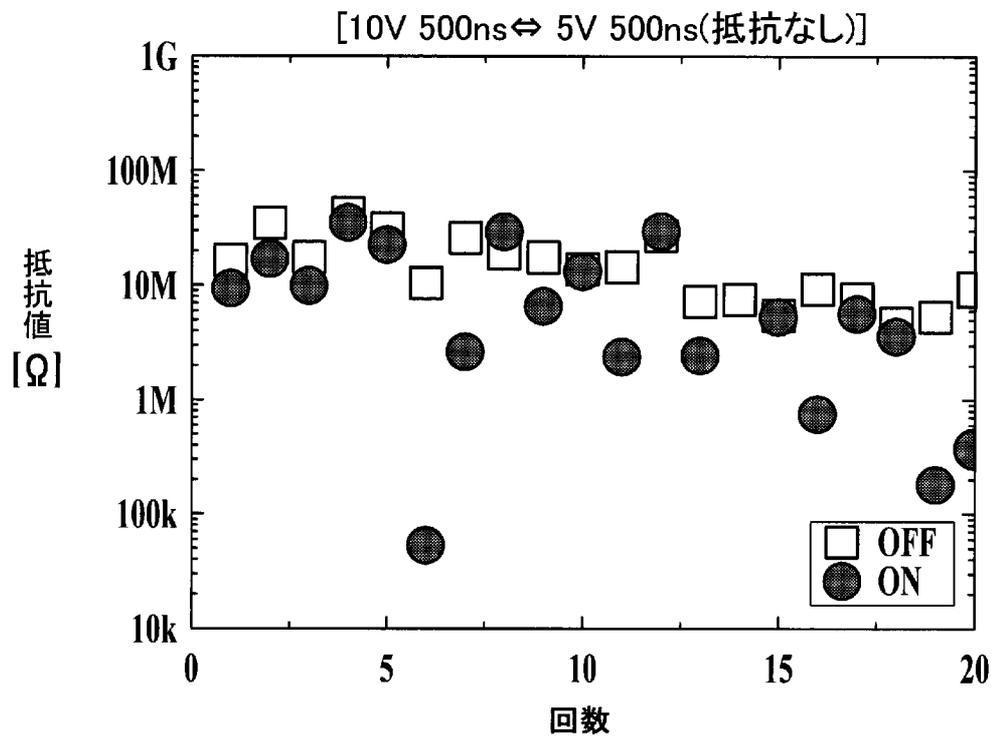
[図4]

**FIG.4**

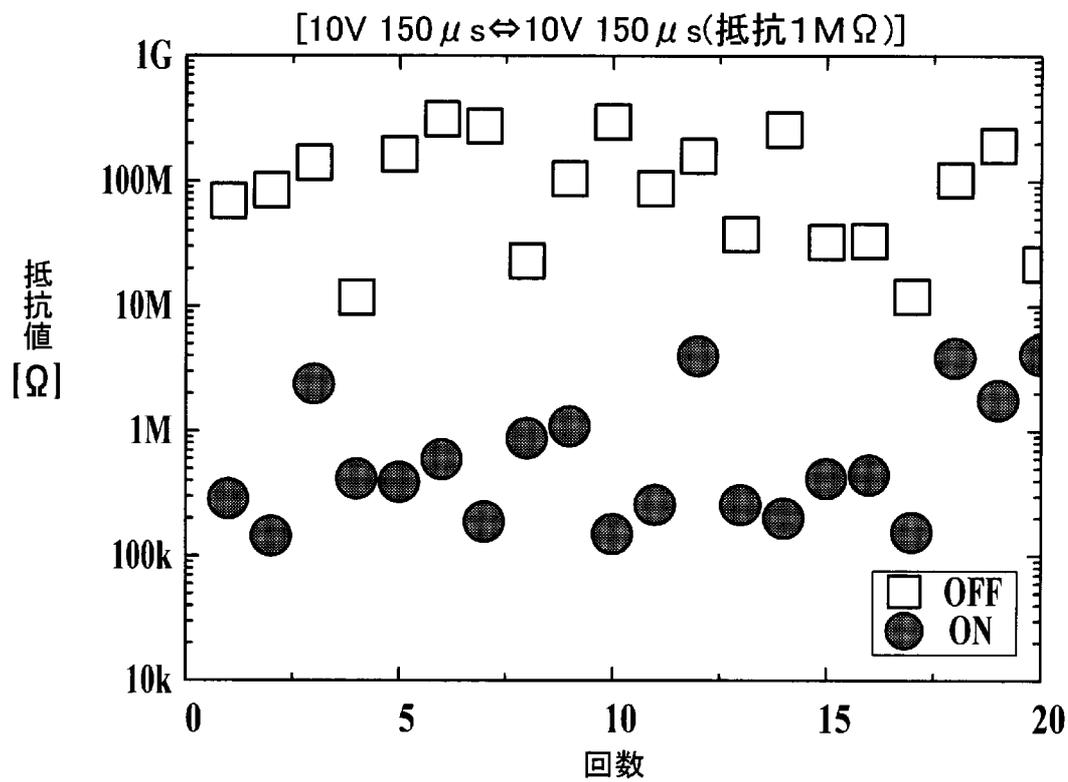
[図5]

**FIG.5**

[図6]

**FIG. 6**

[図7]

**FIG. 7**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/069113

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <i>G11C13/00</i> (2006.01) i, <i>H01L27/105</i> (2006.01) i, <i>H01L45/00</i> (2006.01) i, <i>H01L49/02</i> (2006.01) i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) <i>G11C13/00</i> , <i>H01L27/105</i> , <i>H01L45/00</i> , <i>H01L49/02</i>  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho                      1922-1996      Jitsuyo Shinan Toroku Koho      1996-2011 Kokai Jitsuyo Shinan Koho            1971-2011      Toroku Jitsuyo Shinan Koho      1994-2011		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-123828 A (National Institute of Advanced Industrial Science and Technology), 17 May 2007 (17.05.2007), fig. 1; paragraphs [0019], [0041], [0042], [0052], [0053] & US 2009/0251199 A1            & EP 1939941 A1 & WO 2007/037210 A1            & KR 10-2008-0059602 A & CN 101273461 A	1-5
Y	WO 2006/137111 A1 (Fujitsu Ltd.), 28 December 2006 (28.12.2006), paragraphs [0041], [0062] to [0067], [0090] & US 2008/0123393 A1            & EP 1895540 A1	1-5
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11 October, 2011 (11.10.11)		Date of mailing of the international search report 25 October, 2011 (25.10.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer  Telephone No.
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/069113

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-205709 A (Funai Electric Advanced Applied Technology Research Institute Inc.), 10 September 2009 (10.09.2009), claim 1 (Family: none)	1-5
A	WO 2009/034687 A1 (Panasonic Corp.), 19 March 2009 (19.03.2009), paragraphs [0006], [0017] to [0018] & US 2010/0202185 A1 & CN 101802921 A	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C13/00(2006.01)i, H01L27/105(2006.01)i, H01L45/00(2006.01)i, H01L49/02(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C13/00, H01L27/105, H01L45/00, H01L49/02		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-123828 A (独立行政法人産業技術総合研究所) 2007.05.17, 図 1, [0019], [0041], [0042], [0052], [0053] & US 2009/0251199 A1 & EP 1939941 A1 & WO 2007/037210 A1 & KR 10-2008-0059602 A & CN 101273461 A	1-5
Y	WO 2006/137111 A1 (富士通株式会社) 2006.12.28, [0041], [0062]-[0067], [0090] & US 2008/0123393 A1 & EP 1895540 A1	1-5
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 11.10.2011	国際調査報告の発送日 25.10.2011	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 高瀬 勤 電話番号 03-3581-1101 内線 3586	5N 9069

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-205709 A (株式会社船井電機新応用技術研究所) 2009.09.10, 請求項1 (ファミリーなし)	1-5
A	WO 2009/034687 A1 (パナソニック株式会社) 2009.03.19, [0006], [0017]-[0018] & US 2010/0202185 A1 & CN 101802921 A	1-5