

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 9 日(09.08.2012)



(10) 国際公開番号

WO 2012/105611 A1

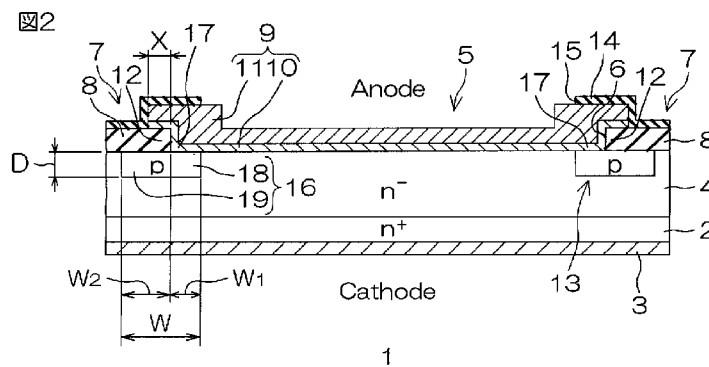
- (51) 国際特許分類:
H01L 29/47 (2006.01) H01L 29/423 (2006.01)
H01L 21/283 (2006.01) H01L 29/49 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 29/06 (2006.01) H01L 29/872 (2006.01)
H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2012/052290
- (22) 国際出願日: 2012 年 2 月 1 日(01.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-020729 2011 年 2 月 2 日(02.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社(ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 中野 佑紀 (NAKANO, Yuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン N B F タワー 2 1 階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR POWER DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体パワーデバイスおよびその製造方法

[図2]



(57) Abstract: This semiconductor power device includes: a first electrode and a second electrode; a breakdown voltage-sustaining layer comprising a semiconductor which has a prescribed thickness and impurity concentration, is bonded to the first electrode and the second electrode, and has an active region for accommodating the movement of a carrier for producing electric conductivity between the first electrode and the second electrode; and an insulating film formed on the breakdown voltage-sustaining layer, and having, in the section contacting the breakdown voltage-sustaining layer, a high dielectric constant section with a higher dielectric constant than SiO₂.

(57) 要約: 本発明の半導体パワーデバイスは、第 1 電極および第 2 電極と、所定の厚さおよび不純物濃度を有する半導体からなり、前記第 1 電極および前記第 2 電極が接合され、当該第 1 電極と第 2 電極との間に電気伝導を発生させるキャリアが移動するための活性領域を有する耐圧保持層と、前記耐圧保持層上に形成され、前記耐圧保持層に接する部分に、SiO₂よりも高い誘電率を有する高誘電率部を有する絶縁膜とを含む。

WO 2012/105611 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体パワーデバイスおよびその製造方法

技術分野

[0001] 本発明は、半導体パワーデバイスおよびその製造方法に関する。

背景技術

[0002] 従来、モータ制御システム、電力変換システムなど、各種パワーエレクトロニクス分野におけるシステムに主として使用される半導体パワーデバイスが注目されている。

たとえば、特許文献１の図１は、SiCが採用されたショットキーバリアダイオードを開示している。当該ショットキーバリアダイオードは、n型4H-SiCバルク基板と、バルク基板上に成長したn型のエピタキシャル層と、エピタキシャル層の表面に形成され、エピタキシャル層の表面を部分的に露出させる酸化膜と、酸化膜の開口内に形成され、エピタキシャル層に対してショットキー接合するショットキー電極とを備えている。

[0003] また、特許文献１の図４は、SiCが採用された縦型MIS電界効果トランジスタを開示している。当該縦型MIS電界効果トランジスタは、n型4H-SiCバルク基板と、バルク基板上に成長したn型のエピタキシャル層と、エピタキシャル層の表層部に形成されたn型不純物領域（ソース領域）と、当該n型不純物領域の両サイドに隣接して形成されたp型ウェル領域と、エピタキシャル層の表面に形成されたゲート酸化膜と、ゲート酸化膜を介してp型ウェル領域に対向するゲート電極とを備えている。

先行技術文献

特許文献

[0004] 特許文献１：特開２００５－７９３３９号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献１のショットキーバリアダイオードおよびトランジスタにおいて

、逆バイアス時にアバランシェ降伏が生じると、S i Cエピタキシャル層に接する材料には、当該エピタキシャル層にかかる電界よりも大きな電界がかかる。

たとえば、ショットキーバリアダイオードの酸化膜にかかる電界 E_{SiO_2} は、ガウスの法則により、 $E_{SiO_2} = (\epsilon_{SiC} / \epsilon_{SiO_2}) \cdot E_{SiC} = (10 / 3.9) \cdot E_{SiC} = \text{約} 2.5 E_{SiC} \text{ MV} / \text{cm}$ と求められる。すなわち、酸化膜には、S i Cにかかる電界 E_{SiC} の約2.5倍の電界がかかる。なお、 ϵ_{SiC} は真空に対するS i Cの比誘電率を示し、 ϵ_{SiO_2} は真空に対するS i O₂の比誘電率を示している。

[0006] そのため、アバランシェ降伏時（高電圧印加時）に酸化膜が絶縁破壊しやすく、このことがアバランシェ耐量の低下を招いている。

本発明の目的は、耐圧保持層に対する高電圧の印加時に絶縁膜の破壊を低減できる、半導体パワーデバイスおよびその製造方法を提供することである。

課題を解決するための手段

[0007] 上記目的を達成するための本発明の半導体パワーデバイスは、第1電極および第2電極と、所定の厚さおよび不純物濃度を有する半導体からなり、前記第1電極および前記第2電極が接合され、当該第1電極と第2電極との間に電気伝導を発生させるキャリアが移動するための活性領域を有する耐圧保持層と、前記耐圧保持層上に形成され、前記耐圧保持層に接する部分に、S i O₂よりも高い誘電率を有する高誘電率部を有する絶縁膜とを含む。

[0008] この構成によれば、絶縁膜における耐圧保持層に接する部分が、S i O₂よりも高い誘電率を有する高誘電率部からなる。そのため、第1電極と第2電極との間に高電圧が印加された状態において、絶縁膜における耐圧保持層との接する部分にかかる電界 E_{High-k} を弱めることができる。

たとえば、真空に対する高誘電率部の比誘電率を ϵ_{High-k} とし、真空に対する耐圧保持層の比誘電率を ϵ_0 とし、真空に対するS i O₂の比誘電率を ϵ_{SiO_2} とし、耐圧保持層にかかる電界を E_0 とする。この場合、電界 E_{High-k} は、ガウスの法則により、 $E_{High-k} = (\epsilon_0 / \epsilon_{High-k}) \cdot E_0 \cdots (1)$ と求められる。一

方、絶縁膜が SiO_2 である場合、絶縁膜（ SiO_2 膜）にかかる電界 E_{SiO_2} は、 $E_{\text{SiO}_2} = (\epsilon_0 / \epsilon_{\text{SiO}_2}) \cdot E_0 \cdots (2)$ と求められる。式（1）および（2）を比較すると、 $\epsilon_{\text{High-k}} > \epsilon_{\text{SiO}_2}$ であるため、 $E_{\text{High-k}} < E_{\text{SiO}_2}$ となる。

[0009] すなわち、絶縁膜における耐压保持層との接する部分に高誘電率部を設けることにより、絶縁膜にかかる電界を弱めることができる。その結果、絶縁膜の破壊を低減することができる。

耐压保持層上に形成された絶縁膜は、耐压保持層に接する部分が高誘電率材料からなっていればよく、耐压保持層に接する前記高誘電率部としての高誘電率絶縁膜と、当該高誘電率絶縁膜上に積層され、前記高誘電率絶縁膜よりも低い誘電率を有する低誘電率絶縁膜とを含む積層構造を有していてもよい。

[0010] また、前記高誘電率部は、前記活性領域を取り囲むデバイス外周部に接するように形成されていてもよい。

これにより、活性領域に形成されるデバイスの構造の種類（ショットキーバリアダイオード構造、MISFET構造、JFET構造、バイポーラトランジスタ構造等）に関わらず、当該デバイスの外周に電界が集中しても、その電界による絶縁膜の破壊を低減することができる。

[0011] また、前記高誘電率部は、 SiN （比誘電率 $\epsilon_{\text{SiN}} = \text{約} 7.5$ ）、 Al_2O_3 （比誘電率 $\epsilon_{\text{Al}_2\text{O}_3} = \text{約} 8.5$ ）または AlON （比誘電率 $\epsilon_{\text{AlON}} = \text{約} 6$ ）からなることが好ましい。

また、前記耐压保持層は、ワイドバンドギャップ半導体（たとえば、バンドギャップ E_g が 2 eV 以上、好ましくは、 $2.5\text{ eV} \sim 7\text{ eV}$ ）からなってもよく、具体的には、 SiC （バンドギャップ $E_{g\text{SiC}} = \text{約} 3.2\text{ eV}$ ）、 GaN （バンドギャップ $E_{g\text{GaN}} = \text{約} 3.4\text{ eV}$ ）またはダイヤモンド（バンドギャップ $E_{g\text{dia}} = \text{約} 5.5\text{ eV}$ ）であってもよい。

[0012] また、前記耐压保持層は、化合物半導体であってもよい。化合物半導体は、たとえば、高い電子移動度を示すIII-V族化合物、広いバンドギャップを持つ材料の多いII-VI族化合物に代表される2元化合物とそれからなる3

元以上の混晶半導体を含み、前記ワイドバンドギャップ半導体と一部重複する。

III-V族化合物としては、たとえば、GaAs（バンドギャップ $E_{g\text{GaAs}}$ ＝約1.4 eV）、AlAs（バンドギャップ $E_{g\text{AlAs}}$ ＝約2.1 eV）、GaN（バンドギャップ $E_{g\text{GaN}}$ ＝約3.4 eV）、AlN（バンドギャップ $E_{g\text{AlN}}$ ＝約6.2 eV）が代表例である。

[0013] また、II-VI族化合物としては、たとえば、ZnSe（バンドギャップ $E_{g\text{ZnSe}}$ ＝約2.8 eV）、ZnS（バンドギャップ $E_{g\text{ZnS}}$ ＝約3.8 eV）、CdTe（バンドギャップ $E_{g\text{CdTe}}$ ＝約1.6 eV）、ZnTe（バンドギャップ $E_{g\text{ZnTe}}$ ＝約2.4 eV）、CdS（バンドギャップ $E_{g\text{CdS}}$ ＝約2.5 eV）が代表例である。

また、前記第1電極が、前記フィールド絶縁膜を貫通して前記耐压保持層にショットキー接合されたショットキー電極を含み、前記第2電極が、前記耐压保持層にオーミック接合されたオーミック電極を含む場合、前記絶縁膜は、前記耐压保持層の表面に形成されたフィールド絶縁膜を含み、当該フィールド絶縁膜が、前記耐压保持層におけるショットキー接合の外周領域に接する部分に前記高誘電率部を有していることが好ましい。

[0014] この構成により、電界が比較的集中しやすいショットキー接合の外周領域（ショットキー電極の終端部付近の領域）における絶縁膜の破壊を低減することができる。

また、前記耐压保持層が、第1導電型のソース領域と、前記ソース領域に接する第2導電型のボディ領域と、前記ボディ領域に接する第1導電型のドリフト領域とを含む電界効果トランジスタ構造を前記活性領域内に有しており、前記第1電極が、前記ソース領域に電氣的に接続されたソース電極を含み、前記第2電極が、前記ドリフト領域に電氣的に接続されたドレイン電極を含む場合、前記高誘電率部は、前記ドリフト領域に接するように形成されていることが好ましい。

[0015] また、前記電界効果トランジスタ構造が、前記ソース領域と前記ドリフト

領域とが前記耐圧保持層の表面に垂直な縦方向に前記ボディ領域を介して離間して配置された、縦型トランジスタ構造を含む場合、前記縦型トランジスタ構造は、前記耐圧保持層の表面から前記ソース領域および前記ボディ領域を貫通して前記ドリフト領域に達するソーストレンチを含み、前記ソース電極は、前記ソーストレンチ内において前記ソース領域、前記ボディ領域および前記ドリフト領域に接していることが好ましい。

[0016] この構成によれば、電界効果トランジスタ構造が縦型であるため、大電流を容易に流すことができ、さらに、高耐圧および低オン抵抗を確保し易くできる。

また、前記電界効果トランジスタ構造が、前記ソース領域、前記ボディ領域および前記ドリフト領域に跨るように形成されたゲートトレンチを含むトレンチゲート構造を有し、前記ゲートトレンチ内に、前記ボディ領域に対向するゲート電極が形成されている場合、前記絶縁膜は、前記ゲート電極と前記ゲートトレンチの内面との間に介在されたゲート絶縁膜を含み、当該ゲート絶縁膜における前記ゲートトレンチの底面および／または前記ゲートトレンチの角部に接する部分に前記高誘電率部を有していることが好ましい。

[0017] この構成により、トレンチゲート構造のM I S F E Tにおいて、電界が比較的集中しやすいゲートトレンチの底部および角部におけるゲート絶縁膜の破壊を低減することができる。

このようなゲート絶縁膜は、ゲートトレンチの底面および／またはゲートトレンチの角部に接する部分が高誘電率材料からなっていればよく、前記ゲートトレンチの底面および／または前記ゲートトレンチの角部に接する部分に形成された前記高誘電率部としての高誘電率ゲート絶縁膜と、当該高誘電率ゲート絶縁膜上に積層され、前記高誘電率ゲート絶縁膜よりも低い誘電率を有する低誘電率ゲート絶縁膜とを含む積層構造を有していてもよい。

[0018] また、前記耐圧保持層がS i Cからなる場合、前記ゲート絶縁膜は、 Al_2O_3 からなることが好ましい。

この構成によれば、S i Cからなる耐圧保持層に対して比較的高い障壁高

さを維持しながら、ゲート絶縁膜の誘電率を SiO_2 に比べて大きくすることができる。その結果、ボディ領域付近における量子トンネル効果によるリーク電流を低減することができる。

[0019] また、前記ゲート絶縁膜は、前記ゲートトレンチの側面における前記ボディ領域に接する部分が SiO_2 膜からなっているもよい。その場合、前記 SiO_2 膜上に、 SiO_2 よりも高い誘電率を有する絶縁膜が積層されていることが好ましい。

また、前記耐圧保持層が、その表面に Si （シリコン）面を有する SiC からなる場合、前記ゲートトレンチは、 SiC からなる前記耐圧保持層の Si 面から前記耐圧保持層の内側へ向かって形成されているもよい。

[0020] また、前記高誘電率部は、前記ゲート絶縁膜における前記ゲートトレンチの底面および／または前記ゲートトレンチの角部のみに形成されているもよい。

また、前記電界効果トランジスタ構造が、前記耐圧保持層の表面に形成されたゲート絶縁膜を介してゲート電極が前記ボディ領域に対向するプレーナゲート構造を有する場合、前記絶縁膜は、前記ゲート電極を覆うように前記耐圧保持層上に形成された層間絶縁膜を含み、当該層間絶縁膜は、前記プレーナゲート構造を取り囲むトランジスタ周辺部に接する部分に前記高誘電率部を有していることが好ましい。

[0021] この構成により、プレーナゲート構造の MISFET において、電界が比較的集中しやすいトランジスタ周辺部に接する層間絶縁膜の破壊を低減することができる。

また、本発明の半導体パワーデバイスの製造方法は、 SiC からなる半導体層と、この半導体層に形成され、第1導電型のソース領域と、前記ソース領域に接する第2導電型のボディ領域と、前記ボディ領域に接する第1導電型のドリフト領域と、前記ソース領域、前記ボディ領域および前記ドリフト領域に跨るように形成されたゲートトレンチと、前記ゲートトレンチの内面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記ボディ領域に

対向するゲート電極とを含むトレンチゲート型トランジスタ構造を有する半導体パワーデバイスの製造方法であって、前記半導体層のS i（シリコン）面からその内側へ向かって前記ゲートトレンチを形成する工程と、前記ゲートトレンチの内面にS i O₂からなる第1絶縁膜を形成する工程と、前記第1絶縁膜における前記ゲートトレンチの底面上の部分を除去する工程と、前記第1絶縁膜の除去により露出した前記ゲートトレンチの前記底面を覆うように、S i O₂よりも高い誘電率を有する第2絶縁膜を形成する工程とを含む。

[0022] この方法によれば、ゲートトレンチの底面がS i面として形成されるので、第1絶縁膜（S i O₂膜）を形成したときに、当該S i O₂膜におけるゲートトレンチの底面（S i面）上の部分が、当該S i O₂膜におけるゲートトレンチの側面上の部分よりも薄くなる。したがって、この第1絶縁膜の底面部分を残存させたのでは、電界が比較的集中しやすいゲートトレンチの底部および角部において絶縁膜の破壊を生じる可能性が高くなる。

[0023] そこで、本発明では、第1絶縁膜におけるゲートトレンチの底面上の部分を除去し、この除去により露出した部分を覆うように第2絶縁膜（高誘電率膜）を形成している。これにより、電界集中の発生し易い箇所を高誘電率膜で覆うことができる。

一方、ゲートトレンチの側面にS i O₂膜を残存させることができるので、チャンネルとゲート電極との間には、S i O₂からなるゲート絶縁膜を形成することができる。

[0024] また、前記第1絶縁膜を形成する工程が、熱酸化法により前記第1絶縁膜を形成する工程であり、前記第2絶縁膜を形成する工程が、CVD法により前記第2絶縁膜を形成する工程であってもよい。

図面の簡単な説明

[0025] [図1]図1は、本発明の第1実施形態に係るショットキーバリアダイオードの模式的な平面図である。

[図2]図2は、図1に示すショットキーバリアダイオードの断面図であって、図1の切断線A-Aでの切断面を示す。

[図3A]図3 Aは、図2に示すショットキーバリアダイオードの製造工程の一部を示す模式的な断面図であって、図2と同じ位置での切断面を示す。

[図3B]図3 Bは、図3 Aの次の工程を示す図である。

[図3C]図3 Cは、図3 Bの次の工程を示す図である。

[図4]図4 (a) (b) は、本発明の第2実施形態に係るトレンチゲート型MISトランジスタの模式的な平面図であって、図4 (a) は全体図、図4 (b) は内部拡大図をそれぞれ示す。

[図5]図5は、図4に示すトレンチゲート型MISトランジスタの断面図であって、図4 (b) の切断線B-BおよびC-Cでの切断面をそれぞれ示す。

[図6A]図6 Aは、図5に示すトレンチゲート型MISトランジスタの製造工程の一部を示す模式的な断面図であって、図5と同じ位置での切断面を示す。

[図6B]図6 Bは、図6 Aの次の工程を示す図である。

[図6C]図6 Cは、図6 Bの次の工程を示す図である。

[図6D]図6 Dは、図6 Cの次の工程を示す図である。

[図6E]図6 Eは、図6 Dの次の工程を示す図である。

[図6F]図6 Fは、図6 Eの次の工程を示す図である。

[図7]図7は、図5に示すトレンチゲート型MISトランジスタの第1変形例を示す模式的な断面図である。

[図8]図8は、図5に示すトレンチゲート型MISトランジスタの第2変形例を示す模式的な断面図である。

[図9]図9は、本発明の第3実施形態に係るトレンチゲート型MISトランジスタの模式的な断面図である。

[図10A]図10 Aは、図9に示すトレンチゲート型MISトランジスタの製造工程の一部を示す模式的な断面図であって、図9と同じ位置での切断面を示す。

[図10B]図10 Bは、図10 Aの次の工程を示す図である。

[図10C]図10 Cは、図10 Bの次の工程を示す図である。

[図10D]図10Dは、図10Cの次の工程を示す図である。

[図10E]図10Eは、図10Dの次の工程を示す図である。

[図10F]図10Fは、図10Eの次の工程を示す図である。

[図10G]図10Gは、図10Fの次の工程を示す図である。

[図10H]図10Hは、図10Gの次の工程を示す図である。

[図10I]図10Iは、図10Hの次の工程を示す図である。

[図11]図11(a)(b)は、本発明の第4実施形態に係るプレーナゲート型MISトランジスタの模式的な平面図であって、図11(a)は全体図、図11(b)は内部拡大図をそれぞれ示す。

[図12]図12は、図11に示すプレーナゲート型MISトランジスタの断面図であって、図11(b)の切断線D-DおよびE-Eでの切断面をそれぞれ示す。

[図13A]図13Aは、図12に示すプレーナゲート型MISトランジスタの製造工程の一部を示す模式的な断面図であって、図12と同じ位置での切断面を示す。

[図13B]図13Bは、図13Aの次の工程を示す図である。

[図13C]図13Cは、図13Bの次の工程を示す図である。

[図13D]図13Dは、図13Cの次の工程を示す図である。

[図14]図14(a)(b)は、本発明の第5実施形態に係るトレンチゲート型MISトランジスタの模式的な平面図であって、図14(a)は全体図、図14(b)は内部拡大図をそれぞれ示す。

[図15]図15は、図14(a)(b)のトレンチゲート型MISトランジスタの断面図であって、図14(b)の切断線F-F、G-GおよびH-Hでの切断面をそれぞれ示す。

[図16]図16は、本発明の第6実施形態に係るトレンチゲート型MISトランジスタの模式的な断面図であって、図15と同じ位置での切断面を示す。

[図17]図17(a)(b)は、本発明の第7実施形態に係るプレーナゲート型MISトランジスタの模式的な平面図であって、図17(a)は全体図、

図 1 7 (b) は内部拡大図をそれぞれ示す。

[図18]図 1 8 は、図 1 7 (a) (b) のプレーナゲート型M I Sトランジスタの断面図であって、図 1 7 (b) の切断線 I - I および J - J での切断面をそれぞれ示す。

[図19]図 1 9 (a) (b) は、本発明の第 8 実施形態に係るトレンチゲート型M I Sトランジスタの模式的な平面図であって、図 1 9 (a) は全体図、図 1 9 (b) は内部拡大図をそれぞれ示す。

[図20]図 2 0 は、図 1 9 (a) (b) のトレンチゲート型M I Sトランジスタの断面図であって、図 1 9 (b) の切断線 K - K および L - L での切断面をそれぞれ示す。

[図21]図 2 1 (a) (b) は、図 1 4 (a) (b) のM I Sトランジスタのレイアウトの変形例を示す図であって、図 2 1 (a) は全体図、図 2 1 (b) は内部拡大図をそれぞれ示す。

[図22]図 2 2 (a) (b) は、本発明の第 9 実施形態に係るトレンチゲート型M I Sトランジスタの模式的な平面図であって、図 2 2 (a) は全体図、図 2 2 (b) は内部拡大図をそれぞれ示す。

[図23]図 2 3 は、図 2 2 (a) (b) に示すトレンチゲート型M I Sトランジスタの断面図であって、図 2 2 (b) の切断線 M - M および N - N での切断面をそれぞれ示す。

[図24]図 2 4 (a) (b) は、本発明の第 1 0 実施形態に係るプレーナゲート型M I Sトランジスタの模式的な平面図であって、図 2 4 (a) は全体図、図 2 4 (b) は内部拡大図をそれぞれ示す。

[図25]図 2 5 は、図 2 4 (a) (b) に示すプレーナゲート型M I Sトランジスタの断面図であって、図 2 4 (b) の切断線 O - O および P - P での切断面をそれぞれ示す。

発明を実施するための形態

[0026] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図 1 は、本発明の第 1 実施形態に係るショットキーバリアダイオードの模

式的な平面図である。図2は、図1に示すショットキーバリアダイオードの断面図であって、図1の切断線A-Aでの切断面を示す。

ショットキーバリアダイオード1は、SiC（バンドギャップの幅は約3.26 eVのワイドバンドギャップ半導体）が採用されたショットキーバリアダイオードであり、たとえば、図1に示すように、平面視正方形のチップ状である。

[0027] チップ状のショットキーバリアダイオード1は、図1の紙面における上下左右方向の長さがそれぞれ数mm程度である。

ショットキーバリアダイオード1は、 n^+ 型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）のSiC基板2を備えている。SiC基板2の裏面には、その全域を覆うようにオーミック電極（第2電極）としてのカソード電極3が形成されている。カソード電極3は、 n 型のSiCとオーミック接触する金属（たとえば、Niシリサイド、Coシリサイドなど）からなる。

[0028] SiC基板2の表面には、SiC基板2よりも低濃度の n^- 型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）のSiCエピタキシャル層4が積層されている。耐圧保持層としてのSiCエピタキシャル層4の厚さは、たとえば、 $1 \mu\text{m} \sim 100 \mu\text{m}$ である。

SiCエピタキシャル層4の表面には、SiCエピタキシャル層4の一部を活性領域5として露出させる開口6を有し、当該活性領域5を取り囲むデバイス外周部としてのフィールド領域7を覆うフィールド絶縁膜8が積層されている。

[0029] フィールド絶縁膜8は、 SiO_2 （酸化シリコン）よりも高い誘電率（真空に対する非誘電率 ϵ_r のことであり、以下では、単に比誘電率 ϵ_r とする。）を有する高誘電率絶縁材料（以下、High-k材料とする。）からなる。

具体的には、フィールド絶縁膜8は、SiN（窒化シリコン）、 Al_2O_3 （アルミナ）またはAlON（酸窒化アルミニウム）からなる。これらの材料の比誘電率 ϵ_r は、SiNの比誘電率 ϵ_{SiN} が7.5であり、 Al_2O_3 の比誘電率 $\epsilon_{\text{Al}_2\text{O}_3}$ が約8.5であり、AlONの比誘電率 ϵ_{AlON} が6である。また、フ

フィールド絶縁膜 8 の厚さは、たとえば、 $1000\text{ \AA}$ 以上、好ましくは、 $3000\text{ \AA} \sim 30000\text{ \AA}$ である。

[0030] フィールド絶縁膜 8 上には、第 1 電極としてのアノード電極 9 が形成されている。

アノード電極 9 は、フィールド絶縁膜 8 の開口 6 内で SiC エピタキシャル層 4 に接合されたショットキーメタル 10 と、このショットキーメタル 10 に積層されたコンタクトメタル 11 との 2 層構造を有している。

ショットキーメタル 10 は、n 型の SiC との接合によりショットキー接合を形成する金属（たとえば、Ni、Au など）からなる。SiC に接合されるショットキーメタル 10 は、SiC 半導体との間に、たとえば、 $0.7\text{ eV} \sim 1.7\text{ eV}$ の高さのショットキー障壁（電位障壁）を形成する。

[0031] ショットキーメタル 10 は、フィールド絶縁膜 8 における開口 6 の周縁部 12 を上から覆うように、当該開口 6 の外方へフランジ状に張り出している。すなわち、フィールド絶縁膜 8 の周縁部 12 は、SiC エピタキシャル層 4 およびショットキーメタル 10 により、全周にわたってその上下両側から挟まれている。したがって、SiC エピタキシャル層 4 におけるショットキー接合の外周領域（すなわち、フィールド領域 7 の内縁部 13）は、SiC からなるフィールド絶縁膜 8 の周縁部 12 により覆われることとなる。

[0032] フィールド絶縁膜 8 の周縁部 12 を覆うアノード電極 9 の、フィールド絶縁膜 8 の開口 6 端からのみ出し量 X は、たとえば、 $10\text{ }\mu\text{m}$ 以上、好ましくは、 $10\text{ }\mu\text{m} \sim 100\text{ }\mu\text{m}$ である。

また、ショットキーメタル 10 の厚さは、この第 1 実施形態では、たとえば、 $0.01\text{ }\mu\text{m} \sim 5\text{ }\mu\text{m}$ である。

[0033] コンタクトメタル 11 は、アノード電極 9 において、ショットキーバリアダイオード 1 の最表面に露出して、ボンディングワイヤなどが接合される部分である。コンタクトメタル 11 は、たとえば、Al からなる。

また、コンタクトメタル 11 は、ショットキーメタル 10 と同様に、フィールド絶縁膜 8 における開口 6 の周縁部 12 を上から覆うように、当該開口

6の外方へフランジ状に張り出している。

[0034] また、コンタクトメタル11の厚さは、この第1実施形態では、ショットキーメタル10よりも大きく、たとえば、 $0.5\mu\text{m}\sim 10\mu\text{m}$ である。

ショットキーバリアダイオード1の最表面には、表面保護膜14が形成されている。表面保護膜14の中央部には、コンタクトメタル11を露出させる開口15が形成されている。ボンディングワイヤなどは、この開口15を介してコンタクトメタル11に接合される。

[0035] また、SiCエピタキシャル層4の表層部には、アノード電極9のショットキーメタル10に接するようにp型のガードリング16が形成されている。このガードリング16は、平面視において、フィールド絶縁膜8の開口6の内外に跨るように（活性領域5およびフィールド領域7に跨るように）、当該開口6の輪郭に沿って形成されている。したがって、ガードリング16は、開口6の内方へ張り出し、開口6内のショットキーメタル10の終端部としての外縁部17に接する内側部分18と、開口6の外方へ張り出し、フィールド絶縁膜8の周縁部12を挟んでアノード電極9（ショットキーメタル10）に対向する外側部分19とを有している。

[0036] ガードリング16の内側部分18の幅 W_1 は、 $1\mu\text{m}\sim 50\mu\text{m}$ であり、ガードリング16の外側部分19の幅 W_2 は、 $1\mu\text{m}\sim 500\mu\text{m}$ である。これら W_1 と W_2 との合計であるガードリング16の全体幅 W は、たとえば、 $5\mu\text{m}\sim 550\mu\text{m}$ である。また、ガードリング16のSiCエピタキシャル層4の表面からの深さ D は、たとえば、 $1000\text{\AA}$ 以上、好ましくは、 $2000\text{\AA}\sim 7000\text{\AA}$ である。

[0037] このショットキーバリアダイオード1では、アノード電極9に正電圧、カソード電極3に負電圧が印加される順方向バイアス状態になることにより、カソード電極3からアノード電極9へと、SiCエピタキシャル層4の活性領域5を介して電子（キャリア）が移動して電流が流れる。

図3A～図3Cは、図2に示すショットキーバリアダイオードの製造工程の一部を示す模式的な断面図であって、図2と同じ位置での切断面を示す。

[0038] ショットキーバリアダイオード 1 を製造するには、図 3 A に示すように、C V D (Chemical Vapor Deposition : 化学気相成長) 法、L P E (Liquid Phase Epitaxy : 液相エピタキシ) 法、M B E (Molecular Beam Epitaxy : 分子線エピタキシ) 法などのエピタキシャル成長法により、S i C 基板 2 の表面 (S i 面) 上に、n 型不純物 (たとえば、N (窒素)、P (リン)、A s (砒素) 等) をドーピングしながら S i C 結晶が成長させられる。これにより、S i C 基板 2 上に、n⁻型の S i C エピタキシャル層 4 が形成される。

[0039] 続いて、p 型不純物 (たとえば、A l (アルミニウム)、B (ホウ素) 等) が、S i C エピタキシャル層 4 の表面から S i C エピタキシャル層 4 の内部にインプランテーション (注入) される。

続いて、たとえば、1 4 0 0 °C ~ 2 0 0 0 °C で S i C エピタキシャル層 4 が熱処理される。これにより、S i C エピタキシャル層 4 の表層部に注入された p 型不純物のイオンが活性化され、ガードリング 1 6 が形成される。なお、S i C エピタキシャル層 4 の熱処理は、たとえば、抵抗加熱炉、高周波誘導加熱炉を適当な温度で制御することによって行うことができる。

[0040] 次に、図 3 B に示すように、C V D 法により、S i C エピタキシャル層 4 上に H i g h - k 材料からなるフィールド絶縁膜 8 が積層される。

続いて、公知のパターニング技術により、フィールド絶縁膜 8 がパターニングされることにより、S i C エピタキシャル層 4 の活性領域 5 を露出させる開口 6 が形成される。

次に、図 3 C に示すように、スパッタ法、蒸着法などの方法により、ショットキーメタル 1 0 およびコンタクトメタル 1 1 の材料が順に積層される。そして、これら積層されたメタルが、公知のパターニング技術によりパターニングされてショットキーメタル 1 0 およびコンタクトメタル 1 1 からなるアノード電極 9 が形成される。

[0041] その後、S i C 基板 2 の裏面にカソード電極 3 が形成され、S i C エピタキシャル層 4 の表面を覆うように表面保護膜 1 4 が形成される。

以上の工程を経て、図 2 に示すショットキーバリアダイオード 1 が得られ

る。

以上のように、この第1実施形態によれば、フィールド絶縁膜8が、High-k材料（SiN、Al₂O₃、AlON等）からなる。そのため、アノード電極9－カソード電極3間に大きな逆電圧が印加され、アバランシェ降伏が生じて、フィールド絶縁膜8にかかる電界E_{High-k}を弱めることができる。

[0042] たとえば、フィールド絶縁膜8がAl₂O₃からなる場合、フィールド絶縁膜8にかかる電界E_{High-k}は、ガウスの法則により、 $E_{Al2O3} = (\epsilon_{SiC} / \epsilon_{Al2O3}) \cdot E_{SiC} = (10 / 8.5) \cdot E_{SiC} = \text{約} 1.2 E_{SiC} \text{ MV/cm} \cdots (1)$ と求められる。

一方、フィールド絶縁膜8がSiO₂からなる場合、当該フィールド絶縁膜8（SiO₂膜）にかかる電界E_{SiO2}は、 $E_{SiO2} = (\epsilon_{SiC} / \epsilon_{SiO2}) \cdot E_{SiC} = (10 / 3.9) \cdot E_{SiC} = \text{約} 2.5 E_{SiC} \text{ MV/cm} \cdots (2)$ と求められる。

[0043] 式（1）および（2）の結果、フィールド絶縁膜8がAl₂O₃からなる場合の電界E_{High-k}は、SiO₂からなる場合に比べて、約0.48倍に低減することができる。その結果、フィールド絶縁膜8の破壊を低減することができる。

とりわけ、この第1実施形態のショットキーバリアダイオード1の構造では、アノード電極9（ショットキーメタル10）の外縁部17付近（フィールド領域7の内縁部13）に電界が集中しやすい。

[0044] そこで、この第1実施形態のように、フィールド絶縁膜8全体をHigh-k材料により構成すれば、フィールド領域7の内縁部13にもHigh-k材料からなるフィールド絶縁膜8を接触させることができる。そのため、フィールド絶縁膜8の破壊を効果的に低減することができる。

図4（a）（b）は、本発明の第2実施形態に係るトレンチゲート型MISトランジスタの模式的な平面図であって、図4（a）は全体図、図4（b）は内部拡大図をそれぞれ示す。図5は、図4に示すトレンチゲート型MISトランジスタの断面図であって、図4（b）の切断線B－BおよびC－C

での切断面をそれぞれ示す。

[0045] M I S トランジスタ 2 1 は、S i C が採用されたトレンチゲート型 D M I S F E T (Double diffused Metal Insulator Semiconductor Field Effect Transistor) であり、たとえば、図 4 (a) に示すように、平面視正方形のチップ状である。チップ状の M I S トランジスタ 2 1 は、図 4 (a) の紙面における上下左右方向の長さがそれぞれ数 m m 程度である。

[0046] M I S トランジスタ 2 1 の表面には、ソースパッド 2 2 が形成されている。ソースパッド 2 2 は、四隅が外方へ湾曲した平面視略正形状であり、M I S トランジスタ 2 1 の表面のほぼ全域を覆うように形成されている。このソースパッド 2 2 には、その一辺の中央付近に除去領域 2 3 が形成されている。この除去領域 2 3 は、ソースパッド 2 2 が形成されていない領域である。

[0047] 除去領域 2 3 には、ゲートパッド 2 4 が配置されている。ゲートパッド 2 4 とソースパッド 2 2 との間には間隔が設けられており、これらは互いに絶縁されている。

次に、M I S トランジスタ 2 1 の内部構造について説明する。

M I S トランジスタ 2 1 は、 n^+ 型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）の S i C 基板 2 5 を備えている。S i C 基板 2 5 は、この第 2 実施形態では、M I S トランジスタ 2 1 のドレインとして機能し、その表面 2 6（上面）が S i 面であり、その裏面 2 7（下面）が C 面である。

[0048] S i C 基板 2 5 の表面 2 6 には、S i C 基板 2 5 よりも低濃度の n^- 型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）の S i C エピタキシャル層 2 8 が積層されている。耐圧保持層としての S i C エピタキシャル層 2 8 の厚さは、たとえば、 $1 \mu\text{m} \sim 100 \mu\text{m}$ である。S i C エピタキシャル層 2 8 は、S i C 基板 2 5 上に、いわゆるエピタキシャル成長によって形成されている。S i 面である表面 2 6 上に形成される S i C エピタキシャル層 2 8 は、S i 面を成長主面として成長させられる。したがって、成長により形成される S i C エピタキシャル層 2 8 の表面 2 9 は、S i C 基板 2 5 の表面 2

6と同様、Si面である。

[0049] MISトランジスタ21には、図4(a)に示すように、平面視でSiCエピタキシャル層28の中央部に配置され、MISトランジスタ21として機能する活性領域30と、この活性領域30を取り囲むトランジスタ周辺領域31が形成されている。

活性領域30において、SiCエピタキシャル層28の表層部には、p型（たとえば、濃度が $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ ）のボディ領域32が、行方向および列方向に一定のピッチで行列状（マトリクス状）に配列されて多数形成されている。各ボディ領域32は、平面視正方形状であり、たとえば、図4(b)の紙面における上下左右方向の長さがそれぞれ $7.2 \mu\text{m}$ 程度である。

[0050] 一方、SiCエピタキシャル層28における、ボディ領域32よりもSiC基板25側の領域は、エピタキシャル成長後のままの状態が維持された、n型のドリフト領域33となっている。

各ボディ領域32には、その表面29側のほぼ全域にn⁺型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）のソース領域34が形成されている。

[0051] そして、各ボディ領域32を取り囲むように、SiCエピタキシャル層28の表面29から各ソース領域34およびボディ領域32を貫通してドリフト領域33に達するゲートトレンチ35が形成されている。

これにより、SiCエピタキシャル層28に、それぞれが電界効果トランジスタとして機能する直方体形状（平面視正方形状）の単位セルが多数形成されている。単位セルでは、ゲートトレンチ35の深さ方向がゲート長方向であり、そのゲート長方向に直交する各単位セルの周方向がゲート幅方向である。

[0052] ゲートトレンチ35は、その底部におけるゲート幅に直交する方向（隣接する単位セルとの対向方向）の両端角部36がドリフト領域33側へ向かって湾曲していて、互いに対向する側面37と底面38とが湾曲面を介して連続する断面U字状である。これにより、単位セルのターンオフ時に、ゲート

トレンチ 35 の底部における両端角部 36 に加わる電界を、両端角部 36 以外の部分へ分散させることができるため、ゲート絶縁膜 39（後述）における底面 38 上の部分の絶縁破壊を抑制することができる。

[0053] ゲートトレンチ 35 の内面には、その全域を覆うように、ゲート絶縁膜 39 が形成されている。ゲート絶縁膜 39 は、High-k 材料（SiN、Al₂O₃、AlON 等）からなる。

そして、ゲート絶縁膜 39 の内側を n 型不純物が高濃度にドーピングされたポリシリコン材料で埋め尽くすことにより、ゲートトレンチ 35 内にゲート電極 40 が埋設されている。こうして、ソース領域 34 とドリフト領域 33 とが、SiC エピタキシャル層 28 の表面 29 に垂直な縦方向にボディ領域 32 を介して離間して配置された、縦型 MIS トランジスタ構造が構成されている。

[0054] また、各单位セルの中央部には、SiC エピタキシャル層 28 の表面 29 から各ソース領域 34 およびボディ領域 32 を貫通してドリフト領域 33 に達するソーストレンチ 41 が形成されている。ソーストレンチ 41 の深さは、この第 2 実施形態では、ゲートトレンチ 35 と同じである。また、ソーストレンチ 41 も、ゲートトレンチ 35 同様、その底部におけるゲート幅に直交する方向（隣接する単位セルとの対向方向）の両端角部 42 がドリフト領域 33 側へ向かって湾曲していて、互いに対向する側面 43 と底面 44 とが湾曲面を介して連続する断面 U 字状である。

[0055] また、ドリフト領域 33 には、選択的に p 型不純物（たとえば、濃度が $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ ）が導入されることにより、各单位セルのソーストレンチ 41 内に露出する部分に p 型領域 45 が形成されている。これにより、ソーストレンチ 41 の内面におけるソース領域 34 に対して SiC 基板 25 側の部分（すなわち、底面 44 および側面 43 におけるソース領域 34 の下端より深い部分）は、その全域が p 型の領域とされている。

[0056] また、ソーストレンチ 41 の底面 44 の中央部には、p⁺型のボディコンタ

クト領域46（たとえば、不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3} \sim 2.0 \times 10^{21} \text{ cm}^{-3}$ ）が形成されている。

また、トランジスタ周辺領域31において、SiCエピタキシャル層28の表層部には、マトリクス状に配列された単位セル（活性領域30）を取り囲むように、活性領域30から間隔を開けてp型のガードリング47が複数本（この第2実施形態では、4本）形成されている。これらのガードリング47は、p型のボディ領域32を形成する工程と同一のイオン注入工程で形成することができる。

[0057] 各ガードリング47は、平面視において、MISトランジスタ21の外周に沿う平面視四角環状に形成されている。また、ガードリング47のSiCエピタキシャル層28の表面29からの深さは、ボディ領域32とほぼ同じ深さであり、たとえば、 $2000 \text{ \AA}$ 以上、好ましくは、 $3000 \text{ \AA} \sim 10000 \text{ \AA}$ である。

SiCエピタキシャル層28上には、ゲート電極40を被覆するように、層間絶縁膜48が積層されている。層間絶縁膜48は、High-k材料（SiN、 Al_2O_3 、AlON等）からなる。

[0058] 層間絶縁膜48およびゲート絶縁膜39には、ソーストレンチ41よりも大径のコンタクトホール49が形成されている。これにより、コンタクトホール49内には、各単位セルのソーストレンチ41の全体（すなわち、ソーストレンチ41の側面43および底面44）およびSiCエピタキシャル層28の表面29におけるソーストレンチ41の周縁部が露出していて、表面29と底面44との高低差に応じた段差が形成されている。

[0059] 層間絶縁膜48上には、第1電極としてのソース電極50が形成されている。ソース電極50は、各コンタクトホール49を介して、すべての単位セルのソーストレンチ41に一括して入り込んでいて、各単位セルにおいて、ソーストレンチ41の底側から順にボディコンタクト領域46、p型領域45、ボディ領域32およびソース領域34に接触している。すなわち、ソース電極50は、すべての単位セルに対して共通の配線となっている。

[0060] そして、このソース電極50上には層間絶縁膜（図示せず）が形成されており、その層間絶縁膜（図示せず）を介して、ソース電極50がソースパッド22（図4（a）参照）に電氣的に接続されている。一方、ゲートパッド24（図4（a）参照）は、当該層間絶縁膜（図示せず）上に引き回されたゲート配線（図示せず）を介して、ゲート電極40に電氣的に接続されている。

[0061] また、ソース電極50は、たとえば、SiCエピタキシャル層28との接触側から順にTi/TiN層と、Al層とが積層された構造を有している。

SiC基板25の裏面27には、その全域を覆うように第2電極としてのドレイン電極51が形成されている。このドレイン電極51は、すべての単位セルに対して共通の電極となっている。ドレイン電極51としては、たとえば、SiC基板25側から順にTi、Ni、AuおよびAgが積層された積層構造（Ti/Ni/Au/Ag）を適用することができる。

[0062] このMISトランジスタ21では、ソース電極50とドレイン電極51との間（ソースドレイン間）に所定の電位差を発生させた状態で、ゲート電極40に閾値電圧以上の電圧が印加される。これにより、ゲート電極40からの電界によりボディ領域32におけるゲート絶縁膜39との界面近傍にチャンネルが形成される。こうして、ソース電極50からドレイン電極51へと、活性領域30内のソース領域34、チャンネルおよびドリフト領域33を介して電子（キャリア）が移動して電流が流れる。

[0063] 図6A～図6Fは、図5に示すトレンチゲート型MISトランジスタの製造工程の一部を示す模式的な断面図であって、図5と同じ位置での切断面を示す。

MISトランジスタ21を製造するには、図6Aに示すように、CVD法、LPE法、MBE法などのエピタキシャル成長法により、SiC基板25の表面26（Si面）上に、n型不純物（たとえば、N（窒素）、P（リン）、As（ヒ素）等）をドーピングしながらSiC結晶が成長させられる。これにより、SiC基板25上に、n⁻型のSiCエピタキシャル層28が形

成される。

[0064] 続いて、p型不純物（たとえば、Al（アルミニウム）、B（ホウ素）等）が、SiCエピタキシャル層28の表面29からSiCエピタキシャル層28の内部にインプランテーション（注入）される。

続いて、n型不純物が、SiCエピタキシャル層28の表面29からSiCエピタキシャル層28の内部にインプランテーション（注入）される。

[0065] 続いて、たとえば、1400℃～2000℃でSiCエピタキシャル層28が熱処理される。これにより、SiCエピタキシャル層28の表層部に注入されたp型不純物およびn型不純物のイオンが活性化され、注入された箇所に応じて、ボディ領域32、ソース領域34およびガードリング47が同時に形成される。また、SiCエピタキシャル層28の基層部には、エピタキシャル成長後のままの状態を維持するドリフト領域33が形成される。

[0066] 次に、図6Bに示すように、SiCエピタキシャル層28が、ゲートトレンチ35およびソーストレンチ41を形成すべき領域に開口を有するマスクを用いてエッチングされる。これにより、SiCエピタキシャル層28が表面29（Si面）からドライエッチングされて、ゲートトレンチ35およびソーストレンチ41が同時に形成される。それとともに、SiCエピタキシャル層28に多数の単位セルが形成される。なお、エッチングガスとしては、たとえば、SF₆（六フッ化硫黄）およびO₂（酸素）を含む混合ガス（SF₆/O₂ガス）、SF₆、O₂およびHBr（臭化水素）を含む混合ガス（SF₆/O₂/HBrガス）を用いることができる。

[0067] 続いて、p型不純物が、ソーストレンチ41の底面44からドリフト領域33の内部にインプランテーション（注入）される。インプランテーションは、相対的に低いドーズ量でイオンを注入する第1段階と、相対的に高いドーズ量でイオンを注入する第2段階で実施される。その後、たとえば、1400℃～2000℃でSiCエピタキシャル層28が熱処理される。これにより、ドリフト領域33に注入されたp型不純物のイオンが活性化され、p型領域45およびボディコンタクト領域46が同時に形成される。

[0068] 次に、図6Cに示すように、CVD法により、High-k材料がSiCエピタキシャル層28の上方から堆積される。これにより、ゲート絶縁膜39が形成される。

続いて、CVD法により、ドーピングされたポリシリコン材料52がSiCエピタキシャル層28の上方から堆積される。ポリシリコン材料52の堆積は、少なくともゲートトレンチ35およびソーストレンチ41が埋め尽くされるまで続けられる。その後、堆積したポリシリコン材料52が、エッチバック面がSiCエピタキシャル層28の表面29に対して面一になるまでエッチバックされる。

[0069] 次に、図6Dに示すように、ソーストレンチ41内に残存するポリシリコン材料52のみがドライエッチングにより除去される。これにより、ゲートトレンチ35内に残存するポリシリコン材料52からなるゲート電極40が形成される。

次に、図6Eに示すように、CVD法により、High-k材料がSiCエピタキシャル層28の上方から堆積される。これにより、層間絶縁膜48が形成される。

[0070] 次に、図6Fに示すように、公知のパターニング技術により、層間絶縁膜48およびゲート絶縁膜39が連続してパターニングされる。これにより、層間絶縁膜48およびゲート絶縁膜39にコンタクトホール49が形成される。

この後、ソース電極50、ドレイン電極51などが形成されることにより、図5に示すMISトランジスタ21が得られる。

[0071] 以上のように、この第2実施形態によれば、SiCエピタキシャル層28に接するゲート絶縁膜39および層間絶縁膜48が、High-k材料(SiN、 Al_2O_3 、AlON等)からなる。そのため、ソース電極50ードレイン電極51間に大きな逆電圧が印加され、アバランシェ降伏が生じても、前述の第1実施形態で式(1)と(2)との比較により証明したように、ゲート絶縁膜39および層間絶縁膜48にかかる電界 E_{High-k} を弱めることができ

る。その結果、ゲート絶縁膜 39 および層間絶縁膜 48 の破壊を低減することができる。よって、アバランシェ耐量の高い M I S トランジスタを提供することができる。

[0072] とりわけ、この第 2 実施形態の M I S トランジスタ 21 のようなトレンチゲート型構造では、ゲートトレンチ 35 の両端角部 36 および底面 38 に電界が集中しやすい。

そこで、この第 2 実施形態のように、ゲート絶縁膜 39 全体を H i g h - k 材料により構成すれば、ゲートトレンチ 35 の両端角部 36 および底面 38 にも H i g h - k 材料からなるゲート絶縁膜 39 を接触させることができる。そのため、ゲート絶縁膜 39 の破壊を効果的に低減することができる。

[0073] また、この第 2 実施形態では、層間絶縁膜 48 を構成する H i g h - k 材料としては種々の H i g h - k 材料を選択すればよいが、ゲート絶縁膜 39 としては、 Al_2O_3 を採用することがより好ましい。

ゲート絶縁膜 39 が Al_2O_3 であれば、S i C エピタキシャル層 28 に対して比較的高い障壁高さを維持しながら、ゲート絶縁膜 39 の誘電率を S i O_2 に比べて大きくすることができる。その結果、チャネル（ボディ領域 32）付近における量子トンネル効果によるリーク電流を低減することができる。

[0074] 本発明者が鋭意検討したところ、H i g h - k 材料として知られている H f O_2 および Z r O_2 は、S i C に接するゲート絶縁膜に適さないことがわかった。すなわち、H f O_2 および Z r O_2 をゲート絶縁膜 39 として S i C 上に直接形成したのでは、これら H f O_2 および Z r O_2 と S i C との間の障壁高さが小さくなり、チャネル付近では、量子トンネル効果によるリーク電流が増加するという不具合を生じることがわかった。

[0075] 具体的には、S i C に H f O_2 （バンドギャップ $E_{g_{\text{HfO}_2}}$ = 約 5.7 eV 比誘電率 ϵ_{HfO_2} = 約 24）を接触させた場合、電子側および正孔側の障壁高さはそれぞれ、1.3 eV（電子側）、1.2（正孔側）となる。また、S i C に Z r O_2 （バンドギャップ $E_{g_{\text{ZrO}_2}}$ = 約 5.8 eV 比誘電率 ϵ_{ZrO_2} = 約 18）

を接触させた場合も同様に、電子側および正孔側の障壁高さはそれぞれ、 1.3 eV （電子側）、 1.2 （正孔側）となる。一方、 SiC に SiO_2 （バンドギャップ $E_{g\text{SiO}_2} = \text{約} 9\text{ eV}$ 比誘電率 $\epsilon_{\text{SiO}_2} = \text{約} 3.9$ ）を接触させた場合、電子側および正孔側の障壁高さはそれぞれ、 3.0 eV （電子側）、 2.8 （正孔側）となる。したがって、 HfO_2 および ZrO_2 をゲート絶縁膜 39 として SiC 上に直接形成したのでは、ゲート絶縁膜 39 として SiO_2 を採用する場合よりもリーク電流が増加することがわかった。

[0076] これに対し、 SiC に Al_2O_3 を接触させた場合、電子側および正孔側の障壁高さはそれぞれ、 2.6 eV （電子側）、 2.2 （正孔側）となり、 SiO_2 を採用する場合とほぼ同等の障壁高さを維持することができる。しかも、 Al_2O_3 は比誘電率 $\epsilon_{\text{Al}_2\text{O}_3}$ が約 8.5 の High-k 材料であるため、ゲート絶縁膜 39 とボディ領域 32 との間の界面状態を良好に維持しながら、ゲート絶縁膜 39 の膜厚をかせぐことができる。その結果、 SiO_2 を採用する場合に比べて、リーク電流を一層低減することができる。

[0077] さらに、この MIS トランジスタ 21 は縦型構造であるため、大電流を容易に流すことができ、さらに、高耐圧および低オン抵抗を確保し易くできる。

また、 MIS トランジスタ 21 の製造過程においては、ゲート絶縁膜 39 が CVD 法により形成されるので、スパッタ法を使用して形成する場合に比べて、ゲート絶縁膜 39 における側面 37 上の部分の膜厚制御を簡単に行なうことができる。

[0078] なお、この第2実施形態では、図7に示すように、 High-k 材料からなるゲート絶縁膜 39 に代えて、 SiO_2 からなるゲート絶縁膜 53 が採用されてもよい。

また、図8に示すように、 High-k 材料からなる層間絶縁膜 48 に代えて、 SiO_2 からなる層間絶縁膜 54 が採用されてもよい。

図9は、本発明の第3実施形態に係るトレンチゲート型 MIS トランジスタの模式的な断面図である。図9において、図5に示す各部に相当する部分

には、それらの各部に付した参照符号と同一の参照符号を付している。そして、以下では、図9に示す構造について、図5に示す構造との相違点のみを説明し、同一の参照符号を付した各部の説明を省略する。

[0079] 図9に示すMISトランジスタ61において、ゲートトレンチ35の内面に形成されたゲート絶縁膜62は、ゲートトレンチ35の側面37上の部分において、SiO₂膜とHigh-k膜との2層構造になっており、底面38上の部分において、High-k膜のみからなる単層構造になっている。

すなわち、この第3実施形態では、High-k膜は、ゲート絶縁膜62において、ゲートトレンチ35の底面38および両端角部36に接する部分のみに形成されている。

[0080] 図10A～図10Iは、図9に示すトレンチゲート型MISトランジスタの製造工程の一部を示す模式的な断面図であって、図9と同じ位置での切断面を示す。

MISトランジスタ61を製造するには、図10Aに示すように、CVD法、LPE法、MBE法などのエピタキシャル成長法により、SiC基板25の表面26（Si面）上に、n型不純物（たとえば、N（窒素）、P（リン）、As（ヒ素）等）をドーピングしながらSiC結晶が成長させられる。これにより、SiC基板25上に、n⁻型のSiCエピタキシャル層28が形成される。

[0081] 続いて、p型不純物（たとえば、Al（アルミニウム）、B（ホウ素）等）が、SiCエピタキシャル層28の表面29からSiCエピタキシャル層28の内部にインプランテーション（注入）される。

続いて、n型不純物が、SiCエピタキシャル層28の表面29からSiCエピタキシャル層28の内部にインプランテーション（注入）される。

[0082] 続いて、たとえば、1400℃～2000℃でSiCエピタキシャル層28が熱処理される。これにより、SiCエピタキシャル層28の表層部に注入されたp型不純物およびn型不純物のイオンが活性化され、注入された箇所に応じて、ボディ領域32、ソース領域34およびガードリング47が同

時に形成される。また、S i Cエピタキシャル層28の基層部には、エピタキシャル成長後のままの状態を維持するドリフト領域33が形成される。

[0083] 次に、図10Bに示すように、S i Cエピタキシャル層28が、ゲートトレンチ35およびソーストレンチ41を形成すべき領域に開口を有するマスクを用いてエッチングされる。これにより、S i Cエピタキシャル層28が表面29 (S i 面) からドライエッチングされて、ゲートトレンチ35およびソーストレンチ41が同時に形成される。それとともに、S i Cエピタキシャル層28に多数の単位セルが形成される。なお、エッチングガスとしては、たとえば、S F₆ (六フッ化硫黄) およびO₂ (酸素) を含む混合ガス (S F₆/O₂ガス)、S F₆、O₂およびH B r (臭化水素) を含む混合ガス (S F₆/O₂/H B rガス) を用いることができる。

[0084] 続いて、p型不純物が、ソーストレンチ41の底面44からドリフト領域33の内部にインプランテーション (注入) される。インプランテーションは、相対的に低いドーズ量でイオンを注入する第1段階と、相対的に高いドーズ量でイオンを注入する第2段階で実施される。その後、たとえば、1400℃~2000℃でS i Cエピタキシャル層28が熱処理される。これにより、ドリフト領域33に注入されたp型不純物のイオンが活性化され、p型領域45およびボディコンタクト領域46が同時に形成される。

[0085] 次に、図10Cに示すように、熱酸化法により、S i Cエピタキシャル層28の表面29全域 (ゲートトレンチ35の内面およびソーストレンチ41の内面を含む) に、第1絶縁膜としてのS i O₂膜63が形成される。

次に、図10Dに示すように、エッチングにより、S i O₂膜63におけるS i Cエピタキシャル層28のS i 面上の部分が選択的に除去される。具体手には、S i O₂膜63におけるS i Cエピタキシャル層28の表面29上の部分、ゲートトレンチ35の両端角部36の一部および底面38上の部分、ならびにソーストレンチ41の両端角部42の一部および底面44上の部分が除去される。これにより、S i O₂膜63が、ゲートトレンチ35の側面37およびソーストレンチ41の側面43に残存し、各底面38、44および

各両端角部 36, 42 の一部が露出することとなる。

[0086] 次に、図 10E に示すように、CVD 法により、High-k 材料が SiC エピタキシャル層 28 の上方から堆積される。これにより、ゲートトレンチ 35 の底面 38 およびソーストレンチ 41 の底面 44 を覆うように、第 2 絶縁膜としての High-k 膜 64 が形成され、ゲート絶縁膜 62 が形成される。

次に、図 10F に示すように、CVD 法により、ドーピングされたポリシリコン材料 52 が SiC エピタキシャル層 28 の上方から堆積される。ポリシリコン材料 52 の堆積は、少なくともゲートトレンチ 35 およびソーストレンチ 41 が埋め尽くされるまで続けられる。その後、堆積したポリシリコン材料 52 が、エッチバック面が SiC エピタキシャル層 28 の表面 29 に対して面一になるまでエッチバックされる。

[0087] 次に、図 10G に示すように、ソーストレンチ 41 内に残存するポリシリコン材料 52 のみがドライエッチングにより除去される。これにより、ゲートトレンチ 35 内に残存するポリシリコン材料 52 からなるゲート電極 40 が形成される。

次に、図 10H に示すように、CVD 法により、High-k 材料が SiC エピタキシャル層 28 の上方から堆積される。これにより、層間絶縁膜 48 が形成される。

[0088] 次に、図 10I に示すように、公知のパターニング技術により、層間絶縁膜 48 およびゲート絶縁膜 62 が連続してパターニングされる。これにより、層間絶縁膜 48 およびゲート絶縁膜 62 にコンタクトホール 49 が形成される。

この後、ソース電極 50、ドレイン電極 51 などが形成されることにより、図 9 に示す MIS トランジスタ 61 が得られる。

[0089] この MIS トランジスタ 61 の構造によっても、前述の第 2 実施形態の MIS トランジスタ 21 と同様の作用効果を発現することができる。

また、この第 3 実施形態によれば、ゲート絶縁膜 62 は、ゲートトレンチ

35の側面37上の部分において、 SiO_2 膜とHigh-k膜との2層構造になっている。そのため、ゲートトレンチ35の両端角部36および底面38を覆うHigh-k膜64が、 SiC との間に高い障壁高さを形成することが困難なHigh-k材料（たとえば、第2実施形態で説明した HfO_2 、 ZrO_2 等）であっても、側面37に接する絶縁膜が SiO_2 膜63である。

[0090] したがって、チャネル（ボディ領域32）付近において SiC エピタキシャル層28に対して比較的高い障壁高さを維持しながら、電界の集中しやすい両端角部36および底面38におけるゲート絶縁膜62の破壊を低減することができる。

また、この第3実施形態によれば、ゲートトレンチ35の底面38が Si 面として形成されるので、 SiO_2 膜63を形成したときに（図10C）、 SiO_2 膜63におけるゲートトレンチ35の底面38（ Si 面）上の部分が、 SiO_2 膜63におけるゲートトレンチ35の側面37上の部分よりも薄くなる。したがって、 SiO_2 膜63の底面部分を残存させてゲート絶縁膜としたのでは、電界が比較的集中しやすいゲートトレンチ35の底面38および両端角部36において絶縁膜の破壊を生じる可能性が高くなる。

[0091] そこで、この第3実施形態では、 SiO_2 膜63におけるゲートトレンチ35の底面38上の部分を除去し（図10D）、この除去により露出した部分を覆うようにHigh-k膜64を形成している（図10E）。これにより、電界集中の発生し易い箇所をHigh-k膜64で簡単に覆うことができる。

図11（a）（b）は、本発明の第4実施形態に係るプレーナゲート型MISトランジスタの模式的な平面図であって、図11（a）は全体図、図11（b）は内部拡大図をそれぞれ示す。図12は、図11に示すプレーナゲート型MISトランジスタの断面図であって、図11（b）の切断線D-DおよびE-Eでの切断面をそれぞれ示す。

[0092] MISトランジスタ71は、 SiC が採用されたプレーナゲート型DMISFETであり、たとえば、図11（a）に示すように、平面視正方形のチ

チップ状である。チップ状のMISトランジスタ71は、図11(a)の紙面における上下左右方向の長さがそれぞれ数mm程度である。

MISトランジスタ71の表面には、ソースパッド72が形成されている。ソースパッド72は、四隅が外方へ湾曲した平面視略正形状であり、MISトランジスタ71の表面のほぼ全域を覆うように形成されている。このソースパッド72には、その一辺の中央付近に除去領域73が形成されている。この除去領域73は、ソースパッド72が形成されていない領域である。

[0093] 除去領域73には、ゲートパッド74が配置されている。ゲートパッド74とソースパッド72との間には間隔が設けられており、これらは互いに絶縁されている。

次に、MISトランジスタ71の内部構造について説明する。

MISトランジスタ71は、 n^+ 型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）のSiC基板75を備えている。SiC基板75は、この第4実施形態では、MISトランジスタ71のドレインとして機能し、その表面76（上面）がSi面であり、その裏面77（下面）がC面である。

[0094] SiC基板75の表面76には、SiC基板75よりも低濃度の n^- 型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）のSiCエピタキシャル層78が積層されている。耐圧保持層としてのSiCエピタキシャル層78の厚さは、たとえば、 $1 \mu\text{m} \sim 100 \mu\text{m}$ である。SiCエピタキシャル層78は、SiC基板75上に、いわゆるエピタキシャル成長によって形成されている。Si面である表面76上に形成されるSiCエピタキシャル層78は、Si面を成長主面として成長させられる。したがって、成長により形成されるSiCエピタキシャル層78の表面79は、SiC基板75の表面76と同様、Si面である。

[0095] MISトランジスタ71には、図11(a)に示すように、平面視でSiCエピタキシャル層78の中央部に配置され、MISトランジスタ71として機能する活性領域80と、この活性領域80を取り囲むトランジスタ周辺

領域 8 1 が形成されている。

活性領域 8 0 において、S i C エピタキシャル層 7 8 の表層部には、p 型（たとえば、濃度が $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ ）のボディ領域 8 2 が、行方向および列方向に一定のピッチで行列状（マトリクス状）に配列されて多数形成されている。各ボディ領域 8 2 は、平面視正形状であり、たとえば、図 1 1（b）の紙面における上下左右方向の長さがそれぞれ $7.2 \mu\text{m}$ 程度である。

[0096] 一方、S i C エピタキシャル層 7 8 における、ボディ領域 8 2 よりも S i C 基板 7 5 側の領域は、エピタキシャル成長後のままの状態が維持された、n-型のドリフト領域 8 3 となっている。

各ボディ領域 8 2 には、その中央部に p⁺型のボディコンタクト領域 8 4（たとえば、不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3} \sim 2.0 \times 10^{21} \text{ cm}^{-3}$ ）が形成されており、このボディコンタクト領域 8 4 を取り囲むように、n⁺型のソース領域 8 5（たとえば、不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ ）が形成されている。ボディコンタクト領域 8 4 は、平面視正形状であり、たとえば、図 1 1（b）の紙面における上下左右方向の長さがそれぞれ $1.6 \mu\text{m}$ 程度である。

[0097] ソース領域 8 5 は、平面視正方形環状であり、たとえば、図 1 1（b）の紙面における上下左右方向の長さがそれぞれ $5.7 \mu\text{m}$ 程度である。

また、活性領域 8 0 において、一定のピッチで行列状に配列されたボディ領域 8 2 の各間の領域（隣り合うボディ領域 8 2 の側面により挟まれるボディ間領域）は、一定（たとえば、 $2.8 \mu\text{m}$ ）幅を有する格子状である。

[0098] このボディ間領域上には、ボディ間領域に沿って、格子状のゲート絶縁膜 8 6 が形成されている。ゲート絶縁膜 8 6 は、隣り合うボディ領域 8 2 の間に跨っていて、ボディ領域 8 2 におけるソース領域 8 5 を取り囲む部分（ボディ領域 8 2 の周縁部）およびソース領域 8 5 の外周縁を覆っている。ゲート絶縁膜 8 6 は、High-k 材料（S i N、A l₂O₃、A l O N 等）からなり、その厚さは $400 \text{ \AA}$ 程度でほぼ一様である。

[0099] ゲート絶縁膜 86 上には、ゲート電極 87 が形成されている。ゲート電極 87 は、格子状のゲート絶縁膜 86 に沿って格子状に形成されていて、ゲート絶縁膜 86 を挟んで、各ボディ領域 82 の周縁部に対向している。ゲート電極 87 は、ポリシリコンからなり、たとえば、p 型不純物が高濃度に導入されている。また、ゲート電極 87 の厚さは、たとえば、6000 Å 程度である。

[0100] この M I S トランジスタ 71 では、ボディ間領域の幅方向中央に単位セル間の境界が設定されている。各単位セルは、たとえば、図 11 (b) の紙面における上下左右方向の長さがそれぞれ 10 μm 程度である。各単位セルでは、ボディ領域 82 の深さ方向がゲート長方向であり、そのゲート長方向に直交するボディ領域 82 の周方向がゲート幅方向である。

[0101] また、トランジスタ周辺領域 81 において、S i C エピタキシャル層 78 の表層部には、マトリクス状に配列された単位セル（活性領域 80）を取り囲むように、活性領域 80 から間隔を開けて p 型のガードリング 88 が複数本（この第 4 実施形態では、4 本）形成されている。これらのガードリング 88 は、p 型のボディ領域 82 を形成する工程と同一のイオン注入工程で形成することができる。

[0102] 各ガードリング 88 は、平面視において、M I S トランジスタ 71 の外周に沿う平面視四角環状に形成されている。また、ガードリング 88 の S i C エピタキシャル層 78 の表面 79 からの深さは、ボディ領域 82 とほぼ同じ深さであり、たとえば、2000 Å 以上、好ましくは、3000 Å ~ 10000 Å である。

S i C エピタキシャル層 78 上には、ゲート電極 87 を被覆するように、層間絶縁膜 89 が積層されている。層間絶縁膜 89 は、H i g h - k 材料（S i N、A l₂O₃、A l O N 等）からなる。

[0103] 層間絶縁膜 89 およびゲート絶縁膜 86 には、ソース領域 85 およびボディコンタクト領域 84 を露出させるコンタクトホール 90 が形成されている。

層間絶縁膜 89 上には、第 1 電極としてのソース電極 91 が形成されている。ソース電極 91 は、各コンタクトホール 90 を介して、すべての単位セルのボディコンタクト領域 84 およびソース領域 85 に一括して接触している。すなわち、ソース電極 91 は、すべての単位セルに対して共通の配線となっている。

[0104] そして、このソース電極 91 上には層間絶縁膜（図示せず）が形成されており、その層間絶縁膜（図示せず）を介して、ソース電極 91 がソースパッド 72（図 11（a）参照）に電氣的に接続されている。一方、ゲートパッド 74（図 11（a）参照）は、当該層間絶縁膜（図示せず）上に引き回されたゲート配線（図示せず）を介して、ゲート電極 87 に電氣的に接続されている。

[0105] また、ソース電極 91 は、たとえば、SiC エピタキシャル層 78 との接触側から順に Ti / TiN 層と、Al 層とが積層された構造を有している。

SiC 基板 75 の裏面 77 には、その全域を覆うように第 2 電極としてのドレイン電極 92 が形成されている。このドレイン電極 92 は、すべての単位セルに対して共通の電極となっている。ドレイン電極 92 としては、たとえば、SiC 基板 75 側から順に Ti、Ni、Au および Ag が積層された積層構造（Ti / Ni / Au / Ag）を適用することができる。

[0106] この MIS トランジスタ 71 では、ソース電極 91 とドレイン電極 92 との間（ソースドレイン間）に所定の電位差を発生させた状態で、ゲート電極 87 に閾値電圧以上の電圧が印加される。これにより、各単位セルのボディ領域 82 の周縁部に環状のチャネルを形成される。こうして、ソース電極 91 からドレイン電極 92 へと、活性領域 80 内のソース領域 85、チャネルおよびドリフト領域 83 を介して電子（キャリア）が移動して電流が流れる。

[0107] 図 13A～図 13D は、図 12 に示すプレーナゲート型 MIS トランジスタの製造工程の一部を示す模式的な断面図であって、図 12 と同じ位置での切断面を示す。

M I S トランジスタ 7 1 を製造するには、図 1 3 A に示すように、C V D 法、L P E 法、M B E 法などのエピタキシャル成長法により、S i C 基板 7 5 の表面 7 6 (S i 面) 上に、n 型不純物 (たとえば、N (窒素)、P (リン)、A s (ひ素) 等) をドーピングしながら S i C 結晶が成長させられる。これにより、S i C 基板 7 5 上に、n-型の S i C エピタキシャル層 7 8 が形成される。

[0108] 続いて、p 型不純物 (たとえば、A l (アルミニウム)、B (ホウ素) 等) が、S i C エピタキシャル層 7 8 の表面 7 9 から S i C エピタキシャル層 7 8 の内部にインプランテーション (注入) される。

続いて、n 型不純物が、S i C エピタキシャル層 7 8 の表面 7 9 から S i C エピタキシャル層 7 8 の内部にインプランテーション (注入) される。

[0109] 続いて、p 型不純物が、S i C エピタキシャル層 7 8 の表面 7 9 から S i C エピタキシャル層 7 8 の内部にインプランテーション (注入) される。

続いて、たとえば、1 4 0 0 °C ~ 2 0 0 0 °C で S i C エピタキシャル層 7 8 が熱処理される。これにより、S i C エピタキシャル層 7 8 の表層部に注入された p 型不純物および n 型不純物のイオンが活性化され、注入された箇所に応じて、ボディ領域 8 2、ボディコンタクト領域 8 4、ソース領域 8 5 およびガードリング 8 8 が同時に形成される。また、S i C エピタキシャル層 7 8 の基層部には、エピタキシャル成長後のままの状態を維持するドリフト領域 8 3 が形成される。

[0110] 次に、図 1 3 B に示すように、C V D 法により、H i g h - k 材料が S i C エピタキシャル層 7 8 の上方から堆積される。その後、公知のパターニング技術により、当該 H i g h - k 材料がパターニングされる。これにより、ゲート絶縁膜 8 6 が形成される。

次に、図 1 3 C に示すように、C V D 法により、ドーピングされたポリシリコン材料が S i C エピタキシャル層 7 8 の上方から堆積される。その後、公知のパターニング技術により、当該ポリシリコン材料がパターニングされる。これにより、ゲート電極 8 7 が形成される。

[0111] 次に、図13Dに示すように、CVD法により、High-k材料がSiCエピタキシャル層78の上方から堆積される。これにより、層間絶縁膜89が形成される。

この後、層間絶縁膜89およびゲート絶縁膜86が連続してパターニングされることによりコンタクトホール90が形成され、ソース電極91、ドレイン電極92などが形成されることにより、図12に示すMISトランジスタ71が得られる。

[0112] 以上のように、この第4実施形態によれば、SiCエピタキシャル層78に接するゲート絶縁膜86および層間絶縁膜89が、High-k材料(SiN、Al₂O₃、AlON等)からなる。そのため、ソース電極91ードレイン電極92間に大きな逆電圧が印加され、アバランシェ降伏が生じても、前述の第1実施形態で式(1)と(2)との比較により証明したように、ゲート絶縁膜86および層間絶縁膜89にかかる電界E_{High-k}を弱めることができる。その結果、ゲート絶縁膜86および層間絶縁膜89の破壊を低減することができる。よって、アバランシェ耐量の高いMISトランジスタを提供することができる。

[0113] とりわけ、この第4実施形態のMISトランジスタ71のようなプレーナゲート型構造では、活性領域80を取り囲むトランジスタ周辺領域81に電界が集中しやすい。

そこで、この第4実施形態のように、層間絶縁膜89全体をHigh-k材料により構成すれば、SiCエピタキシャル層78のトランジスタ周辺領域81にもHigh-k材料からなる層間絶縁膜89を接触させることができる。そのため、層間絶縁膜89の破壊を効果的に低減することができる。

[0114] 図14(a)(b)は、本発明の第5実施形態に係るトレンチゲート型MISトランジスタ101の模式的な平面図であって、図14(a)は全体図、図14(b)は内部拡大図をそれぞれ示す。図15は、図14(a)(b)のトレンチゲート型MISトランジスタの断面図であって、図14(b)の切断線F-F、G-GおよびH-Hでの切断面をそれぞれ示す。

[0115] M I Sトランジスタ101は、S i Cが採用されたトレンチゲート型D M I S F E T (Double diffused Metal Insulator Semiconductor Field Effect Transistor) であり、たとえば、図14 (a) に示すように、平面視正方形のチップ状である。チップ状のM I Sトランジスタ101は、図14 (a) の紙面における上下左右方向の長さがそれぞれ数mm程度である。

[0116] M I Sトランジスタ101の表面には、ソースパッド102が形成されている。ソースパッド102は、四隅が外方へ湾曲した平面視略正形状であり、M I Sトランジスタ101の表面のほぼ全域を覆うように形成されている。このソースパッド102には、その一辺の中央付近に除去領域103が形成されている。この除去領域103は、ソースパッド102が形成されていない領域である。

[0117] 除去領域103には、ゲートパッド104が配置されている。ゲートパッド104とソースパッド102との間には間隔が設けられており、これらは互いに絶縁されている。

次に、M I Sトランジスタ101の内部構造について説明する。

M I Sトランジスタ101は、 n^+ 型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）のS i C基板105を備えている。S i C基板105は、第5実施形態では、M I Sトランジスタ101のドレインとして機能し、その表面106（上面）がS i面であり、その裏面107（下面）がC面である。

[0118] S i C基板105の表面106には、S i C基板105よりも低濃度の n^- 型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）のS i Cエピタキシャル層108が積層されている。半導体層としてのS i Cエピタキシャル層108の厚さは、たとえば、 $1 \mu\text{m} \sim 100 \mu\text{m}$ である。S i Cエピタキシャル層108は、S i C基板105上に、いわゆるエピタキシャル成長によって形成されている。S i面である表面上に形成されるS i Cエピタキシャル層108は、S i面を成長主面として成長させられる。したがって、成長により形成されるS i Cエピタキシャル層108の表面109は、S i C基

板 105 の表面 106 と同様、Si 面である。

[0119] MIS トランジスタ 101 には、図 14 (a) に示すように、平面視で SiC エピタキシャル層 108 の中央部に配置され、MIS トランジスタ 101 として機能する活性領域 110 と、この活性領域 110 を取り囲むトランジスタ周辺領域 111 が形成されている。

活性領域 110 において、SiC エピタキシャル層 108 にはゲートトレンチ 112 が格子状に形成されている（図 14 (b) 参照）。このゲートトレンチ 112 により SiC エピタキシャル層 108 は、それぞれが四角状（正形状）の複数のセル 113 に区画されている。

[0120] 複数のセル 113 は、ショットキーセル 114 と、ショットキーセル 114 よりも相対的に平面面積の小さい pn ダイオードセル 115 とを含む。たとえばショットキーセル 114 は、pn ダイオードセル 115 の 4 つ分に相当する面積を有していて、ショットキーセル 114 の一辺の長さは pn ダイオードセル 115 の一辺の長さの 2 倍に相当する。具体的には、pn ダイオードセル 115 の大きさは、図 14 (b) の紙面における上下左右方向の長さがそれぞれ 6 μm 程度であり、ショットキーセル 114 の大きさは、同方向の長さがそれぞれ 12 μm 程度である。

[0121] そして、1 つのショットキーセル 114 と、そのショットキーセル 114 を包囲する複数の pn ダイオードセル 115（この実施形態では、12 個の pn ダイオードセル 115）により 1 つのセル群が構成されており、このセル群がさらに行列状に配列されている。互いに隣り合うセル群において、pn ダイオードセル 115 は共有されている。つまり、或るセル群のショットキーセル 114 を包囲する pn ダイオードセル 115 は、当該セル群の隣のセル群のショットキーセル 114 を包囲する pn ダイオードセル 115 としても用いられている。

[0122] ショットキーセル 114 および pn ダイオードセル 115 に共通する要素として、SiC エピタキシャル層 108 には、その表面 109 側から裏面 116 側へ向かって順に、 n^+ 型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）

m^{-3}) ソース領域 117、p 型 (たとえば、濃度が $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$) ボディ領域 118 およびドリフト領域 119 を有している。

[0123] ドリフト領域 119 は、エピタキシャル成長後のままの状態が維持された、n-型の領域であり、全てのセル 113 の底部で一体的に繋がっており、それらの間で共有されている。つまり、ゲートトレンチ 112 は、ソース領域 117 およびボディ領域 118 を側面 124 に露出させ、その最深部がドリフト領域 119 の途中部に位置するように各セル 113 を区画している。

[0124] このようなゲートトレンチ 112 は、隣り合うセル 113 の各間を、各セル 113 の 4 つの側面に沿って行方向および列方向のそれぞれに直線状に延びる線状部 120 と、行方向に延びる線状部 120 と列方向に延びる線状部 120 とが交差する交差部 121 とを含んでいる。

ゲートトレンチ 112 の内面には、High-k 材料 (SiN、 Al_2O_3 、AlON 等) からなるゲート絶縁膜 122 が、その全域を覆うように形成されている。ゲート絶縁膜 122 は、ゲートトレンチ 112 の底面 123 上の部分が、ゲートトレンチ 112 の側面 124 上の部分よりも厚くなっている。

[0125] そして、ゲートトレンチ 112 におけるゲート絶縁膜 122 の内側をポリシリコンで埋め尽くすことにより、ゲートトレンチ 112 内にゲート電極 125 が埋設されている。こうして、各ショットキーセル 114 および pn ダイオードセル 115 には、ソース領域 117 とドリフト領域 119 とが、SiC エピタキシャル層 108 の表面 109 に垂直な縦方向にボディ領域 118 を介して離間して配置された、縦型 MIS トランジスタ 101 構造 (第 1 および第 2 MIS トランジスタ構造) が構成されている。

[0126] ショットキーセル 114 の中央部には、SiC エピタキシャル層 108 の表面 109 からソース領域 117 およびボディ領域 118 を貫通してドリフト領域 119 に達する、平面視正形状の第 2 ソーストレンチとしての HD ソーストレンチ 126 が形成されている (図 14 (b) および図 15 の G-

G断面、H-H断面参照)。HDソーストレンチ126の深さは、ゲートトレンチ112と同じである。

[0127] このHDソーストレンチ126には、p型（たとえば、濃度が $1 \times 10^{17} \sim 9 \times 10^{19} \text{ cm}^{-3}$ ）のHD耐圧保持領域127（第2耐圧保持領域）が形成されている。HD耐圧保持領域127は、HDソーストレンチ126の底面128と側面129とが交わって形成され、当該底面128の周囲を取り囲む環状のエッジ部130および当該エッジ部130からHDソーストレンチ126の側面129に露出するボディ領域118に至る環状に形成されている。これにより、HD耐圧保持領域127に囲まれるHDソーストレンチ126の底面128の中央部には、ドリフト領域119の一部からなる平面視正形状のショットキー領域131が形成されている。

[0128] ショットキー領域131は、ショットキー領域131とHD耐圧保持領域127とのpn接合部（ボディダイオード132）から発生する空乏層が繋がらない面積で形成されており、たとえば、その一辺の長さ L_1 が $4 \mu\text{m}$ 以上である。

一方、pnダイオードセル115の中央部には、SiCエピタキシャル層108の表面109からソース領域117およびボディ領域118を貫通してドリフト領域119に達する、平面視正形状の第1ソーストレンチとしてのDiソーストレンチ133が形成されている（図14（b）および図15のF-F断面、H-H断面参照）。Diソーストレンチ133の深さは、ゲートトレンチ112と同じである。また、Diソーストレンチ133の面積は、ショットキー領域131よりも小さくて、その一辺の長さ L_2 が $3 \mu\text{m}$ 程度である。

[0129] このDiソーストレンチ133には、p型（たとえば、 $1 \times 10^{17} \sim 9 \times 10^{19} \text{ cm}^{-3}$ の濃度）のDi耐圧保持領域134（第1耐圧保持領域）が形成されている。Di耐圧保持領域134は、Diソーストレンチ133の底面135全面に形成され、さらに、底面135と側面136とが交わって形成され、当該底面135の周囲を取り囲む環状のエッジ部137および当該

エッジ部 137 から Di ソーストレンチ 133 の側面 136 に露出するボディ領域 118 に至る器状に形成されている。

[0130] また、Di ソーストレンチ 133 には、その底面 135 の中央部における Di 耐圧保持領域 134 の表層部に、 p^+ 型（たとえば、濃度が $1.0 \times 10^{18} \text{ cm}^{-3} \sim 2.0 \times 10^{21} \text{ cm}^{-3}$ ）の底部ボディコンタクト領域 138 が形成されている。底部ボディコンタクト領域 138 に電極をオーミック接触させることにより、Di 耐圧保持領域 134 を介して pn ダイオードセル 115 のボディ領域 118 に対してコンタクトをとることができる（電氣的に接続することができる）。

[0131] そして、Di ソーストレンチ 133 に Di 耐圧保持領域 134 が形成されていることにより、pn ダイオードセル 115 は、Di 耐圧保持領域 134 とドリフト領域 119 との pn 接合により構成され、アノード側のコンタクトとして底部ボディコンタクト領域 138 を有し、カソード側のコンタクトとして SiC 基板 105 を有するボディダイオード 139 を内蔵している。

[0132] また、複数のセル 113 を区画するゲートトレンチ 112 の各交差部 121 には、G 耐圧保持領域 140（中継領域）が形成されている。

G 耐圧保持領域 140 は、交差部 121 におけるゲートトレンチ 112 の底面 123 全面に形成され、さらに、当該底面 123 から交差部 121 に臨む各セル 113 の各角部の下部に形成されたゲートトレンチ 112 のコーナーエッジ部 141 をおおよびコーナーエッジ部 141 直上のボディ領域 118 に至るように形成されている。

[0133] すなわち、G 耐圧保持領域 140 は、平面視では、ゲートトレンチ 112 の交差部 121 よりもやや大きい正形状に形成されていて、その各角が、当該交差部 121 に臨む各セル 113 の各角部にそれぞれ入り込んでいる。また、G 耐圧保持領域 140 の濃度は、ボディ領域 118 の濃度よりも高く、ドリフト領域 119 の濃度よりも高く、たとえば、 $1 \times 10^{17} \sim 9 \times 10^{19} \text{ cm}^{-3}$ である。

[0134] この G 耐圧保持領域 140 の中継により、図 15 の H-H 断面の実線矢印

に示すように、底部ボディコンタクト領域 138 → Di 耐圧保持領域 134 → pn ダイオードセル 115 のボディ領域 118 → G 耐圧保持領域 140 → ショットキーセル 114 のボディ領域 118 を介して、ショットキーセル 114 の HD 耐圧保持領域 127 に対してコンタクトをとることができる。

[0135] トランジスタ周辺領域 111 において、SiC エピタキシャル層 108 の表層部には活性領域 110 を取り囲むように、活性領域 110 から間隔を開けて p 型のガードリング 142 が複数本（第 5 実施形態では、4 本）形成されている。これらのガードリング 142 は、p 型のボディ領域 118 を形成する工程と同一のイオン注入工程で形成することができる。各ガードリング 142 は、平面視において、MIS トランジスタ 101 の外周に沿う平面視四角環状に形成されている。

[0136] SiC エピタキシャル層 108 上には、ゲート電極 125 を被覆するように、High-k 材料（SiN、Al₂O₃、AlON 等）からなる層間絶縁膜 143 が積層されている。

層間絶縁膜 143 およびゲート絶縁膜 122 には、HD ソーストレンチ 126 および Di ソーストレンチ 133 よりも大径のコンタクトホール 144, 145 が形成されている。

[0137] 層間絶縁膜 143 上には、ソース電極 146 が形成されている。ソース電極 146 は、各コンタクトホール 144, 145 を介して、すべての HD ソーストレンチ 126 および Di ソーストレンチ 133 に一括して入り込んでいる。

ソース電極 146 は、ショットキーセル 114 において、HD ソーストレンチ 126 の底側から順にショットキー領域 131、HD 耐圧保持領域 127 およびソース領域 117 に接触している。また、pn ダイオードセル 115 において、Di ソーストレンチ 133 の底側から順に底部ボディコンタクト領域 138、Di 耐圧保持領域 134 およびソース領域 117 に接触している。すなわち、ソース電極 146 は、すべてのセル 113 に対して共通の配線となっている。

[0138] そして、このソース電極 146 上には層間絶縁膜 143（図示せず）が形成されており、その層間絶縁膜 143（図示せず）を介して、ソース電極 146 がソースパッド 102（図 14（a）参照）に電氣的に接続されている。一方、ゲートパッド 104（図 14（a）参照）は、当該層間絶縁膜 143（図示せず）上に引き回されたゲート配線（図示せず）を介して、ゲート電極 125 に電氣的に接続されている。

[0139] また、ソース電極 146 は、SiC エピタキシャル層 108 との接触側から順に、障壁形成層としてのポリシリコン層 147、中間層 148 およびメタル層 149 を有している。

ポリシリコン層 147 は、不純物がドーピングされたドーフトポリシリコンを用いて形成されたドーブ層であり、たとえば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上、好ましくは、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の高濃度で不純物がドーピングされた高濃度ドーブ層である。ポリシリコン層 147 をドーブ層（高濃度ドーブ層を含む）として形成するときの不純物としては、N（窒素）、P（リン）、As（ひ素）などの n 型不純物、Al（アルミニウム）、B（ホウ素）などの p 型不純物を用いることができる。また、ポリシリコン層 147 の厚さは、たとえば、 $5000 \text{ \AA} \sim 10000 \text{ \AA}$ である。

[0140] また、ポリシリコン層 147 は、第 5 実施形態では、コンタクトホール 144、145 内に露出するセル 113 の表面全域を覆うように形成されていて、HD ソーストレンチ 126 内でショットキー領域 131、HD 耐圧保持領域 127 およびソース領域 117 の全て、Di ソーストレンチ 133 内で底部ボディコンタクト領域 138、Di 耐圧保持領域 134 およびソース領域 117 の全てに接触している。

[0141] そして、ポリシリコン層 147 は、ショットキーセル 114 においてソース領域 117 との間にショットキー接合を形成している。これにより、ポリシリコン層 147 は、ショットキー領域 131 との間に、ショットキーセル 114 および pn ダイオードセル 115 にそれぞれ内蔵されたボディダイオード 150（ボディ領域 118 とドリフト領域 119 との pn 接合により形

成されるダイオード)の拡散電位(たとえば、 $2.8\text{ eV} \sim 3.2\text{ eV}$)よりも接合障壁の小さいヘテロ接合(たとえば、接合障壁の高さが $1\text{ eV} \sim 1.5\text{ eV}$)を形成している。これにより、ショットキーセル114においては、ソース電極146とショットキー領域131との間にヘテロ接合ダイオード151(HD)が形成されている。

[0142] また、ポリシリコン層147は、pnダイオードセル115において底部ボディコンタクト領域138およびソース領域117との間にオーミック接触を形成している。

中間層148は、ポリシリコン層147上に積層されたメタル層149であり、Ti(チタン)を含有する層の単層またはTiを含有する層を含む複数の層からなる。Tiを含有する層は、Ti、TiN(窒化チタン)などを用いて形成することができる。また、中間層148の厚さは、たとえば、 $200\text{ nm} \sim 500\text{ nm}$ である。

[0143] メタル層149は、中間層148上に積層されており、たとえば、Al(アルミニウム)、Au(金)、Ag(銀)、Cu(銅)、Mo(モリブデン)、それらの合金およびそれらを含有するメタル材料を用いて形成することができる。メタル層149は、ソース電極146の最表層をなしている。また、メタル層149の厚さは、たとえば、 $1\text{ }\mu\text{m} \sim 5\text{ }\mu\text{m}$ である。

[0144] 上記のようなポリシリコン層147、中間層148およびメタル層149の組み合わせとしては、第5実施形態では、ポリシリコン(ポリシリコン層147)、Ti(中間層148)、TiN(中間層148)およびAl(メタル層149)が順に積層される積層構造(ポリシリコン/Ti/TiN/Al)である。また、これらに加えて、メタル層149がMo層を有していることが好ましい。Moは融点が高いため、メタル層149にMo層が含まれていれば、ソース電極146に大電流が流れたときに生じる熱によるメタル層149の溶損を抑制することができる。

[0145] SiC基板105の裏面107には、その全域を覆うようにドレイン電極152が形成されている。このドレイン電極152は、すべてのセル113

に対して共通の電極となっている。ドレイン電極152としては、たとえば、SiC基板105側から順にTi、Ni、AuおよびAgが積層された積層構造(Ti/Ni/Au/Ag)を適用することができる。

[0146] このMISトランジスタ101は、たとえば、電動モータ（誘導性負荷の一例）の駆動回路（インバータ回路）のスイッチング素子として利用される。この場合、ソースパッド102（ソース電極146）とドレイン電極152との間（ソースドレイン間）にドレイン側が正となるドレイン電圧が印加された状態で、ゲートパッド104に所定の電圧（ゲート閾値電圧以上の電圧）がオン／オフされることによって、電動モータに流す電流をオン／オフするスイッチングを行なう。

[0147] 電動モータに流れる電流を遮断すると（つまり、ゲート電圧がオフにされると）、電動モータのモータコイルに逆起電力が発生する。この逆起電力に起因して、ソース側が正となる電圧が、ソースドレイン間にかかる場合がある。

このような場合に、ボディダイオード150の整流作用により、電流が、たとえば還流電流としてモータコイルに流れると、以下の不具合がある。

[0148] つまり、ボディダイオード150を構成するp型ボディ領域118からn型ドリフト領域119に正孔（ホール）が移動して電流が流れると、n型ドリフト領域119においてゲートトレンチ112付近（たとえば、ゲートトレンチ112の側方）では、多数キャリアの電子と、p型ボディ領域118から移動した正孔とが再結合する場合がある。そのため、その結合により生じるエネルギーによって、SiCエピタキシャル層108のSiCの結晶欠陥が、SiCエピタキシャル層108の積層方向に平行な方向に拡張し、オン時のドレイン電流の経路（たとえば、チャネル）に達するおそれがある。そうすると、このMISトランジスタ101が、ボディ領域118におけるゲートトレンチ112の側面124付近にチャネルを形成してスイッチング動作する際、オン抵抗が上昇するおそれがある。

[0149] そこで、このMISトランジスタ101では、ポリシリコン層147がド

リフト領域 119（ショットキー領域 131）に対してヘテロ接合を形成していて、ヘテロ接合ダイオード 151 が内蔵されている。そのため、このヘテロ接合ダイオード 151 に優先的に電流が流れ、ボディダイオード 150 に流れる電流を少なくするか、またはなくすることができる。こうして M I S トランジスタ 101 を流れた電流は、たとえば還流電流として電動モータに流すことができる。

[0150] このように、オフ時の電流は、ショットキーセル 114 の中央の H D ソーストレンチ 126 内に形成されたヘテロ接合ダイオード 151 へ流れるから、ゲートトレンチ 112 付近（すなわち、p 型ボディ領域 118 と n 型ドリフト領域 119 との間）でのキャリアの移動はほとんど生じない。そのため、ドリフト領域 119 内での正孔と電子との再結合を防止することができる。その結果、S i C エピタキシャル層 108 における S i C の結晶欠陥の拡張を抑制することができるので、トランジスタのオン抵抗の上昇を抑制することができる。また、ボディダイオード 150 に流れる電流を少なくするか、またはなくすることができるので、M I S トランジスタ 101 が動作する際の損失を低減することができる。

[0151] しかも M I S トランジスタ 101 では、ヘテロ接合ダイオード 151 を構成するショットキー領域 131 の一辺の長さ L_1 が、ボディダイオード 132 から発生する空乏層が繋がらないように設定されている。そのため、ヘテロ接合ダイオード 151 が動作するとき、その電流路が当該空乏層で閉じられることを防止することができる。その結果、ヘテロ接合ダイオード 151 の低オン抵抗化を達成することができる。

[0152] また、オフ状態（つまり、ゲート電圧が 0 V の状態）においては、ゲート電極 125 と S i C エピタキシャル層 108 との間に介在するゲート絶縁膜 122 に電界がかかる。

この電界は、ゲート電極 125 と S i C エピタキシャル層 108 との電位差に起因して生じるものである。そして、ゲートトレンチ 112 の底面 123 においては、ゲート電極 125 を基準（0 V）として非常に高い電位の等

電位面が分布し、しかも等電位面の間隔が小さいため、非常に大きな電界が生じる。たとえば、ドレイン電圧が900Vであれば、ドレイン電極152に接するSiC基板105の裏面107付近では900Vの等電位面が分布しており、SiC基板105の裏面107からSiCエピタキシャル層108の表面109側へ向かうにつれて電圧降下を生じるが、ゲートトレンチ112の底面123付近では、数十V程度の等電位面が分布する。そのため、ゲートトレンチ112の底面123では、ゲート電極125側へ向かう非常に大きな電界が生じる。とりわけ、このMISトランジスタ101のように、ゲートトレンチ112が格子状に形成されており、格子状のゲートトレンチ112の窓部に四角柱状のセル113が配列されている場合は、セル113の各角部に形成されたゲートトレンチ112のコーナーエッジ部141付近において、ゲート絶縁膜122の絶縁破壊が特に発生しやすい。

[0153] そこで、このMISトランジスタ101では、ゲートトレンチ112のコーナーエッジ部141にG耐压保持領域140が形成されている。これにより、G耐压保持領域140とドリフト領域119とのpn接合により、ゲートトレンチ112のコーナーエッジ部141付近にボディダイオード155を形成することができる。さらにこのMISトランジスタ101では、ショットキーセル114のHDソーストレンチ126のエッジ部130にHD耐压保持領域127が形成され、pnダイオードセル115のDiソーストレンチ133の底面135およびエッジ部137にDi耐压保持領域134が形成されている。そのため、HD耐压保持領域127とドリフト領域119とのpn接合、およびDi耐压保持領域134とドリフト領域119とのpn接合により、HDソーストレンチ126のエッジ部130を取り囲む環状のボディダイオード132を形成することができる。また、Diソーストレンチ133の底部を覆う器状のボディダイオード139を形成することができる。

[0154] これらのボディダイオード132、139に発生する空乏層の存在により、ゲートトレンチ112とHDソーストレンチ126との間、およびゲート

トレンチ 112 と D i ソーストレンチ 133 との間に等電位面が入り込むことを防止でき、ゲート絶縁膜 122 から遠ざけることができる。その結果、ゲートトレンチ 112 のコーナーエッジ部 141 付近における等電位面の密集を防止することができる。その結果、ゲート絶縁膜 122 にかかる電界を小さくすることができるので、絶縁破壊を防止することができる。

[0155] また、M I S トランジスタ 101 では、G 耐圧保持領域 140 がコーナーエッジ部 141 直上のボディ領域 118 に至るように形成されているが、セル 113 の角部には、チャンネルが形成されないか、形成されても当該チャンネルを流れる電流は微量である。したがって、ボディ領域 118 におけるコーナーエッジ部 141 直上の部分に至るように G 耐圧保持領域 140 を形成することにより、デバイスの性能にほとんど影響を与えずに、ゲート絶縁膜 122 の破壊防止効果を一層向上させることができる。

[0156] 図 16 は、本発明の第 6 実施形態に係るトレンチゲート型 M I S トランジスタ 161 の模式的な断面図であって、図 15 と同じ位置での切断面を示す。図 16 において、図 15 に示す各部に相当する部分には、それらの各部に付した参照符号と同一の参照符号を付し、それらの部分については説明を省略する。

前述の第 5 実施形態では、H D ソーストレンチ 126 は、その側面に段差が形成されていない平面状のものであったが、この第 6 実施形態に係る M I S トランジスタ 161 の H D ソーストレンチ 162 は、S i C エピタキシャル層 108 の表面 109 からボディ領域 118 までの深さの H D 上層トレンチ 163 (第 2 上層トレンチ) と、H D 上層トレンチ 163 よりも幅が狭く、ボディ領域 118 からドリフト領域 119 までの深さの H D 下層トレンチ 164 (第 2 下層トレンチ) とを含む。これにより H D ソーストレンチ 162 では、H D 上層トレンチ 163 の側面が H D 下層トレンチ 164 の側面よりも外側に一段広がった 2 段構造を有している。

[0157] そして、H D 上層トレンチ 163 と H D 下層トレンチ 164 との段差部分には、ボディ領域 118 が環状に露出しており、その露出した部分に、p⁺型

のHDボディコンタクト領域165が形成されている。

同様に、MISトランジスタ161のDiソーストレンチ166は、SiCエピタキシャル層108の表面109からボディ領域118までの深さのDi上層トレンチ167（第1上層トレンチ）と、Di上層トレンチ167よりも幅が狭く、ボディ領域118からドリフト領域119までの深さのDi下層トレンチ168（第1下層トレンチ）とを含む。これによりDiソーストレンチ166では、Di上層トレンチ167の側面がDi下層トレンチ168の側面よりも外側に一段広がった2段構造を有している。

[0158] そして、Di上層トレンチ167とDi下層トレンチ168との段差部分には、ボディ領域118が環状に露出しており、その露出した部分に、 p^+ 型のDiボディコンタクト領域169が形成されている。

以上のように、このMISトランジスタ161によっても、前述のMISトランジスタ101と同様の作用効果を達成することができる。

[0159] さらに、このMISトランジスタ161では、各トレンチ162、166が2段構造であり、HDボディコンタクト領域165およびDiボディコンタクト領域169が形成されているので、ショットキーセル114およびpnダイオードセル115それぞれのボディ領域118に対して直接コンタクトをとることができる。その結果、ボディ領域118の電位を精密に制御することができる。

[0160] また、pnダイオードセル115の底部ボディコンタクト領域138や、ゲートトレンチ112の交差部121のG耐圧保持領域140を省略することができる。

図17（a）（b）は、本発明の第7実施形態に係るプレーナゲート型MISトランジスタ181の模式的な平面図であって、図17（a）は全体図、図17（b）は内部拡大図をそれぞれ示す。図18は、図17（a）（b）のプレーナゲート型MISトランジスタ181の断面図であって、図17（b）の切断線I-IおよびJ-Jでの切断面をそれぞれ示す。図17および図18において、図14および図15に示す各部に相当する部分には、そ

これらの各部に付した参照符号と同一の参照符号を付し、それらの部分については説明を省略する。

[0161] 前述の第5および第6実施形態では、トレンチゲート型MISトランジスタ101、161の例をとりあげたが、本発明は、この第7実施形態に係るMISトランジスタ181のように、プレーナゲート型のトランジスタにも採用することができる。

プレーナ型MISトランジスタ181では、High-k材料(SiN、Al₂O₃、AlON等)からなるゲート絶縁膜182は、ゲートトレンチ112の内面に形成される代わりに、SiCエピタキシャル層108の表面109に形成され、その上に、ゲート電極183が形成されている。

[0162] 以上のように、このMISトランジスタ181によっても、前述のMISトランジスタ101と同様の作用効果を達成することができる。

図19(a)(b)は、本発明の第8実施形態に係るトレンチゲート型MISトランジスタ191の模式的な平面図であって、図19(a)は全体図、図19(b)は内部拡大図をそれぞれ示す。図20は、図19(a)(b)のトレンチゲート型MISトランジスタ191の断面図であって、図19(b)の切断線K-KおよびL-Lでの切断面をそれぞれ示す。図19および図20において、図14および図15に示す各部に相当する部分には、それらの各部に付した参照符号と同一の参照符号を付し、それらの部分については説明を省略する。

[0163] 前述の第5～第7実施形態では、ショットキーセル114がpnダイオードセル115よりも面積が大きい例をとりあげたが、ショットキーセル114とpnダイオードセル115の面積は同じであってもよい。

この第8実施形態に係るMISトランジスタ191では、互いに同じ大きさの平面視四角形のショットキーセル114およびpnダイオードセル115が行列状(マトリクス状)に配列されており、ショットキーセル114はpnダイオードセル115に包囲されている。

[0164] また、ショットキーセル114において、ソース領域117、ボディ領域

118およびドリフト領域119を有し、HDソーストレンチ126が形成されたMISトランジスタ101構造が形成されていない。ショットキー領域131は、SiCエピタキシャル層108の表面109と同一平面上に現れている。

以上のように、このMISトランジスタ191によっても、前述のMISトランジスタ101と同様の作用効果を達成することができる。

[0165] さらに、このMISトランジスタ191では、MISトランジスタ構造の形成するためのスペースが必要ないので、セル113が大きくなっても十分な面積のショットキー領域131を露出させることができるので、ヘテロ接合ダイオード151の低抵抗化を達成することができる。

なお、前述の第5～第8の実施形態において、ショットキーセル114は、図21(a)(b)に示すように、たとえば、pnダイオードセル115の9つ分に相当する面積を有していて、ショットキーセル114の一辺の長さがpnダイオードセル115の一辺の長さの3倍に相当していてもよい。

[0166] 図22(a)(b)は、本発明の第9実施形態に係るトレンチゲート型MISトランジスタの模式的な平面図であって、図22(a)は全体図、図22(b)は内部拡大図をそれぞれ示す。図2は、図22(a)(b)に示すトレンチゲート型MISトランジスタの断面図であって、図22(b)の切断線M-MおよびN-Nでの切断面をそれぞれ示す。

MISトランジスタ201は、SiCが採用されたトレンチゲート型DMISFET(Double diffused Metal Insulator Semiconductor Field Effect Transistor)であり、たとえば、図22(a)に示すように、平面視正方形のチップ状である。チップ状のMISトランジスタ201は、図22(a)の紙面における上下左右方向の長さがそれぞれ数mm程度である。

[0167] MISトランジスタ201の表面には、ソースパッド202が形成されている。ソースパッド202は、四隅が外方へ湾曲した平面視略正形状であり、MISトランジスタ201の表面のほぼ全域を覆うように形成されている。このソースパッド202には、その一辺の中央付近に除去領域203が

形成されている。この除去領域203は、ソースパッド202が形成されていない領域である。

[0168] 除去領域203には、ゲートパッド204が配置されている。ゲートパッド204とソースパッド202との間には間隔が設けられており、これらは互いに絶縁されている。

次に、MISトランジスタ201の内部構造について説明する。

MISトランジスタ201は、 n^+ 型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）のSiC基板205を備えている。SiC基板205は、第9実施形態では、MISトランジスタ201のドレインとして機能し、その表面206（上面）がSi面であり、その裏面207（下面）がC面である。

[0169] SiC基板205の表面206には、SiC基板205よりも低濃度の n^- 型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）のSiCエピタキシャル層208が積層されている。半導体層としてのSiCエピタキシャル層208の厚さは、たとえば、 $1 \mu\text{m} \sim 100 \mu\text{m}$ である。SiCエピタキシャル層208は、SiC基板205上に、いわゆるエピタキシャル成長によって形成されている。Si面である表面206上に形成されるSiCエピタキシャル層208は、Si面を成長主面として成長させられる。したがって、成長により形成されるSiCエピタキシャル層208の表面209は、SiC基板205の表面206と同様、Si面である。

[0170] MISトランジスタ201には、図22（a）に示すように、平面視でSiCエピタキシャル層208の中央部に配置され、MISトランジスタ201として機能する活性領域210と、この活性領域210を取り囲むトランジスタ周辺領域211が形成されている。

活性領域210において、SiCエピタキシャル層208の表層部には、 p 型（たとえば、濃度が $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ ）のボディ領域212が、行方向および列方向に一定のピッチで行列状（マトリクス状）に配列されて多数形成されている。各ボディ領域212は、平面視

正形状であり、たとえば、図22(b)の紙面における上下左右方向の長さがそれぞれ7.2 μm 程度である。

[0171] 一方、SiCエピタキシャル層208における、ボディ領域212に対してSiC基板205側の領域は、エピタキシャル成長後のままの状態が維持された、n⁻型のドリフト領域213となっている。

各ボディ領域212には、その表面209側のほぼ全域にn⁺型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）のソース領域214が形成されている。

[0172] そして、各ボディ領域212を取り囲むように、SiCエピタキシャル層208の表面209から各ソース領域214およびボディ領域212を貫通してドリフト領域213に達するゲートトレンチ215が格子状に形成されている。

具体的には、ゲートトレンチ215は、隣り合うボディ領域212の各間を、各ボディ領域212の4つの側面に沿って行方向および列方向のそれぞれに直線状に延びる線状部216と、行方向に延びる線状部216と列方向に延びる線状部216とが交差する交差部217とを含んでいる。交差部217は、平面視で2行2列に配列されたボディ領域212に着目したとき、配列された4つのボディ領域212の内側の角に取り囲まれ、ボディ領域212の四辺の延長線により区画される平面視正形状の部分である。また、ゲートトレンチ215は、互いに対向する側面218と底面219とが湾曲面を介して連続する断面U字状である。

[0173] これにより、SiCエピタキシャル層208には、格子状のゲートトレンチ215で取り囲まれる各窓部分に、4つの角部220を有する直方体形状（平面視正形状）の単位セル221が多数形成されている。単位セル221では、ゲートトレンチ215の深さ方向がゲート長方向であり、そのゲート長方向に直交する各単位セル221の周方向がゲート幅方向である。

[0174] ゲートトレンチ215の内面には、その全域を覆うように、High-k材料（SiN、Al₂O₃、AlON等）からなるゲート絶縁膜222が形成

されている。

そして、ゲート絶縁膜 222 の内側を n 型不純物が高濃度にドーピングされたポリシリコン材料で埋め尽くすことにより、ゲートトレンチ 215 内にゲート電極 223 が埋設されている。こうして、ソース領域 214 とドリフト領域 213 とが、SiC エピタキシャル層 208 の表面 209 に垂直な縦方向にボディ領域 212 を介して離間して配置された、縦型 MIS トランジスタ構造が構成されている。

[0175] また、各单位セル 221 の中央部には、SiC エピタキシャル層 208 の表面 209 から各ソース領域 214 およびボディ領域 212 を貫通してドリフト領域 213 に達する、平面視正形状のソーストレンチ 224 が形成されている。ソーストレンチ 224 の深さは、第 9 実施形態では、ゲートトレンチ 215 と同じである。また、ソーストレンチ 224 も、ゲートトレンチ 215 同様、互いに対向する側面 225 と底面 226 とが湾曲面を介して連続する断面 U 字状である。

[0176] また、SiC エピタキシャル層 208 には、SiC エピタキシャル層 208 に p 型不純物をインプランテーションすることにより形成された、p 型のゲート耐圧保持領域 227 および第 1 耐圧保持領域としてのソース耐圧保持領域 228 が形成されている。

ゲート耐圧保持領域 227 は、格子状のゲートトレンチ 215 に沿って形成されており、ゲートトレンチ 215 の交差部 217 に形成された第 2 耐圧保持領域としての第 1 領域 229 と、ゲートトレンチ 215 の線状部 216 に形成された第 3 耐圧保持領域としての第 2 領域 230 とを一体的に含んでいる。

[0177] 第 1 領域 229 は、交差部 217 におけるゲートトレンチ 215 の底面 219 および当該底面 219 から交差部 217 に臨む 4 つの単位セル 221 の各角部 220 の下部に形成されたゲートトレンチ 215 のコーナーエッジ部 231 を経て、コーナーエッジ部 231 直上のボディ領域 212 に至るように形成されている。すなわち、第 1 領域 229 は、平面視では、ゲートトレ

ンチ 215 の交差部 217 よりもやや大きい正形状に形成されていて、その各角が、当該交差部 217 に臨む 4 つの単位セル 221 の各角部 220 にそれぞれ入り込んでいる。また、第 1 領域 229 の濃度は、ボディ領域 212 の濃度よりも高く、ドリフト領域 213 の濃度よりも高く、たとえば、 $1 \times 10^{17} \sim 9 \times 10^{19} \text{ cm}^{-3}$ である。また、第 1 領域 229 におけるゲートトレンチ 215 の底面から SiC 基板 205 へ向かう方向に沿う厚さ T_1 は、たとえば、 $0.8 \mu\text{m}$ 程度である。

[0178] 第 2 領域 230 は、平面視で隣り合う交差部 217 の各辺中央同士を繋ぐ一定幅の直線状に形成されていて、線状部 216 の幅（互いに向き合うゲートトレンチ 215 の側面間の距離（たとえば、 $1 \mu\text{m}$ ）よりも狭い幅（たとえば、 $0.8 \mu\text{m}$ ）を有している。また、第 2 領域 230 の濃度は、ボディ領域 212 の濃度よりも高く、第 1 領域 229 よりも高く、たとえば、 $2 \times 10^{17} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。また、第 2 領域 230 におけるゲートトレンチ 215 の底面から SiC 基板 205 へ向かう方向に沿う厚さ T_2 は、第 1 領域 229 の厚さ T_1 よりも小さく（すなわち、 $T_1 > T_2$ ）、たとえば、 $0.7 \mu\text{m}$ 程度である。

[0179] ソース耐圧保持領域 228 は、ソーストレンチ 224 の底面 226 を露出させるように、当該底面 226 と側面 225 とが交わるソーストレンチ 224 のエッジ部 232 および当該エッジ部 232 からソーストレンチ 224 の側面 225 の一部を形成するボディ領域 212 に至るように形成されている。

これにより、ソーストレンチ 224 の底面 226 の中央部には、ドリフト領域 213 の一部からなる平面視正形状のドリフト露出領域 233 が形成されている。

[0180] また、ソース耐圧保持領域 228 の濃度は、ゲート耐圧保持領域 227 の第 1 領域 229 と同じである（たとえば、 $1 \times 10^{17} \sim 9 \times 10^{19} \text{ cm}^{-3}$ ）。また、ソース耐圧保持領域 228 におけるソーストレンチ 224 の底面から SiC 基板 205 へ向かう方向に沿う厚さ T_3 は、ゲート耐圧保持領域 227

の第1領域229の厚さ T_1 と同じである（たとえば、 $0.8\mu\text{m}$ 程度）。

[0181] また、トランジスタ周辺領域211において、SiCエピタキシャル層208の表層部には、マトリクス状に配列された単位セル221（活性領域210）を取り囲むように、活性領域210から間隔を開けてp型のガードリング234が複数本（第9実施形態では、4本）形成されている。これらのガードリング234は、p型のボディ領域212を形成する工程と同一のイオン注入工程で形成することができる。

[0182] 各ガードリング234は、平面視において、MISトランジスタ201の外周に沿う平面視四角環状に形成されている。

SiCエピタキシャル層208上には、ゲート電極223を被覆するように、High-k材料（SiN、 Al_2O_3 、AlON等）からなる層間絶縁膜235が積層されている。

[0183] 層間絶縁膜235およびゲート絶縁膜222には、ソーストレンチ224よりも大径のコンタクトホール236が形成されている。これにより、コンタクトホール236内には、各単位セル221のソーストレンチ224の全体（すなわち、ソーストレンチ224の側面225および底面226）およびSiCエピタキシャル層208の表面209におけるソーストレンチ224の周縁部が露出していて、表面209と底面226との高低差に応じた段差が形成されている。

[0184] 層間絶縁膜235上には、ソース電極237が形成されている。ソース電極237は、各コンタクトホール236を介して、すべての単位セル221のソーストレンチ224に一括して入り込んでいて、各単位セル221において、ソーストレンチ224の底側から順にドリフト露出領域233、ソース耐圧保持領域228、ボディ領域212およびソース領域214に接触している。すなわち、ソース電極237は、すべての単位セル221に対して共通の配線となっている。

[0185] そして、このソース電極237上には層間絶縁膜（図示せず）が形成されており、その層間絶縁膜（図示せず）を介して、ソース電極237がソース

パッド202（図22（a）参照）に電氣的に接続されている。一方、ゲートパッド204（図22（a）参照）は、当該層間絶縁膜（図示せず）上に引き回されたゲート配線（図示せず）を介して、ゲート電極223に電氣的に接続されている。

[0186] また、ソース電極237は、SiCエピタキシャル層208との接触側から順に、障壁形成層としてのポリシリコン層238、中間層239およびメタル層240を有している。

ポリシリコン層238は、不純物がドーピングされたドーフトポリシリコンを用いて形成されたドーブ層であり、たとえば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上、好ましくは、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の高濃度で不純物がドーピングされた高濃度ドーブ層である。ポリシリコン層238をドーブ層（高濃度ドーブ層を含む）として形成するときの不純物としては、N（窒素）、P（リン）、As（ひ素）などのn型不純物、Al（アルミニウム）、B（ホウ素）などのp型不純物を用いることができる。また、ポリシリコン層238の厚さは、たとえば、 $5000 \text{ \AA} \sim 10000 \text{ \AA}$ である。

[0187] また、ポリシリコン層238は、第9実施形態では、コンタクトホール236内に露出する単位セル221の表面全域を覆うように形成されていて、ソーストレンチ224内でドリフト露出領域233、ソース耐圧保持領域228およびソース領域214の全てに接触している。

すなわち、ポリシリコン層238は、ソーストレンチ224の側面225においてソース耐圧保持領域228に接し、側面225およびSiCエピタキシャル層208の表面209におけるソーストレンチ224の周縁部においてソース領域214に接する第1部分241と、ソーストレンチ224の底面226においてドリフト露出領域233に接する第2部分242とを有している。

[0188] そして、ポリシリコン層238は、第1部分241が、ソース耐圧保持領域228およびソース領域214の両方との間にオーミック接合を形成している。一方で、第2部分242が、ドリフト露出領域233との間に、MI

Sトランジスタ201に内在するボディダイオード243（ボディ領域212とドリフト領域213との接合により形成されるpnダイオード）の拡散電位（たとえば、2.8 eV～3.2 eV）よりも接合障壁の小さいヘテロ接合（たとえば、接合障壁の高さが1 eV～1.5 eV）を形成している。

[0189] 中間層239は、ポリシリコン層238上に積層されたメタル層であり、Ti（チタン）を含有する層の単層またはTiを含有する層を含む複数の層からなる。Tiを含有する層は、Ti、TiN（窒化チタン）などを用いて形成することができる。また、中間層239の厚さは、たとえば、200 nm～500 nmである。

メタル層240は、中間層239上に積層されており、たとえば、Al（アルミニウム）、Au（金）、Ag（銀）、Cu（銅）、Mo（モリブデン）、それらの合金およびそれらを含有するメタル材料を用いて形成することができる。メタル層240は、ソース電極237の最表層をなしている。また、メタル層240の厚さは、たとえば、1 μm～5 μmである。

[0190] 上記のようなポリシリコン層238、中間層239およびメタル層240の組み合わせとしては、第9実施形態では、Poly-Si（ポリシリコン層238）、Ti（中間層239）、TiN（中間層239）およびAl（メタル層240）が順に積層される積層構造（Poly-Si/Ti/TiN/Al）である。また、これらに加えて、メタル層240がMo層を有していることが好ましい。Moは融点が高いので、メタル層240にMo層が含まれていれば、ソース電極237に大電流が流れたときに生じる熱によるメタル層240の溶損を抑制することができる。

[0191] SiC基板205の裏面207には、その全域を覆うようにドレイン電極244が形成されている。このドレイン電極244は、すべての単位セル221に対して共通の電極となっている。ドレイン電極244としては、たとえば、SiC基板205側から順にTi、Ni、AuおよびAgが積層された積層構造（Ti/Ni/Au/Ag）を適用することができる。

[0192] このMISトランジスタ201は、たとえば、電動モータ（誘導性負荷の

一例)の駆動回路(インバータ回路)のスイッチング素子として利用される。この場合、ソースパッド202(ソース電極237)とドレイン電極244との間(ソースドレイン間)にドレイン側が正となるドレイン電圧が印加された状態で、ゲートパッド204に所定の電圧(ゲート閾値電圧以上の電圧)がオン/オフされることによって、電動モータに流す電流をオン/オフするスイッチングを行なう。

[0193] 電動モータに流れる電流を遮断すると(つまり、ゲート電圧がオフにされると)、電動モータのモータコイルに逆起電力が発生する。この逆起電力に起因して、ソース側が正となる電圧が、ソースドレイン間にかかる場合がある。

このような場合に、ボディダイオード243の整流作用により、電流が、たとえば還流電流としてモータコイルに流れると、以下の不具合がある。

[0194] つまり、ボディダイオード243を構成するp型ボディ領域212からn型ドリフト領域213に正孔(ホール)が移動して電流が流れると、n型ドリフト領域213においてゲートトレンチ215付近(たとえば、ゲートトレンチ215の側方)では、多数キャリアの電子と、p型ボディ領域212から移動した正孔とが再結合する場合がある。そのため、その結合により生じるエネルギーによって、SiCエピタキシャル層208のSiCの結晶欠陥が、SiCエピタキシャル層208の積層方向に平行な方向に拡張し、オン時のドレイン電流の経路(たとえば、チャネル)に達するおそれがある。そうすると、このMISトランジスタ201が、ボディ領域212におけるゲートトレンチ215の側面218付近にチャネルを形成してスイッチング動作する際、オン抵抗が上昇するおそれがある。

[0195] そこで、第9実施形態では、ポリシリコン層238がドリフト領域213(ドリフト露出領域233)に対してヘテロ接合を形成している。そのため、ポリシリコン層238の第2部分242とドリフト領域213とのヘテロ接合部に優先的に電流が流れ、ボディダイオード243に流れる電流を少なくするか、またはなくすることができる。こうしてMISトランジスタ201

を流れた電流は、たとえば還流電流として電動モータに流すことができる。

[0196] このように、オフ時の電流は、ゲートトレンチ215で取り囲まれた単位セル221の中央のソーストレンチ224内に形成されたポリシリコン層238の第2部分242からドリフト領域213へ流れるから、ゲートトレンチ215付近（すなわち、p型ボディ領域212とn型ドリフト領域213との間）でのキャリアの移動はほとんど生じない。そのため、ドリフト領域213内での正孔と電子との再結合を防止することができる。その結果、SiCエピタキシャル層208におけるSiCの結晶欠陥の拡張を抑制することができるので、トランジスタ201のオン抵抗の上昇を抑制することができる。

[0197] また、オフ状態（つまり、ゲート電圧が0Vの状態）においては、ゲート電極223とSiCエピタキシャル層208との間に介在するゲート絶縁膜222に電界がかかる。

この電界は、ゲート電極223とSiCエピタキシャル層208との電位差に起因して生じるものである。そして、ゲートトレンチ215の底面219においては、ゲート電極223を基準（0V）として非常に高い電位の等電位面が分布し、しかも等電位面の間隔が小さいため、非常に大きな電界が生じる。たとえば、ドレイン電圧が900Vであれば、ドレイン電極244に接するSiC基板205の裏面207付近では900Vの等電位面が分布しており、SiC基板205の裏面207からSiCエピタキシャル層208の表面209側へ向かうにつれて電圧降下を生じるが、ゲートトレンチ215の底面219付近では、数十V程度の等電位面が分布する。そのため、ゲートトレンチ215の底面219では、ゲート電極223側へ向かう非常に大きな電界が生じる。とりわけ、第9実施形態のように、ゲートトレンチ215が格子状に形成されており、格子状のゲートトレンチ215の窓部に四角柱状の単位セル221が配列されている場合は、単位セル221の各角部220に形成されたゲートトレンチ215のコーナーエッジ部231付近において、ゲート絶縁膜222の絶縁破壊が特に発生しやすい。

[0198] 具体的には、ゲートトレンチ215の交差部217の対角線上で互いに隣り合うソーストレンチ224の距離 D_1 （図23のM-M断面参照）は、ゲートトレンチ215の線状部216を挟んで互いに隣り合うソーストレンチ224の距離 D_2 （図23のN-N断面参照）に比べて大きくなる（たとえば、第9実施形態では、 D_1 は D_2 の1.4倍）。そのため、相対的に広いスペースがあるゲートトレンチ215のコーナーエッジ部231の直下に等電位面が入り込み、等電位面の密集を生じる。その結果、ゲートトレンチ215のコーナーエッジ部231付近において、ゲート絶縁膜222の絶縁破壊が特に発生しやすい。

[0199] そこで、第9実施形態のMISトランジスタ201では、ゲートトレンチ215のコーナーエッジ部231にゲート耐圧保持領域227（第1領域229）が形成されている。これにより、第1領域229とドリフト領域213との接合（pn接合）により、ゲートトレンチ215のコーナーエッジ部231付近にボディダイオード248を形成することができる。さらにこのMISトランジスタ201では、各単位セル221の中央部に形成されたソーストレンチ224のエッジ部232に、ソース耐圧保持領域228が形成されている。そのため、このソース耐圧保持領域228とドリフト領域213との接合（pn接合）により、ソーストレンチ224のエッジ部232を取り囲む環状のボディダイオード249を形成することができる。

[0200] これらのボディダイオード248、249に発生する空乏層の存在により、ゲートトレンチ215のコーナーエッジ部231とソーストレンチ224のエッジ部232との間に等電位面が入り込むことを防止でき、ゲート絶縁膜222から遠ざけることができる。その結果、ゲートトレンチ215のコーナーエッジ部231付近における等電位面の密集を防止することができる。その結果、ゲート絶縁膜222にかかる電界を小さくすることができるので、絶縁破壊を抑制することができる。また、第1領域229の濃度がドリフト領域213の濃度よりも高いので、第1領域229とドリフト領域213との接合（pn接合）により生じる空乏層がSiCエピタキシャル層20

8内に広がり過ぎることを防止することができる。

[0201] また、MISトランジスタ201では、第1領域229がコーナーエッジ部231を経て、コーナーエッジ部231直上のボディ領域212に至るように形成されているが、単位セル221の角部220には、チャンネルが形成されないか、形成されても当該チャンネルを流れる電流は微量である。したがって、ボディ領域212におけるコーナーエッジ部231直上の部分に至るようにゲート耐圧保持領域227（第1領域229）を形成することにより、デバイスの性能にほとんど影響を与えずに、ゲート絶縁膜222の破壊防止効果を一層向上させることができる。

[0202] 一方、ゲートトレンチ215の線状部216には、線状部216の幅よりも狭い幅のゲート耐圧保持領域227（第2領域230）が形成されている。これにより、第2領域230とドリフト領域213との接合（pn接合）により生じる空乏層を、ゲートトレンチ215の線状部216に沿って発生させることができる。そのため、ゲートトレンチ215の線状部216の直下に生じる電界を、当該空乏層により緩和することができる。その結果、ゲート絶縁膜222に生じる電界を、全体にわたって満遍なく緩和することができる。

[0203] しかも、ゲート耐圧保持領域227（第2領域230）がゲートトレンチ215の線状部216の側面218（つまり、単位セル221においてチャンネルが形成される部分）に形成されていない。よって、チャンネル特性の制御を精度よく行うこともできる。

また、第2領域230の濃度が第1領域229の濃度よりも高く、さらに、第2領域230の厚さ T_2 が第1領域229の厚さ T_1 よりも小さい（ $T_1 > T_2$ ）ので、チャンネル抵抗の上昇を防止することもできる。

[0204] また、上記の製造方法によれば、ゲート耐圧保持領域227およびソース耐圧保持領域228を同時に形成することができる。その結果、ゲート絶縁膜222の絶縁破壊を防止するためのMISトランジスタ201の構造を簡単に作製することができる。

図24(a)(b)は、本発明の第10実施形態に係るプレーナゲート型MISトランジスタの模式的な平面図であって、図24(a)は全体図、図24(b)は内部拡大図をそれぞれ示す。図25は、図24(a)(b)に示すプレーナゲート型MISトランジスタの断面図であって、図24(b)の切断線O-OおよびP-Pでの切断面をそれぞれ示す。

[0205] MISトランジスタ251は、SiCが採用されたプレーナゲート型DMISFETであり、たとえば、図24(a)に示すように、平面視正方形のチップ状である。チップ状のMISトランジスタ251は、図24(a)の紙面における上下左右方向の長さがそれぞれ数mm程度である。

MISトランジスタ251の表面には、ソースパッド252が形成されている。ソースパッド252は、四隅が外方へ湾曲した平面視略正形状であり、MISトランジスタ251の表面のほぼ全域を覆うように形成されている。このソースパッド252には、その一辺の中央付近に除去領域253が形成されている。この除去領域253は、ソースパッド252が形成されていない領域である。

[0206] 除去領域253には、ゲートパッド254が配置されている。ゲートパッド254とソースパッド252との間には間隔が設けられており、これらは互いに絶縁されている。

次に、MISトランジスタ251の内部構造について説明する。

MISトランジスタ251は、 n^+ 型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）のSiC基板255を備えている。SiC基板255は、第10実施形態では、MISトランジスタ251のドレインとして機能し、その表面256（上面）がSi面であり、その裏面257（下面）がC面である。

[0207] SiC基板255の表面256には、SiC基板255よりも低濃度の n^- 型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）のSiCエピタキシャル層258が積層されている。半導体層としてのSiCエピタキシャル層258の厚さは、たとえば、 $1 \mu\text{m} \sim 100 \mu\text{m}$ である。SiCエピタキシ

ヤル層 258 は、SiC 基板 255 上に、いわゆるエピタキシャル成長によって形成されている。Si 面である表面 256 上に形成される SiC エピタキシャル層 258 は、Si 面を成長主面として成長させられる。したがって、成長により形成される SiC エピタキシャル層 258 の表面 259 は、SiC 基板 255 の表面 256 と同様、Si 面である。

[0208] MIS トランジスタ 251 には、図 24 (a) に示すように、平面視で SiC エピタキシャル層 258 の中央部に配置され、MIS トランジスタ 251 として機能する活性領域 260 と、この活性領域 260 を取り囲むトランジスタ周辺領域 261 が形成されている。

活性領域 260 において、SiC エピタキシャル層 258 の表層部には、p 型（たとえば、濃度が $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ ）のボディ領域 262 が、行方向および列方向に一定のピッチで行列状（マトリクス状）に配列されて多数形成されている。各ボディ領域 262 は、平面視正形状であり、たとえば、図 24 (b) の紙面における上下左右方向の長さがそれぞれ $7.2 \mu\text{m}$ 程度である。

[0209] 一方、SiC エピタキシャル層 258 における、ボディ領域 262 に対して SiC 基板 255 側の領域は、エピタキシャル成長後のままの状態が維持された、n⁻型のドリフト領域 263 となっている。

各ボディ領域 262 には、その表面 259 側のほぼ全域に n⁺型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）のソース領域 264 が形成されている。

[0210] また、活性領域 260 において、一定のピッチで行列状に配列されたボディ領域 262 の各間の領域（ボディ間領域 265）は、一定（たとえば、 $2.8 \mu\text{m}$ ）幅を有する格子状である。

具体的には、ボディ間領域 265 は、隣り合うボディ領域 262 の各間を、各ボディ領域 262 の 4 つの側面に沿って行方向および列方向のそれぞれに直線状に延びる線状部 266 と、行方向に延びる線状部 266 と列方向に延びる線状部 266 とが交差する交差部 267 とを含んでいる。交差部 26

7は、平面視で2行2列に配列されたボディ領域262に着目したとき、配列された4つのボディ領域262の内側の角に取り囲まれ、ボディ領域262の四辺の延長線により区画される平面視正形状の部分である。

[0211] これにより、SiCエピタキシャル層258には、格子状のボディ間領域265で取り囲まれる各窓部分に、4つの角部270を有する平面視正形状の単位セル271が多数形成されている。すなわち、ボディ間領域265の幅方向中央に単位セル271間の境界が設定されている。各単位セルは、たとえば、図24(b)の紙面における上下左右方向の長さがそれぞれ10 μ m程度である。各単位セル271では、ボディ領域262の深さ方向がゲート長方向であり、そのゲート長方向に直交するボディ領域262の周方向がゲート幅方向である。

[0212] ボディ間領域265上には、ボディ間領域265に沿って、格子状のゲート絶縁膜272が形成されている。ゲート絶縁膜272は、隣り合うボディ領域262の間に跨っていて、ボディ領域262におけるソース領域264を取り囲む部分(ボディ領域262の周縁部)およびソース領域264の外周縁を覆っている。ゲート絶縁膜272は、High-k材料(SiN、Al₂O₃、AlON等)からなり、その厚さは400Å程度でほぼ一様である。

[0213] ゲート絶縁膜272上には、ゲート電極273が形成されている。ゲート電極273は、格子状のゲート絶縁膜272に沿って格子状に形成されていて、ゲート絶縁膜272を挟んで、各ボディ領域262の周縁部に対向している。ゲート電極273は、ポリシリコンからなり、たとえば、n型不純物が高濃度にドーピングされている。また、ゲート電極273の厚さは、たとえば、6000Å程度である。

[0214] 各単位セル271の中央部には、SiCエピタキシャル層258の表面259から各ソース領域264およびボディ領域262を貫通してドリフト領域263に達する、平面視正形状のソーストレンチ274が形成されている。ソーストレンチ274は、互いに対向する側面275と底面276とが

湾曲面を介して連続する断面U字状である。

また、SiCエピタキシャル層258には、SiCエピタキシャル層258にp型不純物をインプランテーションすることにより形成された、p型のゲート耐圧保持領域277および第1耐圧保持領域としてのソース耐圧保持領域278が形成されている。

[0215] ゲート耐圧保持領域277は、格子状のボディ間領域265に沿って形成されており、ボディ間領域265の交差部267に形成された第4耐圧保持領域としての第1領域279と、ボディ間領域265の線状部266に形成された第5耐圧保持領域としての第2領域280とを一体的に含んでいる。

第1領域279は、交差部267に臨む4つの単位セル271の各角部270に形成されたボディ領域262のコーナ部281に至るように形成されている。すなわち、第1領域279は、平面視では、ボディ間領域265の交差部267よりもやや大きい正形状に形成されていて、その各角が、当該交差部267に臨む4つの単位セル271の各角部270にそれぞれ入り込んでいる。また、第1領域279の濃度は、ボディ領域262の濃度以上で、ドリフト領域263の濃度よりも高く、たとえば、 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。また、第1領域279におけるSiCエピタキシャル層258の表面259からSiC基板255へ向かう方向に沿う厚さ T_4 は、たとえば、 $0.8 \mu\text{m}$ 程度である。

[0216] 第2領域280は、平面視で隣り合う交差部267の各辺中央同士を繋ぐ一定幅の直線状に形成されていて、線状部266の幅（たとえば、 $3.0 \mu\text{m}$ ）よりも狭い幅（たとえば、 $1.5 \mu\text{m}$ ）を有している。また、第2領域280の濃度は、ボディ領域262の濃度よりも高く、第1領域279よりも高く、たとえば、 $2 \times 10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ である。また、第2領域280におけるSiCエピタキシャル層258の表面259からからSiC基板255へ向かう方向に沿う厚さ T_5 は、第1領域279の厚さ T_4 以下（すなわち、 $T_4 \geq T_5$ ）である。

[0217] ソース耐圧保持領域278は、ソーストレンチ274の底面276を露出

させるように、当該底面 276 と側面 275 とが交わるソーストレンチ 274 のエッジ部 282 および当該エッジ部 282 からソーストレンチ 274 の側面 275 の一部を形成するボディ領域 262 に至るように形成されている。

これにより、ソーストレンチ 274 の底面 276 の中央部には、ドリフト領域 263 の一部からなる平面視正形状のドリフト露出領域 283 が形成されている。

[0218] また、ソース耐圧保持領域 278 の濃度は、ゲート耐圧保持領域 277 の第 1 領域 279 と同じである（たとえば、 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）。また、ソース耐圧保持領域 278 におけるソーストレンチ 274 の底面から SiC 基板 255 へ向かう方向に沿う厚さ T_6 は、たとえば、 $0.8 \mu\text{m}$ 程度であり、ソース耐圧保持領域 278 の最深部が、ゲート耐圧保持領域 277（第 1 領域 279 および第 2 領域 280）の最深部よりも深い位置にある。

[0219] また、トランジスタ周辺領域 261 において、SiC エピタキシャル層 258 の表層部には、マトリクス状に配列された単位セル 271（活性領域 260）を取り囲むように、活性領域 260 から間隔を開けて p 型のガードリング 284 が複数本（第 10 実施形態では、4 本）形成されている。これらのガードリング 284 は、p 型のボディ領域 262 を形成する工程と同一のイオン注入工程で形成することができる。

[0220] 各ガードリング 284 は、平面視において、MIS トランジスタ 251 の外周に沿う平面視四角環状に形成されている。

SiC エピタキシャル層 258 上には、ゲート電極 273 を被覆するように、High-k 材料（SiN、 Al_2O_3 、AlON 等）からなる層間絶縁膜 285 が積層されている。

[0221] 層間絶縁膜 285 およびゲート絶縁膜 272 には、ソーストレンチ 274 よりも大径のコンタクトホール 286 が形成されている。これにより、コンタクトホール 286 内には、各単位セル 271 のソーストレンチ 274 の全

体（すなわち、ソーストレンチ 274 の側面 275 および底面 276）および SiC エピタキシャル層 258 の表面 259 におけるソーストレンチ 274 の周縁部が露出していて、表面 259 と底面 276 との高低差に応じた段差が形成されている。

[0222] 層間絶縁膜 285 上には、ソース電極 287 が形成されている。ソース電極 287 は、各コンタクトホール 286 を介して、すべての単位セル 271 のソーストレンチ 274 に一括して入り込んでいて、各単位セル 271 において、ソーストレンチ 274 の底側から順にドリフト露出領域 283、ソース耐圧保持領域 278、ボディ領域 262 およびソース領域 264 に接触している。すなわち、ソース電極 287 は、すべての単位セル 271 に対して共通の配線となっている。

[0223] そして、このソース電極 287 上には層間絶縁膜（図示せず）が形成されており、その層間絶縁膜（図示せず）を介して、ソース電極 287 がソースパッド 252（図 24（a）参照）に電氣的に接続されている。一方、ゲートパッド 254（図 24（a）参照）は、当該層間絶縁膜（図示せず）上に引き回されたゲート配線（図示せず）を介して、ゲート電極 273 に電氣的に接続されている。

[0224] また、ソース電極 287 は、SiC エピタキシャル層 258 との接触側から順に、障壁形成層としてのポリシリコン層 288、中間層 289 およびメタル層 290 を有している。

ポリシリコン層 288 は、不純物がドーピングされたドーフトポリシリコンを用いて形成されたドーブ層であり、たとえば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上、好ましくは、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の高濃度で不純物がドーピングされた高濃度ドーブ層である。ポリシリコン層 288 をドーブ層（高濃度ドーブ層を含む）として形成するときの不純物としては、N（窒素）、P（リン）、As（ヒ素）などの n 型不純物、Al（アルミニウム）、B（ホウ素）などの p 型不純物を用いることができる。また、ポリシリコン層 288 の厚さは、たとえば、 $5000 \text{ \AA} \sim 10000 \text{ \AA}$ である。

[0225] また、ポリシリコン層 288 は、第 10 実施形態では、コンタクトホール 286 内に露出する単位セル 271 の表面全域を覆うように形成されていて、ソーストレンチ 274 内でドリフト露出領域 283、ソース耐圧保持領域 278 およびソース領域 264 の全てに接触している。

すなわち、ポリシリコン層 288 は、ソーストレンチ 274 の側面 275 においてソース耐圧保持領域 278 に接し、側面 275 および SiC エピタキシャル層 258 の表面 259 におけるソーストレンチ 274 の周縁部においてソース領域 264 に接する第 1 部分 291 と、ソーストレンチ 274 の底面 276 においてドリフト露出領域 283 に接する第 2 部分 292 とを有している。

[0226] そして、ポリシリコン層 288 は、第 1 部分 291 が、ソース耐圧保持領域 278 およびソース領域 264 の両方との間にオーミック接合を形成している。一方で、第 2 部分 292 が、ドリフト露出領域 283 との間に、MIS トランジスタ 251 に内在するボディダイオード 293（ソース耐圧保持領域 278 とドリフト領域 263 との接合により形成される pn ダイオード）の拡散電位（たとえば、 $2.8\text{ eV} \sim 3.2\text{ eV}$ ）よりも接合障壁の小さいヘテロ接合（たとえば、接合障壁の高さが $1\text{ eV} \sim 1.5\text{ eV}$ ）を形成している。

[0227] 中間層 289 は、ポリシリコン層 288 上に積層されたメタル層であり、Ti（チタン）を含有する層の単層または Ti を含有する層を含む複数の層からなる。Ti を含有する層は、Ti、TiN（窒化チタン）などを用いて形成することができる。また、中間層 289 の厚さは、たとえば、 $200\text{ nm} \sim 500\text{ nm}$ である。

メタル層 290 は、中間層 289 上に積層されており、たとえば、Al（アルミニウム）、Au（金）、Ag（銀）、Cu（銅）、Mo（モリブデン）、それらの合金およびそれらを含有するメタル材料を用いて形成することができる。メタル層 290 は、ソース電極 287 の最表層をなしている。また、メタル層 290 の厚さは、たとえば、 $1\text{ }\mu\text{m} \sim 5\text{ }\mu\text{m}$ である。

[0228] 上記のようなポリシリコン層 288、中間層 289 およびメタル層 290 の組み合わせとしては、第 10 実施形態では、P o l y - S i (ポリシリコン層 288)、T i (中間層 289)、T i N (中間層 289) および A l (メタル層 290) が順に積層される積層構造 (P o l y - S i / T i / T i N / A l) である。また、これらに加えて、メタル層 290 が M o 層を有していることが好ましい。M o は融点が高いので、メタル層 290 に M o 層が含まれていれば、ソース電極 287 に大電流が流れたときに生じる熱によるメタル層 290 の溶損を抑制することができる。

[0229] S i C 基板 255 の裏面 257 には、その全域を覆うようにドレイン電極 294 が形成されている。このドレイン電極 294 は、すべての単位セル 271 に対して共通の電極となっている。ドレイン電極 294 としては、たとえば、S i C 基板 255 側から順に T i 、N i 、A u および A g が積層された積層構造 (T i / N i / A u / A g) を適用することができる。

[0230] この M I S トランジスタ 251 の構造によっても、前述の第 10 実施形態の M I S トランジスタ 201 と同様の作用効果を発現することができる。

すなわち、第 10 実施形態では、ポリシリコン層 288 がドリフト領域 263 (ドリフト露出領域 283) に対してヘテロ接合を形成している。そのため、ソースドレイン間に逆起電力がかかった場合、ポリシリコン層 288 の第 2 部分 292 とドリフト領域 263 とのヘテロ接合部に優先的に電流が流れ、ボディダイオード 293 に流れる電流を少なくするか、またはなくすることができる。こうして M I S トランジスタ 251 を流れた電流は、たとえば還流電流として電動モータに流すことができる。

[0231] このように、オフ時の電流は、ボディ間領域 265 で取り囲まれた単位セル 271 の中央のソーストレンチ 274 内に形成されたポリシリコン層 288 の第 2 部分 292 からドリフト領域 263 へ流れるから、ボディ間領域 265 付近 (すなわち、p 型ボディ領域 262 と n 型ドリフト領域 263 との間) でのキャリアの移動はほとんど生じない。そのため、ドリフト領域 263 内での正孔と電子との再結合を防止することができる。その結果、S i C

エピタキシャル層 258 における SiC の結晶欠陥の拡張を抑制することができるので、トランジスタ 251 のオン抵抗の上昇を抑制することができる。

[0232] また、オフ状態（つまり、ゲート電圧が 0 V の状態）においては、とりわけ、第 10 実施形態のように、ボディ間領域 265 が格子状に形成されており、格子状のボディ間領域 265 の窓部に平面視四角形状の単位セル 271 が配列されている場合は、単位セル 271 の各角部 270 に形成されたボディ領域 262 のコーナ部 281 付近において、ゲート絶縁膜 272 の絶縁破壊が特に発生しやすい。

[0233] 具体的には、ボディ間領域 265 の交差部 267 の対角線上で互いに隣り合うソーストレンチ 274 の距離 D_3 （図 25 の O-O 断面参照）は、ボディ間領域 265 の線状部 266 を挟んで互いに隣り合うソーストレンチ 274 の距離 D_4 （図 25 の P-P 断面参照）に比べて大きくなる（たとえば、第 10 実施形態では、 D_3 は D_4 の 1.4 倍）。そのため、相対的に広いスペースがあるボディ領域 262 のコーナ部 281 の直下に等電位面が入り込み、等電位面の密集を生じる。その結果、ボディ領域 262 のコーナ部 281 付近において、ゲート絶縁膜 272 の絶縁破壊が特に発生しやすい。

[0234] そこで、第 10 実施形態の MIS トランジスタ 251 では、ボディ領域 262 のコーナ部 281 にゲート耐圧保持領域 277（第 1 領域 279）が形成されている。これにより、第 1 領域 279 とドリフト領域 263 との接合（pn 接合）により、ボディ領域 262 のコーナ部 281 付近にボディダイオード 298 を形成することができる。さらにこの MIS トランジスタ 251 では、各単位セル 271 の中央部に形成されたソーストレンチ 274 のエッジ部 282 に、ソース耐圧保持領域 278 が形成されている。そのため、このソース耐圧保持領域 278 とドリフト領域 263 との接合（pn 接合）により、ソーストレンチ 274 のエッジ部 282 を取り囲む環状のボディダイオード 299 を形成することができる。

[0235] これらのボディダイオード 298、299 に発生する空乏層の存在により

、ボディ領域262のコーナ部281とソーストレンチ274のエッジ部282との間に等電位面が入り込むことを防止でき、ゲート絶縁膜272から遠ざけることができる。その結果、ボディ領域262のコーナ部281付近における等電位面の密集を防止することができる。その結果、ゲート絶縁膜272にかかる電界を小さくすることができるので、絶縁破壊を抑制することができる。また、第1領域279の濃度がドリフト領域263の濃度よりも高いので、第1領域279とドリフト領域263との接合（pn接合）により生じる空乏層がSiCエピタキシャル層258内に広がり過ぎることを防止することができる。

[0236] 一方、ボディ間領域265の線状部266には、線状部266の幅よりも狭い幅のゲート耐圧保持領域277（第2領域280）が形成されている。これにより、第2領域280とドリフト領域263との接合（pn接合）により生じる空乏層を、ボディ間領域265の線状部266に沿って発生させることができる。そのため、ボディ間領域265の線状部266の直下に生じる電界を、当該空乏層により緩和することができる。その結果、ゲート絶縁膜272に生じる電界を、全体にわたって満遍なく緩和することができる。

[0237] しかも、ゲート耐圧保持領域277（第2領域280）がボディ領域262の周縁部（つまり、単位セル271においてチャネルが形成される部分）に形成されていない。よって、チャネル特性の制御を精度よく行うこともできる。

以上、本発明の実施形態を説明したが、本発明は、他の形態で実施することもできる。

たとえば、前述のショットキーバリアダイオード1および各MISトランジスタ21、61、71、101、161、181、191、201、247、251、297の各半導体部分の導電型を反転した構成が採用されてもよい。たとえば、MISトランジスタ21において、p型の部分がn型であり、n型の部分がp型であってもよい。

[0238] また、各デバイス 1, 2 1, 6 1, 7 1, 1 0 1, 1 6 1, 1 8 1, 1 9 1, 2 0 1, 2 4 7, 2 5 1, 2 9 7 において、耐圧保持層を形成する層は、S i C からなるエピタキシャル層に限らず、S i C 以外のワイドバンドギャップ半導体、具体的には、G a N (バンドギャップ $E_{g\text{ GaN}} = \text{約 } 3.4 \text{ eV}$) またはダイヤモンド (バンドギャップ $E_{g\text{ dia}} = \text{約 } 5.5 \text{ eV}$) からなる層であってもよい。また、III-V 族化合物、II-VI 族化合物に代表される化合物半導体であってもよい。

[0239] また、本発明の他の実施形態としては、たとえば、J F E T (接合型電界効果トランジスタ) の層間絶縁膜、バイポーラトランジスタの層間絶縁膜、サイリスタの層間絶縁膜などのデバイス外周部に接する部分を H i g h - k 材料を用いて形成する形態であってもよい。

本発明の半導体パワーデバイスは、たとえば、電気自動車 (ハイブリッド車を含む)、電車、産業用ロボットなどの動力源として利用される電動モータを駆動するための駆動回路を構成するインバータ回路に用いられるパワーモジュールに組み込むことができる。また、太陽電池、風力発電機その他の発電装置 (とくに自家発電装置) が発生する電力を商用電源の電力と整合するように変換するインバータ回路に用いられるパワーモジュールにも組み込むことができる。

[0240] 本発明の実施形態は、本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

また、本発明の各実施形態において表した構成要素は、本発明の範囲で組み合わせることができる。

[0241] 本出願は、2011年2月2日に日本国特許庁に提出された特願2011-020729号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0242] 1・・・ショットキーバリアダイオード、3・・・カソード電極、4・・・
・SiCエピタキシャル層、5・・・活性領域、7・・・フィールド領域、
8・・・フィールド絶縁膜、9・・・アノード電極、10・・・ショットキ
ーメタル、12・・・（フィールド絶縁膜の）周縁部、13・・・（フィー
ルド領域の）内縁部、17・・・（ショットキーメタルの）外縁部、21・・・
・MISトランジスタ、28・・・SiCエピタキシャル層、29・・・
（エピタキシャル層の）表面、30・・・活性領域、31・・・トランジス
タ周辺領域、32・・・ボディ領域、33・・・ドリフト領域、34・・・
ソース領域、35・・・ゲートトレンチ、36・・・（ゲートトレンチの）
両端角部、37・・・（ゲートトレンチの）側面、38・・・（ゲートトレ
ンチの）底面、39・・・ゲート絶縁膜、40・・・ゲート電極、41・・・
・ソーストレンチ、48・・・層間絶縁膜、50・・・ソース電極、51・・・
・ドレイン電極、53・・・ゲート絶縁膜、54・・・層間絶縁膜、61
・・・MISトランジスタ、62・・・ゲート絶縁膜、63・・・SiO₂膜
、64・・・High-k膜、71・・・MISトランジスタ、78・・・
SiCエピタキシャル層、79・・・（エピタキシャル層の）表面、80・・・
・活性領域、81・・・トランジスタ周辺領域、82・・・ボディ領域、
83・・・ドリフト領域、85・・・ソース領域、86・・・ゲート絶縁膜
、87・・・ゲート電極、89・・・層間絶縁膜、91・・・ソース電極、
92・・・ドレイン電極、101・・・MISトランジスタ、108・・・
SiCエピタキシャル層、109・・・（エピタキシャル層の）表面、11
0・・・活性領域、111・・・トランジスタ周辺領域、112・・・ゲー
トトレンチ、117・・・ソース領域、118・・・ボディ領域、119・・・
・ドリフト領域、122・・・ゲート絶縁膜、123・・・（ゲートトレ
ンチの）底面、124・・・（ゲートトレンチの）側面、125・・・ゲー
ト電極、126・・・SBDソーストレンチ、143・・・層間絶縁膜、1
52・・・ドレイン電極、161・・・MISトランジスタ、162・・・
SBDソーストレンチ、166・・・Diソーストレンチ、181・・・M

I S トランジスタ、182・・・ゲート絶縁膜、183・・・ゲート電極、
191・・・M I S トランジスタ、201・・・M I S トランジスタ、20
8・・・S i C エピタキシャル層、209・・・（エピタキシャル層の）表
面、210・・・活性領域、211・・・トランジスタ周辺領域、212・
・・・ボディ領域、213・・・ドリフト領域、214・・・ソース領域、2
15・・・ゲートトレンチ、218・・・（ゲートトレンチの）側面、21
9・・・（ゲートトレンチの）底面、222・・・ゲート絶縁膜、223・
・・・ゲート電極、224・・・ソーストレンチ、235・・・層間絶縁膜、
247・・・M I S トランジスタ、251・・・M I S トランジスタ、25
8・・・S i C エピタキシャル層、259・・・（エピタキシャル層の）表
面、260・・・活性領域、261・・・トランジスタ周辺領域、262・
・・・ボディ領域、263・・・ドリフト領域、264・・・ソース領域、2
72・・・ゲート絶縁膜、273・・・ゲート電極、274・・・ソースト
レンチ、285・・・層間絶縁膜、287・・・ソース電極、297・・・
M I S トランジスタ

請求の範囲

- [請求項1] 第1電極および第2電極と、
所定の厚さおよび不純物濃度を有する半導体からなり、前記第1電極および前記第2電極が接合され、当該第1電極と第2電極との間に電気伝導を発生させるキャリアが移動するための活性領域を有する耐圧保持層と、
前記耐圧保持層上に形成され、前記耐圧保持層に接する部分に、 SiO_2 よりも高い誘電率を有する高誘電率部を有する絶縁膜とを含む、半導体パワーデバイス。
- [請求項2] 前記絶縁膜は、前記高誘電率部としての高誘電率絶縁膜と、当該高誘電率絶縁膜上に積層され、前記高誘電率絶縁膜よりも低い誘電率を有する低誘電率絶縁膜とを含む積層構造を有する、請求項1に記載の半導体パワーデバイス。
- [請求項3] 前記高誘電率部は、前記活性領域を取り囲むデバイス外周部に接するように形成されている、請求項1または2に記載の半導体パワーデバイス。
- [請求項4] 前記高誘電率部が、 SiN 、 Al_2O_3 または AlON からなる、請求項1～3のいずれか一項に記載の半導体パワーデバイス。
- [請求項5] 前記耐圧保持層が、ワイドバンドギャップ半導体からなる、請求項1～4のいずれか一項に記載の半導体パワーデバイス。
- [請求項6] 前記ワイドバンドギャップ半導体が、 SiC 、 GaN またはダイヤモンドである、請求項5に記載の半導体パワーデバイス。
- [請求項7] 前記耐圧保持層が、化合物半導体からなる、請求項1～5のいずれか一項に記載の半導体パワーデバイス。
- [請求項8] 前記絶縁膜は、前記耐圧保持層の表面に形成されたフィールド絶縁膜を含み、
前記第1電極が、前記フィールド絶縁膜を貫通して前記耐圧保持層にショットキー接合されたショットキー電極を含み、

前記第 2 電極が、前記耐圧保持層にオーミック接合されたオーミック電極を含み、

前記フィールド絶縁膜は、前記耐圧保持層におけるショットキー接合の外周領域に接する部分に前記高誘電率部を有している、請求項 1 ～ 7 のいずれか一項に記載の半導体パワーデバイス。

[請求項 9] 前記耐圧保持層は、第 1 導電型のソース領域と、前記ソース領域に接する第 2 導電型のボディ領域と、前記ボディ領域に接する第 1 導電型のドリフト領域とを含む電界効果トランジスタ構造を前記活性領域内に有しており、

前記第 1 電極が、前記ソース領域に電氣的に接続されたソース電極を含み、

前記第 2 電極が、前記ドリフト領域に電氣的に接続されたドレイン電極を含み、

前記高誘電率部が、前記ドリフト領域に接するように形成されている、請求項 1 ～ 8 のいずれか一項に記載の半導体パワーデバイス。

[請求項 10] 前記電界効果トランジスタ構造は、前記ソース領域と前記ドリフト領域とが前記耐圧保持層の表面に垂直な縦方向に前記ボディ領域を介して離間して配置された、縦型トランジスタ構造を含み、

前記縦型トランジスタ構造は、前記耐圧保持層の表面から前記ソース領域および前記ボディ領域を貫通して前記ドリフト領域に達するソーストレンチを含み、

前記ソース電極は、前記ソーストレンチ内において前記ソース領域、前記ボディ領域および前記ドリフト領域に接している、請求項 9 に記載の半導体パワーデバイス。

[請求項 11] 前記電界効果トランジスタ構造は、前記ソース領域、前記ボディ領域および前記ドリフト領域に跨るように形成されたゲートトレンチを含むトレンチゲート構造を有し、

前記ゲートトレンチ内には、前記ボディ領域に対向するゲート電極

が形成されており、

前記絶縁膜は、前記ゲート電極と前記ゲートトレンチの内面との間に介在されたゲート絶縁膜を含み、当該ゲート絶縁膜における前記ゲートトレンチの底面および／または前記ゲートトレンチの角部に接する部分に前記高誘電率部を有している、請求項 9 または 10 に記載の半導体パワーデバイス。

[請求項12] 前記ゲート絶縁膜は、前記ゲートトレンチの底面および／または前記ゲートトレンチの角部に接する部分に形成された前記高誘電率部としての高誘電率ゲート絶縁膜と、当該高誘電率ゲート絶縁膜上に積層され、前記高誘電率ゲート絶縁膜よりも低い誘電率を有する低誘電率ゲート絶縁膜とを含む積層構造を有する、請求項 11 に記載の半導体パワーデバイス。

[請求項13] 前記耐圧保持層は、SiC からなり、
前記ゲート絶縁膜は、 Al_2O_3 からなる、請求項 11 または 12 に記載の半導体パワーデバイス。

[請求項14] 前記ゲート絶縁膜は、前記ゲートトレンチの側面における前記ボディ領域に接する部分に形成された SiO_2 膜を含む、請求項 11 または 12 に記載の半導体パワーデバイス。

[請求項15] 前記ゲート絶縁膜は、前記 SiO_2 膜上に積層され、 SiO_2 よりも高い誘電率を有する絶縁膜を含む、請求項 14 に記載の半導体パワーデバイス。

[請求項16] 前記耐圧保持層は、その表面に Si（シリコン）面を有する SiC からなり、

前記ゲートトレンチは、SiC からなる前記耐圧保持層の Si 面から前記耐圧保持層の内側へ向かって形成されている、請求項 14 または 15 に記載の半導体パワーデバイス。

[請求項17] 前記高誘電率部が、前記ゲート絶縁膜における前記ゲートトレンチの底面および／または前記ゲートトレンチの角部のみに形成されてい

る、請求項 14～16 のいずれか一項に記載の半導体パワーデバイス。

[請求項18] 前記電界効果トランジスタ構造は、前記耐压保持層の表面に形成されたゲート絶縁膜を介してゲート電極が前記ボディ領域に対向するプレーナゲート構造を有し、

前記絶縁膜は、前記ゲート電極を覆うように前記耐压保持層上に形成された層間絶縁膜を含み、当該層間絶縁膜は、前記プレーナゲート構造を取り囲むトランジスタ周辺部に接する部分に前記高誘電率部を有している、請求項9または10に記載の半導体パワーデバイス。

[請求項19] SiCからなる半導体層と、この半導体層に形成され、第1導電型のソース領域と、前記ソース領域に接する第2導電型のボディ領域と、前記ボディ領域に接する第1導電型のドリフト領域と、前記ソース領域、前記ボディ領域および前記ドリフト領域に跨るように形成されたゲートトレンチと、前記ゲートトレンチの内面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記ボディ領域に対向するゲート電極とを含むトレンチゲート型トランジスタ構造を有する半導体パワーデバイスの製造方法であって、

前記半導体層のSi（シリコン）面からその内側へ向かって前記ゲートトレンチを形成する工程と、

前記ゲートトレンチの内面にSiO₂からなる第1絶縁膜を形成する工程と、

前記第1絶縁膜における前記ゲートトレンチの底面上の部分を除去する工程と、

前記第1絶縁膜の除去により露出した前記ゲートトレンチの前記底面を覆うように、SiO₂よりも高い誘電率を有する第2絶縁膜を形成する工程とを含む、半導体パワーデバイスの製造方法。

[請求項20] 前記第1絶縁膜を形成する工程が、熱酸化法により前記第1絶縁膜を形成する工程であり、

前記第 2 絶縁膜を形成する工程が、C V D 法により前記第 2 絶縁膜を形成する工程である、請求項 1 9 に記載の半導体パワーデバイスの製造方法。

图 3A

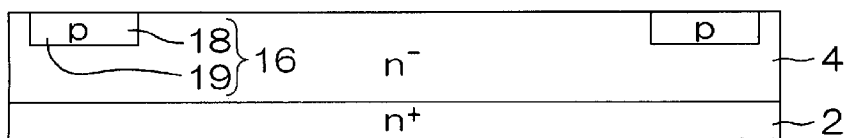


図3B

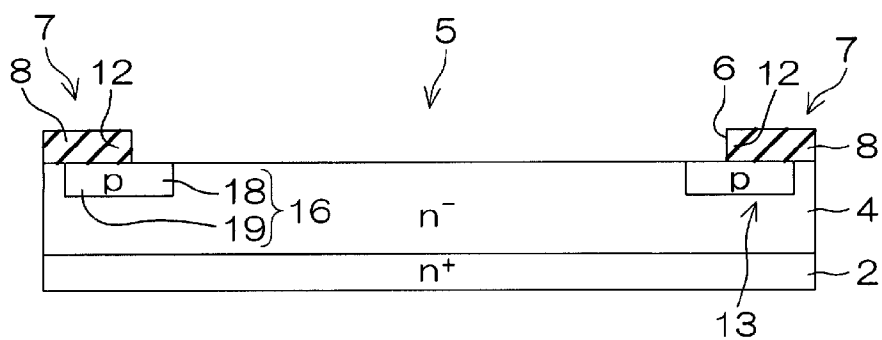
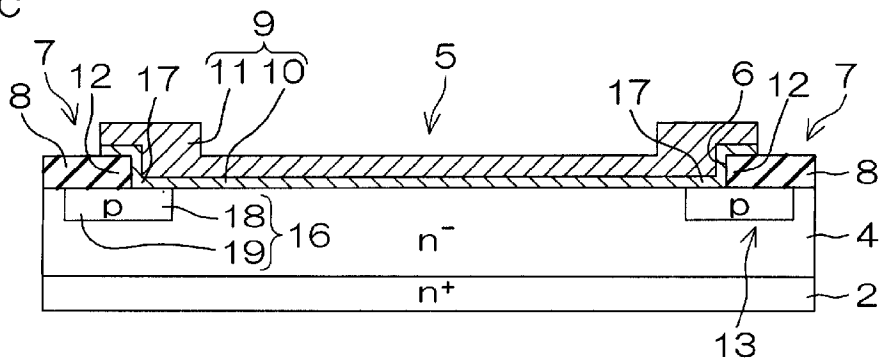
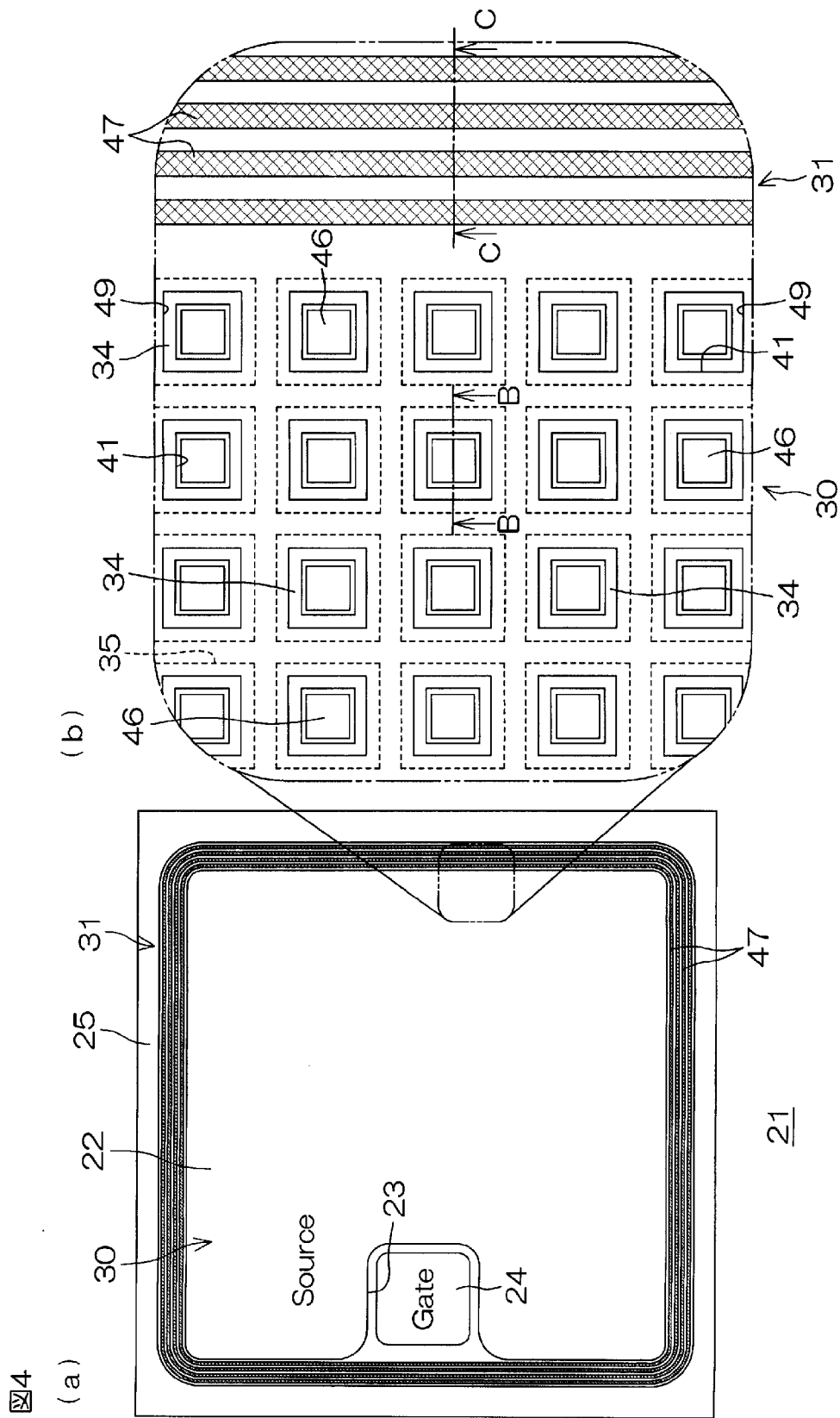


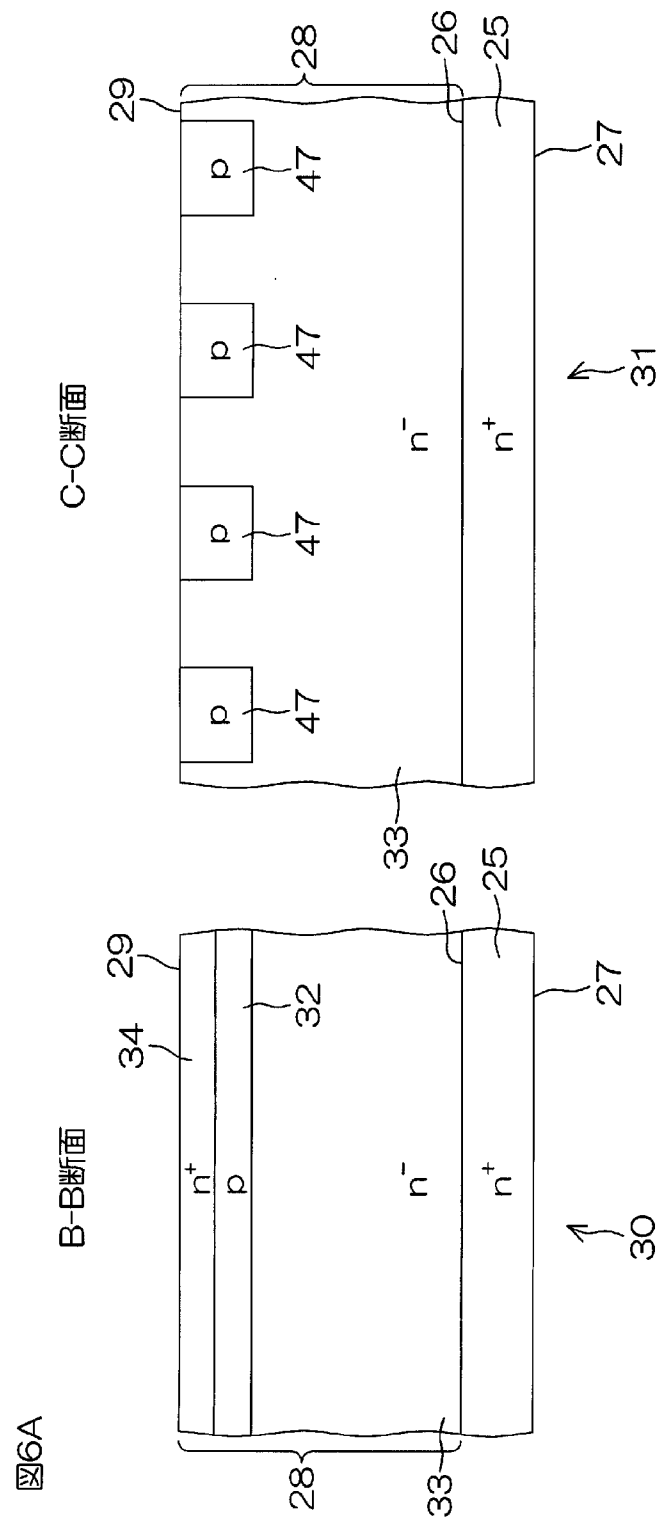
图 3C



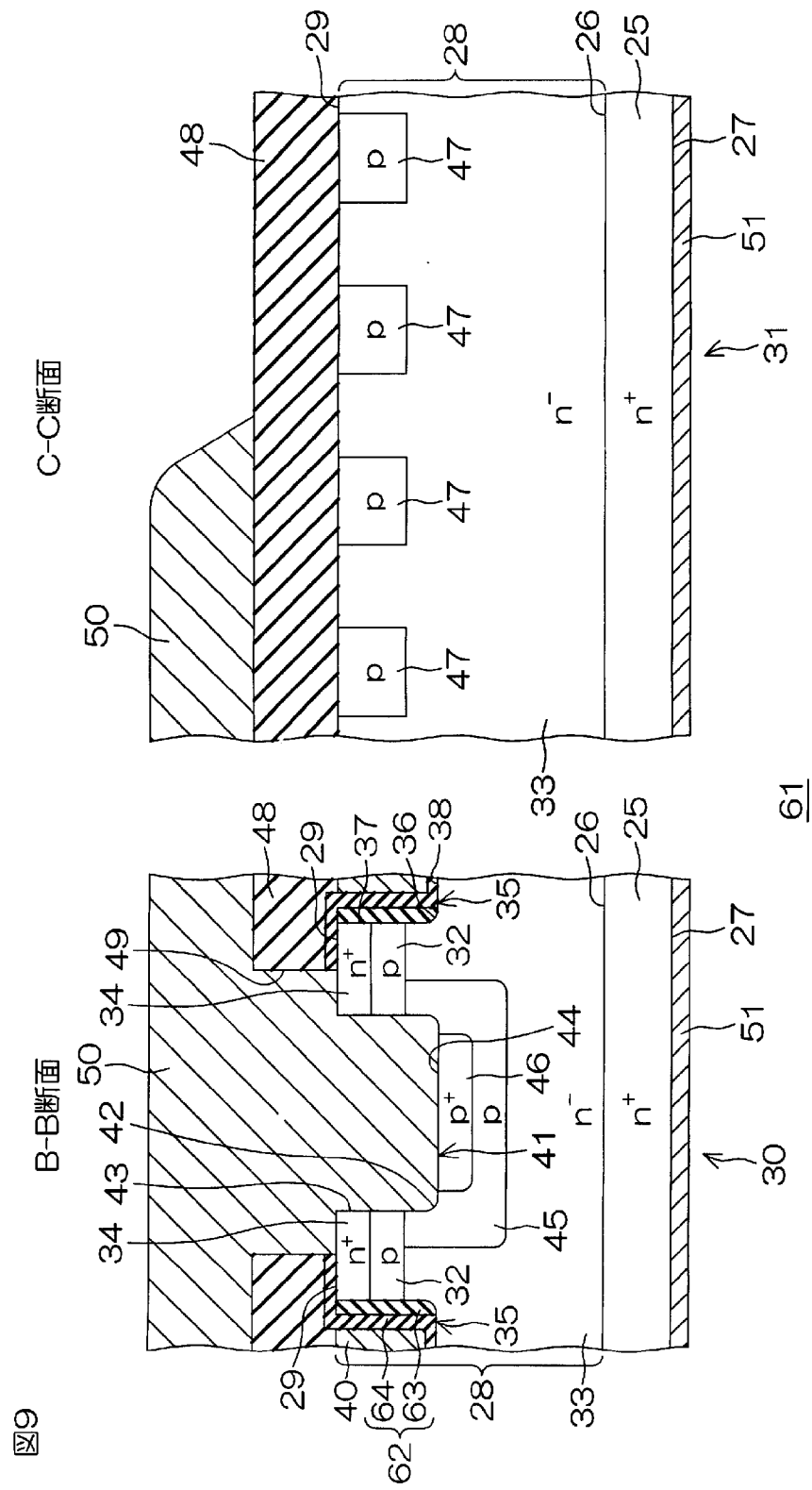
[図4]



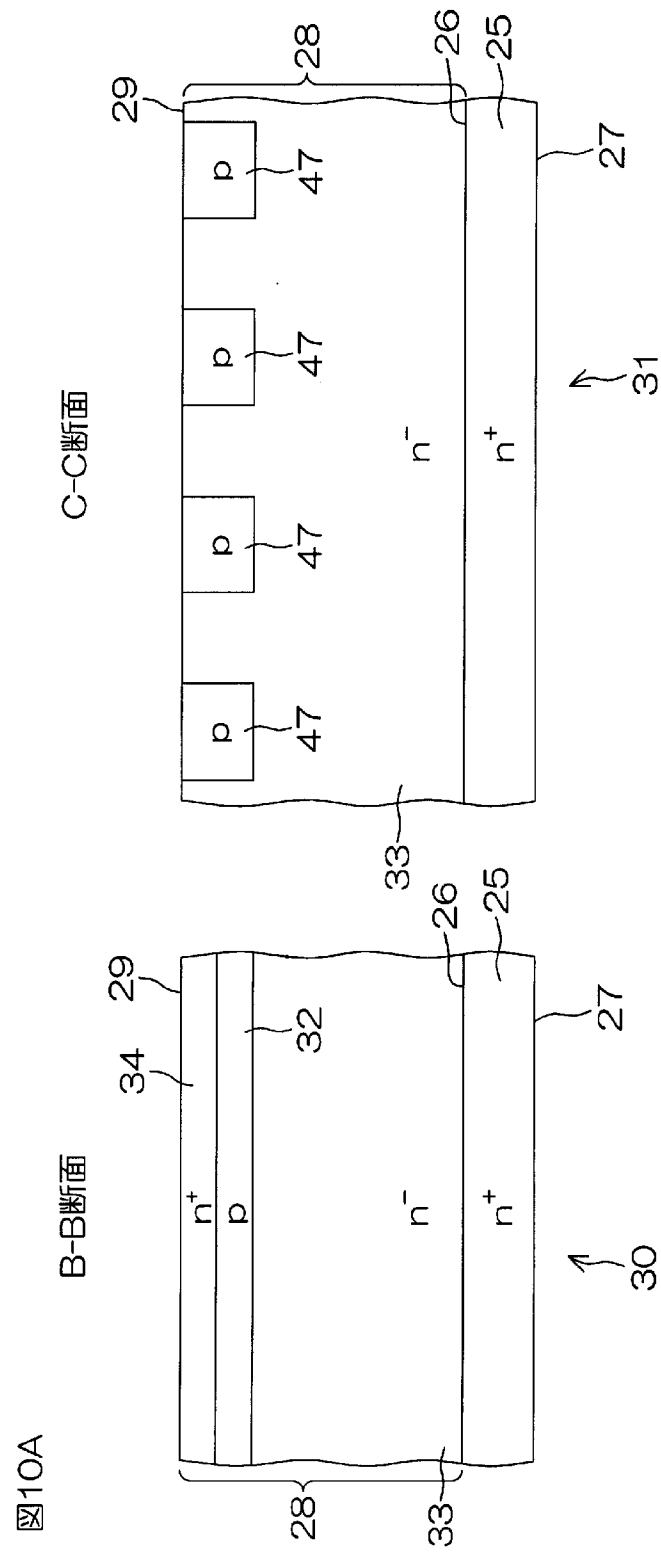
[図6A]



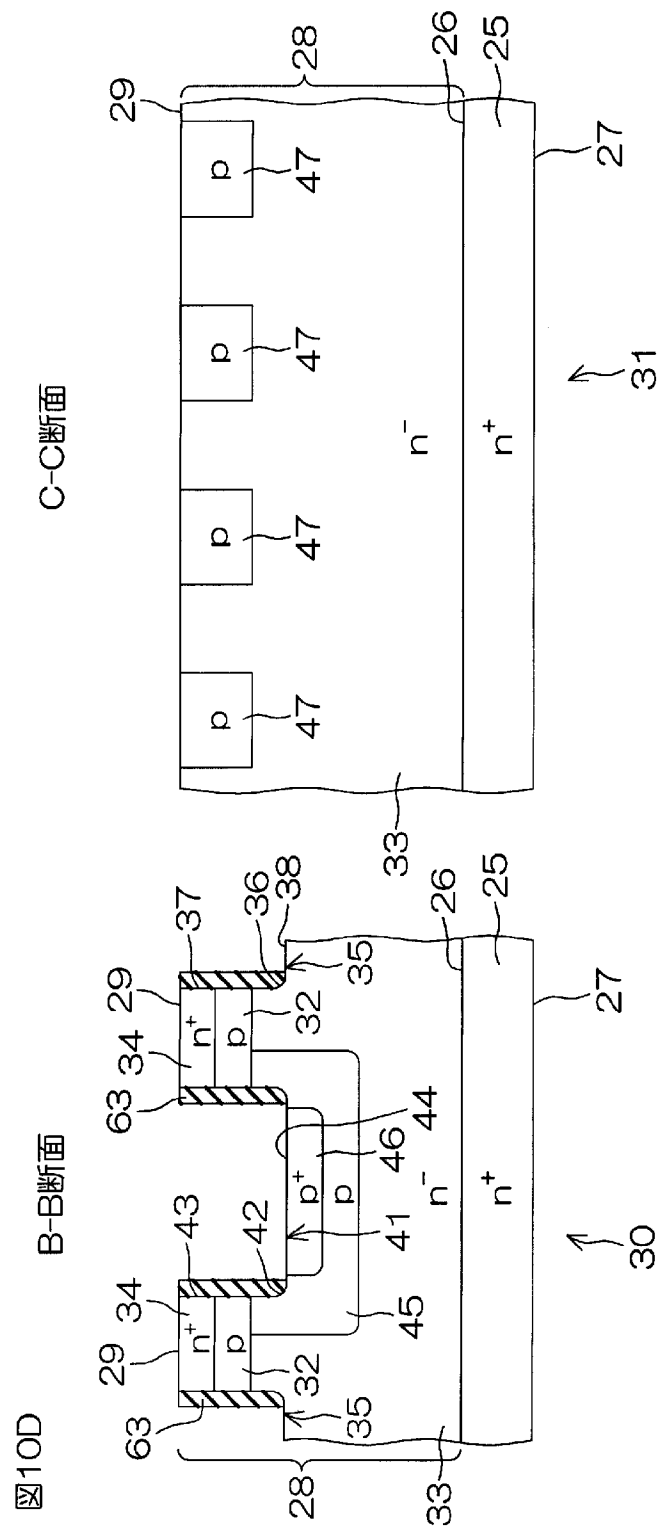
[図9]



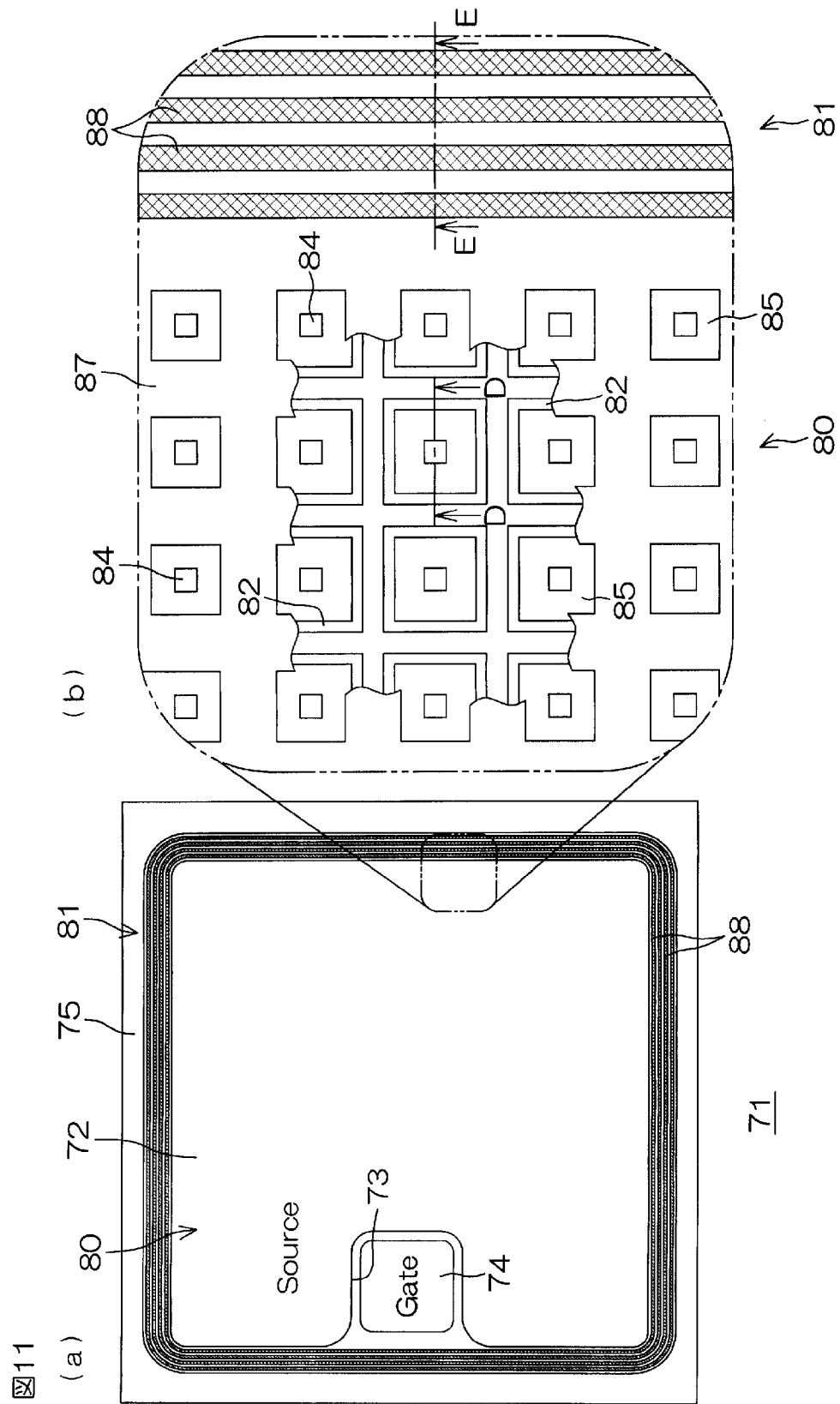
[図10A]



[図10D]



[図11]

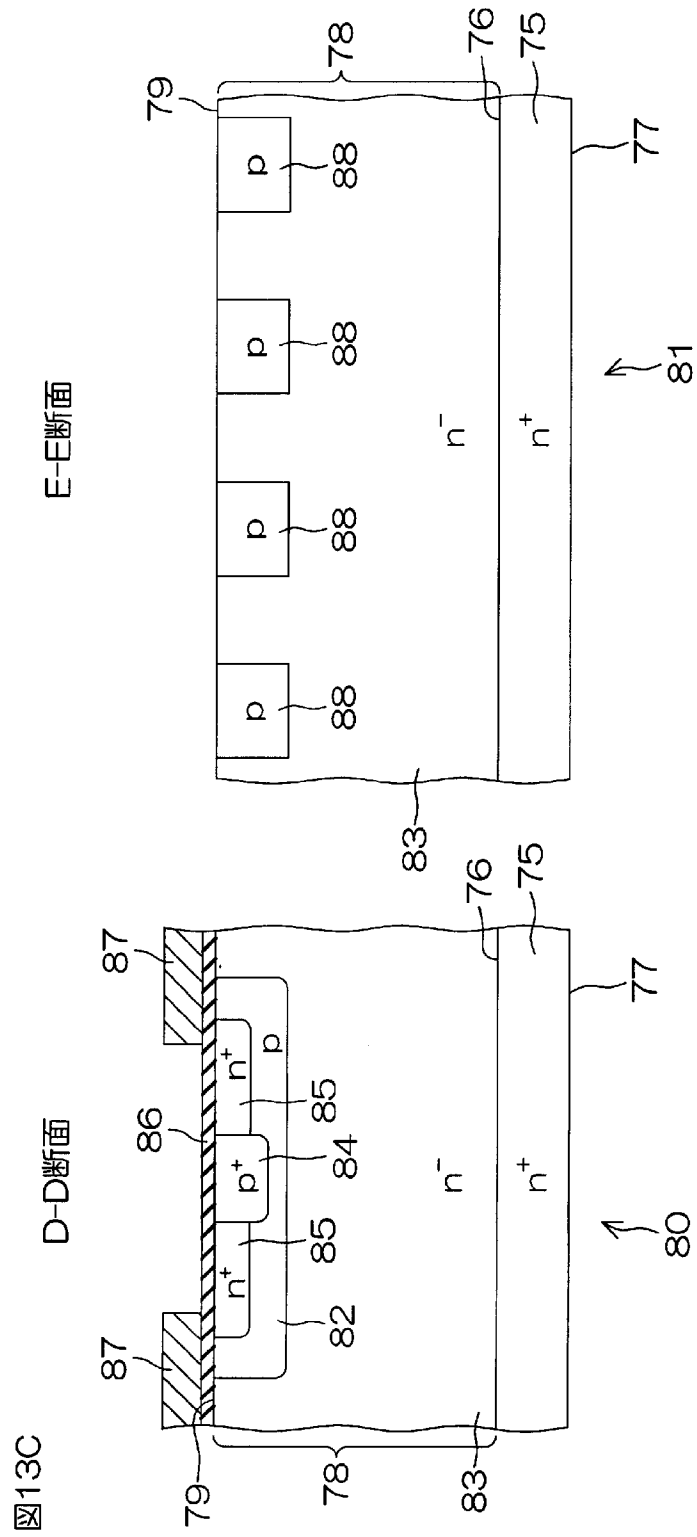


13A

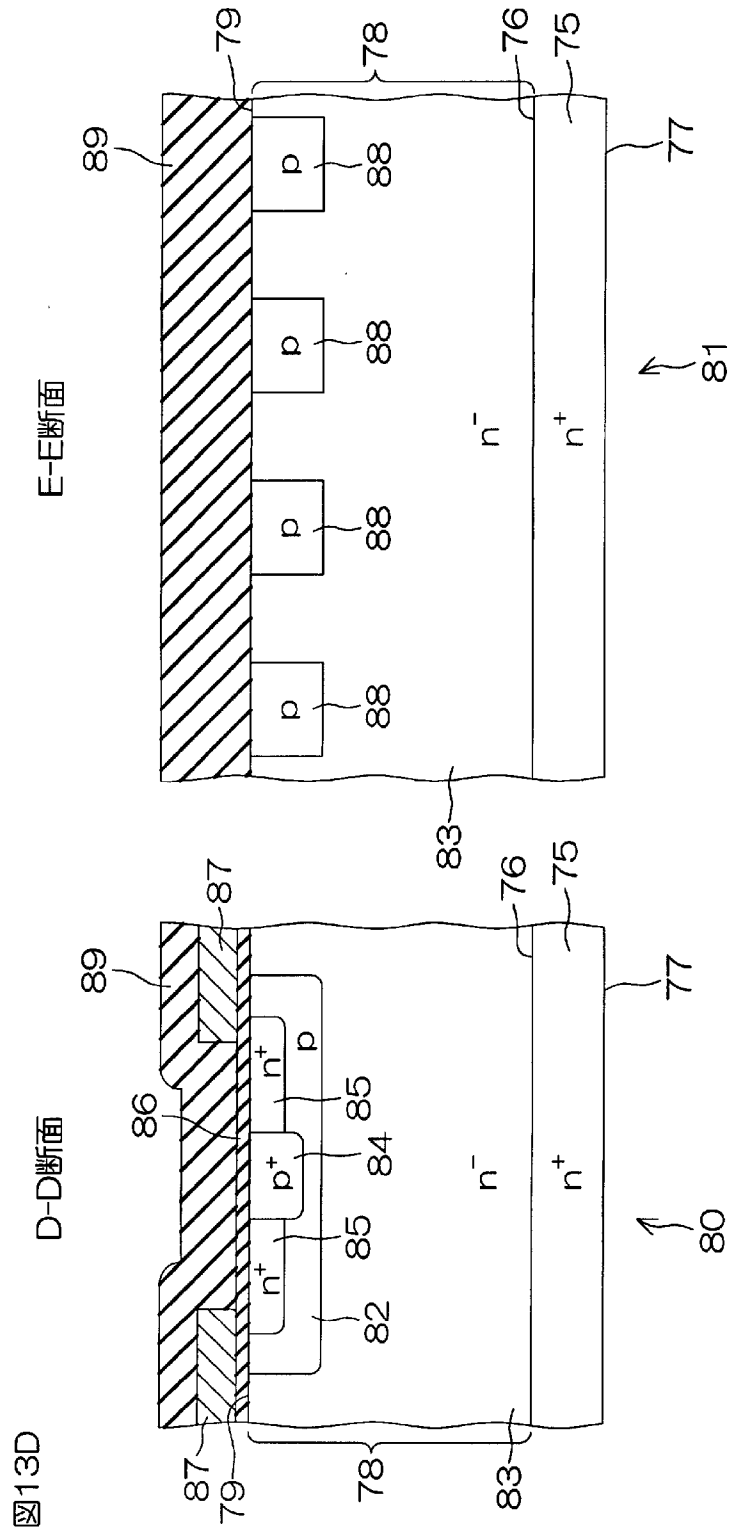


D-D断面

[図13C]



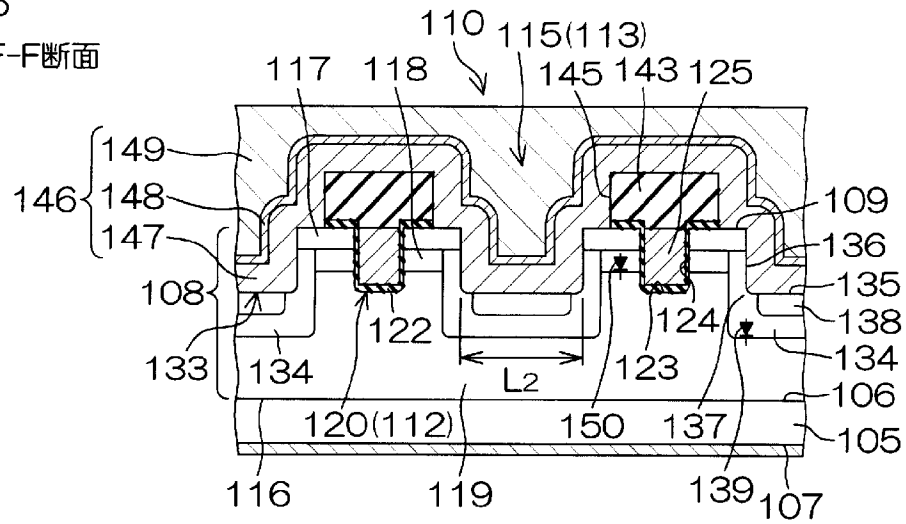
[図13D]



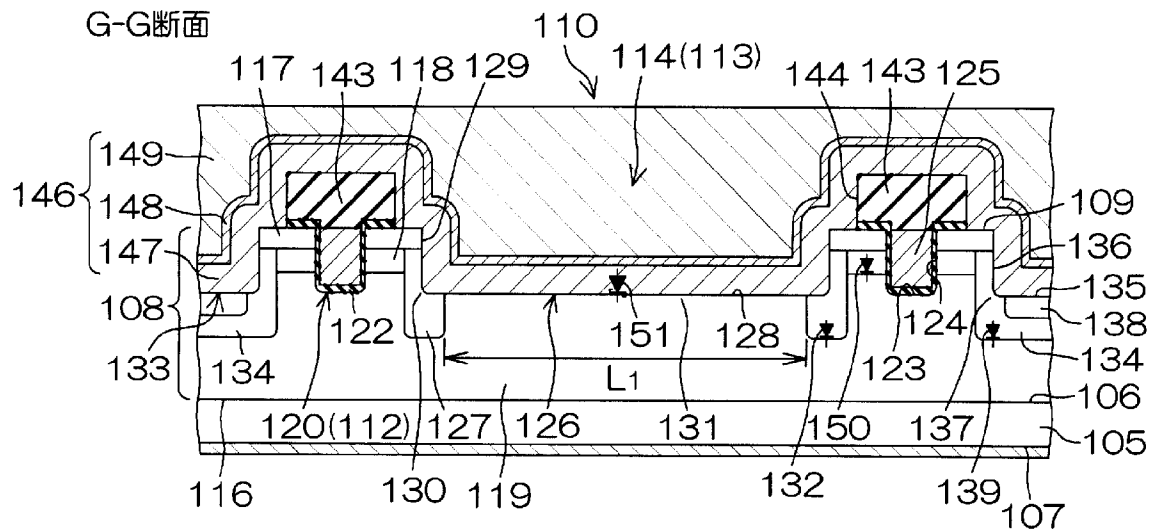
[図15]

図15

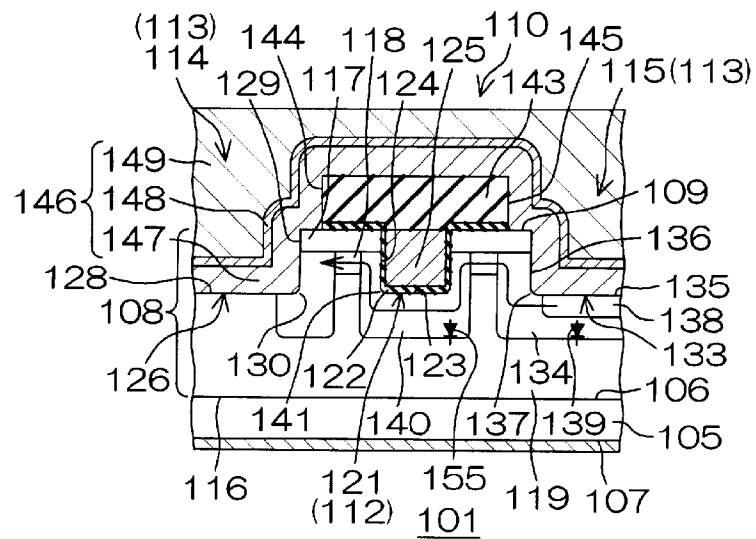
F-F断面



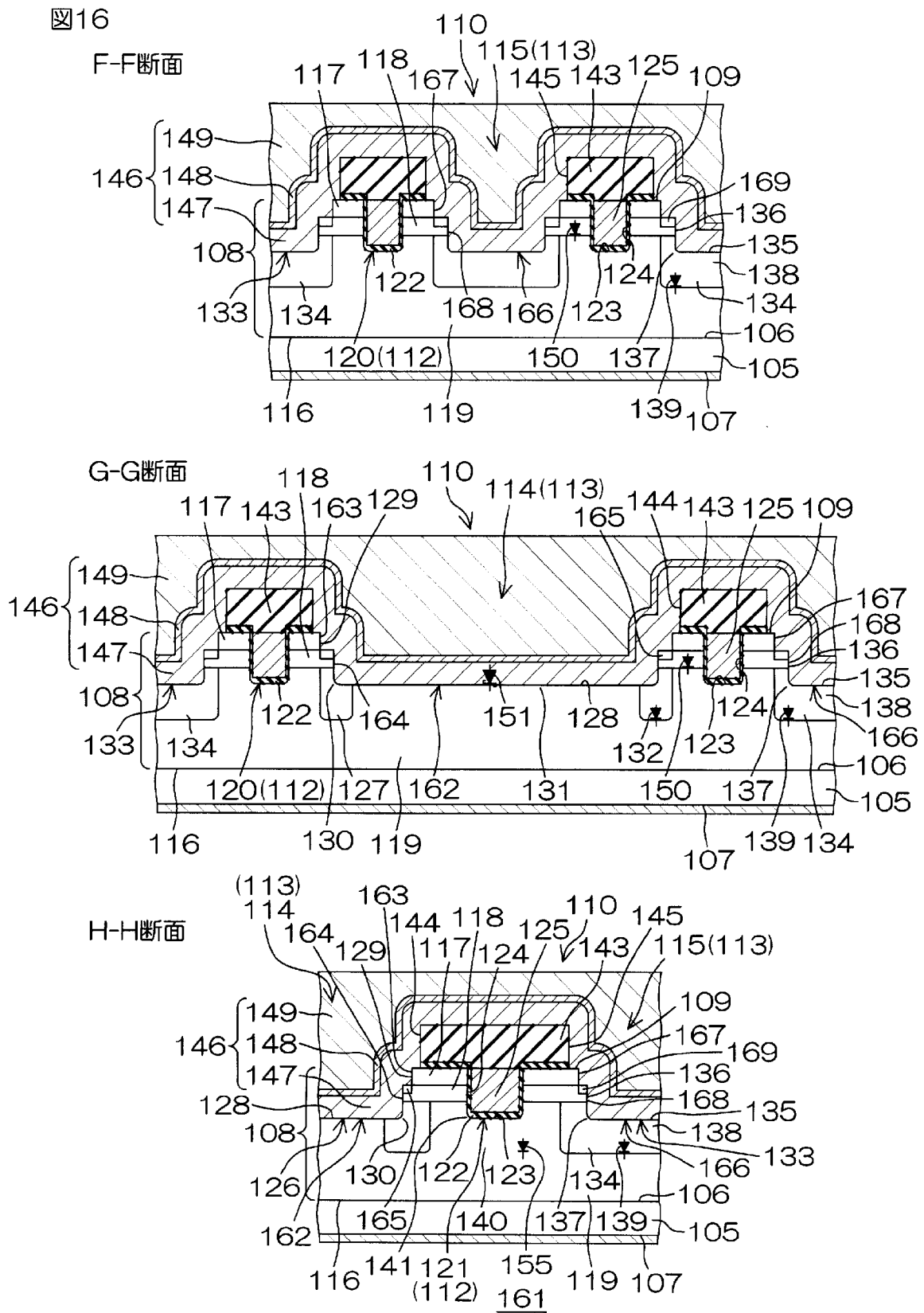
G-G断面



H-H断面



[図16]



[図17]

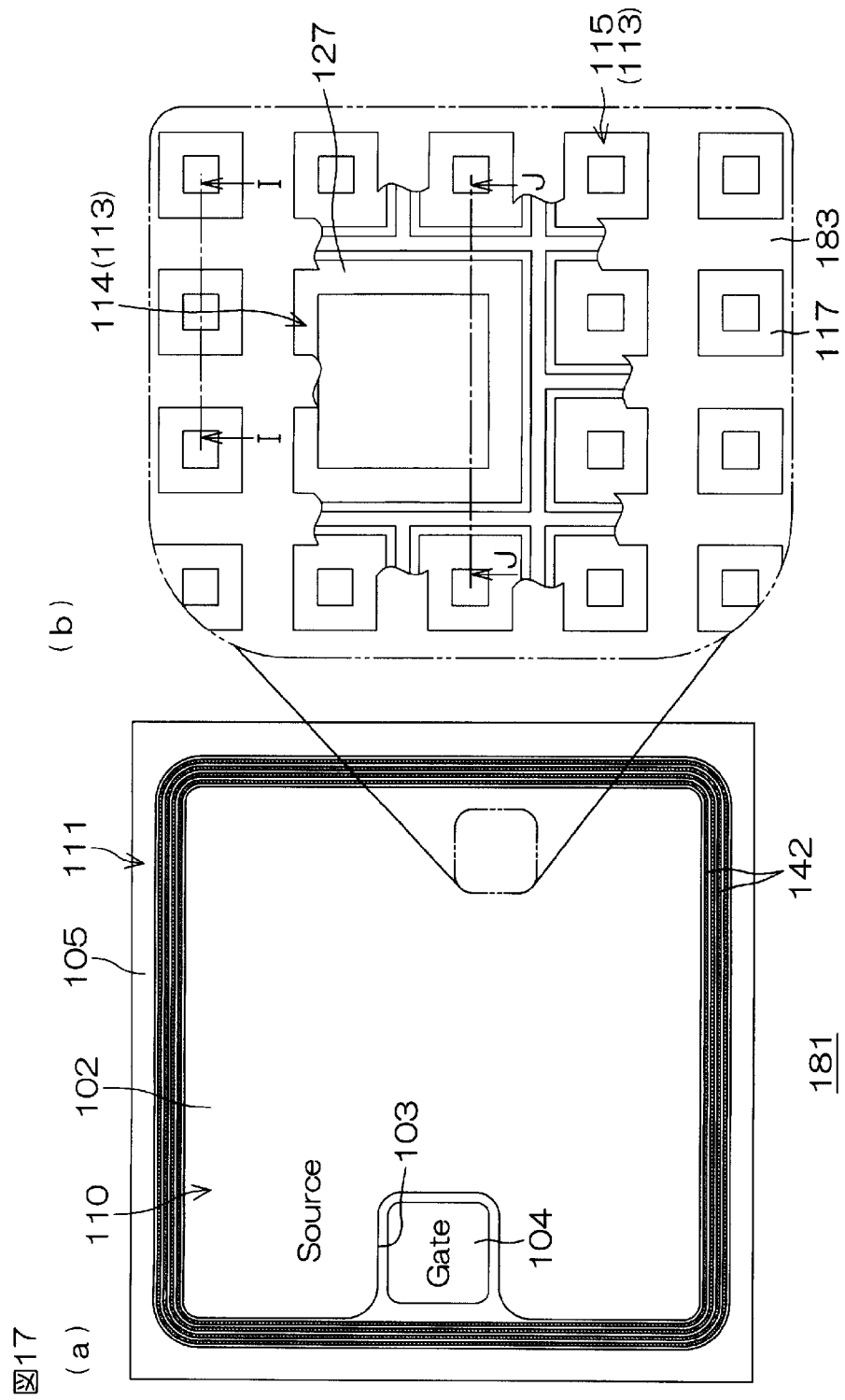


图18

[図19]

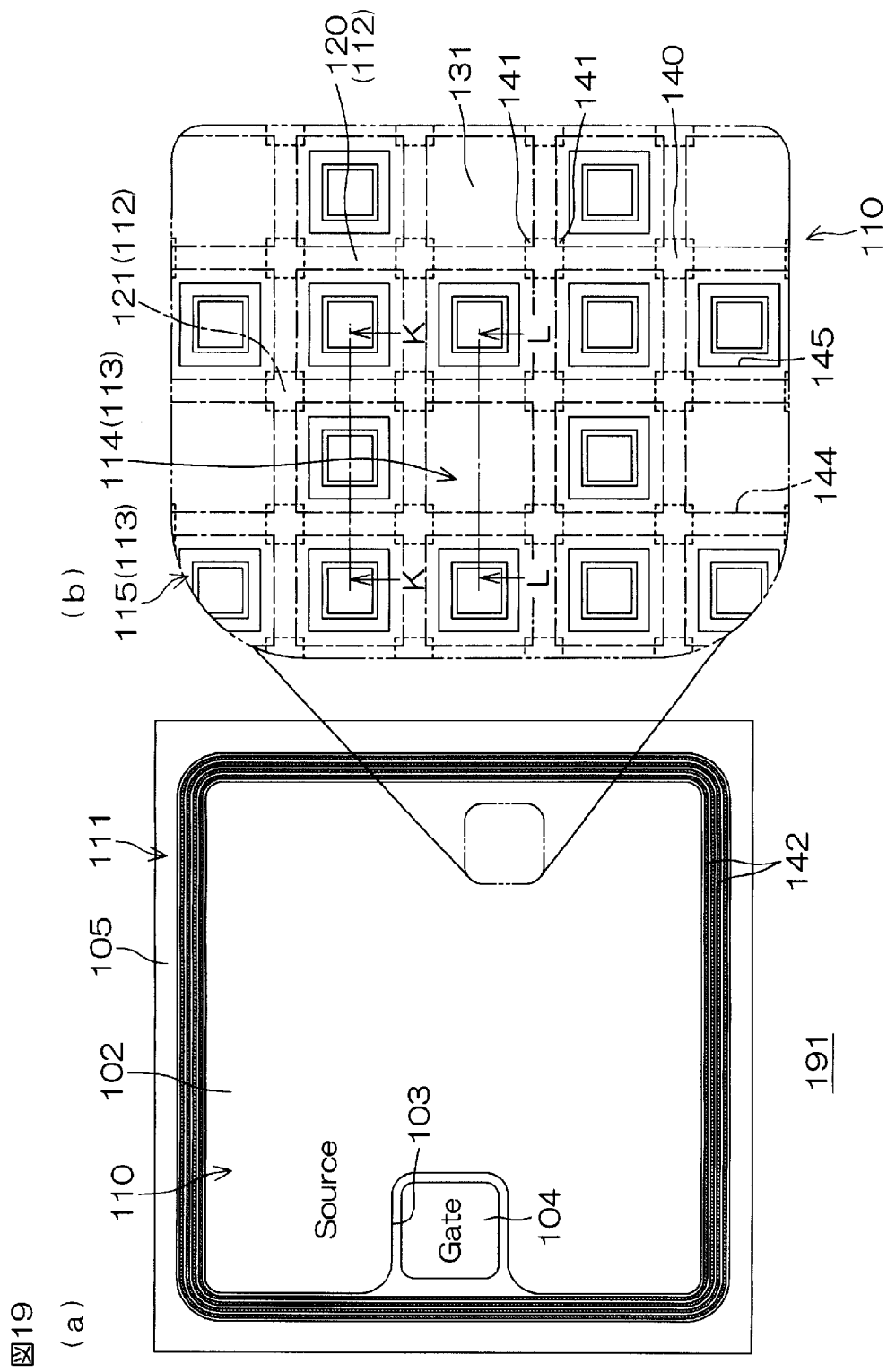
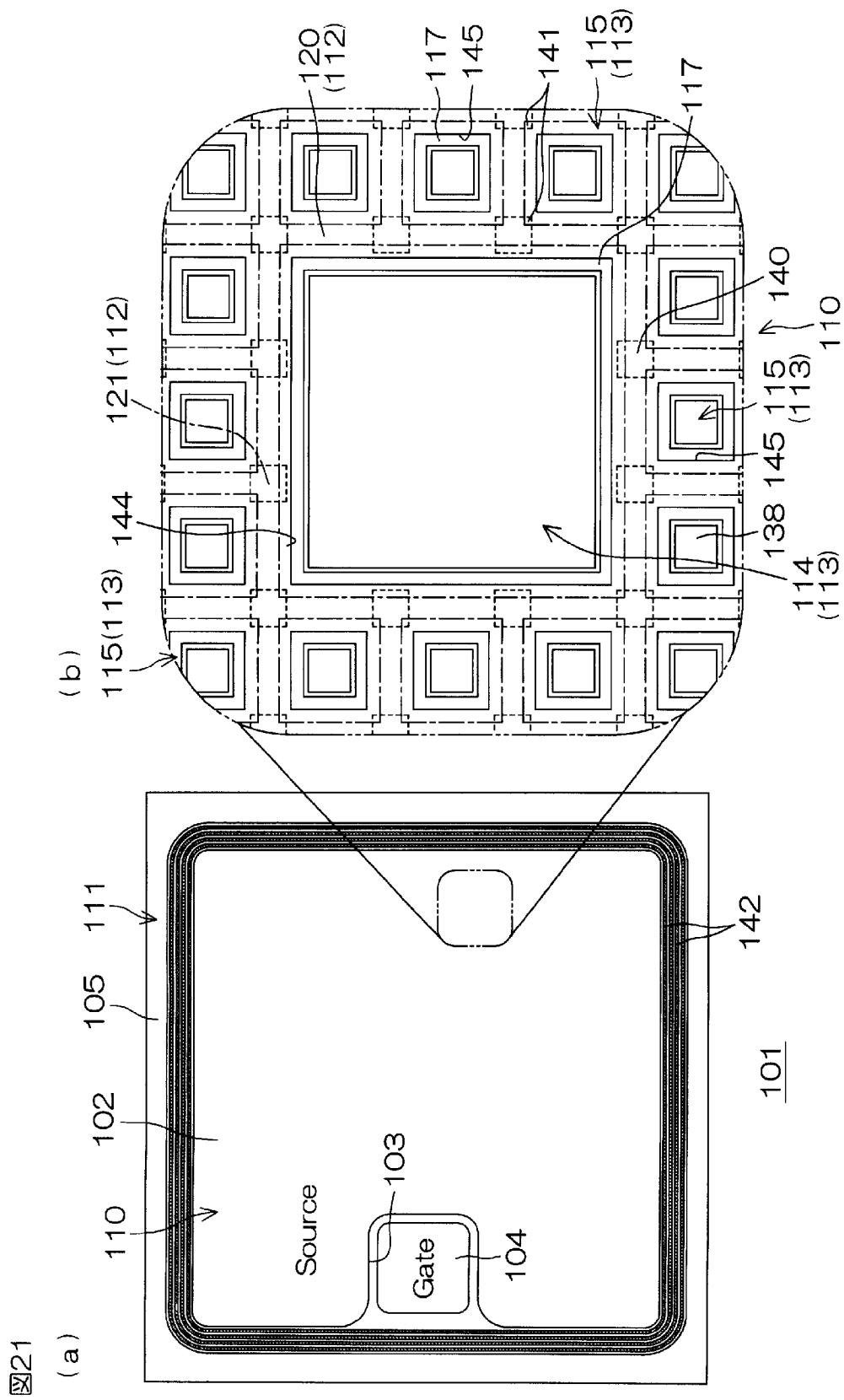
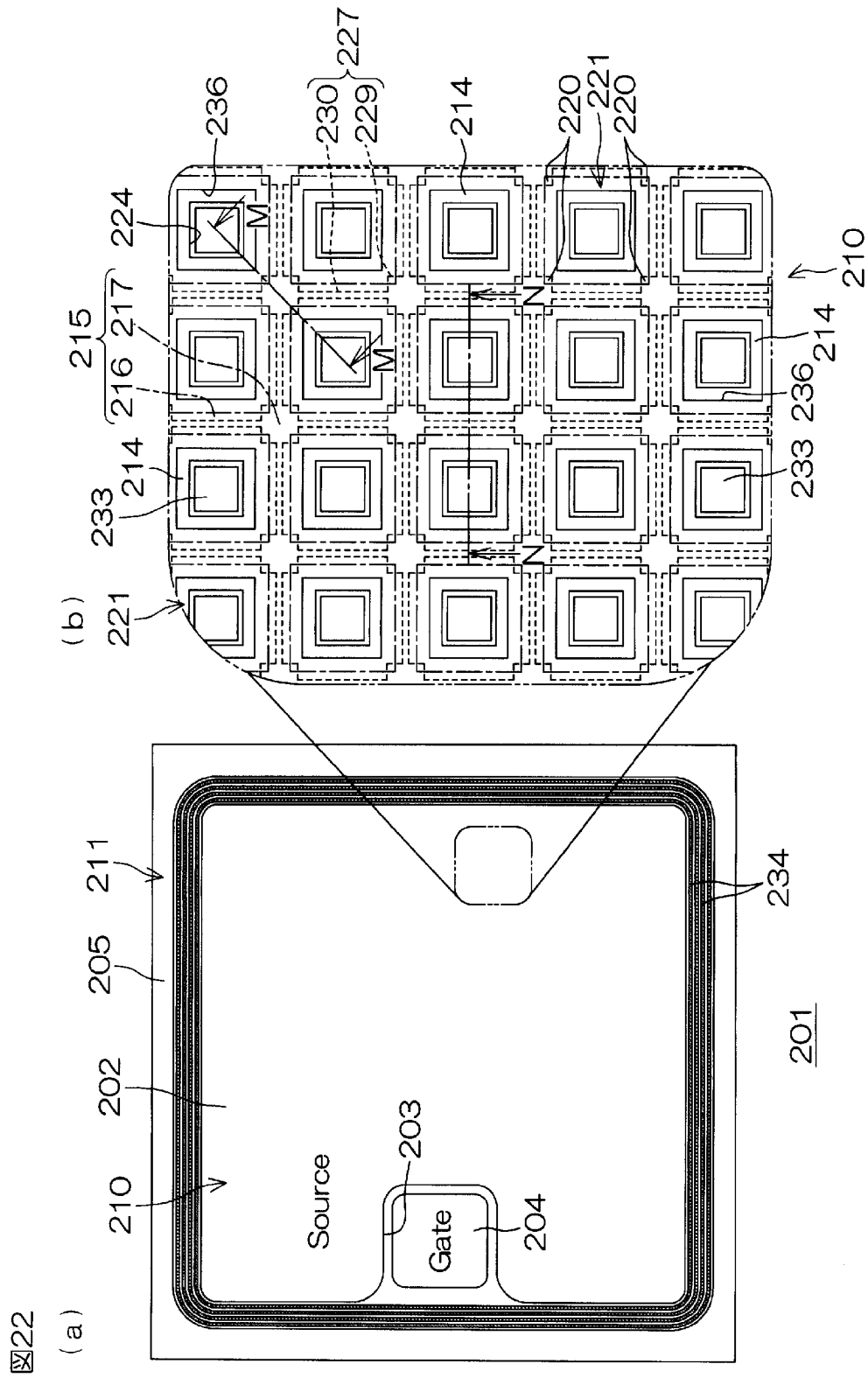


图20

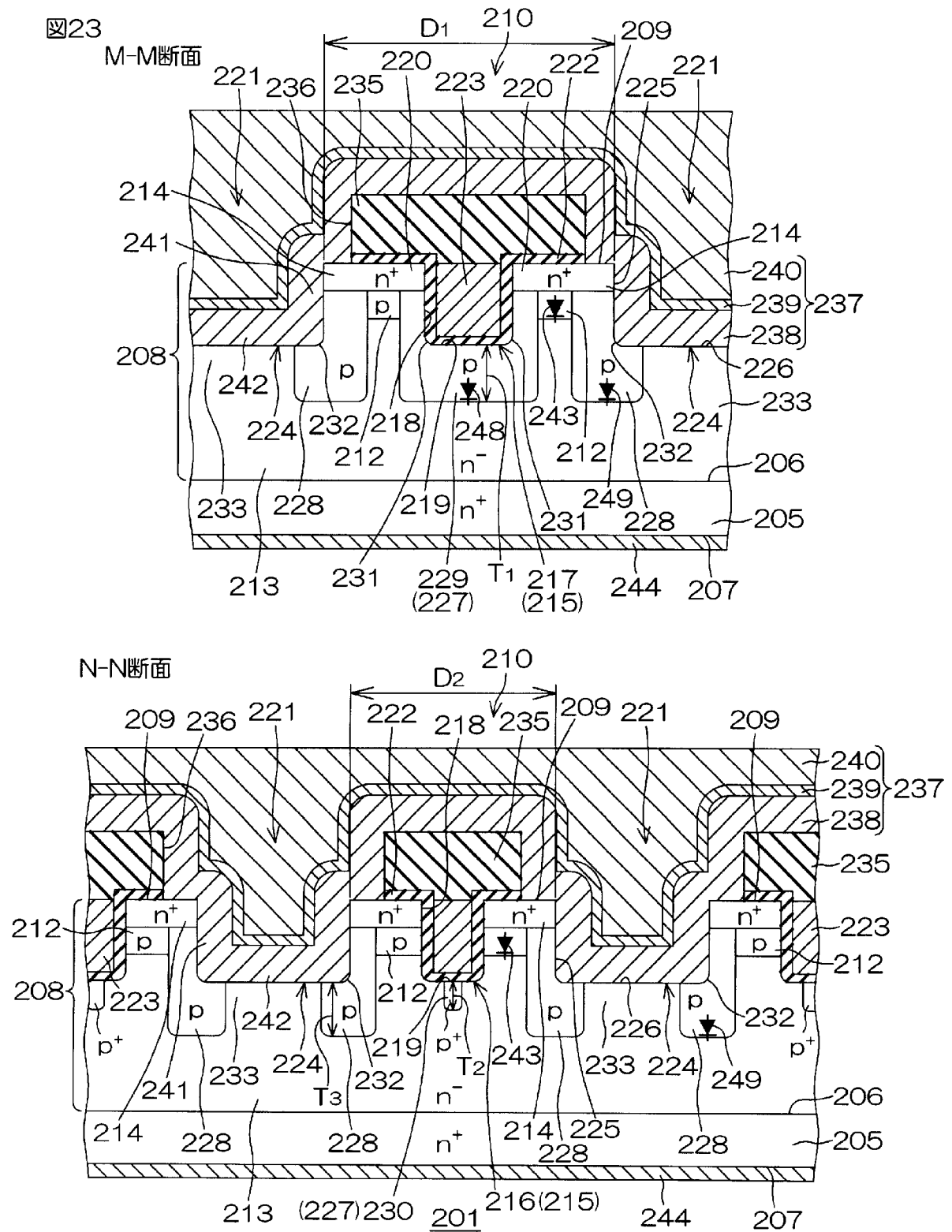
[図21]



[図22]



[図23]



[図24]

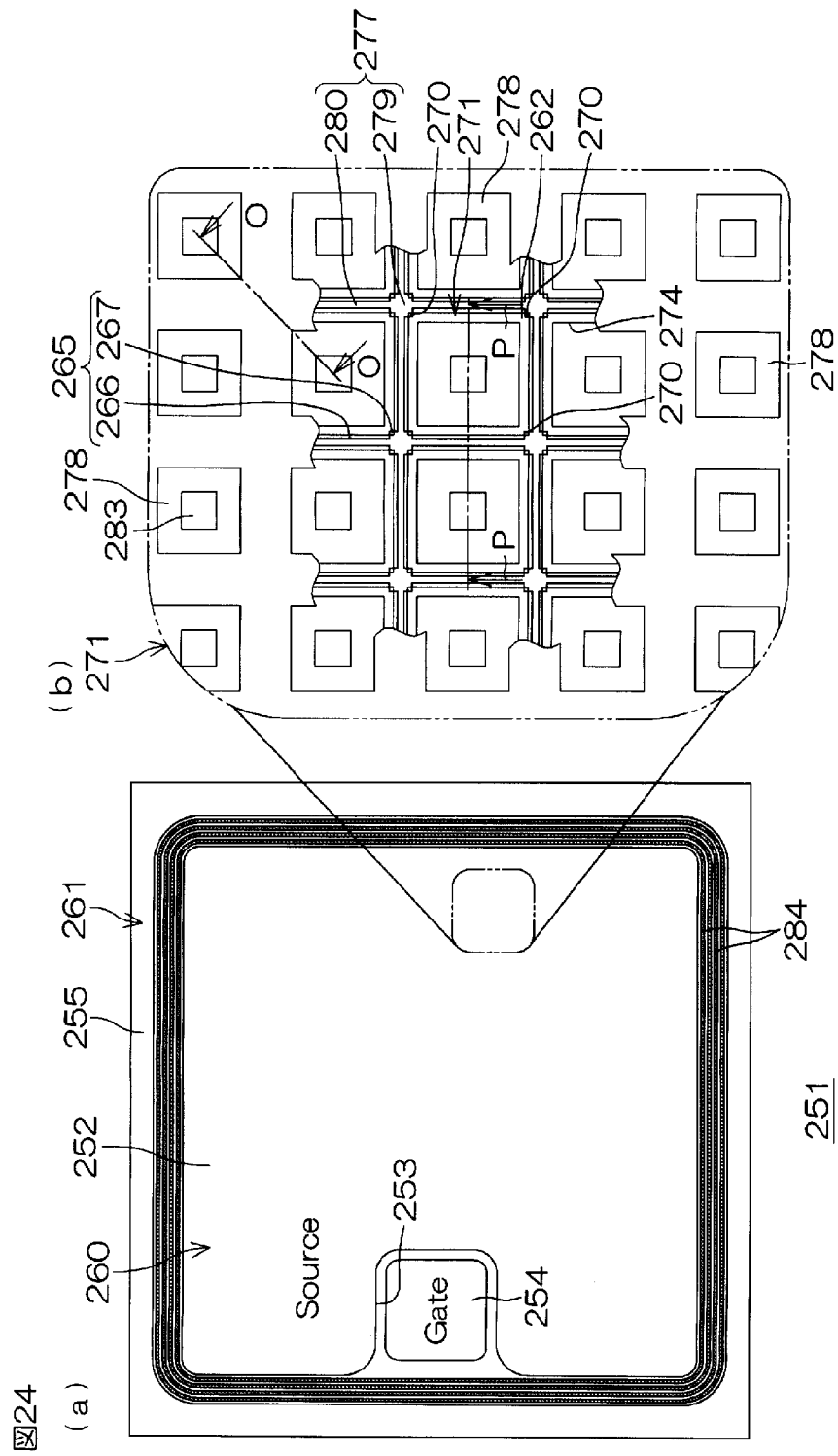


图25

[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052290

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/47(2006.01)i, H01L21/283(2006.01)i, H01L21/336(2006.01)i,
H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/423(2006.01)i, H01L29/49
(2006.01)i, H01L29/78(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/47, H01L21/283, H01L21/336, H01L29/06, H01L29/12, H01L29/423,
H01L29/49, H01L29/78, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 62-291121 A (NEC Corp.), 17 December 1987 (17.12.1987), entire text; fig. 1 to 3 (Family: none)	1-4 1-18 19-20
X Y A	JP 2009-54640 A (National Institute of Advanced Industrial Science and Technology), 12 March 2009 (12.03.2009), entire text; fig. 1 to 3 & US 2009/0050899 A1	1, 3-6, 8 1-18 19-20
X Y A	JP 2009-59912 A (Sumitomo Electric Industries, Ltd.), 19 March 2009 (19.03.2009), entire text; fig. 1 to 14 (Family: none)	1, 3-8 1-18 19-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 February, 2012 (29.02.12)

Date of mailing of the international search report
13 March, 2012 (13.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052290

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 11-297995 A (Hitachi, Ltd.), 29 October 1999 (29.10.1999), entire text; fig. 17 (Family: none)	1, 3, 5-7 1-18 19-20
X Y A	JP 2000-106428 A (Toshiba Corp.), 11 April 2000 (11.04.2000), entire text; fig. 1 to 2 (Family: none)	1-2, 4-7, 9, 13 1-2, 4-7, 9-18 19-20
X Y A	JP 4-188877 A (Yokogawa Electric Corp.), 07 July 1992 (07.07.1992), entire text; fig. 1 to 8 (Family: none)	1, 4, 9, 11-12, 14-15, 17 1-2, 4-7, 9-18 19-20
X Y A	JP 2009-16530 A (Mitsubishi Electric Corp.), 22 January 2009 (22.01.2009), entire text; fig. 1 to 5 (Family: none)	1, 4-7, 9, 11, 13-15 1-2, 4-7, 9-18 19-20
X Y A	JP 2009-224365 A (Rohm Co., Ltd.), 01 October 2009 (01.10.2009), entire text; fig. 1 to 6 (Family: none)	1, 4-7, 9, 11, 13-17 1-2, 4-7, 9-18 19-20
Y A	JP 2005-285913 A (Sanyo Electric Co., Ltd.), 13 October 2005 (13.10.2005), entire text; fig. 1 to 15 & US 2005/0218472 A1 & KR 10-0697149 B1 & CN 1677687 A & TW 278999 B	10-18 19-20
Y A	JP 2008-226879 A (Tokyo Electron Ltd.), 25 September 2008 (25.09.2008), entire text; fig. 1 to 5 & US 2008/0216957 A1	18 19-20

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/47(2006.01)i, H01L21/283(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i,
H01L29/12(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i,
H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/47, H01L21/283, H01L21/336, H01L29/06, H01L29/12, H01L29/423, H01L29/49, H01L29/78, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 62-291121 A（日本電気株式会社）1987.12.17, 全文, 第1 - 3 図（ファミリーなし）	1-4 1-18 19-20
X Y A	JP 2009-54640 A（独立行政法人産業技術総合研究所）2009.03.12, 全文, 図1 - 3 & US 2009/0050899 A1	1, 3-6, 8 1-18 19-20

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 2 . 2 0 1 2

国際調査報告の発送日

1 3 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安田 雅彦

4 M

9 4 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2009-59912 A (住友電気工業株式会社) 2009.03.19, 全文, 図1 － 1 4 (ファミリーなし)	1, 3-8 1-18 19-20
X Y A	JP 11-297995 A (株式会社日立製作所) 1999.10.29, 全文, 図1 7 (ファミリーなし)	1, 3, 5-7 1-18 19-20
X Y A	JP 2000-106428 A (株式会社東芝) 2000.04.11, 全文, 図1－2 (フ ァミリーなし)	1-2, 4-7, 9, 13 1-2, 4-7, 9-18 19-20
X Y A	JP 4-188877 A (横河電気株式会社) 1992.07.07, 全文, 第1－8図 (ファミリーなし)	1, 4, 9, 11-12, 14-15, 17 1-2, 4-7, 9-18 19-20
X Y A	JP 2009-16530 A (三菱電機株式会社) 2009.01.22, 全文, 図1－5 (ファミリーなし)	1, 4-7, 9, 11, 13-15 1-2, 4-7, 9-18 19-20
X Y A	JP 2009-224365 A (ローム株式会社) 2009.10.01, 全文, 図1－6 (ファミリーなし)	1, 4-7, 9, 11, 13-17 1-2, 4-7, 9-18 19-20
Y A	JP 2005-285913 A (三洋電機株式会社) 2005.10.13, 全文, 図1－ 1 5 & US 2005/0218472 A1 & KR 10-0697149 B1 & CN 1677687 A & TW 278999 B	10-18 19-20
Y A	JP 2008-226879 A (東京エレクトロン株式会社) 2008.09.25, 全文, 図1－5 & US 2008/0216957 A1	18 19-20