

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-203964
(P2012-203964A)

(43) 公開日 平成24年10月22日 (2012. 10. 22)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/15 (2006.01)	G 1 1 C 11/15 1 1 0	4 M 1 1 9
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 7	5 F O 9 2
H O 1 L 21/8246 (2006.01)	H O 1 L 43/08 Z	
H O 1 L 43/08 (2006.01)	H O 1 L 29/82 Z	
H O 1 L 29/82 (2006.01)	G 1 1 C 11/15 1 3 0	

審査請求 未請求 請求項の数 10 O L (全 26 頁)

(21) 出願番号 特願2011-68661 (P2011-68661)
(22) 出願日 平成23年3月25日 (2011. 3. 25)

(特許庁注：以下のものは登録商標)

1. RRAM

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100117787
弁理士 勝沼 宏仁
(74) 代理人 100082991
弁理士 佐藤 泰和
(74) 代理人 100103263
弁理士 川崎 康
(74) 代理人 100107582
弁理士 関根 毅
(74) 代理人 100118843
弁理士 赤岡 明

最終頁に続く

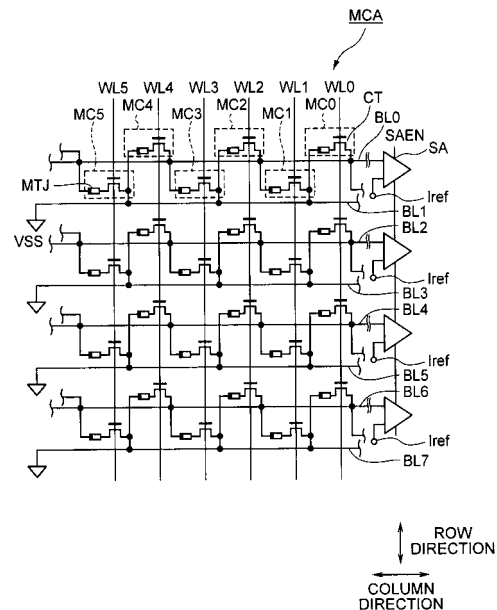
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 記憶素子の配置を均等にし、微細化および大容量化を実現可能な半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、複数のビット線と、複数のワード線と、互いに隣接する2本の前記ビット線間に直列に接続された記憶素子およびセルトランジスタを含む複数のメモリセルとを備える。2本のビット線間に接続された複数のメモリセルのそれぞれのセルトランジスタのゲートは、互いに異なるワード線に接続されている。互いに隣接する複数のメモリセルの複数の前記記憶素子および複数のセルトランジスタは、交互に直列に接続される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体基板と、

前記半導体基板の上部および上方に設けられ、データを記憶する記憶素子およびセルトランジスタを含む複数のメモリセルと、

前記メモリセルごとにそれぞれ素子分離され、前記半導体基板上において第 1 の方向に配列された複数のアクティブエリアであって、前記第 1 の方向とほぼ直交する第 2 の方向に隣接する前記アクティブエリアの配列間において、前記第 1 の方向に半ピッチずつずれて配置されている複数のアクティブエリアと、

前記メモリセルの第 1 のメモリセルの前記記憶素子の一端を、該第 1 のメモリセルに対して前記第 2 の方向に隣接する第 2 のメモリセルの前記セルトランジスタとビット線とに接続する複数の上部電極とを備えた半導体記憶装置。

10

【請求項 2】

前記複数のアクティブエリアは、それぞれ前記第 1 の方向に延伸した形状を有し、

前記複数の上部電極は、それぞれ前記第 2 の方向に延伸した形状を有し、

前記半導体基板の表面上方から見たときに、前記複数のアクティブエリアおよび前記複数の上部電極は、連続した矩形波形状または連続した階段形状に見えるように配置されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記複数の上部電極は、それぞれ前記第 2 の方向に延伸した形状を有し、

前記第 1 の方向に隣接する 2 つの前記上部電極の端部は、前記第 2 の方向において揃って配置されていることを特徴とする請求項 2 に記載の半導体記憶装置。

20

【請求項 4】

前記複数の上部電極は、それぞれ前記第 2 の方向に延伸した形状を有し、

前記第 1 の方向に隣接する 2 つの前記上部電極は、前記第 2 の方向に半ピッチずつずれて配置されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 5】

複数のビット線と、

複数のワード線と、

互いに隣接する 2 本の前記ビット線間に直列に接続された記憶素子およびセルトランジスタを含む複数のメモリセルであって、前記 2 本のビット線間に接続された複数の前記メモリセルのそれぞれの前記セルトランジスタのゲートが互いに異なる前記ワード線に接続された複数のメモリセルとを備え、

30

互いに隣接する複数の前記メモリセルの複数の前記記憶素子および複数の前記セルトランジスタは、交互に直列に接続されることを特徴とする半導体記憶装置。

【請求項 6】

前記複数のメモリセルのうち第 1 のメモリセルの前記記憶素子は、該第 1 のメモリセルに隣接する第 2 のメモリセルの前記セルトランジスタに接続され、

前記第 2 のメモリセルの前記記憶素子は、該第 2 のメモリセルにさらに隣接する第 3 のメモリセルの前記セルトランジスタに接続されていることを特徴とする請求項 5 に記載の半導体記憶装置。

40

【請求項 7】

前記第 1、前記第 2 および前記第 3 のメモリセルは、同一の前記ビット線対の間に接続されていることを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 8】

前記第 1、前記第 2 または前記第 3 のメモリセルからデータを読み出し、あるいは、前記第 1、前記第 2 または前記第 3 のメモリセルへデータを書き込むとき、前記第 1、前記第 2 および前記第 3 のメモリセルが接続された同一の前記ビット線対を介してデータを読み出し、あるいは、該ビット線対を介してデータを書き込むことを特徴とする請求項 7 に記載の半導体記憶装置。

50

【請求項 9】

前記第 1 のメモリセルは、前記複数のビット線のうち第 1 のビット線と該第 1 のビット線に隣接する第 2 のビット線との間に接続されており、

前記第 2 のメモリセルは、前記複数のビット線のうち前記第 2 のビット線と該第 2 のビット線に隣接する第 3 のビット線との間に接続されており、

前記第 3 のメモリセルは、前記複数のビット線のうち前記第 3 のビット線と該第 3 のビット線に隣接する第 4 のビット線との間に接続されていることを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 10】

前記第 1 のメモリセルからデータを読み出し、あるいは、前記第 1 のメモリセルへデータを書き込むとき、前記第 1 および前記第 2 のビット線の対を介してデータを読み出し、あるいは、該第 1 および該第 2 のビット線の対を介してデータを書き込み、

前記第 2 のメモリセルからデータを読み出し、あるいは、前記第 2 のメモリセルへデータを書き込むとき、前記第 2 および前記第 3 のビット線の対を介してデータを読み出し、あるいは、該第 2 および該第 3 のビット線の対を介してデータを書き込み、

前記第 3 のメモリセルからデータを読み出し、あるいは、前記第 3 のメモリセルへデータを書き込むとき、前記第 3 および前記第 4 のビット線の対を介してデータを読み出し、あるいは、該第 3 および該第 4 のビット線の対を介してデータを書き込むことを特徴とする請求項 9 に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

近年、M R A M (Magnetoresistive Random Access Memory)、P C R A M (Phase Change Random Access Memory)、R R A M (Resistive Random Access Memory)等、抵抗性素子を記憶素子として用いた不揮発性半導体記憶装置が開発されている。

【0003】

これらのメモリのうち M R A M の書込み方式は、電流誘導磁場書込み方式およびスピン注入書込み方式が一般的であり、どちらも磁性体の磁化反転を利用しているため高速性が特長である。スピン注入書込み方式は、磁性体のサイズが小さくなる程、磁化反転に必要なスピン注入電流が小さくなるという性質を有する。これは、スピン注入磁化反転に必要な電流量(反転閾値電流)が、磁気抵抗素子(M T J 素子)を流れる電流密度で規定されるため、M T J 素子の面積を縮小するに従って反転閾値電流が減少するからである。つまり、M T J 素子の面積を縮小すれば、反転閾値電流もスケールされるからである。従って、スピン注入書込み方式の M R A M は、高集積化、低消費電力化および高性能化に有利であり、D R A M を代替可能な不揮発性半導体記憶装置として期待されている。

【0004】

しかし、従来のメモリセルレイアウトでは、半導体基板上において M T J 素子は均等に配置されておらず、例えば、隣接する M T J 素子間の間隔が狭い部分などがある。このため、M R A M の微細化に伴い、リソグラフィ工程およびエッチング工程において露光や加工が困難になるという問題点が生じていた。

【0005】

一方、隣接する M T J 素子間のスペースにダミー M T J 素子を配置することによって、見かけ上、M T J 素子を半導体基板上に均等に配置する方法がある。このような場合、M T J 素子は半導体基板上に均等に配置されるので M T J 素子の形状は安定するものの、ダミー M T J 素子のみを選択的に他の電極や配線などから電氣的に絶縁することが必要になるなど他のプロセス工程上の問題点が生じるという問題点がある。また、ダミー M T J 素子を配置する面積分はメモリセルサイズを縮小できない。従って、このような従来の M R

10

20

30

40

50

A Mでは、微細化および大容量化を両立させることができなかった。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2010-219098号公報

【特許文献2】特開2008-192990号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

記憶素子の配置を均等にし、微細化および大容量化を実現可能な半導体記憶装置を提供する。

【課題を解決するための手段】

【0008】

本実施形態による半導体記憶装置は、複数のビット線と、複数のワード線と、互いに隣接する2本の前記ビット線間に直列に接続された記憶素子およびセルトランジスタを含む複数のメモリセルとを備える。2本のビット線間に接続された複数のメモリセルのそれぞれのセルトランジスタのゲートは、互いに異なるワード線に接続されている。互いに隣接する複数のメモリセルの複数の前記記憶素子および複数のセルトランジスタは、交互に直列に接続される。

【図面の簡単な説明】

【0009】

【図1】第1の実施形態に従ったMRAMのメモリセルアレイの構成例を示す概略図。

【図2】単一のメモリセルMCの構成および動作を示す説明図。

【図3】データ読出し動作におけるワード線WL_iの電圧およびセンスアンビネーブル信号SAENの電圧を示すタイミング図。

【図4】本実施形態によるメモリセルアレイMCAのレイアウトを示す平面図。

【図5】図4のA-A線、B-B線、C-C線、D-D線に沿った断面図。

【図6】アクティブエリアAAおよびゲート電極GC(ワード線WL)のレイアウトを示す平面図、および、上部電極UEおよびビアコンタクトV₀のレイアウトを示す平面図。

【図7】MTJ素子および上部電極UEのレイアウトを示す平面図、および、上部電極UE、ビアコンタクトV₁およびビット線BLのレイアウトを示す平面図。

【図8】第1の実施形態の変形例に従ったMRAMのメモリセルアレイの構成例を示す概略図。

【図9】ワード線WL_i、センスアンビネーブル信号SAENA、SAENB、および、スイッチネーブル信号ENA、ENBの読出し時における動作の一例を示すタイミング図。

【図10】第2の実施形態に従ったMRAMのメモリセルアレイの構成例を示す概略図。

【図11】第2の実施形態によるメモリセルアレイMCAのレイアウトを示す平面図。

【図12】図11のC-C線およびD-D線に沿った断面図。

【図13】上部電極UEおよびビアコンタクトV₀のレイアウトを示す平面図、MTJ素子および上部電極UEのレイアウトを示す平面図、および、上部電極UE、ビアコンタクトV₁およびビット線BLのレイアウトを示す平面図。

【図14】第2の実施形態の変形例に従ったMRAMのメモリセルアレイの構成例を示す概略図。

【図15】第3の実施形態に従ったMRAMのメモリセルアレイMCAの断面図。

【図16】第4の実施形態に従ったMRAMのメモリセルアレイMCAの断面図。

【図17】第5の実施形態に従ったMRAMのメモリセルアレイおよびセンスアンプの構成例を示す概略図。

【図18】第6の実施形態に従ったMRAMのメモリセルアレイおよびセンスアンプの構成例を示す概略図。

10

20

30

40

50

【図19】第5の実施形態の変形例に従ったMRAMのメモリセルアレイおよびセンスアンプの構成例を示す概略図。

【図20】第6の実施形態の変形例に従ったMRAMのメモリセルアレイおよびセンスアンプの構成例を示す概略図。

【発明を実施するための形態】

【0010】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

【0011】

(第1の実施形態)

図1は、第1の実施形態に従ったMRAMのメモリセルアレイの構成例を示す概略図である。メモリセルアレイMCAは、マトリクス状に二次元配置された複数のメモリセルMCを含む。各メモリセルMCは、互いに隣接する2本のビット線対BL_i、BL_{i+1}(*i*は整数)とワード線WL_iとの交点に対応して配置されている。ビット線BL_iは、第1の方向としてのカラム方向に延伸しており、ワード線WL_iは、カラム方向に対して直交する第2の方向としてのロウ方向に延伸している。

【0012】

各メモリセルMCは、ビット線対BL_i、BL_{i+1}の間に直列に接続されたMTJ素子およびセルトランジスタCTを含む。ビット線対BL_i、BL_{i+1}の間に接続された複数のメモリセルMCのそれぞれのセルトランジスタCTのゲートは、互いに異なるワード線WL_iに接続されている。例えば、第1から第6のメモリセルMC₀~MC₅のセルトランジスタCTのゲートは、それぞれワード線WL₀~WL₅に接続されている。

【0013】

さらに、本実施形態では、ビット線対BL_i、BL_{i+1}の間に接続された複数のメモリセルMC_iのうち第1のメモリセルMC₀のMTJ素子は、第1のメモリセルMC₀に隣接する第2のメモリセルMC₁のセルトランジスタCTの一端(ドレインまたはソース)に接続されている。第2のメモリセルMC₁のMTJ素子は、第2のメモリセルMC₁にさらに隣接する第3のメモリセルMC₂のセルトランジスタCTの一端(ドレインまたはソース)に接続されている。同様に、メモリセルMC_iのMTJ素子は、メモリセルMC_iにさらに隣接するメモリセルMC_{i+1}のセルトランジスタCTの一端(ドレインまたはソース)に接続されている。このように、本実施形態では、互いに隣接するビット線対BL_i、BL_{i+1}の間に接続された複数のメモリセルMC_iは、同一のビット線対BL_i、BL_{i+1}の間に接続され、それぞれのMTJ素子とセルトランジスタCTとが交互に直列に接続されるように構成される。即ち、互いに隣接するビット線対BL_i、BL_{i+1}の間において、MTJ素子およびセルトランジスタCTは、例えば、CT、MTJ、CT、MTJ、CT、MTJ、CT、MTJ・・・のような順番で交互に直列接続される。

【0014】

さらに、複数のメモリセルMC_iのそれぞれセルトランジスタCTの一端は、*i*の順番で交互にビット線BL_iまたはBL_{i+1}に接続される。即ち、メモリセルMC₀のセルトランジスタCTの一端は、ビット線BL₀に接続され、メモリセルMC₁のセルトランジスタCTの一端は、ビット線BL₁に接続され、メモリセルMC₂のセルトランジスタCTの一端は、ビット線BL₀に接続され、メモリセルMC₃のセルトランジスタCTの一端は、ビット線BL₁に接続されている。

【0015】

ビット線対BL_i、BL_{i+1}のうち一方のビット線BL_iは、センスアンプSAに接続されており、他方のビット線BL_{i+1}は、基準電位VSS(例えば、グランド)に接続されている。センスアンプSAは、ビット線BL_iを介してMTJ素子に電流を流し、そのときにMTJ素子に流れるセル電流I_{cell}と参照電流I_{ref}とを比較する。これにより、センスアンプSAは、メモリセルMC_iに格納されたデータの論理を検出する

10

20

30

40

50

。

【0016】

互いに口ウ方向に隣接する2つのメモリセル MC_i 、 MC_{i+1} の各MTJ素子に流れる電流は互いに逆方向になる。例えば、メモリセル MC_0 を流れる電流は、セルトランジスタCTからMTJ素子に向かって流れる(図2のA2参照)が、メモリセル MC_1 を流れる電流は、MTJ素子からセルトランジスタCTに向かって流れる(図2のA1参照)。従って、本実施形態では、センスアンプSAは、メモリセルに対して双方向に流れる電流を検出する必要がある。この場合、センスアンプSAは、ビット線対 BL_i 、 BL_{i+1} の一方に接続されていればよい。従って、センスアンプSAとビット線BLとの接続構成が簡素化される。また、センスアンプSAは、ビット線対 BL_i 、 BL_{i+1} ごとに設ければ足りる。よって、センスアンプSAの個数を低減させることができる。これは、メモリのチップサイズの縮小化に繋がる。

10

【0017】

図2は、単一のメモリセルMCの構成および動作を示す説明図である。各メモリセルMCは、それぞれ記憶素子としての磁気トンネル接合素子(MTJ素子)MTJと、セルトランジスタCTとを含む。MTJ素子およびセルトランジスタCTは、ビット線 BL_i とビット線 BL_{i+1} との間に直列に接続されている。図2では、セルトランジスタCTがビット線 BL_i 側に配置され、MTJ素子がビット線 BL_{i+1} 側に配置されている。ただし、図1の MC_1 、 MC_3 、 MC_5 のように、MTJ素子がビット線 BL_i 側に配置され、セルトランジスタCTがビット線 BL_{i+1} 側に配置されている場合もある。セルトランジスタCTのゲートは、ワード線WLに接続されている。

20

【0018】

TMR(tunneling magnetoresistive)効果を利用したMTJ素子は、2枚の強磁性層とこれらに挟まれた非磁性層(絶縁薄膜)とからなる積層構造を有し、スピン偏極トンネル効果による磁気抵抗の変化によりデジタルデータを記憶する。MTJ素子は、2枚の強磁性層の磁化方向の相対関係によって、低抵抗状態と高抵抗状態とを取り得る。例えば、低抵抗状態をデータ“0”と定義し、高抵抗状態をデータ“1”と定義すれば、MTJ素子に1ビットデータを記録することができる。もちろん、低抵抗状態をデータ“1”と定義し、高抵抗状態をデータ“0”と定義してもよい。例えば、MTJ素子は、固定層、トンネルバリア層、記録層を順次積層して構成される。固定層Pおよび記録層Fは、強磁性体で構成されており、トンネルバリア層は、絶縁膜からなる。固定層Pは、磁化の向きが固定されている層であり、記録層Fは、磁化の向きが可変であり、その磁化の向きによってデータを記憶する。

30

【0019】

書込み時に矢印A1の向きに書き込み閾値以上の電流を流すと、固定層Pの磁化の向きに対して記録層Fのそれがアンチパラレル状態となり、高抵抗状態(データ“1”)となる。書込み時に矢印A2の向きに書き込み閾値以上の電流を流すと、固定層Pと記録層Fとのそれぞれの磁化の向きがパラレル状態となり、低抵抗状態(データ“0”)となる。このように、MTJ素子は、書き込み電流の方向によって異なるデータを書き込むことができる。

40

【0020】

尚、図2では固定層Pがビット線に、記録層FがセルトランジスタCTに接続された例を示したが、これとは逆に記録層Fがビット線に、固定層Pがセルトランジスタに接続された構成にしてもよい。その場合は、書き込まれるデータの極性が上記とは逆になる。

【0021】

読出し時には、メモリセル MC_0 、 MC_2 、 MC_4 において、矢印A2の向きに読み出し用電圧を印加すると、各メモリセル内のMTJ素子の抵抗状態に応じたセル電流 I_{cell} がビット線 BL_0 を流れる。センスアンプSAは、セル電流 I_{cell} と参照電流 I_{ref} とを比較することによって、MTJ素子の論理状態を検出する。

【0022】

50

また、メモリセルMC1、MC3、MC5において、矢印A1の向きに読み出し用電圧を印加すると、各メモリセル内のMTJ素子の抵抗状態に応じたセル電流 I_{cell} がビット線BL0を流れる。センスアンプSAは、セル電流 I_{cell} と参照電流 I_{ref} とを比較することによって、MTJ素子の論理状態を検出する。

【0023】

図3は、データ読み出し動作におけるワード線WL i の電圧およびセンスアンプイネーブル信号SAENの電圧を示すタイミング図である。例えば、ワード線WL0~WL3が順番に活性化される。ワード線WL0~WL3の活性化のタイミングに合わせてセンスアンプイネーブル信号SAENも活性化されている。尚、ワード線の活性化後にセル電流が安定した後に、センスアンプイネーブル信号SAENを活性化することが望ましい。

10

【0024】

これにより、時点 t_0 において、各カラムのセンスアンプSAは、ワード線WL0に接続された各カラムのメモリセルMCのデータを、ビット線BL0、BL2、BL4、BL6・・・を介して検出する。時点 t_1 において、各カラムのセンスアンプSAは、ワード線WL1に接続された各カラムのメモリセルMCのデータを、ビット線BL0、BL2、BL4、BL6・・・を介して検出する。時点 t_2 において、各カラムのセンスアンプSAは、ワード線WL2に接続された各カラムのメモリセルMCのデータを、ビット線BL0、BL2、BL4、BL6・・・を介して検出する。さらに、時点 t_3 において、各カラムのセンスアンプSAは、ワード線WL3に接続された各カラムのメモリセルMCのデータを、ビット線BL0、BL2、BL4、BL6・・・を介して検出する。その後、センスアンプSAは、ワード線WL4、WL5・・・に接続されたメモリセルMCのデータを順番に検出する。

20

【0025】

ワード線WL i を適宜選択的に駆動することによって、カラム方向に隣接する複数のメモリセルMC0~MC5のうち任意のメモリセルについて、同一のビット線対BL0、BL1を介してデータを読み出すことができる。

【0026】

尚、ここでは読み出し動作について説明したが、書き込み動作については、上記で図2を用いて説明したように、メモリセルMCに書き込みデータに応じた方向の書き込み電流を流せばよい。

30

【0027】

(レイアウト)

図4は、本実施形態によるメモリセルアレイMCAのレイアウトを示す平面図である。図5(A)~図5(D)は、それぞれ図4のA-A線、B-B線、C-C線、D-D線に沿った断面図である。図6(A)は、アクティブエリアAAおよびゲート電極GC(ワード線WL)のレイアウトを示す平面図であり、図6(B)は、上部電極UEおよびピアコンタクトV0のレイアウトを示す平面図である。さらに、図7(A)は、MTJ素子および上部電極UEのレイアウトを示す平面図であり、図7(B)は、上部電極UE、ピアコンタクトV1およびビット線BLのレイアウトを示す平面図である。尚、コンタクトプラグCB0及びCB1は図6及び図7には図示していないが、図5に示すようにV0とMTJの両方の下部に配置される。

40

【0028】

図4において、ビット線対BL2、BL3、および、ビット線対BL4、BL5に接続されたメモリセルMCの構成は、ビット線対BL0、BL1に接続されたメモリセルMCの構成と同様である。即ち、ビット線対BL0、BL1に接続されたメモリセルMCの構成が、口ウ方向に繰り返し形成されている。従って、ここでは、ビット線対BL0、BL1に関するメモリセルMCの構成を説明し、その他のビット線対に関するメモリセルMCの構成については省略する。

【0029】

複数のアクティブエリアAAは、半導体基板10上において、それぞれメモリセルMC

50

ごとにSTI (Shallow Trench Isolation) によって素子分離されている。即ち、セルトランジスタCTの拡散層(ソースおよびドレイン)は、各メモリセルMC毎に個別に設けられており、隣接する複数のメモリセルMCのセルトランジスタCTとは拡散層を共有していない。複数のアクティブエリアAAは、第1の方向としてのカラム方向に配列されアクティブエリア列を構成している。カラム方向とほぼ直交する第2の方向としてのロウ方向に隣接する2つのアクティブエリア列において、アクティブエリアAAは、カラム方向に半ピッチずつずれて配置されている(図6(A)参照)。アクティブエリア列は、ビット線BL_iに対応するので、アクティブエリアAAは、ビット線BL_iごとに半ピッチずつずれて配置されていると換言してもよい。これは、図5(A)と図5(B)とを比較することによっても理解できる。このように、平面レイアウトにおいて、アクティブエリアAAは、千鳥状に配置されている。

10

【0030】

図5(A)および図5(B)に示すように、各アクティブエリアAAには、セルトランジスタCTが形成されている。セルトランジスタCTは、ゲート電極GCと、ゲート電極GCの下のチャンネル部の両側に形成された拡散層20、21とを含む。セルトランジスタCTの一方の拡散層21は、コンタクトプラグCB1を介してMTJ素子の下端に接続されている。

【0031】

図4、図5(C)および図5(D)に示すように、一端がMTJ素子の upper 端に接続された上部電極UEは、ロウ方向に延伸している。例えば、図5(C)に示すように、ビット線BL1の下に設けられたMTJ素子に一端が接続された上部電極UEの他端は、ビット線BL1に隣接するビット線BL0の下に設けられたセルトランジスタCTの拡散層20に、ピアコンタクトV0およびコンタクトプラグCB0を介して接続される。あるいは、図5(D)に示すように、ビット線BL0の下に設けられたMTJ素子に一端が接続された上部電極UEの他端は、ビット線BL0に隣接するビット線BL1の下に設けられたセルトランジスタCTの拡散層20に、ピアコンタクトV0およびコンタクトプラグCB0を介して接続される。さらに、上部電極UEの他端は、図5(C)、図5(D)および図7(B)に示すようにその上に設けられたピアコンタクトV1を介してビット線BL1に接続されている。

20

【0032】

図4、図5(A)~図5(D)に示すように、アクティブエリアAAがビット線BL_iごとにカラム方向に半ピッチずつずらされているので、上部電極UEは、ロウ方向にずらされていないにもかかわらず、ビット線BL0の下にあるMTJ素子の upper 端を、ビット線BL0に隣接するビット線BL1と該ビット線BL1の下にあるセルトランジスタCTの拡散層20とに電氣的に接続することができる。

30

【0033】

図4および図6(A)に示すように、アクティブエリアAAは、それぞれカラム方向に延伸した形状(長方形または楕円形)を有する。図6(B)および図7(A)に示すように上部電極UEは、それぞれロウ方向に延伸した形状(長方形または楕円形)を有する。半導体基板10の表面上方から見たときに、アクティブエリアAAおよび上部電極UEは、交互に連続して配置され、一方の端部が他方の端部に重複するように配置されている。この重複部分は、図4のMTJおよびV0、V1と表示された部分に相当する。また、本実施形態では、カラム方向に隣接する上部電極UEの端部は、図6(B)および図7(A)に示すようにロウ方向にはずれておらず揃って配置されている。従って、半導体基板10の表面上方から見たときに、ビット線対BL0、BL1に対応する複数のアクティブエリアAAおよび複数の上部電極UEは、ロウ方向に連続する矩形波形状に見える。以下、本実施形態のようなメモリセルアレイMCAの構成を矩形波型構成ともいう。

40

【0034】

以上のようなレイアウトにより、図1に示すメモリセルアレイMCAの等価回路が実現され得る。

50

【0035】

尚、上記ではビット線とワード線の配置ピッチが等しい場合の例を示したが、ビット線の配置ピッチとワード線の配置ピッチを異なる値に設定してもよい。

【0036】

本実施形態では、アクティブエリアAA、メモリセルMC、MTJ素子、セルトランジスタCT、ピアコンタクトV0、V1が半導体基板10表面上において千鳥状に配置される。これにより、MTJ素子を含むそれぞれの構成要素は、半導体基板10表面上において均等に配置される。尚、カラム方向に隣接するAAの切断箇所についても同様に千鳥状に配置されている。

【0037】

また、最も近くに隣接する2つのMTJ素子は、ロウ方向およびカラム方向に対して斜め方向（ほぼ45度）に配置され、互いに異なるビット線BLおよび互いに異なるワード線WLに対応して配置されている。例えば、ビット線配置ピッチとワード線配置ピッチが等しい場合は最近接MTJ素子同士の配置角度は45度となるため、隣接する2つのMTJ素子間の配置ピッチ D_{MTJ} は、ビット線BLの配置ピッチ（ワード線WLの配置ピッチ）Lの2倍にすることができる。Lが2F（F=Minimum Feature Size）とすれば、配置ピッチ D_{MTJ} は、 $2\sqrt{2}F$ とLに対して2倍に緩和できる。よって、本実施形態によるMRAMの製造において、リソグラフィおよび形状加工が容易になる。同様に、最も近くに隣接する2つのピアコンタクトV0（またはV1）も、ロウ方向およびカラム方向に対して斜め方向（ほぼ45度）に配置され、互いに異なるビット線BLおよび互いに異なるワード線WLに対応して配置されている。これにより、隣接する2つのピアコンタクトV0（またはV1）の配置ピッチもMTJ同様に、 $2\sqrt{2}L$ になる。よって、本実施形態によるMRAMの製造において、リソグラフィおよび形状加工が容易になる。その結果、MRAMをさらに微細化することが可能となり、それに伴い、記憶容量をさらに大きくすることができる。

【0038】

本実施形態では、図5(A)~図5(D)に示すように、第1の上部コンタクトとしてのピアコンタクトV1は、MTJ素子の上方に形成されておらず、下部コンタクトとしてのピアコンタクトV0の上方に上部電極UEを介して設けられている。これにより、ピアコンタクトV1の形成時におけるプロセスダメージからMTJ素子を保護することができる。

【0039】

（第1の実施形態の変形例）

図8は、第1の実施形態の変形例に従ったMRAMのメモリセルアレイの構成例を示す概略図である。上記実施形態では、互いにロウ方向に隣接する2つのメモリセルMCi、MCi+1の各MTJ素子に流す読み出し動作時のセル電流Icellは互いに逆方向（図2のA1、A2）である。これに対し、本変形例によるMRAMでは、複数のメモリセルMCの各MTJ素子に流れる読み出し時のセル電流Icellは、同一方向（図2のA1またはA2のいずれかのみ）に流れる。従って、本変形例では、センスアンプSAは、メモリセルアレイMCAの両側に、各ビット線BLiに対応して設けられている。尚、メモリセルアレイMCの左側に設けられたセンスアンプをSALとし、その右側に設けられたセンスアンプをSARとする。

【0040】

また、センスアンプSAL、SARと基準電位VSSとの接続を切り替えるために、スイッチング素子SWAL、SWBL、SWARおよびSWALが設けられている。本変形例のメモリセルアレイMCA自体の構成（矩形波型構成）は、第1の実施形態のそれと同様でよい。

【0041】

スイッチング素子SWALは、ビット線BL1、BL3、BL5、BL7とVSSとの間に設けられている。スイッチング素子SWBLは、ビット線BL1、BL3、BL5、

10

20

30

40

50

BL7とセンスアンプSALとの間に設けられている。スイッチング素子SWARは、ビット線BL0、BL2、BL4、BL6とセンスアンプSARとの間に設けられている。スイッチング素子SWBRは、ビット線BL0、BL2、BL4、BL6とVSSとの間に設けられている。

【0042】

図9は、ワード線WLi、センスアンプイネーブル信号SAENA、SAENB、および、スイッチイネーブル信号ENA、ENBの読出し時における動作の一例を示すタイミング図である。

【0043】

例えば、ワード線WL0～WL3が順番に活性化される。ワード線WL0、WL2の活性化のタイミングに合わせて、スイッチイネーブル信号ENAおよびセンスアンプイネーブル信号SAENAも活性化されている。ワード線WL1、WL3の活性化のタイミングに合わせて、スイッチイネーブル信号ENBおよびセンスアンプイネーブル信号SAENBも活性化されている。

【0044】

t0およびt2において、スイッチイネーブル信号ENAが活性化されることによって、ビット線BL0、BL2、BL4、BL6がそれぞれセンスアンプSARに接続され、ビット線BL1、BL3、BL5、BL7が基準電位VSSに接続される。センスアンプイネーブル信号SAENAが活性化されることによって、センスアンプSARが動作する。これにより、ワード線WL0、WL2に接続されたメモリセルMCにセル電流Icel1が流れる。セル電極Icel1の流れる方向は、図2のA2となる。

【0045】

t1およびt3において、スイッチイネーブル信号ENBが活性化されることによって、ビット線BL1、BL3、BL5、BL7がそれぞれセンスアンプSALに接続され、ビット線BL0、BL2、BL4、BL8が基準電位VSSに接続される。センスアンプイネーブル信号SAENBが活性化されることによって、センスアンプSALが動作する。これにより、ワード線WL1、WL3に接続されたメモリセルMCにセル電流Icel1が流れる。セル電極Icel1の流れる方向は、上記と同様に、図2のA2となる。

【0046】

このように、セル電流Icel1がメモリセルMCを同一方向に流れることによって、例えば基板バイアス効果によるセルトランジスタのチャネル抵抗の変動分がなくなるため、読出しマージン(“1”と“0”との信号差)を大きくすることができる。

【0047】

尚、センスアンプSAL、SARが、ビット線BLに対応して設けられているため、センスアンプの配置個数、すなわちセンスアンプ形成領域の面積は第1の実施形態のそれよりも大きくなる。しかし、本変形例のメモリセルアレイMCAの構成は、第1の実施形態のそれと同様であるので、本変形例は、第1の実施形態のその他の効果を得ることができる。

【0048】

(第2の実施形態)

図10は、第2の実施形態に従ったMRAMのメモリセルアレイの構成例を示す概略図である。第2の実施形態は、複数のメモリセルMCの配置において第1の実施形態と異なる。第1の実施形態では、図4に示すように半導体基板10の表面上方から見たときに、アクティブエリアAAおよび上部電極UEは、ロウ方向に連続する矩形波形状に見えるように配置されている。これに対し、第2の実施形態では、図11に示すように半導体基板10の表面上方から見たときに、上部電極UEは、ロウ方向とカラム方向に対して斜め方向に連続する階段形状に見えるように配置されている。以下、第2の実施形態によるメモリセルアレイMCAのような構成を階段型構成ともいう。

【0049】

第2の実施形態は、ビット線BLiおよびワード線WLiの配置、各メモリセルMCの

10

20

30

40

50

構成において第1の実施形態と同様である。尚、ビット線の配置自体は同一であるが、便宜上、第2の実施形態におけるビット線BL0～BL6の呼称は、第1の実施形態のそれと異なっている。

【0050】

より詳細には、複数のメモリセルMC_iのうち第1のメモリセルMC₀のMTJ素子は、第1のメモリセルMC₀に隣接する第2のメモリセルMC₁のセルトランジスタCTの一端（ドレインまたはソース）に接続されている。第2のメモリセルMC₁のMTJ素子は、第2のメモリセルMC₁にさらに隣接する第3のメモリセルMC₂のセルトランジスタCTに接続されている。同様に、メモリセルMC_iのMTJ素子は、メモリセルMC_iにさらに隣接するメモリセルMC_{i+1}のセルトランジスタCTに接続されている。

10

【0051】

さらに、第2の実施形態では、第1のメモリセルMC₀は、第1のビット線BL₀と第1のビット線BL₀に隣接する第2のビット線BL₁との間に接続されている。第2のメモリセルMC₁は、第2のビット線BL₁と第2のビット線BL₁に隣接する第3のビット線BL₂との間に接続されている。第3のメモリセルMC₂は、第3のビット線BL₂と第3のビット線BL₂に隣接する第4のビット線BL₃との間に接続されている。同様に、メモリセルMC_iは、ビット線BL_iとビット線BL_iに隣接するビット線BL_{i+1}との間に接続されている。

【0052】

このように、本実施形態では、ビット線BL_iを隣接するビット線BL_{i+1}へ並進させたときに、複数のメモリセルMC_iのそれぞれのMTJ素子とセルトランジスタCTとが交互に直列に接続されている。即ち、ビット線BL_iを隣接するビット線BL_{i+1}へ並進させたときに、MTJ素子およびセルトランジスタCTは、例えば、CT、MTJ、CT、MTJ・・・のような順番で交互に直列接続される。このように、互いに直列に接続された複数のメモリセルMC_iは、それぞれ異なるビット線対BL_i、BL_{i+1}間に接続され、さらに、互いに直列に接続された複数のメモリセルMC_iは、それぞれ異なるワード線WL_iに接続される。

20

【0053】

第2の実施形態のその他の構成は、第1の実施形態の対応する構成と同様でよい。従って、図10に示すセンスアンプSAは、メモリセルに対して双方向に流れる電流を検出する。この場合、センスアンプSAは、ビット線対BL_i、BL_{i+1}の一方に接続されていけばよいので、センスアンプSAとビット線BLとの接続構成が簡素化される。また、センスアンプSAは、ビット線対BL_i、BL_{i+1}ごとに設ければ足りる。よって、センスアンプSAの個数を低減させることができる。

30

【0054】

データ読出し動作におけるワード線WL_iの電圧およびセンスアンプイネーブル信号SAENの電圧を示すタイミングは、図3に示したものと同様でよい。

【0055】

従って、時点t₀において、各カラムのセンスアンプSAは、ワード線WL₀に接続された各カラムのメモリセルMCのデータを、ビット線BL₁、BL₃、BL₅・・・を介して検出する。このとき、読出し対象のメモリセルMCの両側に接続されるビット線対は、(BL₀, BL₁)、(BL₂, BL₃)、(BL₄, BL₅)・・・である。時点t₁において、各カラムのセンスアンプSAは、ワード線WL₁に接続された各カラムのメモリセルMCのデータを、ビット線BL₁、BL₃、BL₅・・・を介して検出する。このとき、読出し対象のメモリセルMCの両側に接続されるビット線対は、(BL₁, BL₂)、(BL₃, BL₄)、(BL₅, BL₆)・・・である。時点t₂において、各カラムのセンスアンプSAは、ワード線WL₂に接続された各カラムのメモリセルMCのデータを、ビット線BL₁、BL₃、BL₅・・・を介して検出する。このとき、読出し対象のメモリセルMCの両側に接続されるビット線対は、(BL₀, BL₁)、(BL₂, BL₃)、(BL₄, BL₅)・・・である。さらに、時点t₃において、各カラムのセ

40

50

ンスアンプ S A は、ワード線 W L 3 に接続された各カラムのメモリセル M C のデータを、ビット線 B L 1、B L 3、B L 5・・・を介して検出する。このとき、読出し対象のメモリセル M C の両側に接続されるビット線対は、(B L 1, B L 2)、(B L 3, B L 4)、(B L 5, B L 6)・・・である。ワード線 W L 4、W L 5・・・に接続されたメモリセル M C のデータを検出する際は上述と同様に、ビット線対は (B L 0, B L 1)、(B L 2, B L 3)、(B L 4, B L 5)・・・と、(B L 1, B L 2)、(B L 3, B L 4)、(B L 5, B L 6)・・・とに交互に変更される。

【 0 0 5 6 】

例えば、メモリセル M C 0 からデータを読み出し、あるいは、メモリセル M C 0 へデータを書き込むとき、ワード線 W L 0 を活性化させる。そして、センスアンプ S A はビット線対 B L 0、B L 1 を介してデータを読み出し、あるいは、書き込みデータに応じた方向の書き込み電流をビット線対 B L 0、B L 1 を介して流す。

10

【 0 0 5 7 】

メモリセル M C 1 からデータを読み出すとき、ワード線 W L 1 を活性化させる。そして、センスアンプ S A は、ビット線対 B L 1、B L 2 を介してデータを読み出す。

【 0 0 5 8 】

メモリセル M C 2 からデータを読み出すとき、ワード線 W L 2 を活性化させる。そして、センスアンプ S A は、ビット線対 B L 2、B L 3 を介してデータを読み出す。

【 0 0 5 9 】

このように、第 2 の実施形態によるメモリは、ワード線 W L i を適宜選択的に駆動することによって、直列に接続された複数のメモリセル M C 0 ~ M C 5 のうち任意のメモリセルから、データを読み出すことができる。このとき、メモリセル M C 0 ~ M C 5 のデータは、それぞれに対応するビット線対 B L 0、B L 1、ビット線対 B L 1、B L 2、ビット線対 B L 2、B L 3、ビット線対 B L 3、B L 4、ビット線対 B L 4、B L 5、ビット線対 B L 5、B L 6 を介してセンスアンプ S A へ伝達される。また、本実施形態による M R A M は、ワード線 W L i を適宜選択的に駆動することによって、メモリセル M C 0 ~ M C 5 のうち任意のメモリセルへデータを書き込むことができる。このとき、書き込みデータは、メモリセル M C 0 ~ M C 5 のそれぞれに対応するビット線対 B L 0、B L 1、ビット線対 B L 1、B L 2、ビット線対 B L 2、B L 3、ビット線対 B L 3、B L 4、ビット線対 B L 4、B L 5、ビット線対 B L 5、B L 6 を介してメモリセル M C 0 ~ M C 5 へ書き込まれる。

20

30

【 0 0 6 0 】

(レイアウト)

図 1 1 は、第 2 の実施形態によるメモリセルアレイ M C A のレイアウトを示す平面図である。図 1 2 (A) および図 1 2 (B) は、それぞれ図 1 1 の C - C 線および D - D 線に沿った断面図である。図 1 1 の A - A 線および B - B 線に沿った断面図は、図 5 (A) および図 5 (B) と実質的に同様であるので、ここでは省略する。図 1 3 (A) は、上部電極 U E およびピアコンタクト V 0 のレイアウトを示す平面図である。図 1 3 (B) は、M T J 素子および上部電極 U E のレイアウトを示す平面図であり、図 1 3 (C) は、上部電極 U E、ピアコンタクト V 1 およびビット線 B L のレイアウトを示す平面図である。アクティブエリア A A およびワード線 W L のレイアウト図は、図 6 (A) と同様であるので、ここでは省略する。また、コンタクトプラグ C B 0 および C B 1 についても第 1 の実施形態と同様である。

40

【 0 0 6 1 】

第 2 の実施形態は、カラム方向に隣接する上部電極 U E が互いにロウ方向に半ピッチずつずれている点で第 1 の実施形態と異なる。第 2 の実施形態の他の構成要素のレイアウトは、対応する第 1 の実施形態の構成要素のレイアウトと同様である。

【 0 0 6 2 】

図 1 3 (A) ~ 図 1 3 (C) を参照すると、カラム方向に隣接する複数の上部電極 U E が、互いにロウ方向に半ピッチずつずれていることが理解できる。即ち、平面レイアウト

50

において、上部電極UEも千鳥状に配置されている。またロウ方向に隣接する上部電極UEの切断箇所についても同様に千鳥状に配置されている。

【0063】

図11、図12(A)および図12(B)に示すように、一端がMTJ素子の upper 端に接続された上部電極UEは、ロウ方向に延伸している。例えば、図12(A)に示すように、ビット線BL1の下に設けられたMTJ素子に一端が接続された上部電極UEの他端は、ビット線BL1に隣接するビット線BL2の下に設けられたセルトランジスタCTの拡散層20に、ピアコンタクトV0およびコンタクトプラグCB0を介して接続される。あるいは、図12(B)に示すように、ビット線BL0の下に設けられたMTJ素子に一端が接続された上部電極UEの他端は、ビット線BL0に隣接するビット線BL1の下に設けられたセルトランジスタCTの拡散層20に、ピアコンタクトV0およびコンタクトプラグCB0を介して接続される。さらに、上部電極UEの他端は、図12(A)および図12(B)に示すようにその上に設けられたピアコンタクトV1を介してビット線BL1に接続されている。

10

【0064】

図11、図12(A)および図12(B)に示すように、ロウ方向に隣接する複数のアクティブエリアAAがカラム方向に半ピッチずつずらされており、かつ、カラム方向に隣接する複数の上部電極UEがロウ方向に半ピッチずつずらされている。また、図11に示すように、アクティブエリアAAは、それぞれカラム方向に延伸した形状(長方形または楕円形)を有する。さらに、上部電極UEは、それぞれロウ方向に延伸した形状(長方形または楕円形)を有する。これにより、半導体基板10の表面上方から見たときに、アクティブエリアAAおよび上部電極UEは、交互に連続して配置され、一方の端部が他方の端部に重複するように配置されている。この重複部分は、図11のMTJおよびV0、V1と表示された部分に相当する。このような配置により、半導体基板10の表面上方から見たレイアウトにおいて、複数のアクティブエリアAAおよび複数の上部電極UEは、ロウ方向とカラム方向からほぼ45度傾斜する方向へ連続的に延伸する階段形状に見える。

20

【0065】

以上のようなレイアウトにより、図10に示すメモリセルアレイMCAの等価回路が実現され得る。

【0066】

尚、上記ではビット線とワード線の配置ピッチが等しい場合の例を示したが、ビット線の配置ピッチとワード線の配置ピッチを異なる値に設定してもよい。

30

【0067】

第2の実施形態もまた、MTJ素子を含むそれぞれの構成要素は、半導体基板10表面上において均等に配置される。第2の実施形態によるMTJ素子の配置は、第1の実施形態のそれと同様である。従って、第2の実施形態は、第1の実施形態と同様の効果を得ることができる。

【0068】

(第2の実施形態の変形例)

図14は、第2の実施形態の変形例に従ったMRAMのメモリセルアレイの構成例を示す概略図である。本変形例は、第1の実施形態の変形例を第2の実施形態に適用した形態である。

40

【0069】

第2の実施形態では、隣接するカラムのメモリセルMCi、MCi+1の各MTJ素子に流す読み出し動作時のセル電流Icellは互いに逆方向である。これに対し、本変形例によるMRAMでは、複数のメモリセルMCの各MTJ素子に流れる読み出し動作時のセル電流Icellは、同一方向に流れる。従って、本変形例では、センスアンプSAは、メモリセルアレイMCAの両側に、各ビット線BLiに対応して設けられている。尚、メモリセルアレイMCの左側に設けられたセンスアンプをSALとし、その右側に設けられたセンスアンプをSARとする。

50

【0070】

また、センスアンプSAL、SARと基準電位VSSとの接続を切り替えるために、スイッチング素子SWAL、SWBL、SWARおよびSWALが設けられている。本変形例のメモリセルアレイMCA自体の構成（階段型構成）は、第2の実施形態のそれと同様でよい。

【0071】

スイッチング素子SWALは、ビット線BL1、BL3、BL5とVSSとの間に設けられている。スイッチング素子SWBLは、ビット線BL1、BL3、BL5とセンスアンプSALとの間に設けられている。スイッチング素子SWARは、ビット線BL0、BL2、BL4、BL6とセンスアンプSARとの間に設けられている。スイッチング素子SWBRは、ビット線BL0、BL2、BL4、BL6とVSSとの間に設けられている。

10

【0072】

ワード線WLi、センスアンブイネーブル信号SAENA、SAENB、および、スイッチイネーブル信号ENA、ENBの読出し時におけるタイミング図は、図9に示すものと同様でよい。

【0073】

例えば、t0およびt2において、スイッチイネーブル信号ENAが活性化されることによって、ビット線BL0、BL2、BL4、BL6がそれぞれセンスアンプSARに接続され、ビット線BL1、BL3、BL5、BL7が基準電位VSSに接続される。センスアンブイネーブル信号SAENAが活性化されることによって、センスアンプSARが動作する。これにより、ワード線WL0、WL2に接続されたメモリセルMCにセル電流Icellが流れる。セル電極Icellの流れる方向は、図2のA2となる。ビット線対は、(BL0, BL1)、(BL2, BL3)、(BL4, BL5)・・・となる。

20

【0074】

t1およびt3において、スイッチイネーブル信号ENBが活性化されることによって、ビット線BL1、BL3、BL5、BL7がそれぞれセンスアンプSALに接続され、ビット線BL0、BL2、BL4、BL8が基準電位VSSに接続される。センスアンブイネーブル信号SAENBが活性化されることによって、センスアンプSALが動作する。これにより、ワード線WL1、WL3に接続されたメモリセルMCにセル電流Icellが流れる。セル電極Icellの流れる方向は、上記と同様に、図2のA2となる。ビット線対は、(BL1, BL2)、(BL3, BL4)、(BL5, BL6)・・・となる。

30

【0075】

このように、セル電流IcellがメモリセルMCを同一方向に流れることによって、例えば基板バイアス効果によるセルトランジスタのチャネル抵抗の変動分がなくなるため、読出しマージン（“1”と“0”との信号差）を大きくすることができる。

【0076】

尚、センスアンプSAL、SARが、ビット線BLに対応して設けられているため、センスアンプの配置個数、すなわちセンスアンプ形成領域の面積は第2の実施形態のそれよりも大きくなる。しかし、本変形例のメモリセルアレイMCAの構成は、第2の実施形態のそれと同様であるので、本変形例は、第2の実施形態のその他の効果を得ることができる。

40

【0077】

（第3の実施形態）

図15(A)～図15(D)は、第3の実施形態に従ったMRAMのメモリセルアレイMCAの断面図である。第3の実施形態では、ピアコンタクトV1がMTJ素子の上方に上部配線UEを介して設けられている点で第1の実施形態と異なる。第3の実施形態のその他の構成は、対応する第1の実施形態の構成と同様でよい。

【0078】

50

従って、図15(A)～図15(D)は、それぞれ図4のA-A線、B-B線、C-C線、D-D線に沿った断面図に相当する。ただし、図4のピアコンタクトV1は、ピアコンタクトV0と重複せずに、MTJ素子と重複する。

【0079】

第3の実施形態のように、ピアコンタクトV1の位置をMTJ素子の上方に設けても、等価回路自体は、図1に示すものと同じである。従って、第3の実施形態は、第1の実施形態と同様の効果を得ることができる。

【0080】

さらに、第3の実施形態では、ピアコンタクトV1がMTJ素子の上方に設けられているため、第1の実施形態と比較して、MTJ素子とビット線BLとの間の寄生抵抗を上部電極UEの配線抵抗分だけ低下させることができる。MRAMはMTJ素子の抵抗値をデータとして検出するため、MTJ素子とビット線BLとの間の寄生抵抗の低減により読み出しマージンが向上する。

10

【0081】

(第4の実施形態)

図16(A)および図16(B)は、第4の実施形態に従ったMRAMのメモリセルアレイMCAの断面図である。第4の実施形態では、ピアコンタクトV1がMTJ素子の上方に上部配線UEを介して設けられている点で第2の実施形態と異なる。第4の実施形態のその他の構成は、対応する第2の実施形態の構成と同様でよい。

20

【0082】

従って、図16(A)および図16(B)は、それぞれ図11のC-C線およびD-D線に沿った断面図に相当する。ただし、図11のピアコンタクトV1は、ピアコンタクトV0と重複せずに、MTJ素子と重複する。また、図11のA-A線およびB-B線に沿った断面に相当する図は、図15(A)および図15(B)と同様であるので、ここでは省略する。

【0083】

第4の実施形態のように、ピアコンタクトV1の位置をMTJ素子の上方に設けても、等価回路自体は、図10に示すものと同じである。従って、第4の実施形態は、第2の実施形態と同様の効果を得ることができる。

【0084】

さらに、第4の実施形態では、ピアコンタクトV1がMTJ素子の上方に設けられているため、第2の実施形態と比較して、MTJ素子とビット線BLとの間の寄生抵抗を上部電極UEの配線抵抗分だけ低下させることができる。MRAMはMTJ素子の抵抗値をデータとして検出するため、MTJ素子とビット線BLとの間の寄生抵抗の低減により読み出しマージンが向上する。

30

【0085】

(第5の実施形態)

図17は、第5の実施形態に従ったMRAMのメモリセルアレイ、ローカルDQ線およびセンスアンプの構成例を示す概略図である。第5の実施形態では、n組(nは整数)のビット線対 BL_i 、 BL_{i+1} に対応する複数のメモリセルMCを1つのカラムブロックCBとして定義する。そして、ローカルDQ線LDQとセンスアンプSAは、カラムブロックCBごとに同時にnビットのデータにアクセスできるように構成される。メモリセルアレイMCA自体の構成は、第1の実施形態におけるメモリセルアレイMCAの構成(矩形波型構成)と同様でよい。

40

【0086】

例えば、図17では、4組のビット線対 BL_i 、 BL_{i+1} に対応するメモリセルMCが各カラムブロックCB(N-1)、CB(N)、CB(N+1)・・・(以下、単にカラムブロックCBともいう)を構成している。Nは整数である。センスアンプSA__A0～SA__A3、SA__B0～SA__B3(以下、単にセンスアンプSAともいう)は、メモリセルアレイMCAの両側に4個ずつ配置されている。

50

【 0 0 8 7 】

センスアンプ S A とカラムブロック C B との間には、ローカル D Q 線 L D Q __ A 0 ~ L D Q __ A 3、L D Q __ B 0 ~ L D Q __ B 3 (以下、単にローカル D Q 線 L D Q ともいう) と、トランスファゲート X F E R __ A、X F E R __ B (以下、単にトランスファゲート X F E R ともいう) とが設けられている。

【 0 0 8 8 】

トランスファゲート X F E R は、ビット線 B L とローカル D Q 線 L D Q との間に接続されており、カラム選択線 C S L によってオン/オフ制御される。トランスファゲート X F E R は、対応するカラムブロック C B が選択されたときに、その選択されたカラムブロック C B のビット線 B L を、ローカル D Q 線 L D Q を介してセンスアンプ S A に接続する。

10

【 0 0 8 9 】

ローカル D Q 線 L D Q は、トランスファゲート X F E R とセンスアンプ S A との間を接続し、あるいは、トランスファゲート X F E R と基準電圧 V S S (設置電位) との間を接続できるように構成されている。基準電圧 V S S は、クランプ回路 C L A M P __ A、C L A M P __ B によって与えられる。例えば、センスアンプ S A __ A i およびクランプ回路 C L A M P __ B は、制御信号 E N B L __ e v e n によって駆動される。一方センスアンプ S A __ B i およびクランプ回路 C L A M P __ A は、制御信号 E N B L __ o d d によって駆動される。

【 0 0 9 0 】

このような構成により、本実施形態による M R A M は、複数のカラムブロック C B から 1 つのカラムブロック C B を選択的にローカル D Q 線 L D Q に接続し、その選択カラムブロック C B のデータを読み出し、あるいは、選択カラムブロックヘデータを書き込むことができる。

20

【 0 0 9 1 】

例えば、カラム選択線 C S L (N) によってカラムブロック C B (N) が選択されたと仮定する。この場合、カラム選択線 C S L (N) によりカラムブロック C B (N) とセンスアンプ S A との間トランスファゲート X F E R __ A、X F E R __ B がオン状態なる。これにより、ビット線 B L 0、B L 2、B L 4、B L 6 がローカル D Q 線 L D Q __ A (0 ~ 3) に接続され、ビット線 B L 1、B L 3、B L 5、B L 7 がローカル D Q 線 L D Q __ B (0 ~ 3) に接続される。

30

【 0 0 9 2 】

ワード線 W L 0、W L 2、W L 4 . . . のいずれかが選択された場合、制御信号 E N B L __ e v e n が活性化され、センスアンプ S A __ A およびクランプ回路 C L A M P __ B が活性化される。これにより、ビット線 B L 0、B L 2、B L 4、B L 6 は、ローカル D Q 線 L D Q __ A (0 ~ 3) を介してセンスアンプ S A __ A に接続され、ビット線 B L 1、B L 3、B L 5、B L 7 は、ローカル D Q 線 L D Q __ B (0 ~ 3) を介して基準電圧 V s s に接続される。これにより、センスアンプ S A __ A 0 ~ S A __ A 3 により読み出し動作が実行される。

【 0 0 9 3 】

ワード線 W L 1、W L 3、W L 5 . . . のいずれかが選択された場合、制御信号 E N B L __ o d d が活性化され、センスアンプ S A __ B およびクランプ回路 C L A M P __ A が活性化される。これにより、ビット線 B L 1、B L 3、B L 5、B L 7 は、ローカル D Q 線 L D Q __ B (0 ~ 3) を介してセンスアンプ S A __ B に接続され、ビット線 B L 0、B L 2、B L 4、B L 6 は、ローカル D Q 線 L D Q __ A (0 ~ 3) を介して基準電圧 V s s に接続される。これにより、センスアンプ S A __ B 0 ~ S A __ B 3 により読み出し動作が実行される。

40

【 0 0 9 4 】

このように偶数番のワード線 W L に接続されたメモリセル M C のデータは、センスアンプ S A __ A i によって検出され、奇数番のワード線 W L に接続されたメモリセル M C のデータは、センスアンプ S A __ B i によって検出される。

50

【 0 0 9 5 】

センスアンプ S A が複数のカラムブロック C B に共有されていることによって、センスアンプ S A の総個数を削減することができる。これは、M R A M のチップサイズ縮小、すなわち低コスト化に繋がる。

【 0 0 9 6 】

(第 6 の実施形態)

図 1 8 は、第 6 の実施形態に従った M R A M のメモリセルアレイ、ローカル D Q 線およびセンスアンプの構成例を示す概略図である。第 6 の実施形態は、メモリセルアレイ M C A が第 2 の実施形態のメモリセルアレイ M C A の構成(階段型構成)である点で第 5 の実施形態と異なる。第 6 の実施形態のその他の構成は、対応する第 5 の実施形態の構成と同様でよい。従って、第 6 の実施形態におけるセンスアンプ S A とカラムブロック C B との間の接続関係は、第 5 の実施形態におけるそれと同じでよい。

10

【 0 0 9 7 】

第 6 の実施形態では、読出しまたは書込み時に対となるビット線は、選択されるワード線 W L によって変化する。それに伴い、カラムブロック C B とセンスアンプ S A との接続関係、並びに、カラムブロック C B と基準電圧 V S S との接続関係を変更すればよい。

【 0 0 9 8 】

例えば、カラム選択線 C S L (N) によってカラムブロック C B (N) が選択されたと仮定する。この場合、カラム選択線 C S L (N) によりカラムブロック C B (N) とセンスアンプ S A との間のトランスファゲート X F E R _ A 、 X F E R _ B がオン状態なる。これにより、ビット線 B L 1 、 B L 3 、 B L 5 、 B L 7 がローカル D Q 線 L D Q _ A (0 ~ 3) に接続され、ビット線 B L 0 、 B L 2 、 B L 4 、 B L 6 がローカル D Q 線 L D Q _ B (0 ~ 3) に接続される。

20

【 0 0 9 9 】

ワード線 W L 0 、 W L 2 、 W L 4 ・ ・ ・ のいずれかが選択された場合、制御信号 E N B L _ e v e n が活性化され、センスアンプ S A _ A およびクランプ回路 C L A M P _ B が活性化される。これにより、ビット線 B L 1 、 B L 3 、 B L 5 、 B L 7 は、ローカル D Q 線 L D Q _ A (0 ~ 3) を介してセンスアンプ S A _ A に接続され、ビット線 B L 0 、 B L 2 、 B L 4 、 B L 6 は、ローカル D Q 線 L D Q _ B (0 ~ 3) を介して基準電圧 V s s に接続される。これにより、センスアンプ S A _ A 0 ~ S A _ A 3 により読出し動作が実行される。このとき、ビット線対は、(B L 1 , B L 2) 、 (B L 3 , B L 4) 、 (B L 5 , B L 6) ・ ・ ・ となる。ここで、非選択状態のカラムブロック C B については、各ビット線 B L の電位を基準電圧 V S S に固定するか、もしくは、非選択カラムブロック C B に接続されているトランスファゲート X F E R _ B をオン状態とする。

30

【 0 1 0 0 】

ワード線 W L 1 、 W L 3 、 W L 5 ・ ・ ・ のいずれかが選択された場合、制御信号 E N B L _ o d d が活性化され、センスアンプ S A _ B およびクランプ回路 C L A M P _ A が活性化される。これにより、ビット線 B L 1 、 B L 3 、 B L 5 、 B L 7 は、ローカル D Q 線 L D Q _ A (0 ~ 3) を介して基準電圧 V s s に接続され、ビット線 B L 0 、 B L 2 、 B L 4 、 B L 6 は、ローカル D Q 線 L D Q _ B (0 ~ 3) を介してセンスアンプ S A _ B に接続される。これにより、センスアンプ S A _ B 0 ~ S A _ B 3 により読出し動作が実行される。このとき、ビット線対は、(B L 0 , B L 1) 、 (B L 2 , B L 3) 、 (B L 4 , B L 5) ・ ・ ・ となる。ここで、非選択状態のカラムブロック C B については、各ビット線 B L の電位を基準電圧 V S S に固定するか、もしくは、非選択カラムブロック C B に接続されているトランスファゲート X F E R _ A をオン状態とする。

40

【 0 1 0 1 】

センスアンプ S A が複数のカラムブロック C B に共有されていることによって、センスアンプ S A の総個数を削減することができる。これは、M R A M のチップサイズ縮小、すなわち低コスト化に繋がる。

【 0 1 0 2 】

50

(第5の実施形態の変形例)

図19は、第5の実施形態の変形例に従ったMRAMのメモリセルアレイ、ローカルDQ線、トランスファゲートXFERおよびセンスアンプの構成例を示す概略図である。本変形例によるMRAMは、ビット線対BL_i、BL_{i+1}のうち一方をローカルDQ線LDQを介してセンスアンプSAに接続し、他方をローカルDQ線LDQを介することなく基準電圧VSSに接続するように構成されている。これにより、メモリセルアレイMCAの両側に設けられたセンスアンプSAが同時にデータを読み出すことができる。例えば、カラムブロックCBからnビットデータを読み出すとき、メモリセルアレイMCAの両側にn/2個ずつのセンスアンプSAを設ければよい。

【0103】

メモリセルアレイMCA自体の構成は、第1の実施形態におけるメモリセルアレイMCAの構成(矩形波型構成)と同様でよい。

【0104】

例えば、図19では4組のビット線対BL_i、BL_{i+1}に対応する複数のメモリセルMCが各カラムブロックCBを構成しており、センスアンプSA__A、SA__B(以下、単にセンスアンプSAともいう)は、メモリセルアレイMCAの両側に2個ずつ配置されている。センスアンプSAとカラムブロックCBとの間には、ローカルDQ線LDQ__A、LDQ__B(以下、単にローカルDQ線LDQともいう)と、トランスファゲートXFER__A、XFER__B(以下、単にトランスファゲートXFERともいう)とが設けられている。

【0105】

トランスファゲートXFERは、ビット線BLとローカルDQ線LDQとの間に接続されており、カラム選択線CSLによってオン/オフ制御される。トランスファゲートXFERは、対応するカラムブロックCBが選択されたときに、その選択されたカラムブロックCBのビット線BLを、ローカルDQ線LDQを介してセンスアンプSAに接続する。あるいは、トランスファゲートXFERは、対応するカラムブロックCBが選択されたときに、その選択されたカラムブロックCBのビット線BLを、ローカルDQ線LDQを介することなく直接基準電圧VSSに接続する。

【0106】

センスアンプSAは、対応するローカルDQ線LDQに接続される。

【0107】

例えば、カラム選択線CSL__A(N)が活性化された場合、カラムブロックCB(N)の右側にあるセンスアンプSA__A0は、ローカルDQ線LDQ__Aを介してビット線BL0に接続され、センスアンプSA__A1は、ローカルDQ線LDQ__Aを介してビット線BL4に接続される。また、カラムブロックCB(N)の左側にあるセンスアンプSA__B0は、ローカルDQ線LDQ__Bを介してビット線BL7に接続され、センスアンプSA__B1は、ローカルDQ線LDQ__Bを介してビット線BL3に接続される。

【0108】

一方、ビット線BL1およびBL5はトランスファゲートXFER__Aを介して基準電圧VSSに接続され、ビット線BL2およびBL6はトランスファゲートXFER__Bを介して基準電圧VSSに接続される。

【0109】

これにより、センスアンプSA__A0、SA__A1、SA__B0、SA__B1は、それぞれビット線BL0、BL4、BL7、BL3を介してメモリセルMCのデータを検出する。つまり、4ビットデータを同時にセンスアンプSAで検出することができる。

【0110】

カラム選択線CSL__B(N)が活性化された場合、センスアンプSA__A0は、ローカルDQ線LDQ__Aを介してビット線BL2に接続され、センスアンプSA__A1は、ローカルDQ線LDQ__Aを介してビット線BL6に接続される。また、センスアンプSA__B0は、ローカルDQ線LDQ__Bを介してビット線BL5に接続され、センスアンプ

10

20

30

40

50

ブ S A __ B 1 は、ローカル D Q 線 L D Q __ B を介してビット線 B L 1 に接続される。

【 0 1 1 1 】

一方、ビット線 B L 0 および B L 4 はトランスファゲート X F E R __ A を介して基準電圧 V S S に接続され、ビット線 B L 3 および B L 7 はトランスファゲート X F E R __ B を介して基準電圧 V S S に接続される。

【 0 1 1 2 】

これにより、センスアンプ S A __ A 0、S A __ A 1、S A __ B 0、S A __ B 1 は、それぞれビット線 B L 2、B L 6、B L 5、B L 1 を介してメモリセル M C のデータを検出する。この場合も、4 ビットデータを同時にセンスアンプ S A で検出することができる。

【 0 1 1 3 】

例えば、M R A M は、偶数番のワード線 W L 0、W L 2、W L 4・・・が選択された場合、カラム選択線 C S L __ A (N) を活性化させてデータを読み出す。M R A M は、奇数番のワード線 W L 1、W L 3、W L 5・・・が選択された場合、カラム選択線 C S L __ B (N) を活性化させデータを読み出す。

【 0 1 1 4 】

このように動作させることによって、セル電流 I c e l l は、メモリセル M C に対して同一方向 (図 2 の A 2) に流れる。これにより前述の第 1 の実施形態の変形例と同様に、読み出しマージンを大きくすることができる。

【 0 1 1 5 】

本変形例によれば、センスアンプ S A が複数のカラムブロック C B に共有されていることによって、センスアンプ S A の個数を低減させることができる。さらに、トランスファゲート X F E R は、2 つのビット線 B L のうち一方を選択的にローカル D Q 線 L D Q に接続する。従って、読出し時および書き込み時にカラムブロック C B の両側に配置されたローカル D Q 線 L D Q を全てビット線 B L に接続することができる。その結果、同時に読み出すデータのビット数に等しい個数のセンスアンプ S A をカラムブロック C B の両側に配置すればよい。これは、M R A M のさらなるチップサイズの縮小化、すなわち低コスト化に繋がる。

【 0 1 1 6 】

(第 6 の実施形態の変形例)

図 2 0 は、第 6 の実施形態の変形例に従った M R A M のメモリセルアレイ、ローカル D Q 線、トランスファゲート X F E R およびセンスアンプの構成例を示す概略図である。本変形例は、第 5 の実施形態の変形例を第 6 の実施形態に適用したものである。

【 0 1 1 7 】

第 6 の実施形態の変形例は、メモリセルアレイ M C A が第 2 の実施形態のメモリセルアレイ M C A の構成 (階段型構成) である点で第 5 の実施形態の変形例と異なる。第 6 の実施形態の変形例のその他の構成は、対応する第 5 の実施形態の変形例の構成と同様でよい。従って、第 6 の実施形態の変形例におけるセンスアンプ S A とカラムブロック C B との間の接続関係は、第 5 の実施形態の変形例におけるそれと同じでよい。

【 0 1 1 8 】

第 6 の実施形態の変形例では、読出したまたは書き込み時に対となるビット線は、選択されるワード線 W L によって変化する。それに伴い、カラムブロック C B とセンスアンプ S A との接続関係、並びに、カラムブロック C B と基準電圧 V S S との接続関係を変更すればよい。

【 0 1 1 9 】

例えば、カラム選択線 C S L __ A (N) が活性化された場合、センスアンプ S A __ A 0 は、ローカル D Q 線 L D Q __ A を介してビット線 B L 7 に接続され、センスアンプ S A __ A 1 は、ローカル D Q 線 L D Q __ A を介してビット線 B L 3 に接続される。また、カラムブロック C B (N) の左側にあるセンスアンプ S A __ B 0 は、ローカル D Q 線 L D Q __ B を介してビット線 B L 0 に接続され、センスアンプ S A __ B 1 は、ローカル D Q 線 L D Q __ B を介してビット線 B L 4 に接続される。

10

20

30

40

50

【 0 1 2 0 】

一方、ビット線 B L 1 および B L 5 はトランスファゲート X F E R _ A を介して基準電圧 V S S に接続され、ビット線 B L 2 および B L 6 はトランスファゲート X F E R _ B を介して基準電圧 V S S に接続される。

【 0 1 2 1 】

ここで、非選択状態のカラムブロック C B については、各ビット線 B L の電位を基準電圧 V S S に設定するか、もしくは、非選択カラムブロック C B に接続されているトランスファゲート X F E R _ B をオン状態とする。

【 0 1 2 2 】

これにより、センスアンプ S A _ A 0、S A _ A 1、S A _ B 0、S A _ B 1 は、それぞれビット線 B L 7、B L 3、B L 0、B L 4 を介してメモリセル M C のデータを検出する。つまり、4 ビットデータを同時にセンスアンプ S A で検出することができる。

10

【 0 1 2 3 】

カラム選択線 C S L _ B (N) が活性化された場合、センスアンプ S A _ A 0 は、ローカル D Q 線 L D Q _ A を介してビット線 B L 5 に接続され、センスアンプ S A _ A 1 は、ローカル D Q 線 L D Q _ A を介してビット線 B L 1 に接続される。また、センスアンプ S A _ B 0 は、ローカル D Q 線 L D Q _ B を介してビット線 B L 2 に接続され、センスアンプ S A _ B 1 は、ローカル D Q 線 L D Q _ B を介してビット線 B L 6 に接続される。

【 0 1 2 4 】

一方、ビット線 B L 3 および B L 7 はトランスファゲート X F E R _ A を介して基準電圧 V S S に接続され、ビット線 B L 0 および B L 4 はトランスファゲート X F E R _ B を介して基準電圧 V S S に接続される。

20

【 0 1 2 5 】

ここで、非選択状態のカラムブロック C B については、各ビット線 B L の電位を基準電圧 V S S に設定するか、もしくは、非選択カラムブロック C B に接続されているトランスファゲート X F E R _ A をオン状態とする。

【 0 1 2 6 】

これにより、センスアンプ S A _ A 0、S A _ A 1、S A _ B 0、S A _ B 1 は、それぞれビット線 B L 5、B L 1、B L 2、B L 6 を介してメモリセル M C のデータを検出する。この場合も、4 ビットデータを同時にセンスアンプ S A で検出することができる。

30

【 0 1 2 7 】

例えば、M R A M は、奇数番のワード線 W L 1、W L 3、W L 5 . . . が選択された場合、カラム選択線 C S L _ A (N) を活性化させてデータを読み出す。これにより、ビット線対は、(B L 0 , B L 1)、(B L 2 , B L 3)、(B L 4 , B L 5) . . . となる。センスアンプ S A は、ビット線 B L 7、B L 3、B L 0、B L 4 を介してデータを検出することができる。

【 0 1 2 8 】

M R A M は、偶数番のワード線 W L 0、W L 2、W L 4 . . . が選択された場合、カラム選択線 C S L _ B (N) を活性化させてデータを読み出す。これにより、ビット線対は、(B L 1 , B L 2)、(B L 3 , B L 4)、(B L 5 , B L 6) . . . となる。センスアンプ S A は、ビット線 B L 5、B L 1、B L 2、B L 6 を介してデータを検出することができる。

40

【 0 1 2 9 】

第 6 の実施形態の変形例は、第 5 の実施形態の変形例と同様の効果を得ることができる。

【 0 1 3 0 】

このように動作させることによって、セル電流 I c e l l は、メモリセル M C に対して同一方向 (図 2 の A 2) に流れる。これにより前述の第二の実施形態の変形例と同様に、読み出しマージンを大きくすることができる。

【 0 1 3 1 】

50

以上の実施形態において、主に読出し動作についてのみ説明したが、書込み動作については、上記で図2を用いて説明したように、メモリセルMCに書込みデータに応じた方向の書き込み電流を流せばよい。

【0132】

メモリセルMCを構成するセルトランジスタCTは、平面型MOSFET (Metal-Oxide Semiconductor Field Effect Transistor)、所謂FinFET、Dual-Channel型FinFET、GAA (Gate All Around)型トランジスタ、Si Nanowireトランジスタ等、どのようなトランジスタを用いてもよい。

【0133】

また、上記実施形態では、MRAMを例として記載したが、上記実施形態は、PCRAM、RRAM等の他の抵抗性記憶素子を用いた半導体記憶装置に適用することができる。

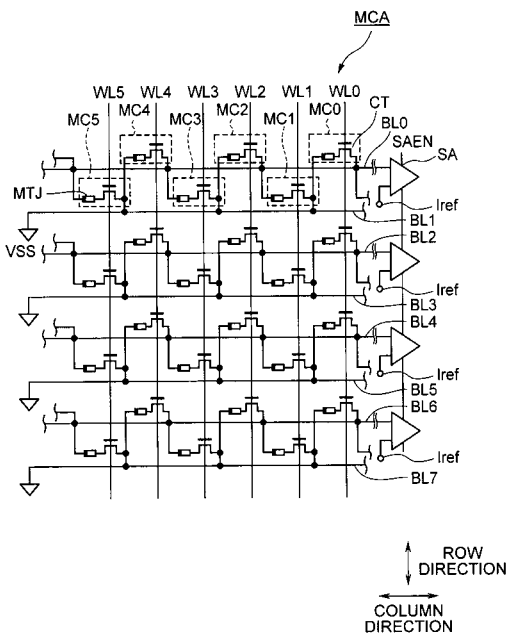
10

【符号の説明】

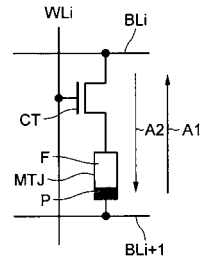
【0134】

MC・・・メモリセル、MCA・・・メモリセルアレイ、BL・・・ビット線、WL・・・ワード線、MTJ・・・MTJ素子、CT・・・セルトランジスタ、SA・・・センスアンプ、AA・・・アクティブエリア、CB0、CB1・・・コンタクトプラグ、V0、V1・・・ピアコンタクト、UE・・・上部電極

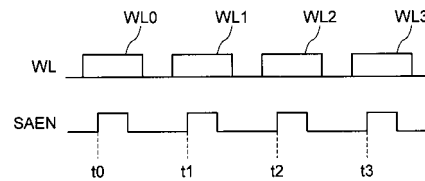
【図1】



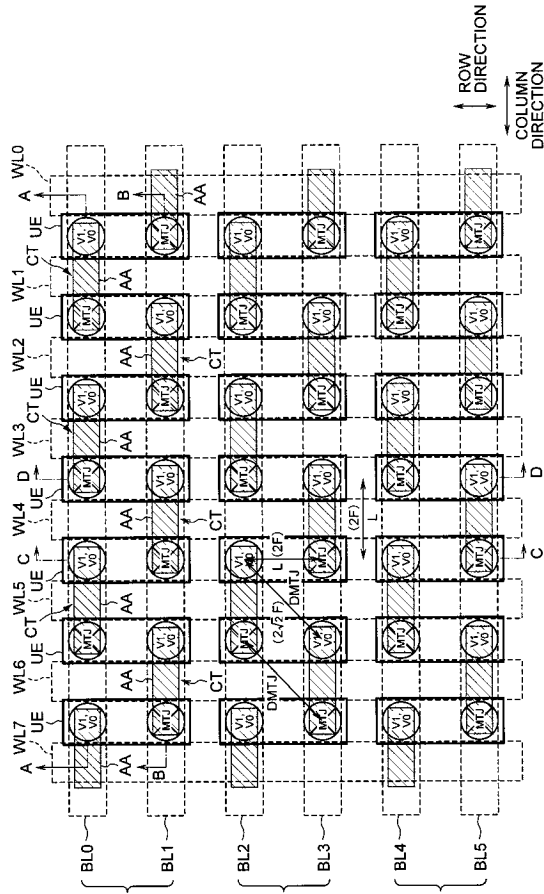
【図2】



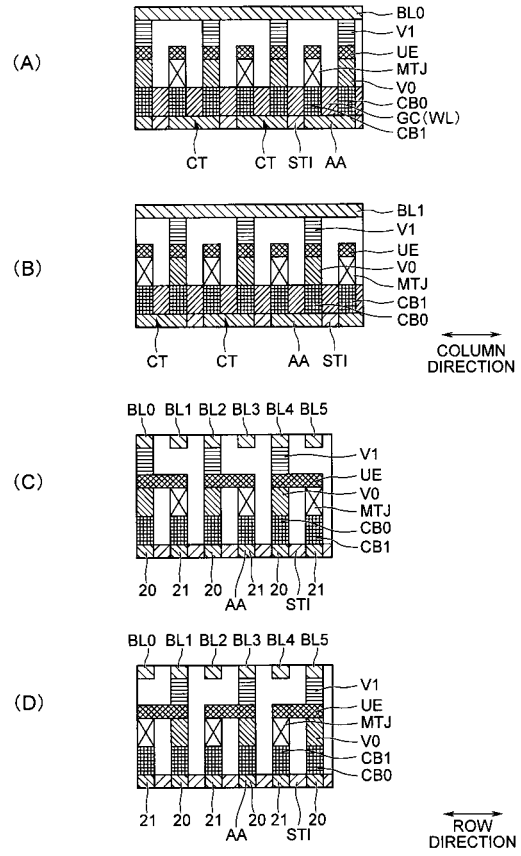
【図3】



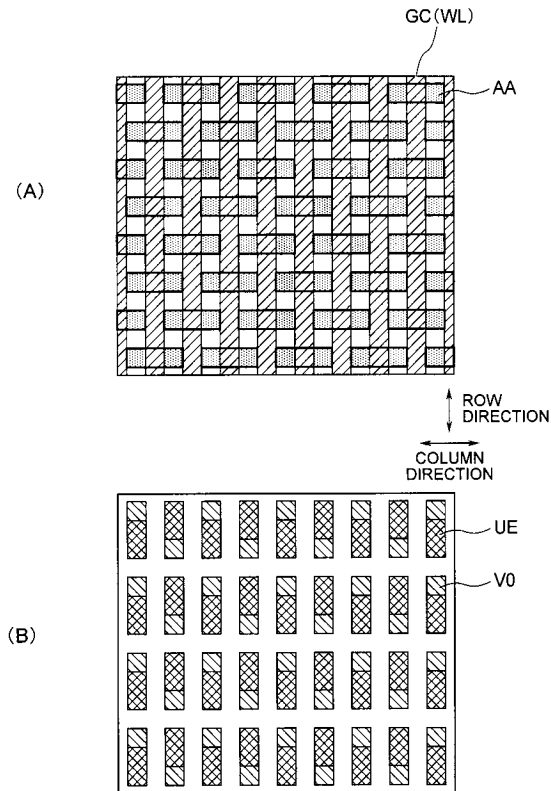
【 図 4 】



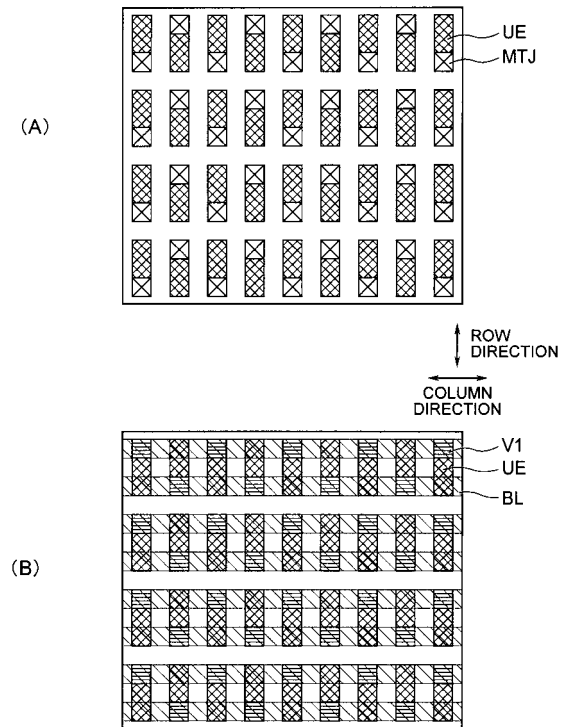
【 図 5 】



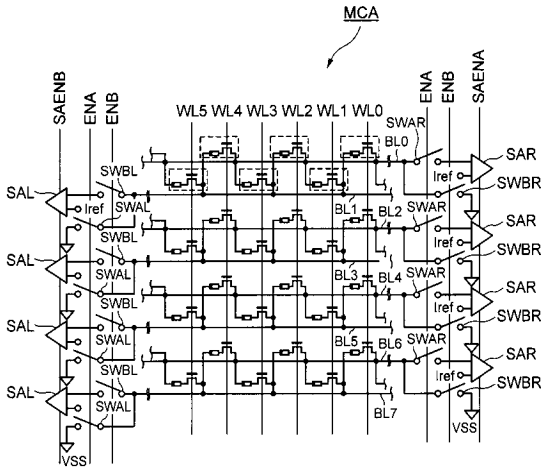
【 図 6 】



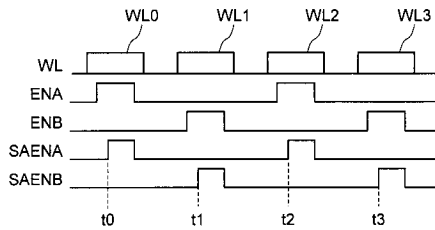
【 図 7 】



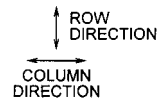
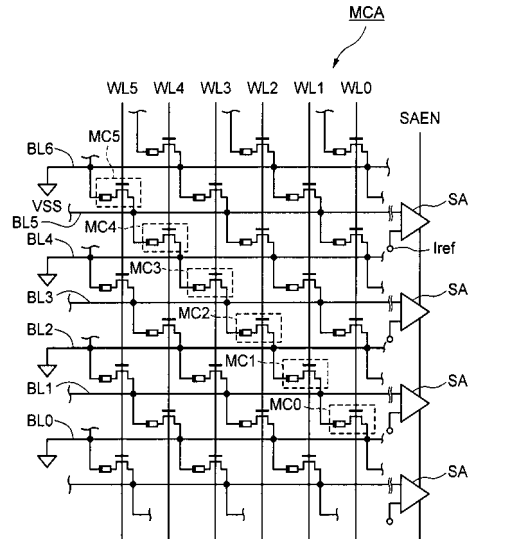
【 図 8 】



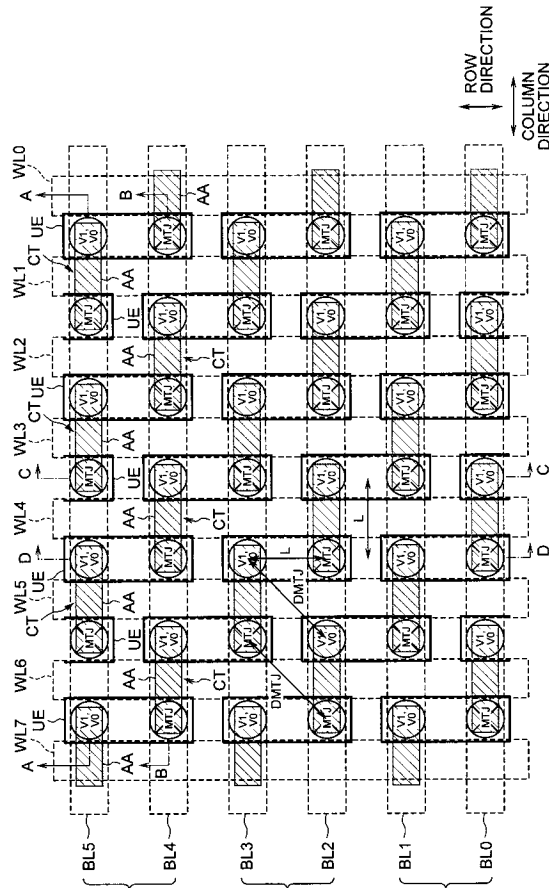
【 図 9 】



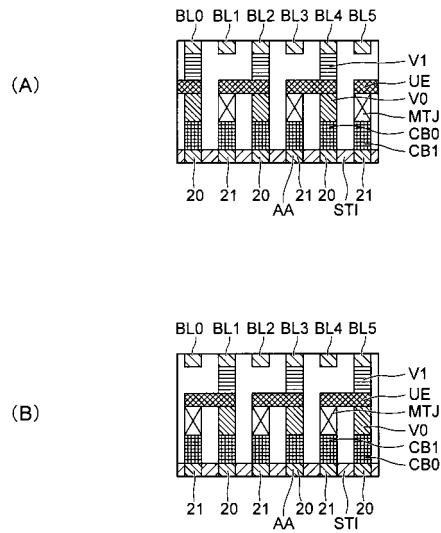
【 図 10 】



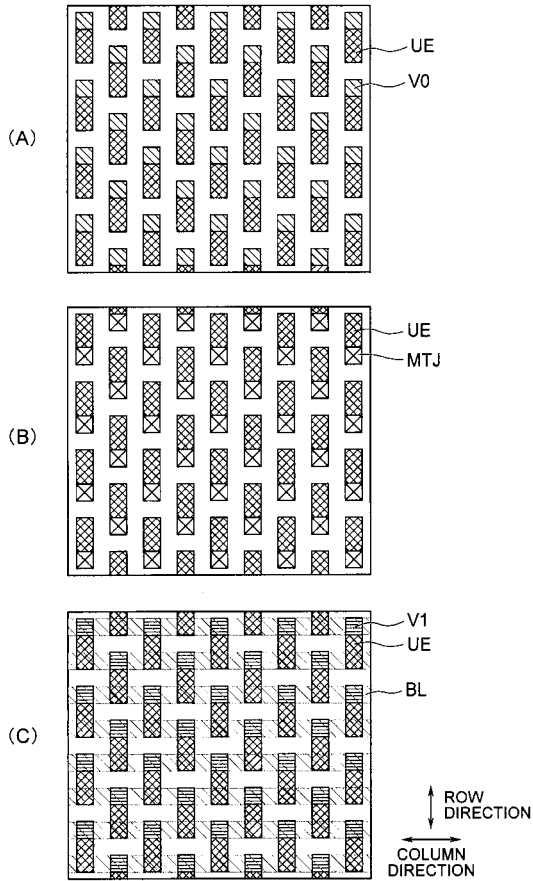
【 図 11 】



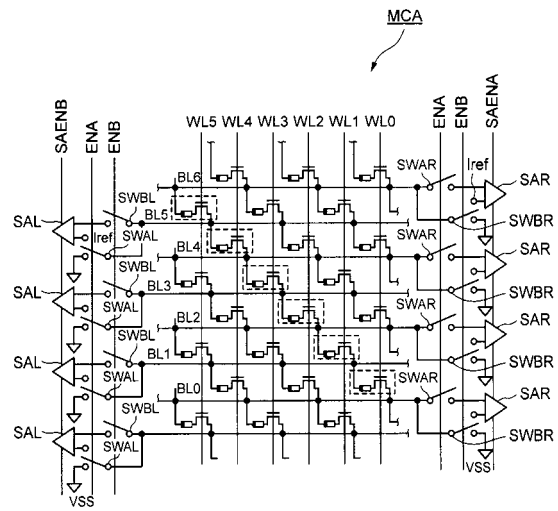
【 図 12 】



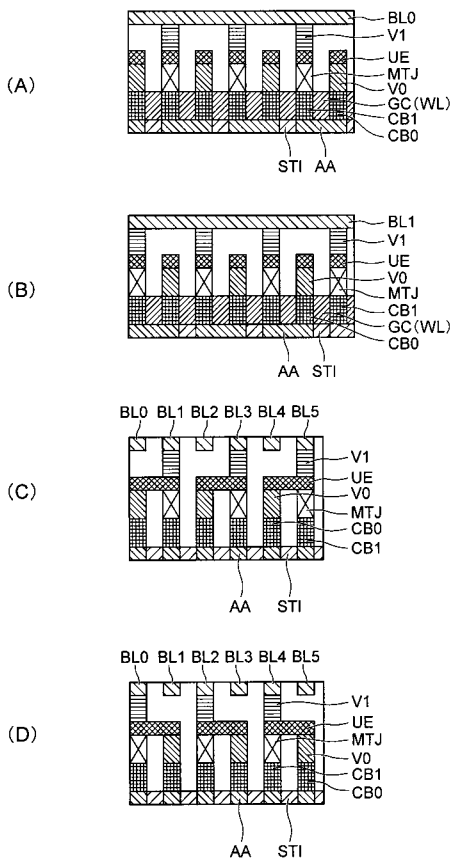
【 図 1 3 】



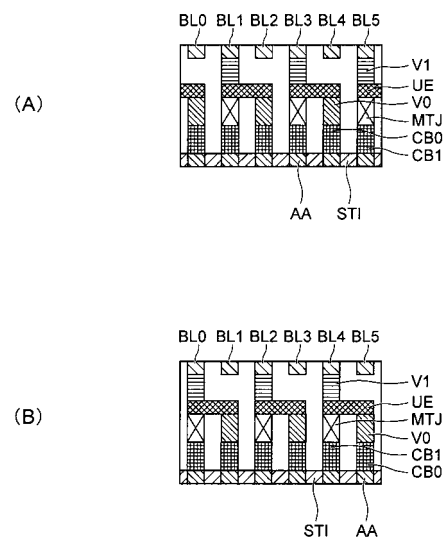
【 図 1 4 】



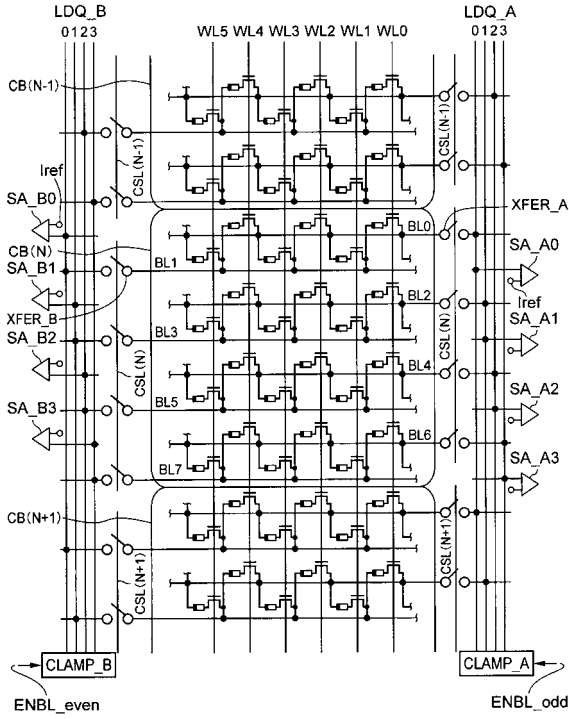
【 図 1 5 】



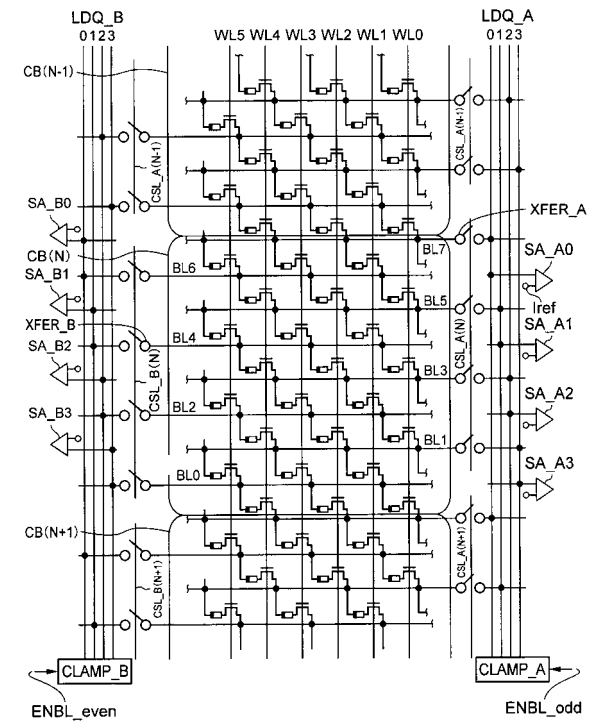
【 図 1 6 】



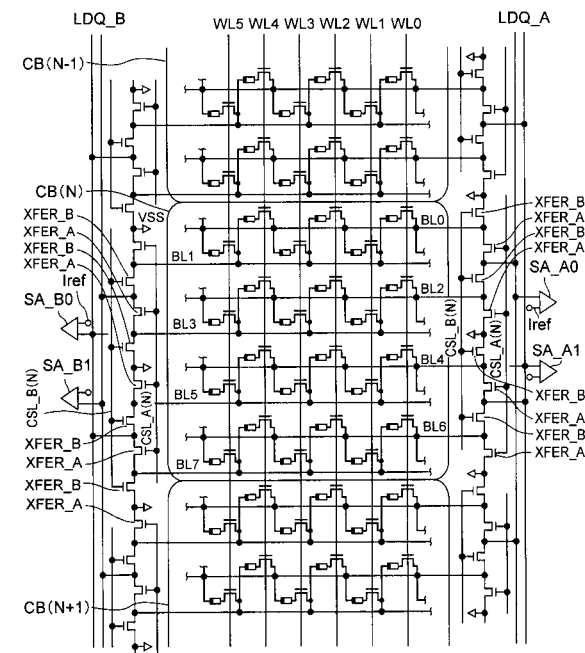
【 図 17 】



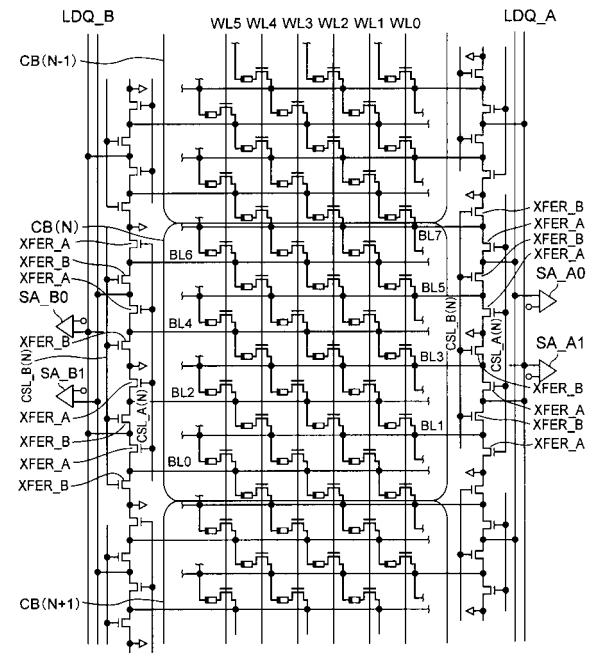
【 図 18 】



【 図 19 】



【 図 20 】



フロントページの続き

(72)発明者 稲 場 恒 夫

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M119 AA11 BB01 CC05 DD33 DD45 DD55 EE23 EE27 FF05 FF16

FF17 GG01 HH05

5F092 AA12 AB08 AC12 AD03 AD25