



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0021134
(43) 공개일자 2013년03월05일

(51) 국제특허분류(Int. Cl.)

H02M 1/12 (2006.01) H02J 3/38 (2006.01)

(21) 출원번호 10-2011-0083483

(22) 출원일자 2011년08월22일

심사청구일자 없음

(71) 출원인

엘에스산전 주식회사

경기도 안양시 동안구 엘에스로 127 (호계동)

(72) 발명자

배병열

경기도 시흥시 수인로3409번길 54, 다동 207호 (신천동, 동진아파트)

최용길

서울특별시 강서구 강서로56나길 37, 주공아파트 307동 904호 (등촌동)

(74) 대리인

서교준

전체 청구항 수 : 총 7 항

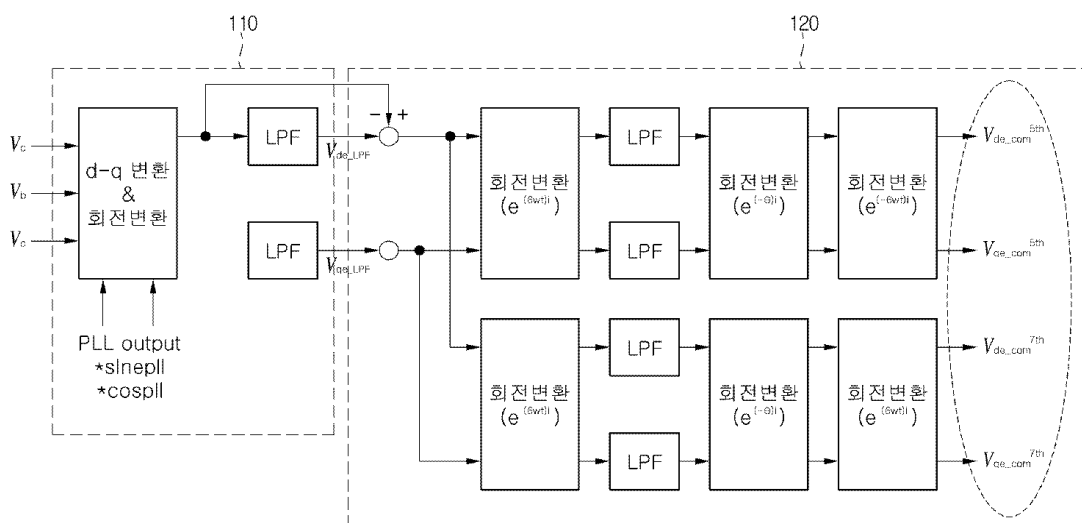
(54) 발명의 명칭 인버터의 전류 제어 장치

(57) 요약

본 발명의 실시 예에 따른 인버터의 전류 제어 장치는 계통의 3상 전압을 d축 전압 및 q축 전압으로 변환하고, 상기 변환된 d축 전압 및 q축 전압을 계통 전압의 주파수에 따라 회전 변환하여 제 1 d축 전압 및 제 1 q축 전압을 출력하는 제 1 회전 변환기; 상기 제 1 회전 변환기에 의해 출력되는 제 1 d축 전압 및 제 1 q축 전압으로부터 고조파 신호를 제거하여 제 2 d축 전압 및 제 2 q축 전압을 출력하는 저역통과필터; 상기 d-q 변환 및 회전 변환기와 저역통과필터의 출력 신호를 가산하는 가산기와, 상기 가산기의 출력 신호에 대해 정회전 및 역회전 변환하여 위상 지연만큼 앞선 위상을 갖는 제 3 d축 전압 및 제 3 q축 전압을 검출하는 제 2 회전 변환기와, 상기 제 2 및 3 d축 전압을 이용하여 d축 계통 전압을 검출하고, 상기 검출된 d축 계통 전압을 이용하여 부하로 공급될 d축 구동 전압을 생성하는 d축 전류 제어기; 및 상기 제 2 및 3 q축 전압을 이용하여 q축 계통 전압을 검출하고, 상기 검출된 q축 계통 전압을 이용하여 부하로 공급될 q축 구동 전압을 생성하는 q축 전류 제어기를 포함한다.

대표도

100



특허청구의 범위

청구항 1

계통의 3상 전압을 d축 전압 및 q축 전압으로 변환하고, 상기 변환된 d축 전압 및 q축 전압을 계통 전압의 주파수에 따라 회전 변환하여 제 1 d축 전압 및 제 1 q축 전압을 출력하는 제 1 회전 변환기;

상기 제 1 회전 변환기에 의해 출력되는 제 1 d축 전압 및 제 1 q축 전압으로부터 고조파 신호를 제거하여 제 2 d축 전압 및 제 2 q축 전압을 출력하는 저역통과필터;

상기 d-q 변환 및 회전 변환기와 저역통과필터의 출력 신호를 가산하는 가산기;

상기 가산기의 출력 신호에 대해 정회전 및 역회전 변환하여 위상 지연만큼 앞선 위상을 갖는 제 3 d축 전압 및 제 3 q축 전압을 검출하는 제 2 회전 변환기;

상기 제 2 및 3 d축 전압을 이용하여 d축 계통 전압을 검출하고, 상기 검출된 d축 계통 전압을 이용하여 부하로 공급될 d축 구동 전압을 생성하는 d축 전류 제어기; 및

상기 제 2 및 3 q축 전압을 이용하여 q축 계통 전압을 검출하고, 상기 검출된 q축 계통 전압을 이용하여 부하로 공급될 q축 구동 전압을 생성하는 q축 전류 제어기를 포함하는 인버터의 전류 제어 장치.

청구항 2

제 1항에 있어서,

상기 제 2 회전 변환기의 출력 신호는 5차 d축 전압, 5차 q축 전압, 7차 d축 전압 및 7차 q축 전압을 포함하며,

상기 제 3 d축 전압은 상기 5차 d축 전압 및 7차 d축 전압의 가산에 의해 검출되고,

상기 제 3 q축 전압은 상기 5차 q축 전압 및 7차 q축 전압의 가산에 의해 검출되는 인버터의 전류 제어 장치.

청구항 3

제 2항에 있어서,

상기 d축 계통 전압은 상기 제 2 d축 전압 및 제 3 d축 전압의 가산에 의해 검출되고,

상기 q축 계통 전압은 상기 제 2 q축 전압 및 제 3 q축 전압의 가산에 의해 검출되는 인버터의 전류 제어 장치.

청구항 4

제 1 항에 있어서,

상기 d축 전류 제어기 및 q축 전류 제어기들 각각은;

d축/q축 전류 변환부에서 출력되는 d축/q축 전류와, d축/q축 지령전류를 각기 비례 적분 제어하는 비례 적분 제어기와,

상기 비례 적분 제어기의 출력 신호에 상기 계통 전압 검출부를 통해 검출된 d축/q축 계통 전압을 각기 감산하고, 레벨을 제한하여 d축/q축 구동전압을 각기 생성하는 구동전압 출력부와,

상기 비례 적분 제어기의 출력신호에 d축/q축 계통 전압을 각기 감산한 신호와 상기 구동전압 출력부가 생성한 구동전압을 이용하여 상기 비례 적분 제어기의 출력을 각기 제한하는 출력 제한부;를 포함하는 인버터의 전류 제어장치.

청구항 5

제 4 항에 있어서,

상기 비례 적분 제어기는

d축/q축 지령전류에서 상기 d축/q축 전류를 감산하는 제 1 감산기와,

상기 제 1 감산기의 출력신호에 비례 이득을 곱하는 비례 제어부와,

상기 제 1 감산기의 출력신호에서 상기 출력 제한신호를 감산하는 제 2 감산기와,

상기 제 2 감산기의 출력신호에 적분이득을 곱하는 적분 제어부와,

상기 비례 제어부 및 상기 적분 제어부의 출력신호를 가산하여 출력하는 제 1 가산기를 포함하는 인버터의 전류 제어장치.

청구항 6

제 4 항에 있어서,

상기 구동전압 출력부는

상기 비례 적분 제어기의 출력신호에 상기 계통 전압 검출부를 통해 검출된 d축/q축 계통 전압을 가산하는 제 2 가산기와,

상기 제 2 가산기의 출력신호의 레벨을 제한하여 d축/q축 구동전압을 생성하는 리미터;를 포함하는 인버터의 전류 제어장치.

청구항 7

제 4 항에 있어서,

상기 출력 제한부는

상기 제 2 가산기의 출력신호에서 상기 리미터의 출력신호를 감산하는 제 3 감산기와,

상기 제 3 감산기의 출력신호에서 미리 설정된 이득 제한 값을 곱하여 상기 출력 제한신호를 생성하는 이득 제한부;를 포함하는 인버터의 전류 제어장치.

명세서

기술분야

[0001] 본 발명은 인버터 제어 장치에 관한 것으로, 특히 계통 연계 인버터의 전류 제어를 통해 고조파 전류 발생을 저감시킬 수 있는 인버터의 전류 제어 장치에 관한 것이다.

배경기술

[0002] 일반적으로 제어 시스템은 제어 대상 시스템이 신속하게 지령에 응답하도록 제어하여 요구된 결과를 얻을 수 있도록 하는 것으로, 각종 산업용 기기들에 널리 사용되고 있다.

[0003] 도 1은 종래 기술에 따른 계통 연계형 인버터에서의 비례 적분 제어기를 도시한 도면이다.

[0004] 도 1을 참조하면, 각각의 d-축과 q-축의 기준 전류 값이 제어 블록도에 입력된다. 상기 입력된 기준 전류 값은 비례 적분 제어기를 통과하며, 인버터가 연결된 계통의 전압, 검출 전압인 $V_{d\text{eff}}$, $V_{q\text{eff}}$ 출력의 크기 제한을 위해 리미터를 거치게 된다. 이후, 인버터의 출력 측 계통 연계 리액터에 형성시킬 전압 V_{de} , V_{qe} 가 생성된다.

[0005] 인버터는 상기 생성된 V_{de} , V_{qe} 각각에 인버터 출력 전류에 의한 간섭 성분인 $-i_{qe} \cdot \omega f$, $i_{de} \cdot \omega f$ 를 각각 합산 후 인버터는 PWM 제어에 의해 전압을 출력하게 된다.

[0006] 즉, 도 1에 도시된 비례 적분 제어기는 d-q 동기좌표계상에서 동작하게 되며 AC 변수들을 DC로 변환하여 사용하므로 제어가 용이할 뿐만 아니라 전류 제어 응답 또한 원하는 대역폭으로 설정이 가능하다. 도 1에 도시된 바와 같은 제어기는 디지털 제어기상에 프로그램 형태로 구현되는데, 이의 제어 대역폭은 디지털제어기의 제어주기와 관련된다. 예를 들어 계통연계 인버터가 3kHz의 스위칭 주파수로 동작하도록 설정되어 있다면 이것의 제어주기는 대략 333us이다. 상기 333us는 60Hz 상용주파수에서 0.12566[rad]에 해당된다.

[0007] 도 1에서 좌측 부분은 디지털 제어기상에서 구현되는 블록이고, 우측 부분은 제어대상의 시스템에 해당된다. 시스템에 보면 E_{de} 와 E_{qe} 가 인버터 출력에서 빠져 L과 R에 각각 인가된다. 그리고 출력전류와 ωf 와 $-\omega f$ 가 곱해져 직교하는 성분들에 영향을 주는 부분이 있다. 이 부분들은 시스템에 의해 아날로그 적으로 영향을 받는 부분

들이다.

- [0008] 또한, 도 1에는 출력전류의 각 축 성분에 ωf 와 $-\omega f$ 를 곱해서 더해주는 부분이 있다. 도 1을 아날로그로 해석할 경우 이상적으로 보상이 이루어져서 원하는 효과를 볼 수 있지만 실제 제어 시스템에서는 디지털 지연이 발생하게 된다. 즉, 샘플링에 따른 1 주기 지연과 인버터의 평균치 출력 특성으로 인해 반주기 지연이 발생하게 된다. 이럴 경우, 제어주기 초입부터 그 결과물이 영향을 주는 부분까지는 1.5 제어주기 지연이 발생하게 된다.
- [0009] 이러한 지연은 샘플링이 높을 시에는 그 영향이 미비하지만 시스템 용량이 커지고 샘플링 주파수가 낮을 시 영향이 크다. 인버터의 전류제어 대역폭이 낮을 시 배전 계통에 발생하기 쉬운 저차 고조파에 의해 인버터 출력전류의 왜곡은 증가할 수 있다. 이는 계통전압에 포함된 5차, 7차 고조파의 영향이다.
- [0100] 예를 들어, 3kHz 제어주기 시스템의 경우 전류 제어의 대역폭은 300Hz정도가 적합한 범위이다. 하지만 5차와 7차의 경우는 대역폭의 전후에 대응되며 d-q 좌표 상에서는 컷-오프(cut-off) 주파수에 해당된다. 또한 전류제어기는 대역폭의 끝 부분에서 위상지연이 발생하게 되므로 5차와 7차의 영향을 배제시키긴 힘들다.

발명의 내용

해결하려는 과제

- [0011] 본 발명에 따른 실시 예에서는 계통 연계 인버터가 연결된 계통 전압의 왜곡에 의해 제어 불가능 주파수 대역의 고조파 전류가 발생하는 것을 방지할 수 있도록 한다.
- [0012] 제안되는 실시 예에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0013] 본 발명의 실시 예에 따른 인버터의 전류 제어 장치는 계통의 3상 전압을 d축 전압 및 q축 전압으로 변환하고, 상기 변환된 d축 전압 및 q축 전압을 계통 전압의 주파수에 따라 회전 변환하여 제 1 d축 전압 및 제 1 q축 전압을 출력하는 제 1 회전 변환기; 상기 제 1 회전 변환기에 의해 출력되는 제 1 d축 전압 및 제 1 q축 전압으로부터 고조파 신호를 제거하여 제 2 d축 전압 및 제 2 q축 전압을 출력하는 저역통과필터; 상기 d-q 변환 및 회전 변환기와 저역통과필터의 출력 신호를 가산하는 가산기와, 상기 가산기의 출력 신호에 대해 정회전 및 역회전 변환하여 위상 지연만큼 앞선 위상을 갖는 제 3 d축 전압 및 제 3 q축 전압을 검출하는 제 2 회전 변환기와, 상기 제 2 및 3 d축 전압을 이용하여 d축 계통 전압을 검출하고, 상기 검출된 d축 계통 전압을 이용하여 부하로 공급될 d축 구동 전압을 생성하는 d축 전류 제어기; 및 상기 제 2 및 3 q축 전압을 이용하여 q축 계통 전압을 검출하고, 상기 검출된 q축 계통 전압을 이용하여 부하로 공급될 q축 구동 전압을 생성하는 q축 전류 제어기를 포함한다.
- [0014] 또한, 상기 제 2 회전 변환기의 출력 신호는 5차 d축 전압, 5차 q축 전압, 7차 d축 전압 및 7차 q축 전압을 포함하며, 상기 제 3 d축 전압은 상기 5차 d축 전압 및 7차 d축 전압의 가산에 의해 검출되고, 상기 제 3 q축 전압은 상기 5차 q축 전압 및 7차 q축 전압의 가산에 의해 검출된다.
- [0015] 또한, 상기 d축 계통 전압은 상기 제 2 d축 전압 및 제 3 d축 전압의 가산에 의해 검출되고, 상기 q축 계통 전압은 상기 제 2 q축 전압 및 제 3 q축 전압의 가산에 의해 검출된다.
- [0016] 또한, 상기 d축 전류 제어기 및 q축 전류 제어기들 각각은; d축/q축 전류 변환부에서 출력되는 d축/q축 전류와, d축/q축 지령전류를 각기 비례 적분 제어하는 비례 적분 제어기와, 상기 비례 적분 제어기의 출력 신호에 상기 계통 전압 검출부를 통해 검출된 d축/q축 계통 전압을 각기 감산하고, 레벨을 제한하여 d축/q축 구동전압을 각기 생성하는 구동전압 출력부와, 상기 비례 적분 제어기의 출력신호에 d축/q축 계통 전압을 각기 감산한 신호와 상기 구동전압 출력부가 생성한 구동전압을 이용하여 상기 비례 적분 제어기의 출력을 각기 제한하는 출력 제한부;를 포함한다.
- [0017] 또한, 상기 비례 적분 제어기는 d축/q축 지령전류에서 상기 d축/q축 전류를 감산하는 제 1 감산기와, 상기 제 1 감산기의 출력신호에 비례 이득을 곱하는 비례 제어부와, 상기 제 1 감산기의 출력신호에서 상기 출력 제한신호를 감산하는 제 2 감산기와, 상기 제 2 감산기의 출력신호에 적분이득을 곱하는 적분 제어부와, 상기 비례 제어부 및 상기 적분 제어부의 출력신호를 가산하여 출력하는 제 1 가산기를 포함한다.

[0018] 또한, 상기 구동전압 출력부는 상기 비례 적분 제어기의 출력신호에 상기 계통 전압 검출부를 통해 검출된 d축/q축 계통 전압을 가산하는 제 2 가산기와, 상기 제 2 가산기의 출력신호의 레벨을 제한하여 d축/q축 구동전압을 생성하는 리미터;를 포함한다.

[0019] 또한, 상기 출력 제한부는 상기 제 2 가산기의 출력신호에서 상기 리미터의 출력신호를 감산하는 제 3 감산기와, 상기 제 3 감산기의 출력신호에서 미리 설정된 이득 제한 값을 곱하여 상기 출력 제한신호를 생성하는 이득 제한부;를 포함한다.

발명의 효과

[0020] 본 발명에 따른 실시 예에 의하면 신호 처리를 위한 d-q 변환과, 저역통과필터, 그리고 회전 변환에 의해 디지털 지연만큼 위상이 앞선 고조파 전압을 추출하고, 이를 계통 전압으로 이용해줌으로써, 인버터 출력 전류의 고조파 발생을 저감할 수 있다.

도면의 간단한 설명

[0021] 도 1은 종래 기술에 따른 계통 연계형 인버터에서의 비례 적분 제어기를 도시한 도면이다.

도 2는 본 발명의 실시 예에 따른 계통 전압 검출부를 도시한 도면이다.

도 3은 본 발명의 실시 예에 따른 d축 계통 전압을 추출하는 과정을 도시한 도면이다.

도 4는 본 발명의 실시 예에 따른 q축 계통 전압을 추출하는 과정을 도시한 도면이다.

도 5는 본 발명의 실시 예에 따른 d축 전류 제어기를 나타낸 도면이다.

도 6은 본 발명의 실시 예에 따른 q축 전류 제어기를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예를 더욱 상세하게 설명하고자 한다. 본 발명을 설명함에 있어 전체적인 이해를 용이하게 하기 위하여 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0023] 도 2는 본 발명의 실시 예에 따른 계통 전압 검출부(100)를 도시한 도면이고, 도 3은 본 발명의 실시 예에 따른 d축 계통 전압(V_{de_comff})을 추출하는 과정을 도시한 도면이고, 도 4는 본 발명의 실시 예에 따른 q축 계통 전압(V_{qe_comff})을 추출하는 과정을 도시한 도면이다.

[0024] 도 2를 참조하면, 계통 전압 검출부(100)는 직류 성분의 d축 전압(V_{de_LPF}) 및 q축 전압(V_{qe_LPF})을 검출하는 제 1 검출부(110)와, 교류 성분의 d축 전압 및 q축 전압을 전달받고, 상기 전달받은 d축 전압 및 q축 전압을 이용하여 5차 d축 전압, 5차 q축 전압, 7차 d축 전압 및 7차 q축 전압을 각각 검출하는 제 2 검출부(120)를 포함한다.

[0025] 제 1 검출부(110)는 전력 계통의 3상 전압(V_a, V_b, V_c)을 검출하고, 상기 3상 전압(V_a, V_b, V_c)에 대해 정지 변환과 전력 계통 전압의 주파수와 동기되도록 PLL(Phase-locked Loop)를 이용하여 회전 변환을 수행한다. 상기 제 1 검출부(110)의 회전 변환 수행 결과에 따른 출력 신호는 d축 전압(V_{de})과, q축 전압(V_{qe})으로 분리된다. 이때, 상기 분리되어 출력되는 d축 전압(V_{de}) 및 q축 전압(V_{qe})은 전력 계통 전압의 정상 성분과 역상 성분을 포함하고 있으며, 동기 주파수뿐만 아니라, 고조파를 포함하고 있다.

[0026] 이에 따라, 상기 분리되어 출력되는 d축 전압(V_{de})과 q축 전압(V_{qe})은 각각 LPF(Low-pass Filter)를 거쳐, 고조파가 제거된 직류 성분만이 남게 된다.

[0027] 다시 말해서, 상기 제 1 검출부(110)의 최종 출력은 고조파가 제거된 직류 성분의 d축 전압(V_{de_LPF})과, 고조파가 제거된 직류 성분의 q축 전압(V_{qe_LPF})이다.

[0028] 이때, 상기 고조파가 제거된 직류 성분의 d축 전압(V_{de_LPF}) 및 q축 전압(V_{qe_LPF}), 그리고 상기 회전 변환만이 수행된 d축 전압(V_{de})과 q축 전압(V_{qe})은 각각 제 2 검출부(120)에 입력된다.

[0029] 제 2 검출부(120)는 5차 전압과, 7차 전압을 추출하여 동기 주파수에 따라 직류 형태의 좌표로 변환한다.

[0030] 이를 위해, 상기 제 2 검출부(120)의 입력단에는 감산기가 존재하며, 상기 감산기는 상기 입력되는 전압들을 이

용하여 고조파 신호만을 포함하는 d축 전압(V_{deh})과 q축 전압(V_{qeh})을 연산하여 출력한다.

- [0031] 즉, 상기 고조파 신호만을 포함하는 d축 전압(V_{deh})은 상기 LPF를 거치지 않은 원 신호인 d축 전압(V_{de})에서 상기 고조파가 제거된 직류 성분의 d축 전압(V_{de_LPF})을 감산함으로써 검출된다. 이에 따라, 상기 V_{dh} 는 V_{de_LPF} 라는 식에 의해 연산될 수 있다.
- [0032] 또한, 상기 고조파 신호만을 포함하는 q축 전압(V_{qeh})은 상기 LPF를 거치지 않은 원 신호인 q축 전압(V_{qe})에서 상기 고조파가 제거된 직류 성분의 q축 전압(V_{qe_LPF})을 감산함으로써 검출된다. 이에 따라, 상기 V_{qh} 는 V_{qe_LPF} 라는 식에 의해 연산될 수 있다.
- [0033] 상기 제 2 검출부(120)는 상기 고조파 신호만을 포함하는 d축 전압(V_{deh})과, q축 전압(V_{qeh})을 이용하여 위상 지연이 보상된 5차 d축 전압(V_{de_com5th})과, 5차 q축 전압(V_{qe_com5th})과, 7차 d축 전압(V_{de_com7th})과, 7차 q축 전압(V_{qe_com7th})을 검출한다.
- [0034] 예를 들어, 상기 제 2 검출부(120)는 동기 주파수가 60Hz라면, 상기 60Hz를 직류(DC) 형태의 좌표로 변환한다.
- [0035] 즉, 상기 제 2 검출부(120)의 감산기에서 출력되는 신호는 5차 고조파가 DC가 되도록 회전 변환이 실시되며, 이후 LPF를 거치면서 고조파가 제거된 직류 성분만을 포함하는 신호가 출력된다. 이 출력은 5차 고조파 출력 성분이다. 또한, 상기 출력되는 5차 고조파 출력 성분은 다시 회전 변환이 실시되는데, 회전하는 위상은 샘플링에 따른 디지털 지연 등 기타 원인에 의해 발생하는 위상 지연에 대응될 수 있다.
- [0036] 다시 말해서, 상기 제 2 검출부(120)는 정변환 역변환을 거쳐, 각각 5차 d축 전압(V_{de_com5th})과, 5차 q축 전압(V_{qe_com5th})과, 7차 d축 전압(V_{de_com7th})과, 7차 q축 전압(V_{qe_com7th})을 생성하여 출력한다.
- [0037] 상기과 같이 출력되는 5차 d축 전압(V_{de_com5th})과 7차 d축 전압(V_{de_com7th})은 가산기를 통과함으로써, 위상 지연을 보상하기 위한 d축 전압(V_{de_com})이 되고, 5차 q축 전압(V_{qe_com5th})과, 7차 q축 전압(V_{qe_com7th})은 가산기를 통과하여 위상 지연을 보상하기 위한 q축 전압(V_{qe_com})이 된다.
- [0038] 이후, 최종적으로 도 3에 도시된 바와 같이 상기 위상 지연이 보상된 d축 전압(V_{de_com})과 상기 직류 성분만을 포함하는 d축 전압(V_{de_LPF})은 가산기를 거쳐 최종 d축 전압 생성시 참조될 보상 d축 계통 전압(V_{de_comff})으로 출력된다.
- [0039] 또한, 도 4에 도시된 바와 같이 상기 위상 지연이 보상된 q축 전압(V_{qe_com})과 상기 직류 성분만을 포함하는 q축 전압(V_{qe_LPF})은 가산기를 거쳐 최종 q축 전압 생성시 참조될 보상 q축 계통 전압(V_{qe_comff})으로 출력된다.
- [0040] 즉, 본 발명은 d-q 변환기, LPF 및 회전 변환기 등으로 구성된 계통 전압 검출부(100)에 상기 d축 전류 제어기(200)와 q축 전류 제어기(300)를 연결한다. 이에 따라, 검출되는 3상의 계통 전압은 d-q 변환 및 회전 변환을 거치며, 이에 따라 공칭 주파수 기준의 리플 성분들이 추출되며, 이는 각각 5차와 7차 고조파 추출을 위해 정회전 및 역회전 변환을 거쳐, 각각 5차 및 7차 고조파 직류로 변환된다. 변환된 5차 및 7차 전압은 LPF를 통해 직류 성분만 남게 되며, 이는 회전 변환기 2기를 더 거쳐 공칭 주파수만큼의 회전 변환이 이루어져, 각각 위상 지연이 보상된 5차 및 7차 전압으로 출력된다.
- [0041] 이하, 상기과 같이 출력되는 보상 d축 전압(V_{de_comff})과, 보상 q축 전압(V_{qe_comff})을 이용하여 부하 구동에 필요한 d축 전압(V_{de})과 q축 전압(V_{qe})을 생성하는 과정에 대해 설명하기로 한다.
- [0042] 도 5는 본 발명의 실시 예에 따른 d축 전류 제어기(200)를 나타낸 도면이고, 도 6은 본 발명의 실시 예에 따른 q축 전류 제어기(300)를 나타낸 도면이다.
- [0043] 상기 d축 전류 제어기(200)는 비례 적분 제어기(210), 구동 전압 출력부(220) 및 출력 제한부(230)를 포함한다.
- [0044] 비례 적분 제어기(210)는 d축 지령 전류(i^*_{de})와, 부하로 공급되는 d축 전류(i_{de})를 감산하는 제 1 감산기(211)와, 상기 제 1 감산기(211)의 출력 신호에 비례 이득 K_p 을 곱하는 비례 제어부(212)와, 상기 제 1 감산기(211)의 출력 신호에서 출력 제한 신호를 감산하는 제 2 감산기(213)와, 상기 제 2 감산기(213)의 출력 신호에 적분이득 KI/s 을 곱하는 적분 제어부(214)와, 상기 비례 제어부(212) 및 상기 적분 제어부(214)의 출력 신호를 가산하는 제 1 가산기(215)를 포함한다.
- [0045] 구동 전압 출력부(220)는 상기 제 1 가산기(215)의 출력 신호에 상기 계통 전압 검출부(100)를 통해 검출된 보상 d축 계통 전압(V_{de_comff})을 가산하는 제 2 가산기(221)와, 상기 제 2 가산기(221)의 출력 신호의 레벨을 제한하여 d축 구동 전압(V_{de})을 생성하고, 상기 생성한 d축 구동 전압(V_{de})을 PWM 신호 발생부(도시하지 않음)로

출력하는 리미터(222)를 포함한다.

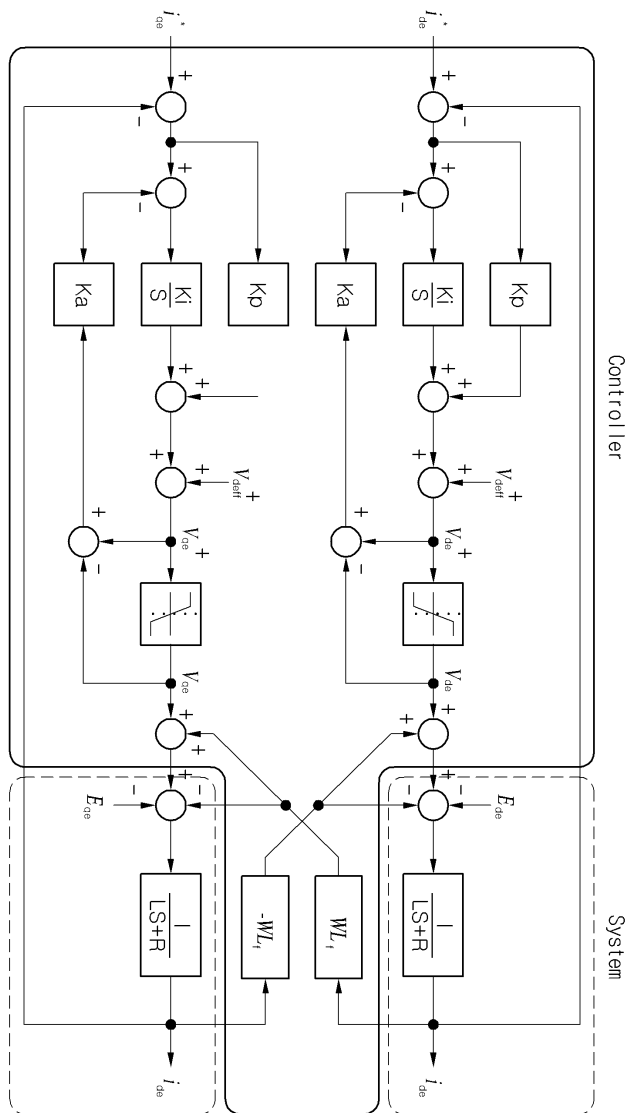
- [0046] 출력 제한부(230)는 상기 구동 전압 출력부(220)이 제 2 가산기(221)의 출력 신호에서 상기 리미터(222)가 출력하는 d축 구동 전압(Vde)을 감산하여 상기 리미터(222)가 제한한 신호를 검출하는 제 3 감산기(231)와, 상기 제 3 감산기(231)의 출력 신호에 미리 설정된 이득 제한 값 Kp를 곱하여 출력 제한 신호를 생성하고, 생성한 출력 제한 신호를 상기 제 2 감산기(213)로 출력하는 이득 제한부(232)를 포함한다.
- [0047] 이러한, d축 전류 제어기(200)는 비례 적분 제어기(210)의 제 1 감산기(211)가 d축 지령 전류(i*de)에서 d축 전류(id)를 감산하여 에러 전류를 계산하고, 계산한 에러 전류는 비례 제어부(210)에서 설정된 비례 이득 Kp이 곱해져 비례 제어되고, 비례제어된 신호는 제 1 가산기(215)에 입력된다.
- [0048] 또한, 제 1 감산기(211)가 출력하는 에러 전류는 제 2 감산기(213)에 입력되어 출력 제한부(230)의 이득 제한부(232)에서 출력되는 출력 제한 신호를 감산하고, 적분 제어부(214)에 입력되어 설정된 적분 이득 KI/s이 곱해진 후 제 1 가산기(215)에 입력되어 상기 비례 제어부(212)의 출력 신호와 가산되고, 제 1 가산기(215)의 출력 신호는 구동 전압 출력부(220)의 제 2 가산기(221)로 입력된다.
- [0049] 또한, 상기 계통 전압 검출부(100)를 통해 검출된 보상 d축 계통 전압(Vde_comff)도 상기 제 2 가산기(221)로 입력되며, 그에 따라 상기 제 1 가산기(215)의 출력 신호와 가산되며, 상기 제 2 가산기(221)의 출력 신호는 리미터(222)에서 레벨이 미리 설정된 값 이하로 제한된 후 d축 구동 전압(Vde)으로 출력되며, 출력된 d축 구동 전압(Vde)은 별도의 PWM 신호 발생부로 입력된다.
- [0050] 그리고 상기 제 2 가산기(221) 및 리미터(222)의 출력신호가 출력 제한부(230)로 입력된다. 상기 출력 제한부(230)는 제 2 감산기(231)가 상기 제 2 가산기(221)의 출력신호에서 상기 리미터(222)의 출력신호를 감산하고, 제 3 감산기(231)의 출력신호가 이득 제한부(232)에서 미리 설정된 이득 제한값 Ka가 곱해져 출력 제한신호가 생성되며, 생성된 출력 제한신호는 상기 비례 적분 제어기(210)의 제 2 감산기(213)로 입력된다.
- [0051] 도 6은 본 발명의 전류 제어 장치에 따른 q축 전류 제어기(300)의 바람직한 실시 예의 구성을 보인 도면이다. 도 6을 참조하면, 상기 q축 전류 제어기(300)는 상기 설명한 d축 전류 제어기(200)와 동일한 구성을 가지고, 동일한 동작을 수행하는 것으로서, 구체적인 동작의 설명은 생략한다.
- [0052] 결론적으로, 본 발명은 d-q 변환기, LPF 및 회전 변환기 등으로 구성된 계통 전압 검출부(100)에 상기 d축 전류 제어기(200)와 q축 전류 제어기(300)를 연결한다. 이에 따라, 검출되는 3상의 계통 전압은 d-q 변환 및 회전 변환을 거치며, 이에 따라 공칭 주파수 기준의 리플 성분들이 추출되며, 이는 각각 5차와 7차 고조파 추출을 위해 정회전 및 역회전 변환을 거쳐, 각각 5차 및 7차 고조파 직류로 변환된다. 변환된 5차 및 7차 전압은 LPF를 통해 직류 성분만 남게 되며, 이는 회전 변환기 2기를 더 거쳐 공칭 주파수만큼의 회전 변환이 이루어져, 각각 위상 지연이 보상된 5차 및 7차 전압으로 출력된다.
- [0053] 상기과 같이, 본 발명은 신호 처리를 위한 d-q변환과, 저역 통과 필터, 그리고 적절하게 튜닝된 회전 변환에 의해 디지털 지연만큼 위상이 앞선 전압 고조파 전압을 추출하고, 이를 종래의 Vdeff*와 Vqeff*에 합산해줌으로써, 인버터 출력 전류의 고조파 발생을 저감시킬 수 있다.
- [0054] 이상에서 본 발명에 대하여 그 바람직한 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다.

부호의 설명

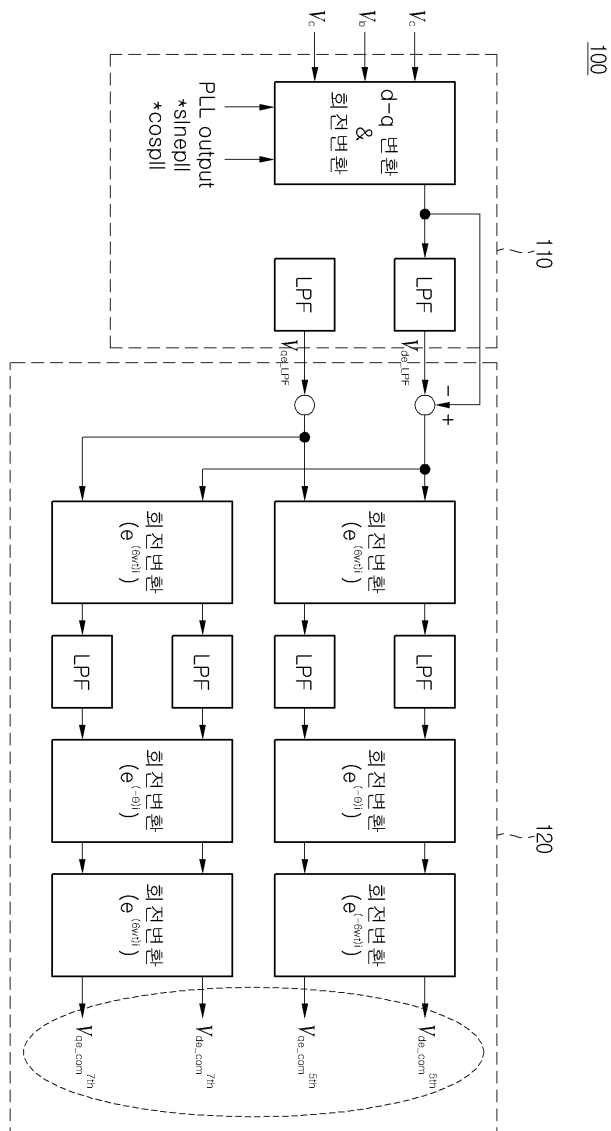
- [0055] 100: 계통 전압 검출부
200: d축 전류 제어기
300: q축 전류 제어기

도면

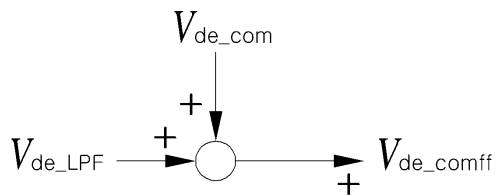
도면1



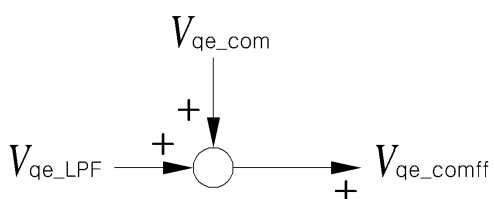
도면2



도면3

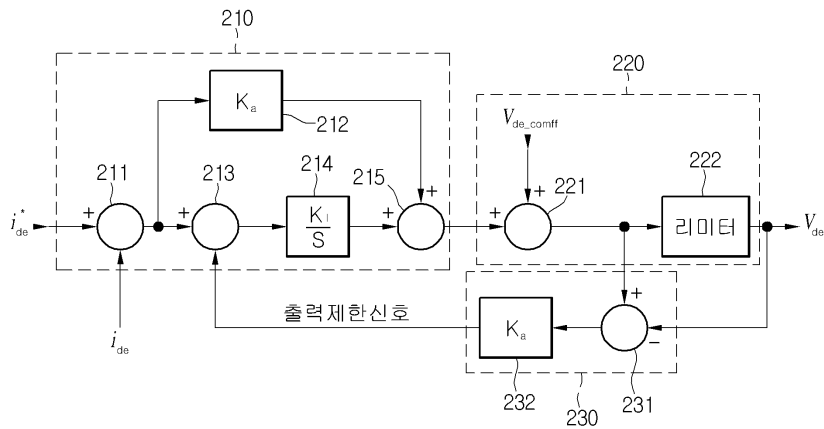


도면4



도면5

200



도면6

300

