(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 105191141 B
(45)授权公告日 2018.06.19

(21)申请号 201480014340.8
(22)申请日 2014.03.12
(65)同一申请的已公布的文献号
申请公布号 CN 105191141 A
(43)申请公布日 2015.12.23
(30)优先权数据
13/842,481 2013.03.15 US
(85)PCT国际申请进入国家阶段日
2015.09.11
(86)PCT国际申请的申请数据
PCT/US2014/024035 2014.03.12
(87)PCT国际申请的公布数据
WO2014/150707 EN 2014.09.25
(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州
(72)发明人 Y·唐 B·孙
(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 蔡悦
(51)Int.Cl.
H03L 7/08(2006.01)
G04F 10/00(2006.01)
(56)对比文件
US 2008169826 A1,2008.07.17,
CN 101577546 A,2009.11.11,
CN 101515155 A,2009.08.26,
CN 201583811 U,2010.09.15,
US 2004056202 A1,2004.03.25,
审查员 谢宣瑾

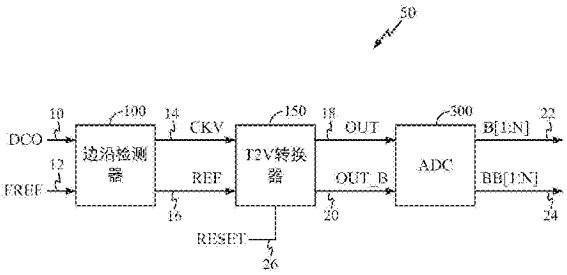
权利要求书10页 说明书7页 附图11页

(54)发明名称

具有嵌入的T2V ADC的混合信号TDC

(57)摘要

时间-数字转换器将参考时钟信号和振荡信号的跳变时间之间的差转换成数字信号，该数字信号的值与这一跳变定时差成比例。时间-数字转换器包括边沿检测器、时间－电压转换器、以及模数转换器。边沿检测器被适配成检测参考时钟信号的每个周期期间振荡信号的最靠近参考时钟信号的边沿的边沿(跳变)。时间－电压转换器被适配成生成与振荡信号的检测到的边沿和参考时钟信号的边沿之间时间上的差成比例的模拟信号。模数转换器被适配成将模拟信号转换成数字信号，该数字信号的值与振荡信号的检测到的边沿和参考时钟信号的边沿的出现之间的差成比例。



CN 105191141 B

1.一种时间－数字转换器，包括：

响应于第一和第二信号的边沿检测器，所述第二信号在所述第一信号的每一个周期期间包括多个边沿，所述边沿检测器被适配成检测在所述第一信号的每一个周期期间所述第二信号的最接近于所述第一信号的边沿的边沿；

时间－电压转换器，所述时间－电压转换器被适配成生成与所述第二信号的检测到的边沿和所述第一信号的边沿之间在时间上的差成比例的电压，其中所述时间－电压转换器具有适配成响应于重置信号被充电至预定电压电平的第一和第二差分输出，其中响应于第一时段期间第一信号的边沿形成所述第一差分输出和第一供电电压之间的第一导电路径，并且响应于第二时段期间第二信号的检测到的边沿形成所述第二差分输出和所述第一供电电压之间的第二导电路径，所述第一和第二时段不重叠；以及

模数转换器，所述模数转换器适配成将所述第一和第二差分输出的电压的差数字化。

2.如权利要求1所述的时间－数字转换器，其特征在于，所述时间－电压转换器进一步包括：

第一和第二晶体管，所述第一和第二晶体管适配成提供所述第一差分输出和所述第一供电电压之间的所述第一导电路径；以及

第三和第四晶体管，所述第三和第四晶体管适配成提供所述第二差分输出和所述第一供电电压之间的所述第二导电路径。

3.如权利要求2所述的时间－数字转换器，其特征在于，所述时间－电压转换器进一步包括：

第五晶体管，所述第五晶体管适配成将所述第一差分输出充电至预定电压电平；以及

第六晶体管，所述第六晶体管适配成将所述第二差分输出充电至所述预定电压电平，其中所述预定电压电平是第二供电电压。

4.如权利要求3所述的时间－数字转换器，其特征在于，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压小于所述第一供电电压。

5.如权利要求4所述的时间－数字转换器，其特征在于，进一步包括：

第一多个电容器，所述第一多个电容器中的每一个电容器被适配成响应于第一多个信号中的不同信号而被耦合在所述第一差分输出和所述第二供电电压之间；以及

第二多个电容器，所述第二多个电容器中的每一个电容器被适配成响应于第二多个信号中的不同信号而被耦合在所述第二差分输出和所述第二供电电压之间。

6.如权利要求5所述的时间－数字转换器，其特征在于，所述模数转换器是逐次逼近寄存器(SAR)模数转换器，并且其中所述第一和第二多个电容器为所述模数转换器执行采样和保持操作。

7.如权利要求6所述的时间－数字转换器，其特征在于，所述模数转换器进一步包括适配成生成所述第一和第二多个信号的控制逻辑。

8.如权利要求7所述的时间－数字转换器，其特征在于，所述模数转换器进一步包括比较器，所述比较器适配成比较所述时间－电压转换器的所述第一和第二差分输出的电压，并将比较信号供应给所述控制逻辑。

9.如权利要求8所述的时间－数字转换器，其特征在于，所述边沿检测器包括多个缓冲器和多个可变电容器，其中通过改变所述多个可变电容器的子集的电容来将跨所述多个缓

冲器的子集中的每一个缓冲器的延迟调整为所述第二信号的周期的预定分数。

10.如权利要求9所述的时间－数字转换器，其特征在于，所述边沿检测器进一步包括多个触发器，所述多个触发器具有由所述多个缓冲器的多个输出信号驱动的多个时钟输入端。

11.一种用于将第一信号和第二信号的跳变时间之间的差转换成数字信号的方法，在所述第一信号的每一个周期期间，所述第二信号包括多个跳变，所述方法包括：

在所述第一信号的每个周期期间，检测所述第二信号的在时间上最接近于所述第一信号的跳变的跳变；

将第一和第二差分输出充电至第一供电电压；

响应于第一时段期间所述第一信号的跳变，在所述第一差分输出和第二供电电压之间形成第一导电路径；

响应于第二时段期间所述第二信号的检测到的边沿，在所述第二差分输出和所述第二供电电压之间形成第二导电路径，所述第一和第二时段不重叠；

生成与所述第二信号的检测到的跳变和所述第一信号的跳变在时间上的差成比例的电压；以及

将所述电压数字化。

12.如权利要求11所述的方法，其特征在于，进一步包括：

经由第一和第二晶体管形成所述第一导电路径；以及

经由第三和第四晶体管形成所述第二导电路径。

13.如权利要求12所述的方法，其特征在于，进一步包括：

经由第五晶体管将所述第一差分输出充电至所述第一供电电压；以及

经由第六晶体管将所述第二差分输出充电至所述第一供电电压。

14.如权利要求13所述的方法，其特征在于，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压大于所述第一供电电压。

15.如权利要求14所述的方法，其特征在于，进一步包括：

形成第一多个电容器，所述第一多个电容器中的每一个电容器被适配成响应于第一多个信号中的不同信号而被耦合在所述第一差分输出和所述第二供电电压之间；以及

形成第二多个电容器，所述第二多个电容器中的每一个电容器被适配成响应于第二多个信号中的不同信号而被耦合在所述第二差分输出和所述第二供电电压之间。

16.如权利要求15所述的方法，其特征在于，进一步包括：

使用逐次逼近寄存器(SAR)模数转换器对所述第一和第二差分输出的电压的差进行数字化；以及

使用所述第一和第二多个电容器来执行采样和保持操作。

17.如权利要求16所述的方法，其特征在于，进一步包括：

使用设置在所述SAR模数转换器中的控制逻辑来生成所述第一和第二多个信号。

18.如权利要求17所述的方法，其特征在于，进一步包括：

比较所述第一和第二差分输出的电压以生成比较信号；以及

将所述比较信号递送给所述控制逻辑。

19.如权利要求18所述的方法，其特征在于，进一步包括：

形成串联的多个缓冲器；

将多个可变电容器设置在所述多个缓冲器的输出处；

将所述第一信号施加给所述多个缓冲器中的第一个缓冲器的输入；以及

改变所述多个可变电容器的电容，使得跨所述多个缓冲器的子集中的每一个缓冲器的延迟被调整成所述第二信号的周期的预定分数。

20.如权利要求19所述的方法，其特征在于，进一步包括：

通过使用具有由所述多个缓冲器的多个输出信号驱动的多个时钟输入端的多个触发器来检测所述第二信号的在时间上最接近所述第一信号的跳变的跳变。

21.一种包括指令的非瞬态计算机可读存储介质，所述指令被配置成将第一信号和第二信号的跳变时间之间的差转换成时间，所述第二信号在所述第一信号的每个周期期间包括多个跳变，所述指令在由处理器执行时致使所述处理器：

在所述第一信号的每个周期期间，检测所述第二信号的在时间上最接近于所述第一信号的跳变的跳变；

将第一和第二差分输出充电至第一供电电压；

响应于第一时段期间所述第一信号的跳变，在所述第一差分输出和第二供电电压之间形成第一导电路径；

响应于第二时段期间所述第二信号的检测到的边沿，在所述第二差分输出和所述第二供电电压之间形成第二导电路径，所述第一和第二时段不重叠；

生成与所述第二信号的检测到的跳变和所述第一信号的跳变在时间上的差成比例的电压；以及

将所述第一和第二差分输出的电压的差数字化。

22.如权利要求21所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

经由第一和第二晶体管形成所述第一导电路径；以及

经由第三和第四晶体管形成所述第二导电路径。

23.如权利要求22所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

经由第五晶体管将所述第一差分输出充电至所述第一供电电压；以及

经由第六晶体管将所述第二差分输出充电至所述第一供电电压。

24.如权利要求23所述的非瞬态计算机可读存储介质，其特征在于，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压大于所述第一供电电压。

25.如权利要求24所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

形成第一多个电容器，所述第一多个电容器中的每一个电容器被适配成响应于第一多个信号中的不同信号而被耦合在所述第一差分输出和所述第二供电电压之间；以及

形成第二多个电容器，所述第二多个电容器中的每一个电容器被适配成响应于第二多个信号中的不同信号而被耦合在所述第二差分输出和所述第二供电电压之间。

26.如权利要求25所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

使用逐次逼近寄存器(SAR)模数转换器对所述第一和第二差分输出的电压的差进行数字化；

使用所述第一和第二多个电容器来执行采样和保持操作。

27.如权利要求26所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

使用设置在所述SAR模数转换器中的控制逻辑来生成所述第一和第二多个信号。

28.如权利要求27所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

比较所述第一和第二差分输出的电压以生成比较信号；以及

将所述比较信号递送给所述控制逻辑。

29.如权利要求28所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

形成串联的多个缓冲器；

将多个可变电容器设置在所述多个缓冲器的输出处；

将所述第一信号施加给所述多个缓冲器中的第一个缓冲器的输入；以及

改变所述多个可变电容器的电容，使得跨所述多个缓冲器的子集中的每一个缓冲器的延迟被调整成所述第二信号的周期的预定分数。

30.如权利要求29所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

通过使用具有由所述多个缓冲器的多个输出信号驱动的多个时钟输入端的多个触发器来检测所述第二信号的在时间上最接近所述第一信号的跳变的跳变。

31.一种用于将第一信号和第二信号的跳变时间之间的差转换成时间的时间-数字转换器，在所述第一信号的每一个周期期间，所述第二信号包括多个跳变，所述时间-数字转换器包括：

用于在所述第一信号的每个周期期间，检测所述第二信号的在时间上最接近于所述第一信号的跳变的跳变的装置；

用于将第一和第二差分输出充电至第一供电电压的装置；

用于响应于第一时段期间所述第一信号的跳变，在所述第一差分输出和第二供电电压之间形成第一导电路径的装置；

用于响应于第二时段期间所述第二信号的检测到的边沿，在所述第二差分输出和所述第二供电电压之间形成第二导电路径的装置，所述第一和第二时段不重叠；

用于生成与所述第二信号的检测到的跳变和所述第一信号的跳变在时间上的差成比例的电压的装置；以及

用于将所述第一和第二差分输出的电压的差数字化的装置。

32.如权利要求31所述的时间－数字转换器，其特征在于，进一步包括：

用于经由第一和第二晶体管形成所述第一导电路径的装置；以及

用于经由第三和第四晶体管形成所述第二导电路径的装置。

33.如权利要求32所述的时间－数字转换器，其特征在于，进一步包括：

用于经由第五晶体管将所述第一差分输出充电至所述第一供电电压的装置；以及

用于经由第六晶体管将所述第二差分输出充电至所述第一供电电压的装置。

34.如权利要求33所述的时间－数字转换器，其特征在于，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压大于所述第一供电电压。

35.如权利要求34所述的时间－数字转换器，其特征在于，进一步包括：

第一多个电容器，所述第一多个电容器中的每一个电容器被适配成响应于第一多个信号中的不同信号而被耦合在所述第一差分输出和所述第二供电电压之间；以及

第二多个电容器，所述第二多个电容器中的每一个电容器被适配成响应于第二多个信号中的不同信号而被耦合在所述第二差分输出和所述第二供电电压之间。

36.如权利要求35所述的时间－数字转换器，其特征在于，所述用于将所述第一和第二差分输出的电压的差数字化的装置是逐次逼近寄存器(SAR)模数转换器，其中所述时间－数字转换器进一步包括：

用于使用所述第一和第二多个电容器来执行采样和保持操作的装置。

37.如权利要求36所述的时间－数字转换器，其特征在于，所述用于生成第一和第二多个信号的装置是设置在所述SAR模数转换器中的控制逻辑。

38.如权利要求37所述的时间－数字转换器，其特征在于，进一步包括：

用于比较所述第一和第二差分输出的电压以生成比较信号的装置；以及

用于将所述比较信号递送给所述控制逻辑的装置。

39.如权利要求38所述的时间－数字转换器，其特征在于，进一步包括：

串联的多个缓冲器；

多个可变电容器，每个可变电容器耦合到多个缓冲器中的不同缓冲器的输出；以及

用于改变所述多个可变电容器的电容的装置，使得跨所述多个缓冲器的子集中的每一个缓冲器的延迟是所述第二信号的周期的预定分数。

40.如权利要求39所述的时间－数字转换器，其特征在于，所述用于检测所述第二信号的在时间上最接近所述第一信号的跳变的跳变的装置包括具有由所述多个缓冲器的多个输出信号驱动的多个时钟输入端的多个触发器。

41.一种数字控制锁定环路，包括

检测器，所述检测器被适配成检测控制信号和环路信号之间的差以生成误差信号；

环路滤波器，所述环路滤波器被适配成滤除来自所述误差信号中的噪声的高频分量；

数控振荡器，所述数控振荡器被适配成响应于经滤波的误差信号来生成振荡信号；以及

时间－数字转换器，包括：

响应于参考时钟信号和所述振荡信号的边沿检测器，所述振荡信号在所述参考时钟信号的每一个周期期间包括多个边沿，所述边沿检测器被适配成检测在所述参考时钟信号的每一个周期期间所述振荡信号的最接近于所述参考时钟信号的边沿的边沿；

时间-电压转换器，所述时间-电压转换器被适配成生成与所述振荡信号的检测到的边沿和所述参考时钟信号的边沿之间在时间上的差成比例的电压；以及

模数转换器，所述模数转换器被适配成将所述时间-电压转换器生成的电压数字化，经数字化的电压定义所述环路信号。

42.如权利要求41的数字控制锁定环路，其特征在于，所述时间-电压转换器进一步包

括：

第一和第二晶体管，所述第一和第二晶体管被适配成提供所述时间-电压转换器的第一差分输出和第一供电电压之间的第一导电路径；以及

第三和第四晶体管，所述第三和第四晶体管被适配成提供所述时间-电压转换器的第二差分输出和所述第一供电电压之间的第二导电路径。

43.如权利要求42的数字控制锁定环路，其特征在于，所述时间-电压转换器进一步包括：

第五晶体管，所述第五晶体管适配成将所述第一差分输出重置至第二供电电压；以及

第六晶体管，所述第六晶体管适配成将所述第二差分输出重置至所述第二供电电压。

44.如权利要求43所述的数字控制锁定环路，其特征在于，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压小于所述第一供电电压。

45.如权利要求44所述的数字控制锁定环路，其特征在于，进一步包括：

第一多个电容器，所述第一多个电容器中的每一个电容器被适配成响应于第一多个信号中的不同信号而被耦合在所述第一差分输出和所述第二供电电压之间；以及

第二多个电容器，所述第二多个电容器中的每一个电容器被适配成响应于第二多个信号中的不同信号而被耦合在所述第二差分输出和所述第二供电电压之间。

46.如权利要求45所述的数字控制锁定环路，其特征在于，所述模数转换器是逐次逼近寄存器(SAR)模数转换器，并且其中所述第一和第二多个电容器为所述模数转换器执行采样和保持操作。

47.如权利要求46所述的数字控制锁定环路，其特征在于，所述模数转换器进一步包括适配成生成所述第一和第二多个信号的控制逻辑。

48.如权利要求47所述的数字控制锁定环路，其特征在于，所述模数转换器进一步包括比较器，所述比较器适配成比较所述时间－电压转换器的所述第一和第二差分输出的电压，并将比较信号供应给所述控制逻辑。

49.如权利要求48所述的数字控制锁定环路，其特征在于，所述边沿检测器包括多个缓冲器和多个可变电容器，其中跨所述多个缓冲器的每一个缓冲器的延迟是所述振荡信号的周期的预定分数。

50.如权利要求49所述的数字控制锁定环路，其特征在于，所述边沿检测器进一步包括多个触发器，所述多个触发器具有由所述多个缓冲器的多个输出信号驱动的多个时钟输入端。

51.一种将振荡信号锁定到参考时钟信号的方法，所述振荡信号在所述参考时钟信号的每个周期期间包括多个跳变，所述方法包括：

检测控制信号和环路信号之间的差以生成误差信号；

滤除来自所述误差信号中的高频分量；

响应于经滤波的误差信号来生成所述振荡信号；

在所述参考时钟信号的每个周期期间，检测所述振荡信号的在时间上最接近于所述参考时钟信号的跳变的跳变；

将第一和第二差分输出充电至第一供电电压；

响应于第一时段期间所述参考时钟信号的跳变，在所述第一差分输出和第二供电电压

之间形成第一导电路径；

响应于第二时段期间所述振荡信号的检测到的边沿，在所述第二差分输出和所述第二供电电压之间形成第二导电路径，所述第一和第二时段不重叠；

生成与所述振荡信号的检测到的跳变和所述参考时钟信号的跳变在时间上的差成比例的电压；以及

将所述电压数字化，经数字化的电压定义所述环路信号。

52.如权利要求51所述的方法，其特征在于，进一步包括：

经由第一和第二晶体管形成所述第一导电路径；以及

经由第三和第四晶体管形成所述第二导电路径。

53.如权利要求52所述的方法，其特征在于，进一步包括：

经由第五晶体管将所述第一差分输出重置成所述第一供电电压；以及

经由第六晶体管将所述第二差分输出重置成所述第一供电电压。

54.如权利要求53所述的方法，其特征在于，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压大于所述第一供电电压。

55.如权利要求54所述的方法，其特征在于，进一步包括：

形成第一多个电容器，所述第一多个电容器中的每一个电容器被适配成响应于第一多个信号中的不同信号而被耦合在所述第一差分输出和所述第二供电电压之间；以及

形成第二多个电容器，所述第二多个电容器中的每一个电容器被适配成响应于第二多个信号中的不同信号而被耦合在所述第二差分输出和所述第二供电电压之间。

56.如权利要求55所述的方法，其特征在于，进一步包括：

使用逐次逼近寄存器(SAR)模数转换器对所述第一和第二差分输出的电压的差进行数字化；

使用所述第一和第二多个电容器来执行采样和保持操作。

57.如权利要求56所述的方法，其特征在于，进一步包括：

使用设置在所述SAR模数转换器中的控制逻辑来生成所述第一和第二多个信号。

58.如权利要求57所述的方法，其特征在于，进一步包括：

比较所述第一和第二差分输出的电压以生成比较信号；以及

将所述比较信号递送给所述控制逻辑。

59.如权利要求58所述的方法，其特征在于，进一步包括：

形成串联的多个缓冲器；

将多个可变电容器设置在所述多个缓冲器的输出处；

将所述参考时钟信号施加给所述多个缓冲器中的第一个缓冲器的输入；以及

改变所述多个可变电容器的电容，使得跨所述多个缓冲器的子集中的每一个缓冲器的延迟是所述振荡信号的周期的预定分数。

60.如权利要求59所述的方法，其特征在于，进一步包括：

通过使用具有由所述多个缓冲器的多个输出信号驱动的多个时钟输入端的多个触发器来检测所述振荡信号的在时间上最接近所述参考时钟信号的跳变的跳变。

61.一种包括指令的非瞬态计算机可读存储介质，所述指令被配置成将振荡信号锁定到参考时钟信号，所述振荡信号在所述参考时钟信号的每个周期期间包括多个跳变，所述

指令在由处理器执行时指示所述处理器：

检测控制信号和环路信号之间的差以生成误差信号；

滤除来自所述误差信号中的高频分量；

响应于经滤波的相位误差信号生成所述振荡信号；

在所述参考时钟信号的每个周期期间，检测所述振荡信号的在时间上最接近于所述参考时钟信号的跳变的跳变；

将第一和第二差分输出充电至第一供电电压；

响应于第一时段期间所述参考时钟信号的跳变，在所述第一差分输出和第二供电电压之间形成第一导电路径；

响应于第二时段期间所述振荡信号的检测到的边沿，在所述第二差分输出和所述第二供电电压之间形成第二导电路径，所述第一和第二时段不重叠；

生成与所述振荡信号的检测到的跳变和所述参考时钟信号的跳变在时间上的差成比例的电压；以及

将所述第一和第二差分输出的电压的差数字化，经数字化的差定义所述环路信号。

62.如权利要求61所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

经由第一和第二晶体管形成所述第一导电路径；以及

经由第三和第四晶体管形成所述第二导电路径。

63.如权利要求62所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

经由第五晶体管将所述第一差分输出重置成所述第一供电电压；以及

经由第六晶体管将所述第二差分输出重置成所述第一供电电压。

64.如权利要求63所述的非瞬态计算机可读存储介质，其特征在于，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压大于所述第一供电电压。

65.如权利要求64所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

形成第一多个电容器，所述第一多个电容器中的每一个电容器被适配成响应于第一多个信号中的不同信号而被耦合在所述第一差分输出和所述第二供电电压之间；以及

形成第二多个电容器，所述第二多个电容器中的每一个电容器被适配成响应于第二多个信号中的不同信号而被耦合在所述第二差分输出和所述第二供电电压之间。

66.如权利要求65所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

使用逐次逼近寄存器(SAR)模数转换器对所述第一和第二差分输出的电压的差进行数字化；

使用所述第一和第二多个电容器来执行采样和保持操作。

67.如权利要求66所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

使用设置在所述SAR模数转换器中的控制逻辑来生成所述第一和第二多个信号。

68.如权利要求67所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致

使所述处理器：

比较所述第一和第二差分输出的电压以生成比较信号；以及

将所述比较信号递送给所述控制逻辑。

69.如权利要求68所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

形成串联的多个缓冲器；

将多个可变电容器设置在所述多个缓冲器的输出处；以及

将所述参考时钟信号施加给所述多个缓冲器中的第一个缓冲器的输入；以及

改变所述多个可变电容器的电容，使得跨所述多个缓冲器的子集中的每一个缓冲器的延迟是所述振荡信号的周期的预定分数。

70.如权利要求69所述的非瞬态计算机可读存储介质，其特征在于，所述指令进一步致使所述处理器：

通过使用具有由所述多个缓冲器的多个输出信号驱动的多个时钟输入端的多个触发器来检测所述振荡信号的在时间上最接近所述参考时钟信号的跳变的跳变。

71.一种数字控制锁定环路，包括

用于检测控制信号和环路信号之间的差以生成误差信号的装置；

用于滤除来自所述误差信号中的噪声的高频分量的装置；

用于响应于经滤波的误差信号来生成振荡信号的装置；

用于在参考时钟信号的每个周期期间，检测所述振荡信号的在时间上最接近于所述参考时钟信号的跳变的跳变的装置；

用于将第一和第二差分输出充电至第一供电电压的装置；

用于响应于第一时段期间所述参考时钟信号的跳变，在所述第一差分输出和第二供电电压之间形成第一导电路径的装置；

用于响应于第二时段期间所述振荡信号的检测到的边沿，在所述第二差分输出和所述第二供电电压之间形成第二导电路径的装置，所述第一和第二时段不重叠；

用于生成与所述振荡信号的检测到的跳变和所述参考时钟信号的跳变在时间上的差成比例的电压的装置；以及

用于将所述第一和第二差分输出的电压的差数字化的装置，经数字化的差定义所述环路信号。

72.如权利要求71所述的数字控制锁定环路，其特征在于，进一步包括：

用于经由第一和第二晶体管形成所述第一导电路径的装置；以及

用于经由第三和第四晶体管形成所述第二导电路径的装置。

73.如权利要求71所述的数字控制锁定环路，其特征在于，进一步包括：

用于经由第五晶体管将所述第一差分输出重置成所述第一供电电压的装置；以及

用于经由第六晶体管将所述第二差分输出重置成所述第一供电电压的装置。

74.如权利要求73所述的数字控制锁定环路，其特征在于，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压大于所述第一供电电压。

75.如权利要求74所述的数字控制锁定环路，其特征在于，进一步包括：

第一多个电容器，所述第一多个电容器中的每一个电容器被适配成响应于第一多个信

号中的不同信号而被耦合在所述第一差分输出和所述第二供电电压之间;以及

第二多个电容器,所述第二多个电容器中的每一个电容器被适配成响应于第二多个信号中的不同信号而被耦合在所述第二差分输出和所述第二供电电压之间。

76.如权利要求75所述的数字控制锁定环路,其特征在于,所述用于将所述第一和第二差分输出的电压的差数字化的装置是逐次逼近寄存器(SAR)模数转换器,其中所述时间—数字转换器进一步包括:

用于使用所述第一和第二多个电容器来执行采样和保持操作的装置。

77.如权利要求76所述的数字控制锁定环路,其特征在于,所述用于生成第一和第二多个信号的装置是设置在所述SAR模拟数字转换器中的控制逻辑。

78.如权利要求77所述的数字控制锁定环路,其特征在于,进一步包括:

用于比较所述第一和第二差分输出的电压以生成比较信号的装置;以及

用于将所述比较信号递送给所述控制逻辑的装置。

79.如权利要求78所述的数字控制锁定环路,其特征在于,进一步包括:

串联的多个缓冲器;

多个可变电容器,每个可变电容器耦合到多个缓冲器中的不同的缓冲器的输出;以及

用于改变所述多个可变电容器的电容的装置,使得跨所述多个缓冲器的子集中的每一个缓冲器的延迟是所述振荡信号的周期的预定分数。

80.如权利要求79所述的数字控制锁定环路,其特征在于,所述用于检测所述振荡信号的在时间上最接近所述参考时钟信号的跳变的跳变的装置包括具有由所述多个缓冲器的多个输出信号驱动的多个时钟输入端的多个触发器。

具有嵌入的T2V ADC的混合信号TDC

背景技术

[0001] 本公开涉及电子电路，尤其涉及时间-数字转换器。

[0002] 时间-数字转换器(TDC)是将两个信号的跳变时间(transition time)之间的差转换成数字信号的电子电路，该数字信号的值与这一定时差成比例。时间-数字转换器可被用于锁相环中用以将参考时钟信号和振荡信号的跳变时间之间的差转换成数字信号，以便将振荡信号的相位锁定到时钟信号的相位。

[0003] 简要概述

[0004] 时间-数字转换器将参考时钟信号和振荡信号的跳变时间之间的差转换成数字信号，该数字信号的值与这一跳变定时差成比例的。根据本发明的一个实施例，时间-数字转换器包括边沿检测器、时间－电压转换器、以及模数转换器。

[0005] 边沿检测器被适配成检测参考时钟信号的每个周期期间振荡信号的最靠近参考时钟信号的边沿的边沿(跳变)。时间－电压转换器被适配成生成模拟信号，该模拟信号的值与振荡信号的检测到的边沿和参考时钟信号的边沿的出现之间的差成比例。模数转换器被适配成将模拟信号转换成数字信号。

[0006] 在一个实施例中，时间－数字转换器具有第一和第二差分输出，它们响应于重置信号被充电至预定电压电平。之后，取决于振荡信号的检测到的边沿和参考时钟信号的边沿的相对抵达时间，使得差分输出中的一个差分输出能够被充电至更高电压(或放电至较低电压)，而另一差分输出维持在相同的预定电压电平。两个边沿的抵达时间之间的时间段越长，电压增加(或降低)的量就越大。为此，如果参考时钟信号的边沿领先振荡信号的检测到的边沿，则经由第一和第二晶体管在第一差分输出和第一供电电压之间形成导电路径。相反，如果参考时钟信号的边沿滞后于振荡信号的检测到的边沿，则经由第三和第四晶体管在第二差分输出和第一供电电压之间形成导电路径。

[0007] 在一个实施例中，时间－数字转换器的第一差分输出经由第五晶体管充电至预定电压电平，并且时间－数字转换器的第二差分输出经由第六晶体管充电至预定电压电平。预定电压电平可以是第二供电电压。

[0008] 在一个实施例中，所述第五和第六晶体管是NMOS晶体管，并且其中所述第二供电电压小于所述第一供电电压。在一个实施例中，时间－数字转换器进一步部分地包括第一和第二电容器群。所述第一电容器群中的每一个电容器被适配成响应于第一控制信号群中的不同控制信号而被耦合在所述第一差分输出和所述第二供电电压之间。类似地，所述第二电容器群中的每一个电容器被适配成响应于第二控制信号群中的不同控制信号而被耦合在所述第二差分输出和所述第二供电电压之间。

[0009] 在一个实施例中，模数转换器是逐次逼近寄存器(SAR)模数转换器。在这类实施例中，第一和第二电容器群被用于为SAR模数转换器执行采样和保持操作。在这类实施例中，SAR模数转换器进一步包括适配成生成第一和第二控制信号群的控制逻辑。

[0010] 在一个实施例中，所述模数转换器进一步包括比较器，所述比较器适配成比较所述时间－电压转换器的所述第一和第二差分输出的电压，并将比较信号供应给所述控制逻

辑。所述控制逻辑生成所述时间－电压转换器的输出信号。

[0011] 在一个实施例中，边沿检测器包括缓冲器群和可变电容器。通过改变所述可变电容器中的一个或多个可变电容器的电容，跨缓冲器的子集中的每一个缓冲器的延迟被调整成基本等于振荡信号的周期的预定分数。边沿检测器进一步包括触发器群，所述触发器群的各时钟端接收数个缓冲器的输出信号。

[0012] 一种用于将参考时钟信号和振荡信号的跳变时间之间的差转换成数字信号的方法，该方法包括，在所述参考时钟信号的每个周期期间，检测所述振荡信号的在时间上最接近于所述参考时钟信号的跳变的跳变，将第一和第二差分输出充电至第一供电电压，响应于所述第一时段期间所述参考时钟信号的跳变，在所述第一差分输出和第二供电电压之间形成第一导电路径，响应于与所述第一时段不重叠的所述第二时段期间所述振荡信号的检测到的边沿，在所述第二差分输出和所述第二供电电压之间形成第二导电路径，生成与这些跳变时间之间的差成比例的模拟信号，以及将所述模拟信号数字化。

[0013] 一种数字控制锁定环路，部分地包括鉴相器、环路滤波器、数控振荡器、以及时间－数字转换器。鉴相器被适配成检测参考信号的相位和环路信号的相位之间的差以生成相位误差信号。环路滤波器被适配成滤除来自相位误差信号中的噪声的高频分量。数控振荡器被适配成响应于经滤波的相位误差信号生成振荡信号。时间-数字转换器将参考时钟信号和振荡信号的跳变时间之间的差转换成表示环路信号的数字信号。

[0014] 附图简述

[0015] 藉由示例解说了本公开的各方面。在附图中，类似的参考标号指示类似元件，并且：

[0016] 图1是根据本发明的一个示例性实施例的时间－数字转换器的框图。

[0017] 图2A是根据本发明的一个示例性实施例的时间－数字转换器的示意图。

[0018] 图2B是与图2A的时间－电压转换器相关联的数个信号的时序图。

[0019] 图3是根据本发明的另一示例性实施例的图1的时间－电压转换器的示意图。

[0020] 图4是根据本发明的一个示例性实施例的图1的时间－电压转换器的示意图。

[0021] 图5是根据本发明的一个示例性实施例的图1的模数转换器的简化框图。

[0022] 图6A是根据本发明的一个示例性实施例的设置在图1的边沿检测器中的可调整延迟链的示意图。

[0023] 图6B是与图6A的可调整延迟链相关联的数个信号的时序图。

[0024] 图7A是根据本发明的一个示例性实施例的设置在图1的边沿检测器中的逻辑电路的示意图。

[0025] 图7B和7C是与图6A的逻辑电路相关联的数个信号的时序图。

[0026] 图8是根据本发明的一个示例性实施例的实施时间－数字转换器的数字锁相环的框图。

[0027] 图9示出了根据本发明的一个实施例的将一对信号的跳变时间之间的差转换成数字电压的流程图。

[0028] 详细描述

[0029] 现在将关于附图来描述若干解说性实施例，这些附图形成本文的一部分。尽管以下描述了其中可实现本公开的一个或多个方面的特定实施例，但可以使用其它实施例并且

可作出各种修改而不会脱离本公开的范围。

[0030] 图1是根据本发明的一个示例性实施例的时间－数字转换器(TDC)50的框图。TDC 50被示为部分地包括边沿检测器100、时间－电压转换器(T2V)150、以及模数转换器(ADC)300。

[0031] 边沿检测器100被适配为接收振荡信号DCO 10，以及具有比信号DCO 10更长时间周期的参考时钟信号FREF 12。因此，在信号FREF 12的每个周期期间，在信号DCO 10上出现多次跳变(边沿)。在一个实施例中，在信号FREF 12的每个周期期间，边沿检测器100滤除所有DCO 10的信号边沿，除了在该周期中在时间上最靠近信号FREF 12上升沿(或下降沿)的那个DCO 10上升沿(或下降沿)。被检测为在时间上最靠近信号FREF 12的上升沿(或下降沿)的DCO 10信号边沿被作为输出信号CKV 14来供应。信号FREF 12的对应边沿由边沿检测器100作为输出信号REF 16来供应。在另一实施例中，在信号FREF 12的每个周期期间，边沿检测器100可检测第二靠近FREF 12信号边沿的DCO 10边沿。在又一其它实施例中，在每个周期期间，边沿检测器100检测满足与FREF 12边沿的预定关系的DCO 10边沿。在所有这些实施例中，检测到的DCO 10边沿被作为输出信号CKV 14来供应。

[0032] T2V转换器150被适配成生成与信号CKV 14和REF 16的跳变时间(边沿)的差成比例的电压。因此，信号CKV 14和REF 16的跳变之间的时间差(延迟)越长，跨T2V转换器150的输出节点OUT 18和OUT_B 20生成的差分电压就越大。信号RESET(重置)26被用于对输出节点OUT 18和OUT_B 20的电压充电至预定电压电平，如以下进一步描述的。ADC 300被适配成将其从输出节点OUT 18、OUT_B 20接收的差分电压转换成一对差分N位数字信号B[1:N]22和BB[1:N]24。ADC 300可以是逐次逼近寄存器(SAR)ADC。

[0033] 图2A是根据本发明一个示例性实施例的其中设置了T2V转换器200的TDC 75的示意图。T2V 200(其是图1的T2V 150的一个实施例)被示为包括晶体管202、204、206、212、214、216、电容器220、222、以及反相器208和218。图2B是与图2A的T2V转换器200相关联的数个信号的时序图。

[0034] 同时参考图2A和2B，信号RESET 26分别经由PMOS晶体管202和212将输出节点OUT 18和OUT_B 20重置为供电电压VDD。电容器220、222保留存储在节点OUT 18、OUT_B 20处的电荷。在图2B中，在时段(T0-T1)期间，信号RESET 26被示为低，从而致使节点OUT 18和OUT_B 20被重置为供电电压VDD。

[0035] 如果信号REF 16的上升沿在信号CKV 14的对应上升沿之前抵达，则晶体管214和206导通，从而提供从节点OUT_B 20到接地的导电路径，而节点OUT 18处的电压维持在供电电压VDD。在图2B中，信号REF 16的上升沿252出现在时间T1，并且信号CKV 14的上升沿出现在时间T2。因为T1先于T2出现，在时段(T2-T1)期间，节点OUT_B 20被经由晶体管214和206从其高电压电平VDD放电至较低的电压电平V1。然而，因为在时段(T2－T1)期间晶体管204维持断开，因此节点OUT 18维持在VDD。节点OUT_B 20的电压电平从VDD到V1的压降取决于时段(T2-T1)。换言之，信号REF和CKV的对应边沿的抵达之间的延迟越长，节点OUT_B的电压电平的压降就越大。

[0036] 类似地，如果信号REF 16的上升沿在信号CKV 14的对应上升沿之后抵达，则晶体管204和216导通，从而提供从节点OUT 18到接地的导电路径，而节点OUT_B 20处的电压维持在VDD。在图2B中，在时段(T4-T3)期间，重置信号RESET 26被示为处于低电平，从而致使

节点OUT 18和OUT_B 20被充电至供电电压VDD。在重置操作之后，信号REF 16的上升沿262被示为在时间T5出现，而信号CKV 14的上升沿被示为在时间T4出现。因为T5发生在T4之后，节点OUT 18被从VDD放电至较低的电压电平V2。节点OUT 18的电压电平从VDD到V2的压降取决于时段(T5-T4)。换言之，信号REF 16和CKV 14的对应边沿(即跳变时间)的抵达时间之间的延迟越长，节点OUT 18的电压电平的压降就越大。如以下进一步阐述的，跨节点OUT 18和OUT_B 20的差分电压由模数转换器转换成数字信号，模数转换器的输出电压表示TDC的输出。

[0037] 图3是根据本发明的另一示例性实施例的T2V转换器225的示意图。T2V 225(其是图1的T2V 150的一个实施例)被示为包括晶体管238、240、242、258、260、262、反相器230、232、234、250、252、254、以及电容器236和256。

[0038] T2V 225以和T2V转换器200相同的方式工作，除了在T2V转换器225中，响应于重置信号RESET 16，NMOS晶体管242和262致使输出节点OUT 18和OUT_B 20被充电至参考电压Vref。在这一重置之后，任一个晶体管240、258被导通以形成从节点OUT 18到供电电压Vchg的导电路径，或者反过来，晶体管260、238被导通以形成从节点OUT_B 20到供电电压Vchg的导电路径。具体来说，取决于信号REF 16和CKV 14的上升沿的相对定时，使得节点OUT 18或OUT_B 20中的一者的电压能够从Vref提升，而另一节点的电压维持在Vref。这一电压提升的幅度取决于信号CKV 14和REF 16的对应边沿的抵达时间之间的差。

[0039] 如果信号REF 16的上升沿在信号CKV 14的对应上升沿之前抵达，则晶体管240、258导通以在节点OUT 18和供电电压Vchg之间形成导电路径。因此，使得节点OUT 18的电压能够被提升。节点OUT 18的电压电平的提升取决于由信号CKV 14和REF 16的上升沿的抵达时间之间的差定义的时段。这一差越大，节点OUT 18处的电压提升就越高。由于晶体管260和238在这一时段期间保持截止，因此节点OUT_B 20处的电压维持在电压Vref。节点OUT 18和节点OUT_B 20的电压的差被转换成数字信号，该数字信号表示TDC的输出电压。在一个实施例中，Vref是接地电势。

[0040] 类似地，如果信号REF 16的上升沿在信号CKV 14的对应上升沿之后抵达，则晶体管260、238导通以在节点OUT_B 20和供电电压Vchg之间形成导电路径。因此，使得节点OUT_B 20的电压能够被提升。节点OUT_B 20的电压电平的提升取决于由信号CKV 14和REF 16的上升沿的抵达时间之间的差定义的时段。这一差越大，节点OUT_B 20处的电压提升就越高。由于晶体管240和258在这一时段期间保持截止，因此节点OUT 18处的电压维持在电压Vref。节点OUT 18和节点OUT_B 20的电压的差被转换成数字信号，该数字信号表示TDC的输出电压。

[0041] 图4是根据本发明的另一示例性实施例的T2V转换器250的示意图。T2V转换器250(其是图1的T2V 150的一个实施例)类似于T2V转换器225，除了T2V转换器250包括第一和第二电容器组280、290，代替电容器244、264。电容器组280和290是逐次逼近寄存器(SAR)ADC的一部分。因此，在这些实施例中，ADC的电容器组被集成在T2V电路系统内。

[0042] 电容器组280包括N个电容器282_i以及N个开关284_i，其中i是从1到N变化的整数。每个电容器282_i的第一端耦合到节点OUT 18。每个电容器282_i的第二端经由相关联的开关284_i耦合到供电电压Vref，开关284_i响应于信号PhiP的N位中的一位而断开或闭合。换言之，当N位信号PhiP的位i被断言以便闭合相关联的开关284_i时，电容器282_i的第二端接收到电

压Vref。

[0043] 类似地，电容器组290包括N个电容器292_i和N个开关294_i。每个电容器292_i的第一端耦合到节点OUT_B 20。每个电容器292_i的第二端经由相关联的开关294_i耦合到供电电压Vref，开关294_i响应于信号PhiN的N位中的一位而断开或闭合。换言之，当N位信号PhiN的位i被断言以便闭合相关联的开关294_i时，电容器292_i的第二端接收到电压Vref。如以下进一步描述的，使用ADC将跨电容器组280、290的输出节点OUT 18、OUT_B 20的差分电压转换成数字信号。

[0044] 图5是根据本发明一个示例性实施例的图1的ADC 300的简化框图。虽然图5的ADC 300被示为是SAR ADC，但是可以理解，ADC 300可以是任何ADC。ADC 300被适配成将跨节点OUT 18、OUT_B 20供应的差分电压转换成N位的数字信号。

[0045] ADC 300被示为包括比较器310、控制逻辑320、以及以上参照图4描述的电容器组280、290。电容器组280、290的电容器282_i和292_i对节点OUT 18、OUT_B 20的电压进行采样，并保持这些电压供比较器310进行比较。比较器310的输出是跨比较器的输出端P、N供应的轨对轨差分电压。控制逻辑320被适配成将出现在跨比较器310的输出端P、N的差分电压数字化以生成一对N位差分信号B[1:N]和BB[1:N]，这对差分信号表示TDC的输出。控制电容器组280、290的开关284_i和294_i的差分信号PhiP[1:N]和PhiN[1:N]也由控制逻辑320生成。

[0046] 图6A和7A一起是根据本发明的一个示例性实施例的图1的边沿检测器100的示意图。图6A是适配成生成时钟信号Fref 12的多个相位的可调整延迟链450的示意图。图7A是适配成生成信号CKV 14和REF 16的逻辑电路500的框图。

[0047] 如在图6A中可见，延迟链450被示为包括延迟锁定环440、缓冲器群404、406、408、410、412、414、以及放置在各个缓冲器之间的可变电容器群424、426、428、430、432、434。可使用延迟锁定环440来改变可变电容器的电容，使得跨在其输入和输出端处具有可变电容器的各个缓冲器中的任意缓冲器的延迟是信号DCO 10的周期的四分之一。因此，跨缓冲器406、408、410、412和414的延迟是信号DCO 10的周期的四分之一。图6B是信号Fref 12和由延迟链450生成的延迟信号Fref_d1 42、Fref_d2 44、Fref_d3 46、Fref_d4 48、Fref_d5 50和Fref_d6 52中的每一个延迟信号的时序图。如所见到的，跨每个缓冲器的延迟是信号DCO 10的周期的四分之一。

[0048] 参照图7A，逻辑电路500包括触发器502、506、512、514、反相器504、以及OR(或)门508。在信号FREF 12的每个周期期间，逻辑电路500滤除信号DCO 10的所有跳变(边沿)，除了被检测为在时间上最靠近信号FREF 12的跳变的DCO 10边沿。这样检测到的DCO 10边沿被作为输出信号CKV 14来供应。信号FREF 12的对应边沿被作为输出信号REF 16来供应。

[0049] 信号Fref_d2 44和DCO 10被分别施加到触发器502的时钟和数据输入端。假设信号DCO 10领先信号Fref_d2 44，如图7B中所示。相应的，在信号Fref_d2 44的上升沿上，触发器502的输出信号(即信号SYNC_CKV 54)作出低到高的跳变(即变为高)，进而致使OR门508的输出(即信号EN 58)变高。由于信号EN 58和DCO 10分别被施加到触发器512的数据和时钟输入端，因此在信号DCO 10的下一上升沿，信号CKV 14变高。此外，由于信号VDD和Fref_d6 52分别被施加到触发器514的数据和时钟输入端，因此在信号Fref_d6 52的下一上升沿，信号REF 16变高。此外，由于信号Fref_d2 44和Fref_d6 52间隔一个DCO 10周期，因此信号REF 16在信号DCO 10的基本上一个周期之后被断言。信号SYNC_CKVB 56是信号

SYNC_CKV 54的逆。因此，当信号SYNC_CKV 54为高时，在信号Fref_d5 50的下一上升沿，触发器506的输出Q变为低。随后，当信号SYNC_CKV 54变为低时，信号EN也变为低，直到接收到信号Fref_d5 50的下一跳变。

[0050] 图7B是与逻辑块500相关联的数个信号的时序图，此时信号DCO 10被假设在相位上领先信号Fref_d2 44。信号DCO 10和Fref_d2 44被显示为分别在时间T1和T2处被断言，其中T1出现在T2之前。信号SYNC_CKV 54和EN 58在时间T3和T4处被断言，反映出跨触发器502和OR逻辑508的延迟。信号DCO 10的下一上升沿出现在时间T5。在时间T6，信号CKV 14和REF 16被断言，反映出跨触发器510和512的延迟。

[0051] 图7C是与逻辑块500相关联的数个信号的时序图，此时信号CKV 14被假设在相位上滞后于信号Fref_d2 44。在时间T1，信号DCO 10被假设变为低。在时间T2，信号Fref_d2 44被断言，从而致使信号SYNC_CKVB 56在T3变为高。在时间T4，信号DCO 10被显示为变为高。在时间T6(其是时间T2之后信号DCO 10的3/4个周期)，信号Fref_d5 50变为高，从而致使信号EN 58在T6变为高。在时间T7(其是时间T2之后信号DCO 10的1个周期)，信号FREF_d6 52变为高，进而致使信号REF 16在时间T8变为高，其中(T8-T7)反映跨触发器510的延迟。在时间T9，信号DCO 10变为高，进而致使信号CKV 14在时间T10变为高，其中(T10-T9)反映跨触发器512的延迟。因此，在信号FREF 12的每个周期期间，生成了两个信号边沿(即与信号FREF 12相关联并且被作为信号REF 16供应的边沿)以及被检测为与信号FREF 12的边沿最接近并且被作为信号CKV 14供应的信号DCO 10的对应边沿。信号REF 16和CKV 14的边沿之间的时间延迟由时间－电压转换器转换成电压，之后再由ADC转换成数字信号，如以上详细描述的。

[0052] 图8是根据本发明的一个实施例的实施TDC的数字锁相环(PLL)600的框图。数控振荡器608生成在参考时钟信号FREF 12的每个周期期间具有多个跳变的DCO 10信号。如以上所描述的，TDC 50被适配为检测在时间上最靠近信号FREF 12的边沿的DCO 10边沿，并且作为响应生成差分信号B 62，该差分信号的值与这两个边沿之间的定时差成比例。

[0053] 累加器612被适配为针对时钟的每个周期将DCO 10的值递增1，以便生成信号DCO_INC 64。加法器610将TDC 50和累加器612的输出值相加以生成施加到鉴相器604的信号ADD_OUT 66。增量求和调制器602(其接收频率控制字(FCW)70)被适配成提供更精细的PLL频率分辨率信号FCW_F 72，从而避免使用许多个控制位，并且还减少了毛刺的生成。

[0054] 鉴相器604被适配成检测加法器610所供应的信号值(即ADD_OUT 66)和增量求和调制器602所供应的信号值(即信号FCW_F)之间的差以生成相位误差信号P_Error 74。环路滤波器606是低通滤波器，其被适配成将来自信号P_Error中的噪声的高频分量滤除，并且向DCO 608供应经滤波的信号FIL_OUT 76。数控振荡器608所生成的振荡信号DCO 10的相位根据其从环路滤波器606接收的经滤波的信号而变化，以便将信号DCO 10的相位锁定到信号FREF 12的相位。虽然未示出，可以理解的是，根据本发明的各实施例，TDC可被用在任何其它受控环路电路系统中，诸如频率锁定环路、相位/频率锁定环路等。

[0055] 图9是根据本发明的一个实施例的将第一和第二信号的跳变时间之间的差转换成数字电压的流程图700。为了实现这一目的，在第一信号的每个周期期间，检测第二信号的在时间上最接近于第一信号的跳变的跳变(702)。将第一和第二差分输出充电至第一供电电压(704)。之后，响应于第一时段期间第一信号的跳变，在第一差分输出和第二供电电压

之间形成第一导电路径，从而使得第一差分输出变化(706)。响应于第二时段期间第二信号的检测到的边沿，在第二差分输出和第二供电电压之间形成第二导电路径，从而使得第二差分输出变化(708)。第一和第二时段不重叠。之后，与第二信号的检测到的跳变和第一信号的跳变在时间上的差成比例的电压被生成(710)并被数字化(712)。

[0056] 以上本发明的实施例是解说性而非限定性的。例如，本发明的各实施例不受用来将两个信号的抵达时间之间的差转换成数字信号的边沿检测器、时间－电压转换器、模数转换器、缓冲器、或触发器的类型所限。本发明的各实施例不受这些器件布署于其中的设备的类型(无线还是其他方式)所限。虽然本发明的以上各实施例是结合使用差分信号的电路来描述的，但是可以理解，本发明的各实施例通用可等同应用于使用单端信号的电路。本发明的各实施例不受可被用于形成时间－数字转换器的技术的类型(CMOS、双极性、BICMOS还是其他方式)所限。鉴于本发明，其他增添、删减或修改是显而易见的并且旨在落入所附权利要求的范围内。

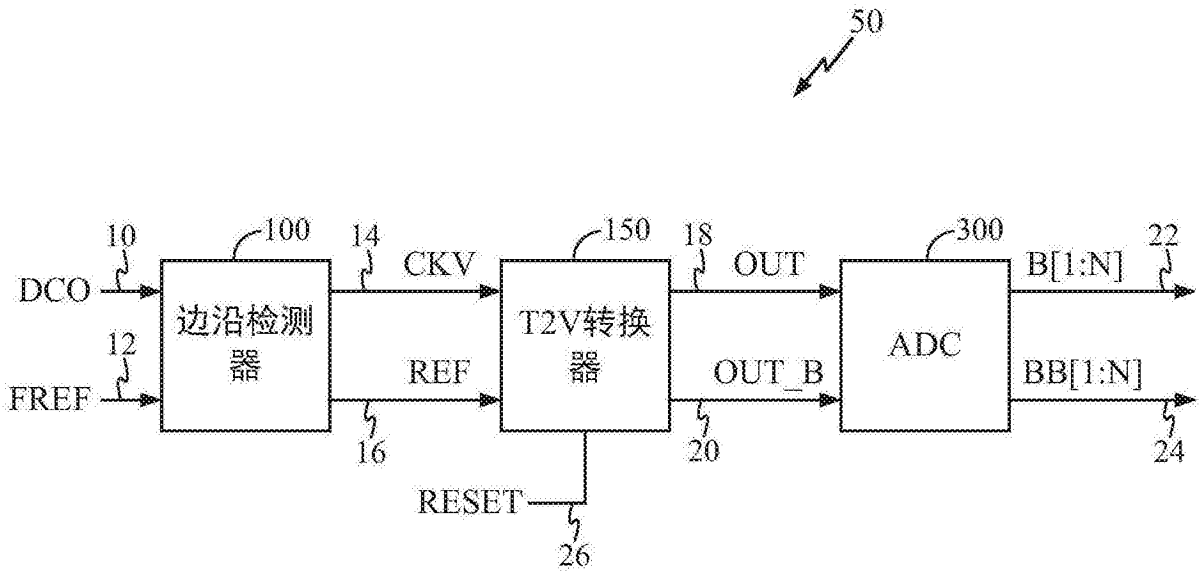

50
10
DCO
12
FREF
100
边沿检测器
14
CKV
16
REF
150
T2V转换器
18
OUT
20
OUT_B
RESET
26
300
ADC
22
B[1:N]
24
BB[1:N]

图1

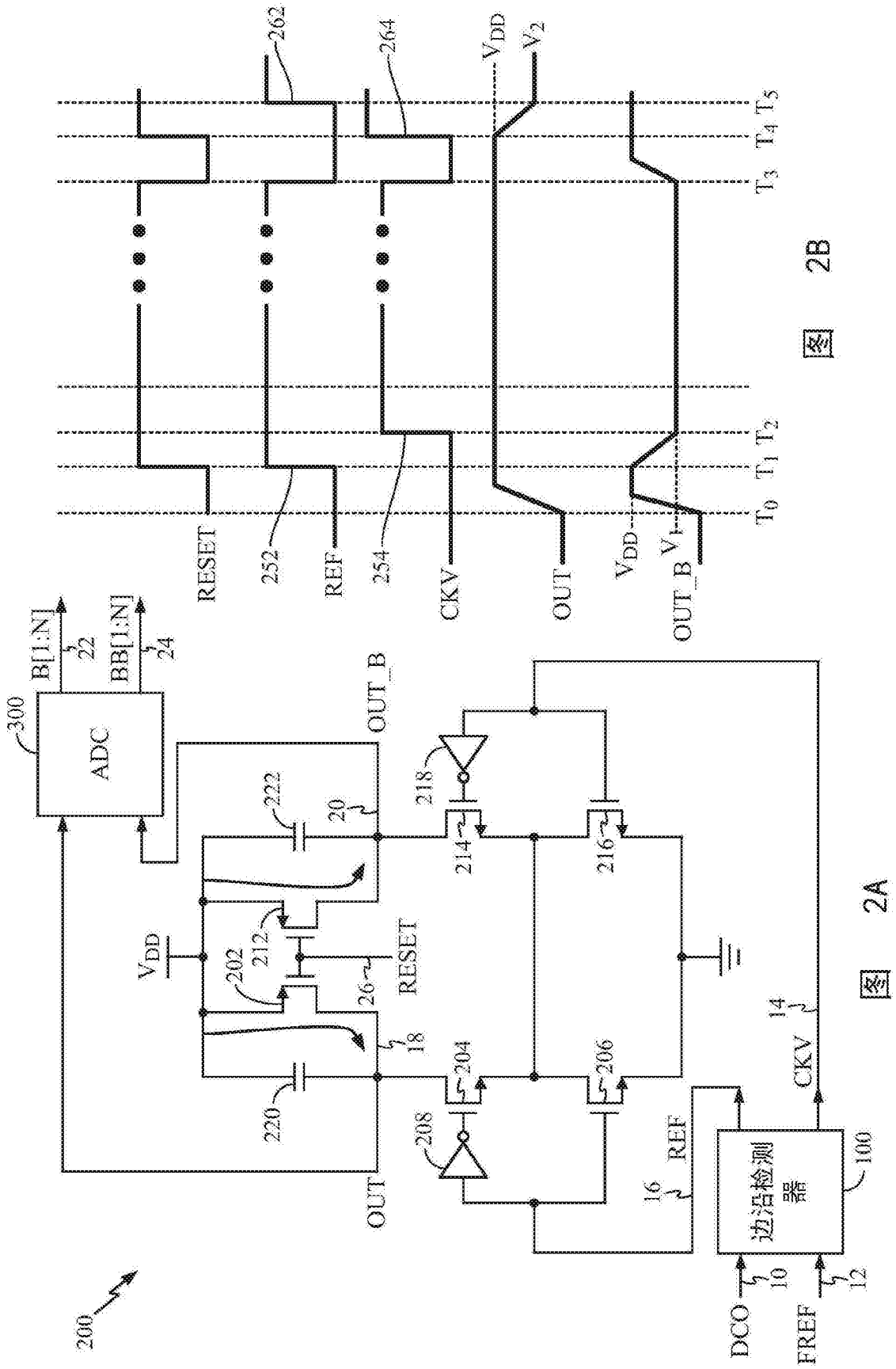

262
264
V_{DD}
V_2
T_5
T_4
T_3
T_2
T_1
T_0
RESET
252
REF
254
CKV
OUT
V_{DD}
V_1
OUT_B
B[1:N]
22
BB[1:N]
24
300
ADC
OUT_B
222
20
218
214
216
V_{DD}
202
212
RESET
26
18
204
206
220
208
OUT
14
CKV
REF
16
边沿检测器
100
DCO
10
FREF
12
200

图 2B

图 2A

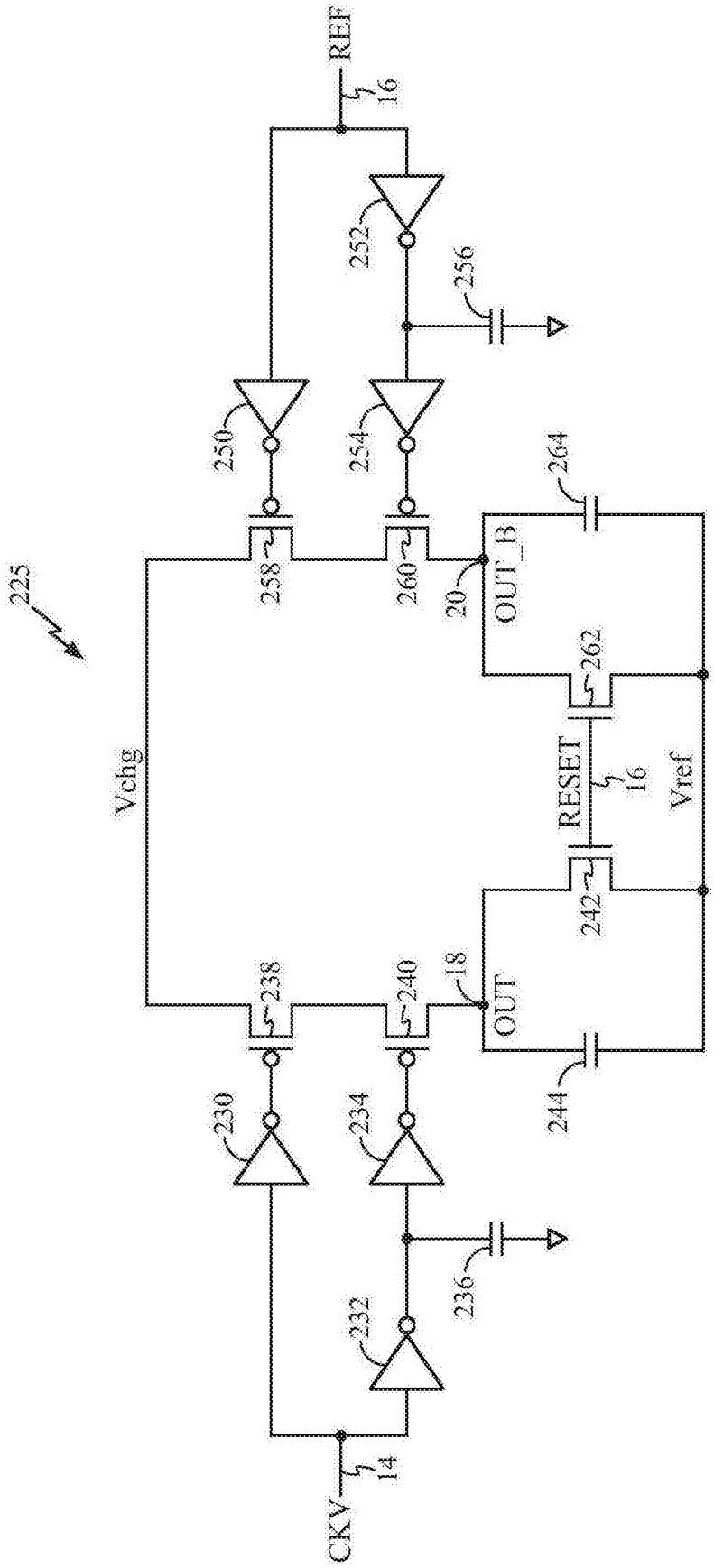

REF
16
252
256
250
254
264
258
260
20
OUT_B
225
262
Vchg
RESET
16
Vref
242
238
240
18
OUT
230
234
244
236
232
CKV
14

图3

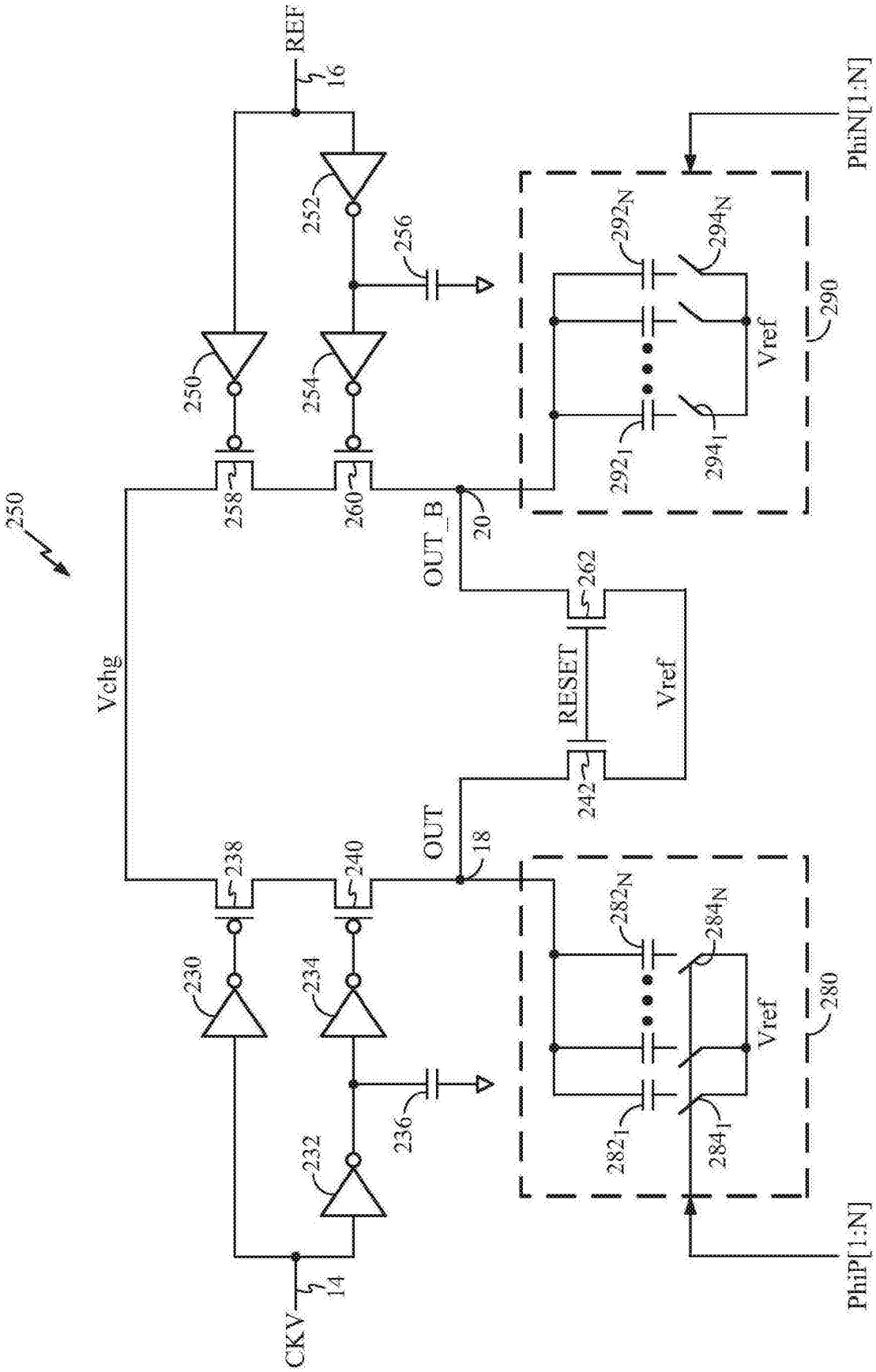

REF
16
PhiN[1:N]
252
256
250
254
292N
294N
290
Vref
292₁
294₁
250
258
260
OUT_B
20
262
RESET
Vref
Vchg
242
OUT
18
238
240
282N
284N
230
234
280
Vref
236
232
282₁
284₁
PhiP[1:N]
CKV
14

图4

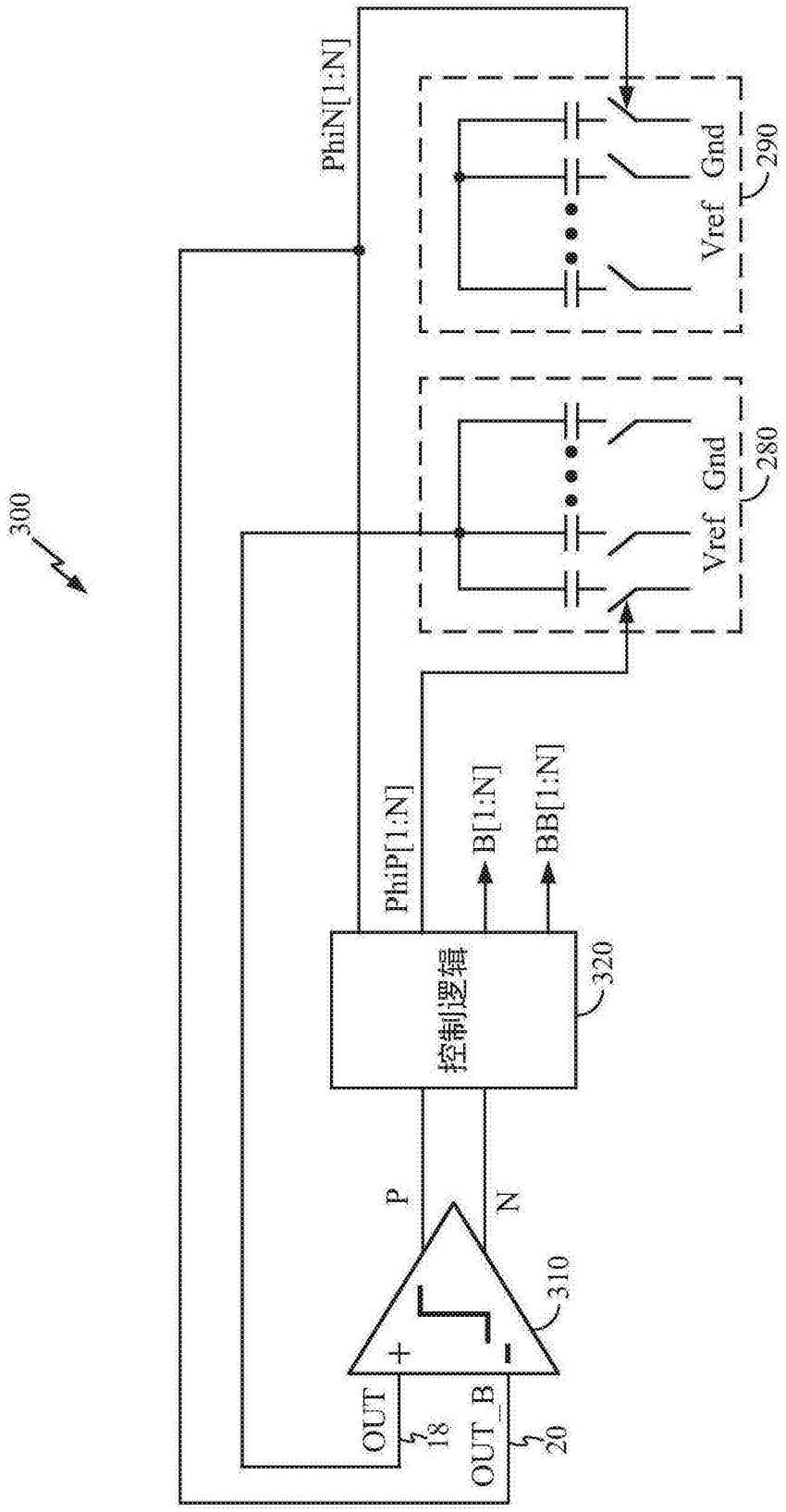

300
PhiN[1:N]
Vref
Gnd
290
Vref
Gnd
280
PhiP[1:N]
B[1:N]
BB[1:N]
控制逻辑
320
P
N
310
+
-
OUT
18
OUT_B
20

图5

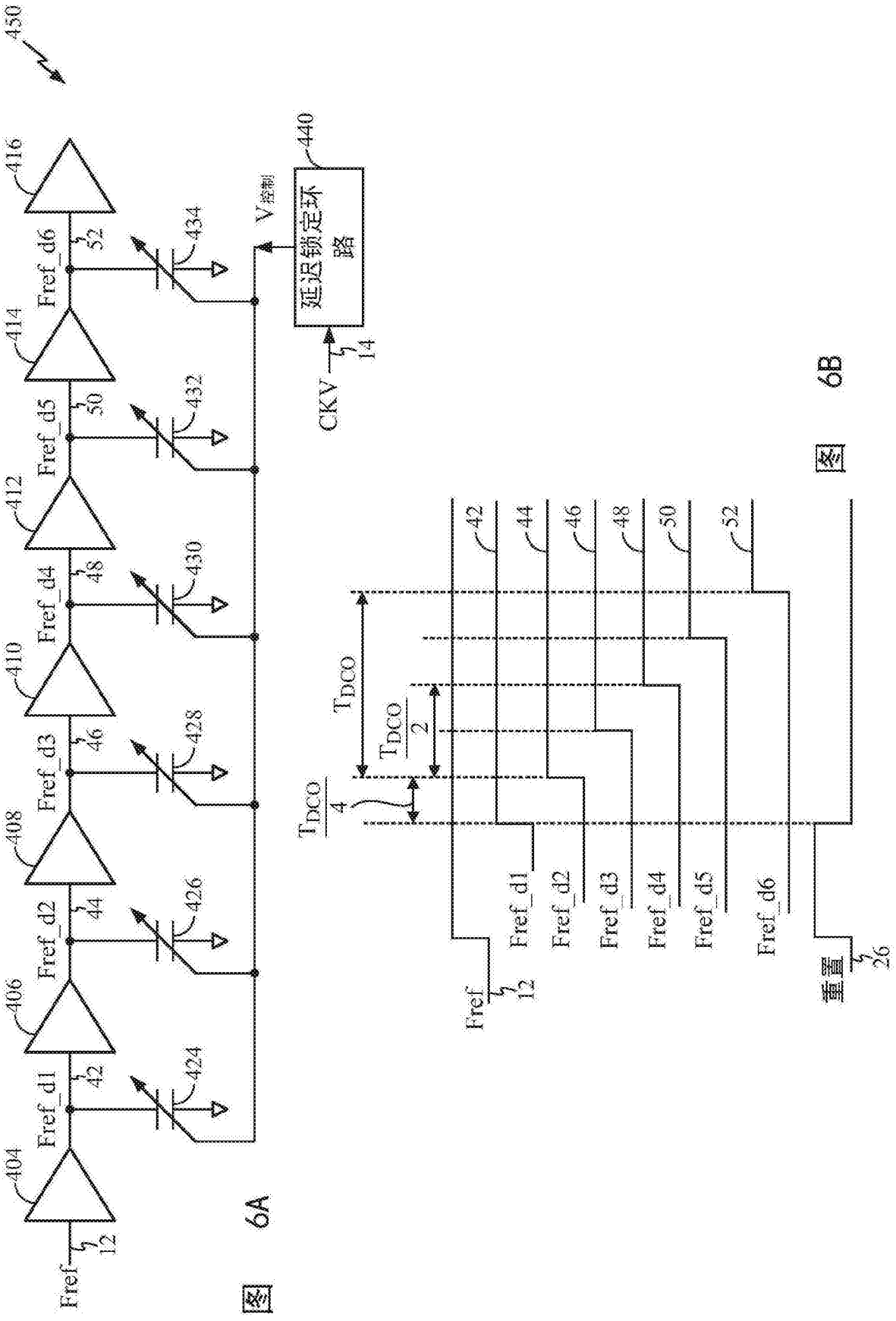

450
416
414
412
410
408
406
404
Fref_d6
Fref_d5
Fref_d4
Fref_d3
Fref_d2
Fref_d1
52
50
48
46
44
42
434
432
430
428
426
424
V控制
440
延迟锁定环路
CKV
14
Fref
12

图 6A

T_{DCO}
$\frac{T_{DCO}}{2}$
$\frac{T_{DCO}}{4}$
42
44
46
48
50
52
Fref
12
Fref_d1
Fref_d2
Fref_d3
Fref_d4
Fref_d5
Fref_d6
重置
26

图 6B

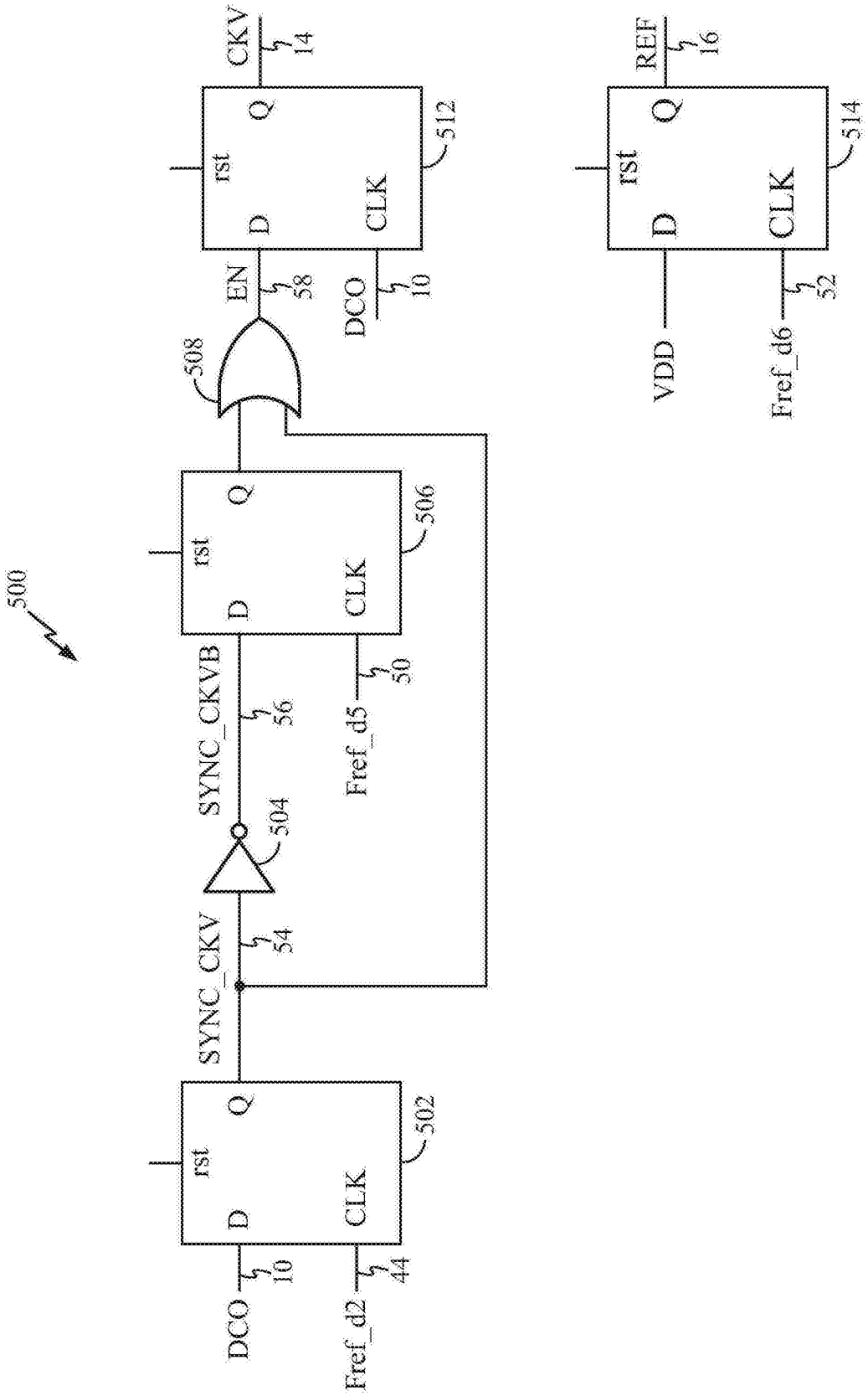

500
502
504
506
508
512
514
rst
D
CLK
Q
DCO
10
Fref_d2
44
SYNC_CKV
54
SYNC_CKVB
56
Fref_d5
50
EN
58
CKV
14
VDD
Fref_d6
52
REF
16

图7A

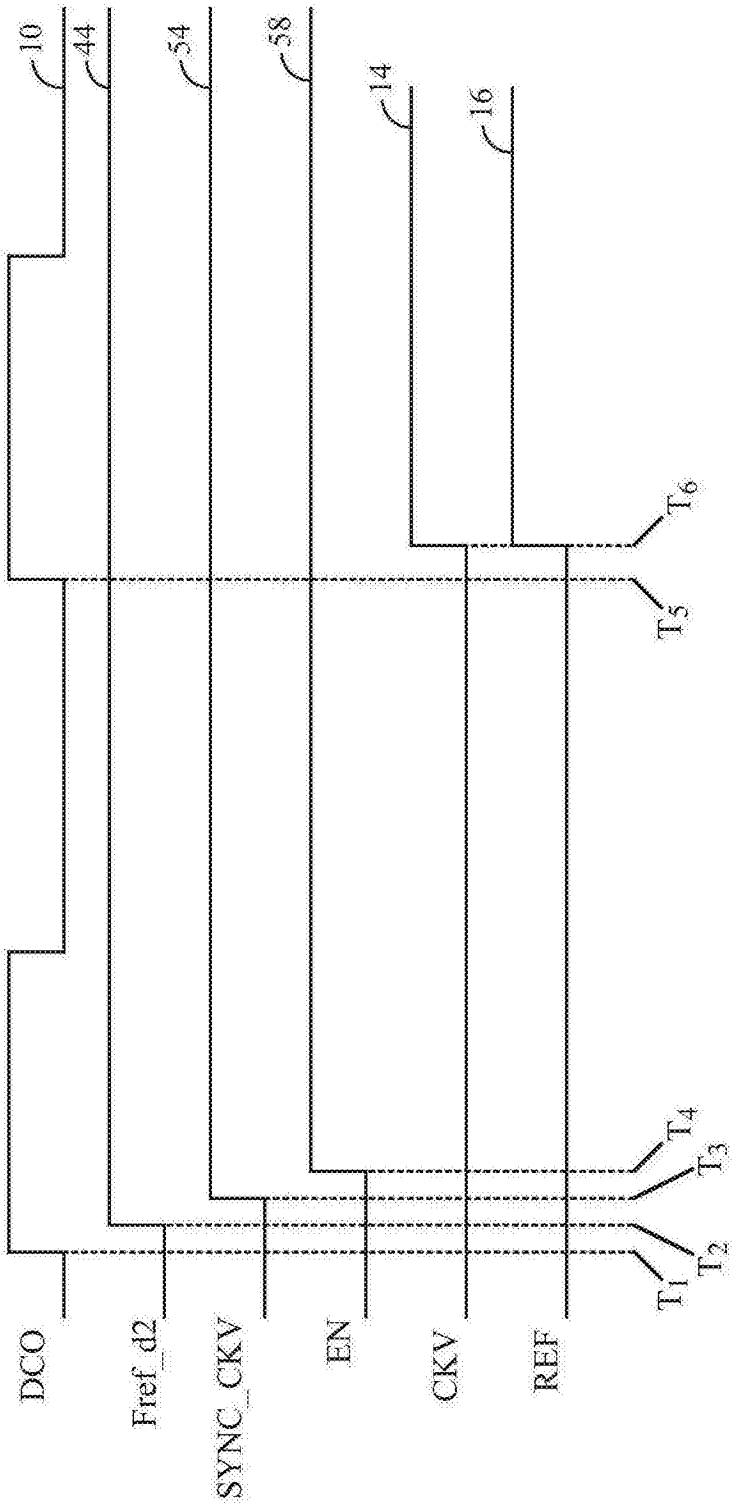


图7B

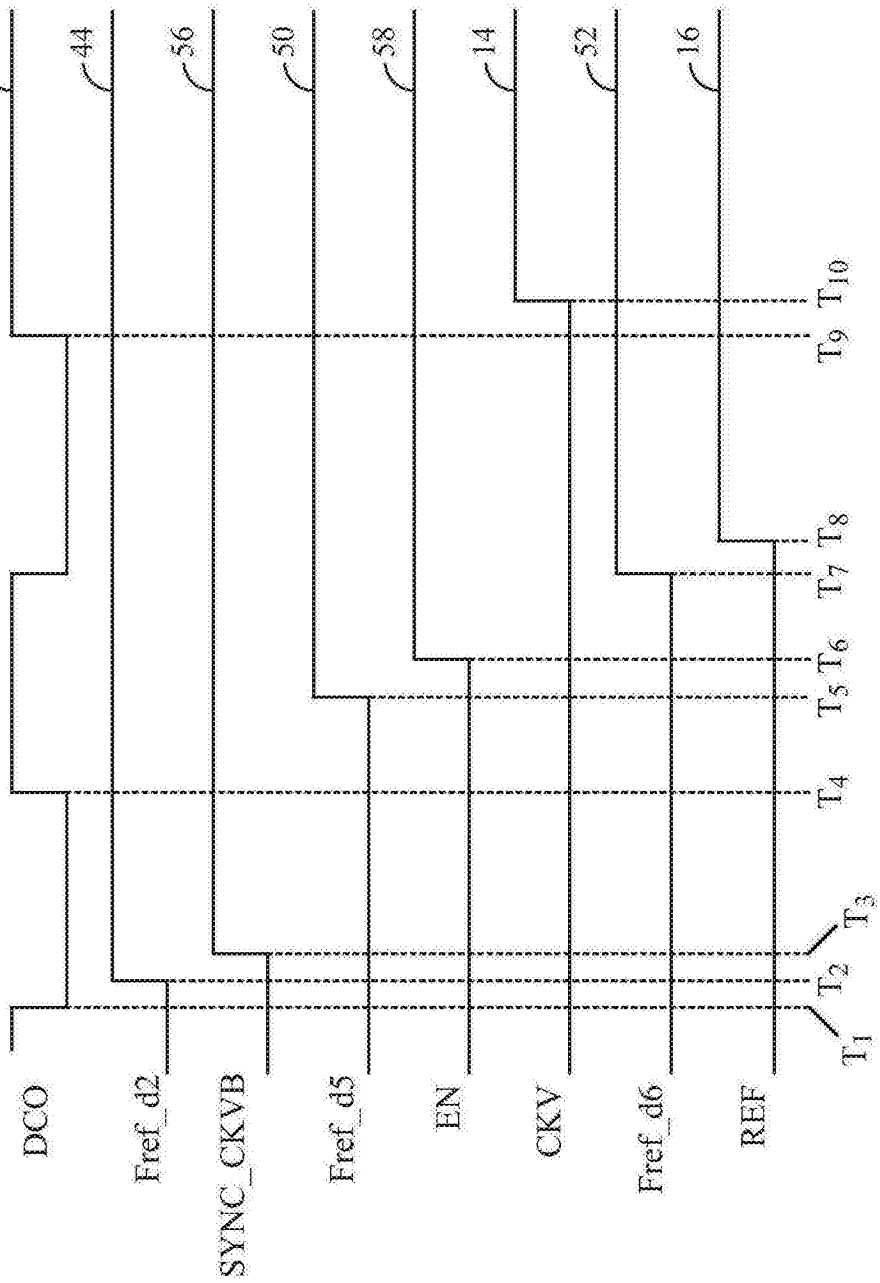

10
44
56
50
58
14
52
16
DCO
Fref_d2
SYNC_CKVB
Fref_d5
EN
CKV
Fref_d6
REF
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10

图7C

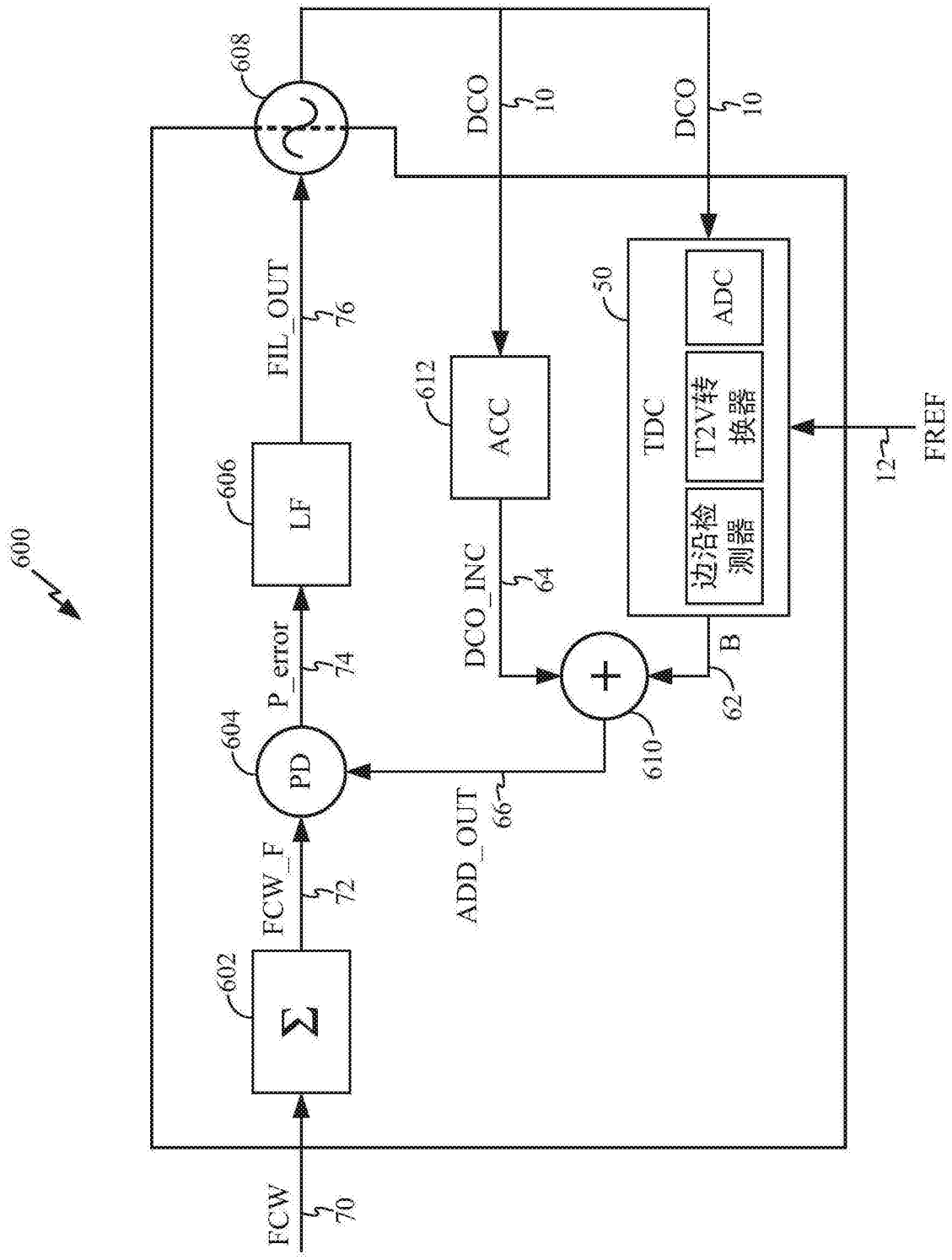

600
608
DCO
10
DCO
10
FIL_OUT
76
612
ACC
50
TDC
T2V转换器
ADC
边沿检测器
606
LF
DCO_INC
64
12
FREF
P_error
74
B
62
604
PD
610
ADD_OUT
66
FCW_F
72
602
Σ
FCW
70

图8

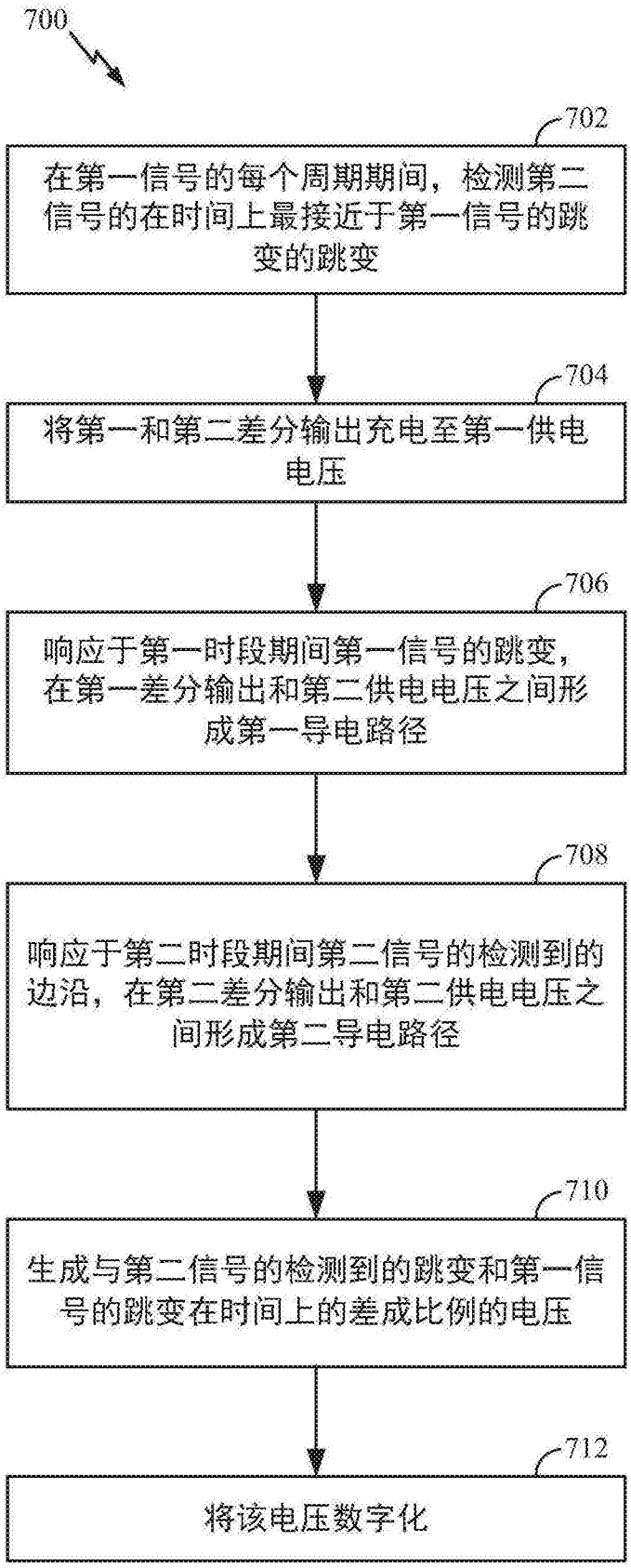

700
702
在第一信号的每个周期期间，检测第二信号的在时间上最接近于第一信号的跳变的跳变
704
将第一和第二差分输出充电至第一供电电压
706
响应于第一时段期间第一信号的跳变，在第一差分输出和第二供电电压之间形成第一导电路径
708
响应于第二时段期间第二信号的检测到的边沿，在第二差分输出和第二供电电压之间形成第二导电路径
710
生成与第二信号的检测到的跳变和第一信号的跳变在时间上的差成比例的电压
712
将该电压数字化

图9