



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월10일
(11) 등록번호 10-0962312
(24) 등록일자 2010년06월01일

(51) Int. Cl.

H01L 21/768 (2006.01)

(21) 출원번호 10-2005-7001937

(22) 출원일자(국제출원일자) 2003년07월09일

심사청구일자 2008년07월09일

(85) 번역문제출일자 2005년02월02일

(65) 공개번호 10-2005-0039840

(43) 공개일자 2005년04월29일

(86) 국제출원번호 PCT/US2003/021282

(87) 국제공개번호 WO 2004/013908

국제공개일자 2004년02월12일

(30) 우선권주장

10/210,995 2002년08월02일 미국(US)

(56) 선행기술조사문현

JP05267251 A*

US20020055244 A1*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 9 항

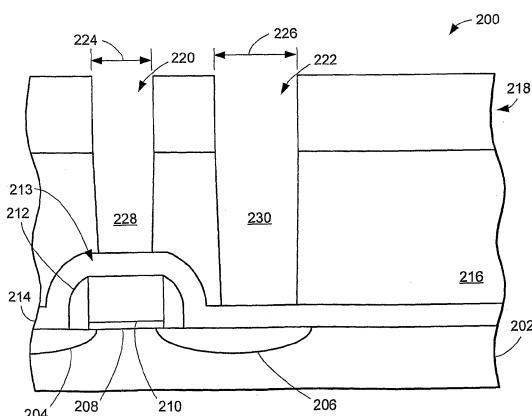
심사관 : 김영진

(54) 집적 회로의 컨택 사이즈들의 사이즈를 정합으로써 멀티레벨 컨택들을 제조하는 방법

(57) 요 약

집적 회로 제조 방법(600)은 제 1 반도체 기판(202)위 반도체 디바이스(317) 위의 유전 물질(322) 내에 제 1 개 구부(228, 338, 402)를 제 1 깊이로 식각하는 단계 및 상기 제 1 반도체 기판(202) 위의 상기 유전 물질(322) 내에 제 2 개구부(230, 340, 404)를 제 2 깊이로 식각하는 단계를 포함한다. 상기 제 1, 2 개구부들(228, 338, 402, 230, 340, 404)은 식각 지연으로 인해 거의 동일한 시간 동안 각각 제 1, 2 깊이들로 식각되도록 서로 다르게 사이즈가 정해진다. 상기 제 1, 2 개구부들(228, 338, 402, 230, 340, 404)은 도전성 물질로 채워진다.

대 표 도 - 도2



특허청구의 범위

청구항 1

집적 회로 제조 방법에 있어서,

제 1 반도체 기판위 반도체 디바이스 위의 유전 물질 내에 제 1 개구부를 제 1 깊이로 식각하는 단계와;

상기 제 1 반도체 기판 위의 상기 유전 물질 내에 제 2 개구부를 제 2 깊이로 식각하는 단계와;

상기 제 1 반도체 기판 아래 제 2 반도체 기판 위의 상기 유전 물질 내에 제 3 개구부를 제 3 깊이로 식각하는 단계와, 여기서 상기 제 1, 2 및 3 개구부들은 식각 지연으로 인해 동일한 시간 동안 각각 제 1, 2 및 3 깊이로 식각되도록 서로 다르게 사이즈가 정해지며; 그리고

상기 제 1, 2 및 3 개구부들을 도전성 물질로 채우는 단계를 포함하는 것을 특징으로 하는 집적 회로 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제 1, 2 반도체 기판 및 상기 반도체 디바이스 위에 하층을 증착하는 단계를 더 포함하고,

상기 제 1, 2 및 3 개구부들을 식각하는 단계는 상기 하층까지 식각하는 것을 특징으로 하는 집적 회로 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 개구부의 식각 지연에 대해 상기 제 2 개구부의 식각 지연이 비선형적인 관계를 갖도록, 상기 제 1 개구부에 대해 상기 제 2 개구부의 사이즈를 정하는 단계를 더 포함하는 것을 특징으로 하는 집적 회로 제조 방법.

청구항 4

제 1 항에 있어서,

유전 물질 내에 서로 다른 사이즈를 갖는 복수의 개구부들을 식각하고, 여기서 상기 복수의 개구부들 중 하나는 상기 제 1 개구부와 동일한 사이즈를 갖는 캘리브레이션 개구부이며; 상기 복수의 개구부들의 식각으로부터 복수의 깊이들을 측정하고; 1에서 상기 복수의 깊이들에 대한 상기 캘리브레이션 개구부의 깊이의 비를 뺑으로써 얻을 수 있는 복수의 식각 지연들을 계산함으로써, 상기 복수의 개구부들의 식각 지연들을 결정하는 단계;

1에서 상기 제 2 깊이에 대한 상기 제 1 깊이의 비를 뺑 것을 계산함으로써 최적의 식각 지연을 결정하는 단계 와; 그리고

상기 최적의 식각 지연에 가장 가까운 식각 지연을 갖는 개구부의 사이즈에 기초하여 상기 제 2 개구부의 사이즈를 정하는 단계를 더 포함하는 것을 특징으로 하는 집적 회로 제조 방법.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 제 1 개구부의 식각 지연에 대해 상기 제 3 개구부의 식각 지연이 비선형적인 관계를 갖도록, 상기 제 1 개구부에 대해 상기 제 3 개구부의 사이즈를 정하는 단계를 더 포함하는 것을 특징으로 하는 집적 회로 제조 방법.

청구항 7

제 1 항에 있어서,

유전 물질 내에 서로 다른 사이즈를 갖는 복수의 개구부들을 식각하고, 여기서 상기 복수의 개구부들 중 하나는 상기 제 1 개구부와 동일한 사이즈를 갖는 캘리브레이션 개구부이며; 복수의 깊이들을 측정하고; 1에서 상기 복수의 깊이들에 대한 상기 캘리브레이션 개구부의 깊이의 비를 뼈으로써 얻을 수 있는 복수의 식각 지연들을 계산함으로써, 상기 복수의 개구부들의 식각 지연들을 결정하는 단계와;

1에서 상기 제 2 깊이에 대한 상기 제 1 깊이의 비를 뼈 것을 계산함으로써 제 1 최적의 식각 지연을 결정하는 단계와;

1에서 상기 제 3 깊이에 대한 상기 제 1 깊이의 비를 뼈 것을 계산함으로써 제 2 최적의 식각 지연을 결정하는 단계와;

상기 제 1 최적의 식각 지연에 가장 가까운 식각 지연을 갖는 개구부의 사이즈에 기초하여 상기 제 2 개구부의 사이즈를 정하는 단계와; 그리고

상기 제 2 최적의 식각 지연과 가장 가까운 식각 지연을 갖는 개구부의 사이즈에 기초하여 상기 제 3 개구부의 사이즈를 정하는 단계를 더 포함하는 것을 특징으로 하는 집적 회로 제조 방법.

청구항 8

집적 회로 제조 방법에 있어서,

제 1 반도체 기판위 반도체 디바이스 위의 유전 물질 내에 제 1 개구부를 제 1 깊이로 식각하는 단계와;

상기 제 1 반도체 기판 위의 상기 유전 물질 내에 제 2 개구부를 제 2 깊이로 식각하는 단계와;

상기 제 1 반도체 기판 아래의 제 2 반도체 기판 위의 상기 유전 물질 내에 제 3 개구부를 제 3 깊이로 식각하는 단계와, 여기서 상기 제 1, 2 개구부들은 동일한 사이즈를 갖고, 상기 제 3 개구부는 다른 사이즈로 되어, 동일한 시간 동안 각각 제 1, 2 및 3 깊이로 식각되며; 그리고

상기 제 1, 2 및 3 개구부들을 도전성 물질로 채우는 단계를 포함하는 것을 특징으로 하는 집적 회로 제조 방법.

청구항 9

제 8 항에 있어서,

상기 제 1, 2 반도체 기판 및 상기 반도체 디바이스 위에 하층을 증착하는 단계를 더 포함하고,

상기 제 1, 3 개구부들을 식각하는 단계는 상기 하층 내로 식각하고,

상기 제 2 개구부를 식각하는 단계는 상기 하층 상에서 정지하는 것을 특징으로 하는 집적 회로 제조 방법.

청구항 10

제 8 항에 있어서,

상기 제 2 개구부의 식각 지연에 대해 상기 제 3 개구부의 식각 지연이 비선형적인 관계를 갖도록, 상기 제 2 개구부에 대해 상기 제 3 개구부의 사이즈를 정하는 단계를 더 포함하는 것을 특징으로 하는 집적 회로 제조 방법.

명세서

기술 분야

[0001] 본 발명은 일반적으로 집적 회로에 관한 것으로서, 특히 유전층 아래의 액티브 영역들 아랫쪽에 형성되는 컨택들을 제조하는 방법에 관한 것이다.

배경 기술

[0002] 집적 회로들은 컴퓨터, 라디오, TV, 휴대 전화 등과 같은 대부분의 전자 장치들에서 이용된다. 이러한 집적 회로들의 중심은 트랜지스터들, 다이오드들, 캐패시터들 등이 될 수 있는 반도체 디바이스들이다. 이러한 반도체

디바이스들은 일반적으로 반도체 기판들 위에 형성되고 절연 물질 또는 유전 물질에 의해 덮여진다.

[0003] 예를 들어, 트랜지스터들은 반도체 기판 내에 공간적으로 이격된 소스/드레인 영역들을 주입하고, 이 소스/드레인 영역들 사이의 공간 윗쪽의 반도체 기판 위에 제어 게이트들을 형성함으로써 형성된다. 이후, 트랜지스터들 위에는 유전체가 증착된다. 소스/드레인 영역들 및 제어 게이트 영역들에 대해서는 전기적인 연결을 해야 할 필요가 있기 때문에, 유전층을 통해 반도체 기판의 표면 및 제어 게이트들의 상부에 금속 컨택들이 형성된다. 이러한 반도체 기판의 표면과 제어 게이트들의 상부는 서로 다른 유전층 레벨들을 갖기 때문에, 이러한 컨택들은 멀티 레벨 컨택들, 보다 구체적으로는 2 레벨 컨택들이라 한다.

[0004] 전자 산업이 단일 집적 회로 상에서 점점 더 많은 수의 반도체 디바이스들을 지녀야 함을 요구함에 따라, 제조 업자들은 디바이스 형상(geometry) 또는 피쳐(feature)들의 사이즈를 줄여 디바이스들을 축소시킬 수 있는 보다 우수한 방법들을 추구하고 있다.

[0005] 디바이스 형상들을 축소시키기 위한 하나의 새로운 기술은 "절연층 위의 실리콘(silicon-on-insulator)" 또는 SOI 기술이라 불린다. 이 SOI 기술은 반도체 기판 내의 절연층 위에 있는 반도체 물질층 위에 반도체 디바이스들을 형성하는 것에 대해 다룬다. SOI 구조의 일반적인 구현은 실리콘 기판 내의 실리콘 이산화물 절연층 위에 단일의 실리콘 액티브층을 형성하는 것이다.

[0006] SOI 기술에서는, 실리콘 액티브층의 표면 및 제어 게이트들의 상부 보다 아래 레벨에 있는 기판 실리콘에 대해 부가적인 컨택들이 요구된다. 따라서, SOI 기술은 멀티 레벨 컨택들, 즉 3 레벨 컨택들을 요구한다.

[0007] SOI 기술로 멀티 레벨 컨택들을 형성하는 데에는 식각 공정이 이용되는 바, 이때 컨택 홀들은 동일한 직경을 갖도록 패터닝된다. 유전층을 통한 식각은, 액티브 실리콘 보다 일찍 그리고 보다 깊은 기판 실리콘에 이르기 훨씬 전에, 가장 얇은층 또는 게이트의 상부에 이른다. 식각 공정의 계속 기간은 가장 깊은 기판 실리콘에 이를 수 있도록 충분할 것이 요구되기 때문에, 가장 얇은 레벨들에서는 상당한 과식각(overetch)이 일어난다. 이러한 과식각을 줄이기 위해, 게이트들, 소스/드레인 영역들 및 기판 실리콘 위에는 하층(underlayer) 또는 식각 중지 층이 제공된다. 이러한 하층은 식각 중지 유전층 또는 게이트 물질(실리콘/금속) 및 기판 실리콘(액티브 그리고 /또는 SOI 구조)이 될 수 있다.

[0008] 하지만, 식각에 대한 하층의 면역성(immunity) 또는 선택비가 제한된다. 결과적으로, 긴 계속 기간의 과식각 동안 하층의 상당한 부분이 제거된다. 하층의 요구되는 두께는 하층의 최대 과식각 및 식각 속도에 의해 결정되는 바, 이는 선택비와 관련된다. 멀티 레벨 컨택들은 단일 레벨 컨택 보다 훨씬 더 많은 과식각을 요구한다.

[0009] 불행히도, 어떠한 하층의 두께는 형상 고려 사항들에 의해 제한된다. 이는 게이트 밀도가 매우 높은 CMOS 기술에 대해 특히 그렇다. 액티브 실리콘에 대한 컨택들은 종종 2개의 게이트들 간에 형성되기 때문에, 하층의 두께는 컨택이 형성될 게이트들 주위의 게이트 측벽 스페이서들 간의 간격의 1/2 보다 작을 필요가 있다. 하층의 두께가 측벽 스페이서들 간의 간격의 1/2 보다 큰 경우에는, 2개의 게이트들의 하층 부분들이 "병합"되어 하층의 두께를 증가시킴으로써, 적절한 식각을 방해할 것이다.

[0010] 또한 불행히도, 소정의 하층 두께에 대한 식각 요구가 형상 고려 사항들에 의해 허용되는 최대 하층 두께를 넘으면, 멀티 레벨 컨택들은 단일 식각 공정에 의해 형성될 수 없다. 이는 서로 다른 레벨의 컨택들에 대해 다수의 식각들 및 개별적인 패터닝을 요구한다. 예를 들어, 2개의 개별적인 패터닝 단계들이 요구되는 경우에는, 얇은 컨택들에 대해 마스크하여 식각하고, 깊은 컨택들에 대해 마스크하여 식각할 필요가 있다. 이는 공정을 복잡하게 하고 비용을 증가시킨다.

[0011] 충분한 공정 마진을 가지고 식각을 수행하기 위해서는 최대 두께의 하층을 이용하는 것이 바람직하기는 하지만, 이는 문제를 야기시킨다. 일반적으로 이용되는 하층들은 실리콘 나이트라이드 및 실리콘 옥시나이트라이드와 같은 물질들로서, 이들은 프리 금속(pre-metal) 유전층들 보다 큰 유전 상수들을 갖는다. 결과적으로, 게이트-컨택 영역, 게이트-가장자리 영역 및 게이트-제 1 금속 영역에 기생 캐패시턴스를 증가시킨다.

[0012] 일부 SOI 기술들에서는, 어떠한 하층도 이용되지 않는다. 이러한 상황들에서는, 멀티 레벨 컨택 식각 동안 액티브 실리콘 상에서, 특히 기판 실리콘 아래로 상당한 과식각이 일어난다. 실리콘에 대한 선택비는 제한되기 때문에, 이는 결과적으로 액티브 실리콘 내로의 식각을 야기시킨다. 소스/드레인 영역들이 단락되는 것을 막기 위해서는 정확한 식각 제어가 요구된다. 이는 보다 우수한 공정 제어를 요구하고, 비용을 증가시킨다.

[0013] SOI 기술은 개선된 디바이스 격리, 감소된 영역 및 기생 캐패시턴스, 낮은 전력 및 강화된 성능의 보증을 제공하지만, 상기 문제들은 이러한 보증의 구현을 방해한다.

[0014] 종래에 이러한 문제들을 해결하기 위한 해결책을 오랫동안 찾고자 했으나, 찾지 못했다.

발명의 상세한 설명

[0015] 본 발명은 제 1 반도체 기판 위의 반도체 디바이스 위의 유전 물질 내에 제 1 개구부를 제 1 깊이로 식각하는 단계 및 상기 제 1 반도체 기판 위의 상기 유전 물질 내에 제 2 개구부를 제 2 깊이로 식각하는 단계를 포함하는 집적 회로 형성 방법을 제공한다. 상기 제 1, 2 개구부들은 식각 지연으로 인해 거의 동일한 시간 동안 각각 제 1, 2 깊이로 식각되도록 서로 다르게 사이즈가 정해진다. 제 1, 2 개구부들은 도전성 물질로 채워진다. 결과적으로, 이러한 방법은 디바이스 격리를 개선하고, 영역 및 기생 캐패시턴스를 줄이고, 전력 요건을 낮추고, 성능을 강화할 뿐 아니라, 공정 제어 요건들을 줄이고 제조 비용을 줄인다.

[0016] 본 발명의 특정 실시예들은 상기 설명한 것들에 부가하여 또는 대신하여 다른 장점들을 갖는다. 이러한 장점들은 첨부 도면을 참조하여 하기의 상세한 설명을 읽어봄으로써 당업자에게 명백할 것이다.

실시 예

[0023] 멀티 레벨 컨택 문제를 연구하는 동안, 본 발명자들은 컨택 식각 공정에 있어서의 바람직하지 않은 현상이 유익하게 이용될 수 있다는 것을 발견하였다.

[0024] "액스펙트비 의존 식각(ARDE)"이라 불리는 현상은 포토레지스트 내의 서로 다른 사이즈의 피쳐들이 유전층 내에서 서로 다른 속도로 식각되게 한다. 어떠한 공정 조건들하에서는 보다 작은 개구부들을 갖는 피쳐들이 보다 큰 개구부들을 갖는 피쳐들 보다 느리게 식각될 것이며, 다른 공정 조건들하에서는 보다 큰 개구부들이 보다 작은 개구부들을 갖는 피쳐들 보다 느리게 식각될 것이다.

[0025] 예를 들어, 플라즈마 건식 식각을 수행하기 위해 플라즈마 리액터 내에서 반응성 이온 식각(RIE)을 이용할 때, 특히 피쳐 사이즈들(포토레지스트 내의 개구부들)이 0.25⁸ 보다 작은 경우에는, "RIE 지연(lag)" 또는 식각 지연으로서 알려져있는 현상이 일어날 것이다. 이러한 RIE 지연에 의해, 보다 작은 개구부들을 갖는 피쳐들은 큰 개구부들을 갖는 피쳐들 보다 느리게 유전 물질 내에서 식각된다. 이는, 일반적으로 각 식각 단계는 피쳐 사이즈에 상관없이 단일 깊이로 식각하도록 의도되기 때문에 바람직하지 않다. 일반적으로, 당업자에게 있어서 RIE 지연을 최소화하여 식각 공정을 최적화해야 함은 자명하다. RIE 지연을 최소화하기 위해 플라즈마 건식 식각 공정을 최적화할 때에는, 일반적으로, 예를 들어 식각 중지층들에 대한 선택비를 낮추는 등의 어떠한 타협(trade-off)이 이루어져야 한다.

[0026] 본원에서 이용되는 "수평"이라는 용어는 그 방위에 상관없이 웨이퍼 또는 기판의 통상적인 평면 또는 표면에 평행한 평면으로서 정의된다. "수직"이라는 용어는 상기 정의된 수평에 수직하는 방향을 말한다. "위", "윗쪽", "아래", ("측벽"에 있어서의) "측", "보다 높은", "보다 낮은", "이상", "미만", "얕은" 및 "깊은"은 수평 평면에 대해 정의된다.

[0027] 본원에서 이용되는 "공정"이라는 용어는 설명되는 구조를 형성하는 데에 필요한 물질 또는 포토레지스터의 증착, 패터닝, 노광, 현상, 식각, 세정 그리고/또는 제거를 포함한다.

[0028] 도 1은 액스펙트비 의존 식각(ARDE)을 위한 캘리브레이션 구조(100)를 도시한다. 캘리브레이션 유전 물질(102) 위에는 포토레지스트(104)가 증착된다.

[0029] 포토레지스트(104)는 최소 포토리소그래피 직경으로부터 이 직경의 배수까지의 사이즈 범위에 걸쳐 다수의 피쳐들을 형성하도록 처리된다. 예를 들어, 최소 직경은 100nm가 될 수 있고, 상기 범위는 윗쪽으로 1,000nm의 최대 컨택 직경까지 연장될 수 있다. 예시를 위해, 각각 제 1, 2 및 3 치수들(112, 114 및 116) 등의 다수의 치수들을 갖는 제 1, 2 및 3 개구부들(106, 108 및 110)이 도시된다. 피쳐들의 치수들의 사이즈는, 제 1 치수(112)가 제 2 치수(114) 보다 작고, 제 2 치수(114)가 제 3 치수(116) 보다 작도록, 즉 제 3 치수(116)가 제 2 치수(114) 보다 크고, 제 2 치수(114)가 제 1 치수(112) 보다 크도록 정해진다.

[0030] 포토레지스트 내의 피쳐들의 치수들은 캘리브레이션 유전 물질(102) 내로 식각될 피쳐들의 시작 치수들을 정한다.

[0031] 식각 지연 현상이 발생하는 상황들에서, 제 1, 2 및 3 개구부들(106, 108 및 110)은 캘리브레이션 유전 물질(102) 내에 각각 제 1, 2 및 3 피쳐들(118, 120 및 122)을 형성할 것이다. 단일 식각 또는 단일 시간 주기 동안, 제 1, 2 및 3 피쳐들(118, 120 및 122)은 각각 제 1, 2 및 3 깊이들(124, 126 및 128)을 가질 것이다.

ARDE는 일반적으로 비선형적인 효과이다. 피쳐들은 제 1 치수(112)로부터 제 3 치수(116)까지 사이즈가 증가하기 때문에, 깊이는 제 1 깊이(124)로부터 제 3 깊이(128)까지 증가한다. 즉, 동일한 시간 동안, 보다 큰 피쳐들이 보다 빨리 식각되어 보다 큰 깊이에 이른다.

[0032] 컨택 개구부들은 다양한 구성들을 가질 수 있지만, 피쳐들이 원통 형상의 컨택 개구부들을 갖는 경우, 포토레지스트(104) 내의 제 1, 2 및 3 치수들(112, 114 및 116)은 캘리브레이션 유전 물질(102) 내의 컨택 개구부들의 선단의 직경들이 된다.

[0033] 대부분의 식각 공정들에서, 피쳐들은 캘리브레이션 유전 물질(102) 내에서의 깊이에 따라 약간 테이퍼 상으로 형성되기 때문에, 컨택 홀들의 바닥의 직경이 상부의 직경 보다 작다.

[0034] 도 2는 본 발명에 따른 2 레벨 식각 컨택 구조(200)를 도시한다.

[0035] 제 1 반도체 기판(202) 또는 실리콘 기판에는 소스/드레인 영역들(204 및 206)이 주입되며, 이들 간의 공간 위에는 게이트 유전체(208)가 있다. 이 게이트 유전체(208) 위에는 게이트(210)가 있는바. 이 게이트(210)는 게이트 스페이서(212)에 의해 둘러싸여져 반도체 디바이스(213)의 상부를 형성한다. 하층(214)이 제 1 반도체 기판(202) 위에 배치됨으로써, 게이트 스페이서(212) 및 게이트(210)를 덮는다.

[0036] 하층(214) 위에 프리 금속 유전층(216)이 층착되고, 이 프리 금속 유전층(216) 위에는 포토레지스트(218)가 층착된다.

[0037] 포토레지스트(218)를 처리하여 제 1, 2 직경들(224 및 226)을 갖는 제 1, 2 개구부들(220 및 222)을 형성한다. 일정 시간 동안 단일 식각 공정을 이용하여, 게이트 컨택(228) 및 영역 컨택(230)이 형성되는바, 이들은 하층(214) 내로 전혀 과식각되지 않으면서 또는 최소한으로 과식각되면서 거의 동시에 하층(214)에 도달한다.

[0038] 실제에서는, 첫번째로, 최소 컨택 직경, 예를 들어 게이트 컨택(228)에 대한 제 1 직경(224)이 설정된다. 실제에서는, 이 값은 일반적으로 이용되는 포토리소그래피 공정에 의해 포토레지스트 내에 신뢰할 수 있는 해상도에 대한 최소 개구부에 의해 종종 결정된다. 이러한 최소 컨택 직경은 가장 얇은 레벨의 컨택에 이용된다.

[0039] 두번째로, 최소 컨택 직경으로부터 이 직경의 배수까지의 범위에 걸쳐 피쳐 개구부들을 형성하는 도 1에 도시한 캘리브레이션 구조(100)를 이용하여 식각 공정의 식각 지연이 결정된다. 예를 들어, 최소 직경은 100nm가 될 수 있고, 상기 범위는 1,000nm의 최대 컨택 직경까지 확장될 수 있다.

[0040] 세번째로, 시간이 정해진 식각이 수행되고, 결과적으로 식각된 개구부들의 깊이들을 측정하여 하기의 방정식에 따라 식각 지연을 계산한다.

[0041] $L = 1 - (D_{\min}/D)$ (방정식 1)

[0042] 여기서, L = 식각 지연이고,

[0043] D_{\min} = 최소 직경을 갖는 컨택의 깊이이고,

[0044] D = 서로 다른 직경을 갖는 컨택의 깊이이다.

[0045] 이러한 식각 지연은 직경 및 깊이에 따라 반드시 선형일 필요는 없다.

[0046] 네번째로, 하기의 방정식에 따라 최종 집적 회로에 대해 요구되는 서로 다른 컨택 깊이들에 대한 최적의 식각 지연이 계산된다.

[0047] $L_{\text{Optimal}} = 1 - (CD_{\text{Shallow}}/CD_{\text{Deep}})$ (방정식 2)

[0048] 여기서, L_{Optimal} = 최적의 식각 지연이고,

[0049] CD_{Shallow} = 가장 얕은 컨택 깊이이고,

[0050] CD_{Deep} = 가장 깊은 컨택 깊이이다.

[0051] 다섯번째로, 가장 작은 피쳐 사이즈를 이용하여, 캘리브레이션 구조(100)는 피쳐 식각 지연이 최적의 식각 지연과 가장 가까운 바람직한 식각 깊이들에 기초하여 피쳐 개구부의 사이즈들을 선택하는 데에 이용된다. 직경은 최적의 식각 지연에 가장 가까운 식각 지연을 제공하는 직경이 되도록 선택된다. 이와같이 컨택 직경을 선택함

으로써, 식각 공정은 얕은 컨택과 깊은 컨택 모두의 바닥들에 거의 동시에 이를 수 있게 된다.

[0052] 도 3은 본 발명에 따른 3 레벨 식각 컨택 구조(300)를 도시한다.

[0053] 제 2 반도체 기판(302) 또는 기판 실리콘 위에는 절연물(304)이 증착되는바, 이 절연물(304)은 제 1 반도체 기판(306) 또는 액티브 실리콘을 포함한다. 제 1 반도체 기판(306)에는 소스/드레인 영역들(308 및 310)이 주입된다.

[0054] 소스/드레인 영역들(308 및 310) 위에는 게이트 유전체(312)가 있다. 이 게이트 유전체(312) 위에는 게이트(314)가 형성되고, 이 게이트(314)는 그 주위에 게이트 스페이서(316)를 가짐으로써 반도체 디바이스(317)의 상부를 형성한다. 절연물(304) 내에 트렌치(318)가 식각된 다음, 하층(320)이 증착되어 절연물(304), 제 1 반도체 기판(306), 게이트 스페이서(316) 및 게이트(314)를 덮는다.

[0055] 프리 금속 유전층(322)이 하층(320) 위에 증착된다.

[0056] 포토레지스트(324)가 프리 금속 유전층(322) 위에 증착된 다음 처리되어, 제 1, 2 및 3 컨택 개구부들(326, 328 및 330)을 형성한다. 이러한 제 1, 2 및 3 컨택 개구부들(326, 328 및 330)은 각각 제 1, 2 및 3 직경들(332, 334 및 336)을 갖는다. 제 1 직경(332)은 제 2 직경(334) 보다 작고, 제 2 직경(334)은 제 3 직경(336) 보다 작다.

[0057] 3 레벨 식각 컨택 구조(300)는 매우 깊은 컨택 및 중간의 깊은 컨택에 대해 개별적으로 계산된 최적의 식각 지연 및 컨택 직경을 갖는다. 결과적인 컨택 사이징(sizing)에 의해, 제 1, 2 및 3 컨택 개구부들(338, 340 및 342)에 대한 식각 공정은 3개의 모든 컨택 깊이들에 대해 거의 동시에 하층(320)에 도달할 수 있게 된다. 따라서, 요구되는 과식각량이 최소화됨으로써, 요구되는 하층의 두께를 최소로 유지한다.

[0058] 도 4는 본 발명에 따른 3 레벨 식각 컨택 구조(400)의 대안적인 실시예를 도시한다. 도 3에서와 동일한 요소들은 동일한 참조 부호들을 갖는다.

[0059] 이러한 3 레벨 식각 컨택 구조(400)는 각각 제 1, 2 및 3 직경들(408, 410 및 412)을 갖는 제 1, 2 및 3 컨택 개구부들(402, 404 및 406)을 갖는다. 제 1 직경(408) 및 제 2 직경(410)은 동일한 직경을 갖는다. 제 2 직경(410)은 제 3 직경(412) 보다 작다. 회로 레이아웃 및 마스크 생성을 단순화하기 위해 제 1, 2 직경들(408 및 410)은 동일한 직경을 갖는다. 동시에, 이는 집적 회로에 대한 다이 사이즈가 증가하는 것을 막을 수 있다.

[0060] 제 1, 2 레벨들 간의 거리가 제 3 레벨과 비교하여 최소이기 때문에, 식각 공정은 제 2 컨택 개구부(404)가 하층(320)에 이를 때 까지 계속될 것이다. 이때, 제 1, 3 컨택 개구부들(402 및 406)은 제 1, 3 과식각부들(414 및 416)에 의해 나타낸 바와 같이 하층(320) 내로 약간 과식각될 것으로 기대된다. 이러한 약간의 과식각은 동일한 직경의 제 1, 2 직경들(408 및 410)의 이득을 얻는 데에 있어서 받아들일 수 있는 것으로 고려된다.

[0061] 도 5는 본 발명에 따라 완성되는 3 레벨 식각 컨택 구조(500)를 도시한다. 도 3에서와 동일한 요소들은 동일한 참조 부호들을 갖는다.

[0062] 컨택 개구부들(338, 340 및 342)로부터 남아있는 하층(320)을 제거하기 위해 선택적인 식각을 행한 후, 개구부들은 도전성 물질로 채워져 제 1, 2 및 3 컨택들(502, 504 및 506)을 형성한다. 제 1, 2 및 3 컨택들(502, 504 및 506)은 각각 게이트(314), 제 1 반도체 기판(306) 및 제 2 반도체 기판(302)과 접촉한다. 제 1, 2 및 3 컨택들(502, 504 및 506)은 각각 제 1, 2 및 3 컨택 직경들(508, 510 및 512)을 갖는다.

[0063] 많은 실시예들에서, 제 1, 2 및 3 컨택들(502, 504 및 506)은 탄탈(Ta), 티타늄(Ti), 텅스텐(W), 이들의 합금 및 이들의 화합물과 같은 내화성 물질(refractory material)들로 이루어진다. 컨택들이 구리(Cu), 금(Au), 은(Ag), 이들의 합금, 및 상기 요소들중 1개 이상의 화합물과 같은 높은 도전성 물질들로 이루어지는 경우, 이전에 설명한 내화성 물질들은 이러한 높은 도전성 물질들을 둘러쌀 것이다. 프리 금속 유전층(322)은 실리콘 산화물(SiO_x), 테트라에틸오쏘실리케이트(TEOS), 보로포스포실리케이트(BPSG) 클래스 등의 4.2 내지 3.9의 유전 상수를 갖는 유전 물질, 또는 플루오르화된 테트라에틸오쏘실리케이트(FTEOS), 하이드로젠 실세스키옥산(HSQ), 벤조사이클로부텐(PCB), 테트라메틸오쏘실리케이트(TMOS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸디실록산(HMDS), 디아세톡시디테르티에리부톡시시래인(DADBS) 등의 3.9 미만의 유전 상수를 갖는 낮은 유전 상수의 유전 물질들로 이루어진다. (이용되는 경우) 하층(320)은 실리콘 나이트라이드(Si_xN_x) 또는 실리콘 옥시나이트라이드(SiON)로 이루어질 수 있다.

[0064] 도 6은 본 발명에 따른 집적 회로 형성 방법(600)을 나타낸 흐름도이다. 이 방법(600)은 제 1 반도체 기판위 반

도체 디바이스 위의 유전 물질 내에 제 1 개구부를 제 1 깊이로 식각하는 단계(602)와; 제 1 반도체 기판 위의 유전 물질 내에 제 2 개구부를 제 2 깊이로 식각하는 단계(604)와, 여기서 상기 제 1, 2 개구부의 각각의 사이즈는 식각 지연에 의해 거의 동시에 각각 제 1, 2 깊이로 식각되도록 서로 다른 사이즈를 가지며; 그리고 상기 제 1, 2 컨택 개구부들을 도전성 물질로 채우는 단계(606)를 포함한다.

[0065] 이해될 수 있는 사항으로서, 본 발명이 특정한 최상의 방법과 관련하여 설명되었지만, 상기 설명에 비추어 보아 많은 대안들, 변형들 및 수정들이 당업자에게 명백할 것이다. 따라서, 이러한 모든 대안들, 변형들 및 수정들은 특히 청구 범위 의 정신 및 범위 내에 있는 것으로 의도된다. 첨부 도면들에 도시되어 지금까지 설명한 모든 사항들은 한정적인 의미가 아닌 단지 예시적인 것으로서 해석되어야 한다.

도면의 간단한 설명

[0017] 도 1은 식각 가능한 물질을 이용한 애스펙트비 의존 식각(ARDE)에 대한 캘리브레이션 구조(calibration structure)이다.

[0018] 도 2는 본 발명에 따른 2 레벨(즉, 2층) 식각 컨택 구조를 도시한다.

[0019] 도 3은 본 발명에 따른 3 레벨 식각 컨택 구조를 도시한다.

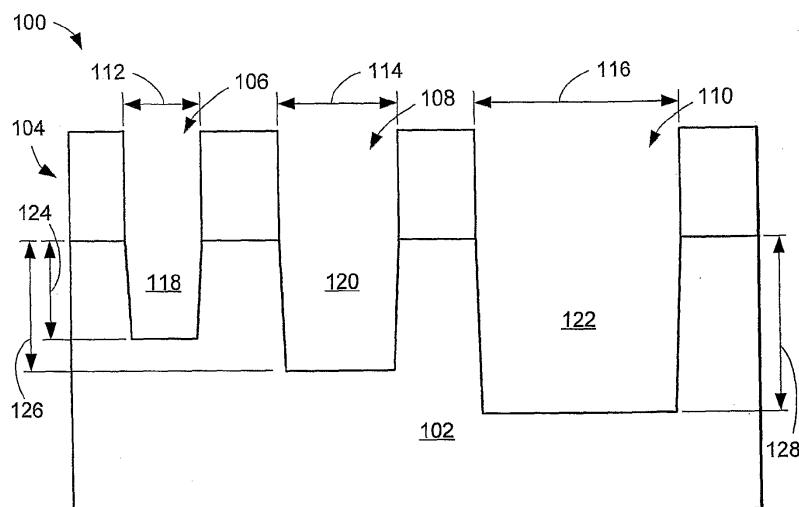
[0020] 도 4는 본 발명에 따른 3 레벨 식각 컨택 구조의 대안적인 실시예를 도시한다.

[0021] 도 5는 본 발명에 따라 완성되는 3 레벨 식각 컨택 구조를 도시한다.

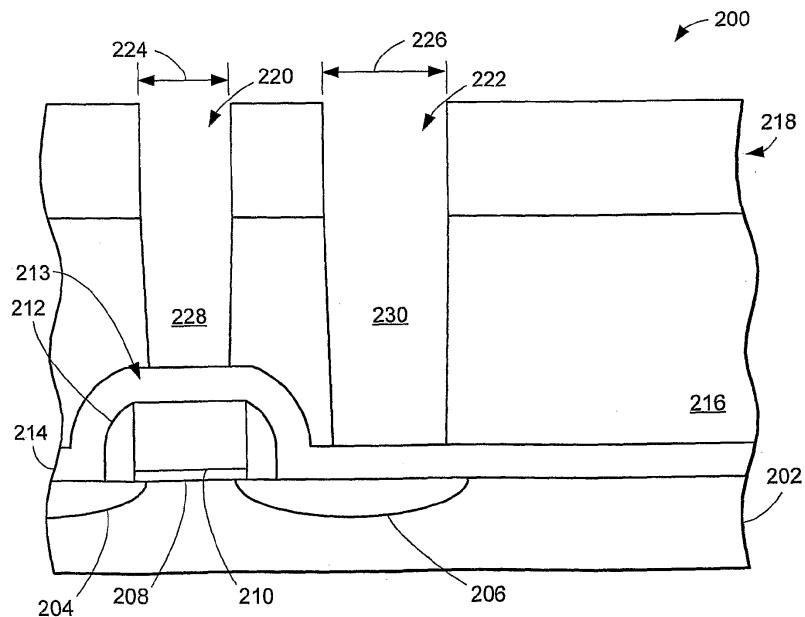
[0022] 도 6은 본 발명에 따른 집적 회로 형성 방법을 나타낸 흐름도이다.

도면

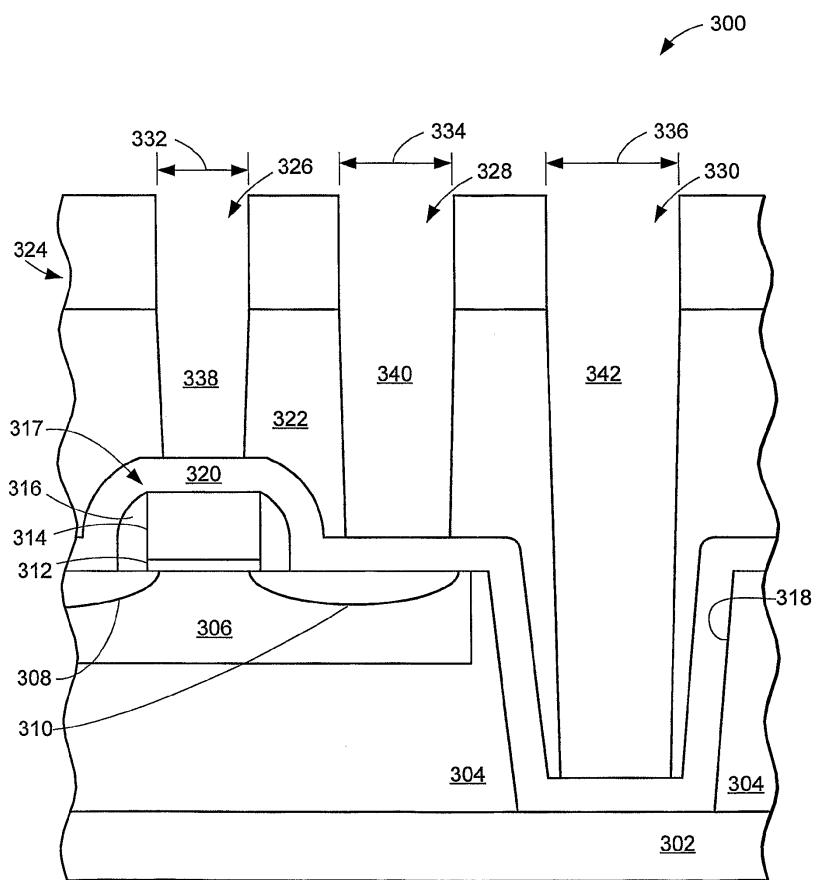
도면1



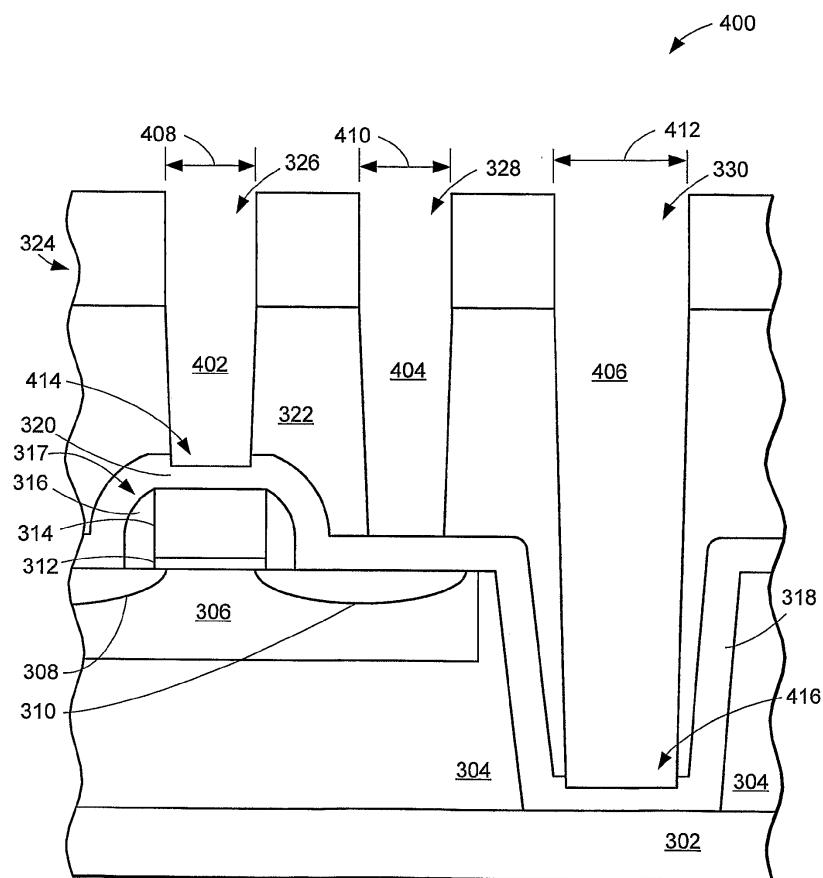
도면2



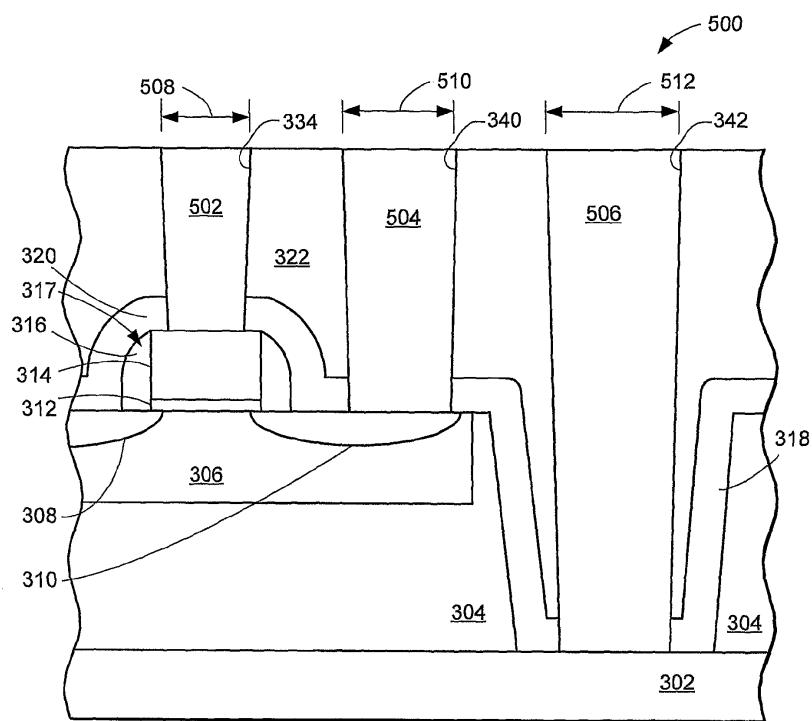
도면3



도면4



도면5



도면6

제 1 반도체 기판 위의 반도체 디바이스 위의 유전 물질내에
제 1 개구부를 제 1 깊이로 식각한다

602

제 1 반도체 기판 위의 유전 물질내에 제 2 개구부를 제 2 깊이로
식각한다. 제 1, 2 개구부들은 식각 지연으로 인해 거의 동일한
시간동안 각각 제 1, 2 깊이로 식각되도록 서로 다른 사이즈를 갖는다

604

도전성 물질로 제 1, 2 개구부들을 채운다

606

→ 600