

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-15366

(P2004-15366A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl.⁷

H03L 7/095

G01R 31/28

F I

H03L 7/08

G01R 31/28

B

M

テマコード (参考)

2G132

5J106

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2002-165156 (P2002-165156)

(22) 出願日 平成14年6月6日(2002.6.6)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100076174

弁理士 宮井 暎夫

(72) 発明者 田中 重和

大阪府門真市大字門真1006番地

松下電器産業株式会社内

Fターム(参考) 2G132 AA00 AD00 AE21 AG08 AH02

AL11

5J106 AA04 CC01 CC15 CC24 CC41

CC53 DD32 DD33 DD42 DD43

DD48 EE08 KK32

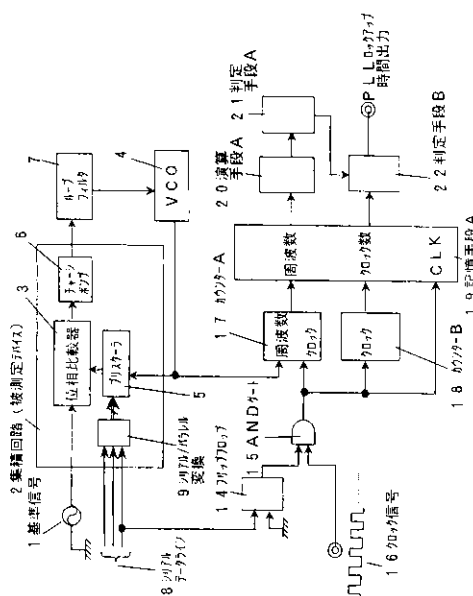
(54) 【発明の名称】 集積回路の検査方法および検査装置

(57) 【要約】

【課題】 PLLの応答特性に影響を及ぼすことなく、PLLロックアップ時間の測定を可能とする集積回路の検査方法と検査装置を実現する。

【解決手段】 PLL回路内のVCO4の出力を周波数カウンタ17に接続し、VCO4の出力周波数測定のためのクロック信号16をその周波数カウンタ17に供給するラインを有し、PLLロックするための選局データを供給して、PLLがロックアップ動作を開始すると同時に、クロックごとにVCO4の出力周波数を順次測定するとともにクロック数を測定し、測定結果を記憶する。そして、記憶されたクロック信号のクロック番号と対比させた周波数測定結果の演算・判定を繰返し行うことにより、判定結果が規格範囲内に入り、PLLがロックしたと判定したときのクロック信号のクロック数を求めることにより、PLLロックアップ時間を測定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基準信号と分周信号との位相差を検出する位相比較器と、チャージポンプと、ループフィルタと、電圧制御発振器と、希望周波数に応じて分周比が設定され前記電圧制御発振器の出力を分周した前記分周信号を前記位相比較器へ出力するプリスケアラとで構成される PLL 回路のうち、前記位相比較器とチャージポンプとプリスケアラとを内蔵した集積回路に対し、前記ループフィルタと電圧制御発振器とを接続して前記 PLL 回路の検査を行う集積回路の検査方法であって、
前記プリスケアラに分周比が設定され前記 PLL 回路がロックアップ動作を開始すると同時にクロック信号を発生させる第 1 の処理と、
前記クロック信号の立ち上がりまたは立ち下りのタイミングごとに前記電圧制御発振器の出力周波数を順次測定するとともに、前記クロック信号の発生時からのクロック数をカウントする第 2 の処理と、
前記電圧制御発振器の出力周波数の測定値と、その測定時におけるクロック数のカウント値とを記憶する第 3 の処理と、
前記クロック数のカウント値が m (m は 1 以上の整数) のときの周波数の測定値と、前記クロック数のカウント値が $m + n$ (n は 1 以上の整数) のときの周波数の測定値との差を、規格範囲内になるまで m の値を更新しながら順次求める第 4 の処理とを含み、
前記第 4 の処理で求めた差が規格範囲内となったときの m の値を前記 PLL 回路がロックした時点におけるクロック数のカウント値に決定することを特徴とする集積回路の検査方法。

10

20

【請求項 2】

基準信号と分周信号との位相差を検出する位相比較器と、チャージポンプと、ループフィルタと、電圧制御発振器と、希望周波数に応じて分周比が設定され前記電圧制御発振器の出力を分周した前記分周信号を前記位相比較器へ出力するプリスケアラとで構成される PLL 回路のうち、前記位相比較器とチャージポンプとプリスケアラとを内蔵した集積回路に対し、前記ループフィルタと電圧制御発振器とを接続して前記 PLL 回路の検査を行う集積回路の検査方法であって、
前記プリスケアラに分周比が設定され前記 PLL 回路がロックアップ動作を開始すると同時にクロック信号を発生させる第 1 の処理と、
前記クロック信号の立ち上がりまたは立ち下りのタイミングごとに前記電圧制御発振器の出力周波数を順次測定するとともに、前記クロック信号の発生時からのクロック数をカウントする第 2 の処理と、
前記電圧制御発振器の出力周波数の測定値と、その測定時におけるクロック数のカウント値とを記憶する第 3 の処理と、
前記クロック数のカウント値が m (m は 1 以上の整数) のときの周波数の測定値と、前記希望周波数との差を、第 1 の規格範囲内になるまで m の値を更新しながら順次求める第 4 の処理と、
前記第 4 の処理で求めた差が前記第 1 の規格範囲内になった前記クロック数のカウント値が m における周波数の測定値と、前記クロック数のカウント値が $m + n$ (n は 1 以上の整数) のときの周波数の測定値との差を求める第 5 の処理とを含み、
前記第 5 の処理で求めた差が第 2 の規格範囲内になるまで前記第 4 の処理と前記第 5 の処理とを繰り返し、前記第 5 の処理で求めた差が第 2 の規格範囲内となったときの m の値を前記 PLL 回路がロックした時点におけるクロック数のカウント値に決定することを特徴とする集積回路の検査方法。

30

40

【請求項 3】

PLL 回路がロックした時点におけるクロック数のカウント値に、クロック信号の周期を乗算することにより、PLL 回路のロックアップの実時間を算出する処理を有することを特徴とする請求項 1 または 2 記載の集積回路の検査方法。

【請求項 4】

50

基準信号と分周信号との位相差を検出する位相比較器と、チャージポンプと、ループフィルタと、電圧制御発振器と、希望周波数に応じて分周比が設定され前記電圧制御発振器の出力を分周した前記分周信号を前記位相比較器へ出力するプリスケアラとで構成されるPLL回路のうち、前記位相比較器とチャージポンプとプリスケアラとを内蔵した集積回路に対し、前記ループフィルタと電圧制御発振器とを接続して前記PLL回路の検査を行う集積回路の検査装置であって、

前記プリスケアラに分周比が設定されると同時にハイレベルの信号を出力するフリップフロップと、

前記フリップフロップの出力とクロック信号とを入力するANDゲートと、

前記電圧制御発振器および前記ANDゲートの出力を入力し、前記ANDゲートから入力されるクロック信号の立ち上がりまたは立ち下りのタイミングごとに前記電圧制御発振器の出力周波数を順次測定する周波数カウンタと、

前記ANDゲートの出力を入力し、前記ANDゲートから入力されるクロック信号のクロック数をカウントするクロックカウンタと、

前記周波数カウンタによる電圧制御発振器の出力周波数の測定値と、その測定時における前記クロックカウンタによるクロック数のカウント値とを記憶する記憶手段と、

前記記憶手段に記憶されたクロック数のカウント値が m (m は1以上の整数)のときの周波数の測定値と、前記記憶手段に記憶されたクロック数のカウント値が $m+n$ (n は1以上の整数)のときの周波数の測定値との差を求める演算手段と、

前記演算手段により求めた差が規格範囲内であるか否かを判定する判定手段とを設け、

前記判定手段により規格範囲内でないと判定されたときには、 m の値を更新して前記演算手段からの処理を繰り返し、前記判定手段により規格範囲内であると判定されたときには、そのときの m の値を前記PLL回路がロックした時点におけるクロック数のカウント値として出力するようにしたことを特徴とする集積回路の検査装置。

【請求項5】

基準信号と分周信号との位相差を検出する位相比較器と、チャージポンプと、ループフィルタと、電圧制御発振器と、希望周波数に応じて分周比が設定され前記電圧制御発振器の出力を分周した前記分周信号を前記位相比較器へ出力するプリスケアラとで構成されるPLL回路のうち、前記位相比較器とチャージポンプとプリスケアラとを内蔵した集積回路に対し、前記ループフィルタと電圧制御発振器とを接続して前記PLL回路の検査を行う集積回路の検査装置であって、

前記プリスケアラに分周比が設定されると同時にハイレベルの信号を出力するフリップフロップと、

前記フリップフロップの出力とクロック信号とを入力するANDゲートと、

前記電圧制御発振器および前記ANDゲートの出力を入力し、前記ANDゲートから入力されるクロック信号の立ち上がりまたは立ち下りのタイミングごとに前記電圧制御発振器の出力周波数を順次測定する周波数カウンタと、

前記ANDゲートの出力を入力し、前記ANDゲートから入力されるクロック信号のクロック数をカウントするクロックカウンタと、

前記周波数カウンタによる電圧制御発振器の出力周波数の測定値と、その測定時における前記クロックカウンタによるクロック数のカウント値とを記憶する記憶手段と、

前記記憶手段に記憶されたクロック数のカウント値が m (m は1以上の整数)のときの周波数の測定値と、前記希望周波数との差を求める第1の演算手段と、

前記第1の演算手段により求めた差が第1の規格範囲内であるか否かを判定する第1の判定手段と、

前記第1の判定手段により第1の規格範囲内であると判定されたときに、そのときの前記クロック数のカウント値が m における周波数の測定値と、前記クロック数のカウント値が $m+n$ (n は1以上の整数)のときの周波数の測定値との差を求める第2の演算手段と、

前記第2の演算手段により求めた差が第2の規格範囲内であるか否かを判定する第2の判定手段とを設け、

10

20

30

40

50

前記第 1 の判定手段により第 1 の規格範囲内でないと判定されたときには、m の値を更新して前記第 1 の演算手段からの処理を繰り返し、

前記第 2 の判定手段により第 2 の規格範囲内でないと判定されたときには、m の値を更新して前記第 1 の演算手段からの処理を繰り返し、前記第 2 の判定手段により規格範囲内であると判定されたときには、そのときの m の値を前記 PLL 回路がロックした時点におけるクロック数のカウント値として出力するようにしたことを特徴とする集積回路の検査装置。

【請求項 6】

プリスケラに希望周波数のデータ信号とともに供給される他の信号をフリップフロップにも入力し、前記フリップフロップは前記他の信号を入力することにより出力がハイレベルとなることを特徴とする請求項 4 または 5 記載の集積回路の検査装置。

10

【請求項 7】

集積回路内に、プリスケラに供給される前の希望周波数のデータ信号をラッチし、トリガー信号が入力されることにより前記ラッチした希望周波数のデータ信号を前記プリスケラに供給するラッチ手段を設け、前記トリガー信号をフリップフロップにも入力し、前記フリップフロップは前記トリガー信号を入力することにより出力がハイレベルとなることを特徴とする請求項 4 または 5 記載の集積回路の検査装置。

【請求項 8】

PLL 回路がロックした時点におけるクロック数のカウント値に、クロック信号の周期を乗算することにより、PLL 回路のロックアップの実時間を算出して出力する手段を設けたことを特徴とする請求項 4、5、6 または 7 記載の集積回路の検査装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PLL 回路（位相同期ループ回路）を構成する集積回路の検査方法および検査装置に関するものである。

【0002】

【従来の技術】

PLL 回路特性の重要なファクターのひとつである PLL ロック時間の、テスターでの計測の要求が高まっている。

30

【0003】

図 8 は従来例における集積回路の検査装置の一例を示すものである。図 8 において、1 は基準信号、2 は集積回路（被測定デバイス）、3 は位相比較器、4 は VCO（電圧制御発振器）、5 はプリスケラ、6 はチャージポンプ、7 はループフィルタ、8 はシリアルデータライン、9 はシリアル/パラレル変換回路、10 は DC 電圧計、11 は記憶手段、12 は演算手段、13 は判定手段である。

【0004】

基準信号 1 は、集積回路 2 内の位相比較器 3 に供給している。同時に、位相比較器 3 には、VCO 4 の出力をプリスケラ 5 にて分周した信号が入力され、基準信号 1 との位相差を検出し、チャージポンプ 6 を通して位相差を補正するためのパルス信号を出力し、次段のループフィルタ 7 にて DC 電圧に変換される。この DC 電圧は、VCO 4 の発振周波数を制御するチューニング電圧として VCO 4 に供給される。一方、シリアルデータライン 8 より、PLL の周波数選局のためのデータ（以下「選局データ」という）を、シリアル/パラレル変換回路 9 を通してプリスケラ 5 に供給し、選局データに応じて分周比がプリスケラ 5 に設定される。このようにして PLL 回路は常に希望する周波数に発振するように動作する。

40

【0005】

上記の構成の PLL 回路に、ループフィルタ 7 の出力を DC 電圧計 10 に接続し、DC 電圧計 10 の測定結果を記憶する記憶手段 11 と、測定結果から演算および判定をおこなう演算手段 12 および判定手段 13 を有する検査装置を構成している。

50

【0006】

上記の構成において、シリアルデータライン8より希望の周波数設定のための選局データを集積回路2に供給すると、プリスケラ5に選局データに基づいた分周比が設定され、PLLの選局動作が開始される。PLLの選局動作開始からある時間経過後のループフィルタ7出力の電圧をDC電圧計10にて測定し、測定結果を記憶手段11に記憶し、このときの測定結果をV1とする。更に時間においてPLLが完全にロックするべき時点(規定時刻)のプリスケラ7出力のDC電圧をDC電圧計10にて同様に測定し、このときの測定結果をV2とする。測定結果V1とV2を記憶手段11より呼び出し、その電圧差を演算手段12にて演算し、その電圧差が規格範囲内か否かを判定手段13にて判定する。この判定手段13により電圧差が規格範囲内であると判定されることは、PLLが規定の時間内にロックしていることであり、規格範囲内でないとは判定されることは、PLLが規定の時間内にロックしていないことを意味する。以上のように、PLLが規定の時間内にロックしているか否かを検査していた。

10

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来構成では、PLLのループフィルタ7出力の電圧をDC電圧計10で測定するというもので、ループフィルタ7出力に電圧測定のための回路を設けることで、ループフィルタ7出力に余分な回路を付加することにより、本来の状態でのPLLの応答特性とに差が生じるために正規のPLL応答の測定とはならないという課題があった。

20

【0008】

且つ上記従来構成では、PLLが周波数選局動作を開始してからある時間を経過後のループフィルタ7出力の電圧値と、PLLが完全にロックするべき時点(規定時刻)のループフィルタ7出力の電圧値との差をもって合否判定するもので、PLLが規定の時間内にロックしているか否かを判定しているが、実際のロック時間の測定まではできないという課題があった。

【0009】

本発明は、この課題を解決するもので、PLLの応答特性に影響を及ぼすことなく、PLLロックアップ時間の測定を可能とする集積回路の検査方法および検査装置を提供することを目的とする。

30

【0010】

【課題を解決するための手段】

請求項1記載の集積回路の検査方法は、基準信号と分周信号との位相差を検出する位相比較器と、チャージポンプと、ループフィルタと、VCO(電圧制御発振器)と、希望周波数に応じて分周比が設定されVCOの出力を分周した分周信号を位相比較器へ出力するプリスケラとで構成されるPLL回路のうち、位相比較器とチャージポンプとプリスケラとを内蔵した集積回路に対し、ループフィルタとVCOとを接続してPLL回路の検査を行う集積回路の検査方法であって、プリスケラに分周比が設定されPLL回路がロックアップ動作を開始すると同時にクロック信号を発生させる第1の処理と、クロック信号の立ち上がりまたは立ち下りのタイミングごとにVCOの出力周波数を順次測定するとともに、クロック信号の発生時からのクロック数をカウントする第2の処理と、VCOの出力周波数の測定値と、その測定時におけるクロック数のカウント値とを記憶する第3の処理と、クロック数のカウント値が m (m は1以上の整数)のときの周波数の測定値と、クロック数のカウント値が $m+n$ (n は1以上の整数)のときの周波数の測定値との差を、規格範囲内になるまで m の値を更新しながら順次求める第4の処理とを含み、第4の処理で求めた差が規格範囲内となったときの m の値をPLL回路がロックした時点におけるクロック数のカウント値に決定することを特徴とする。

40

【0011】

この請求項1によれば、PLL回路がロックアップ動作を開始すると同時に、クロック信号の立ち上がりまたは立ち下りのタイミングごとにVCOの出力周波数を順次測定し記

50

憶するとともに、ロックアップ動作開始時からのクロック数をカウントして記憶し、その後演算処理と判定処理を繰り返し行うことにより、PLL回路がロックした時点におけるクロック数のカウント値を決定することができる。したがって、PLLロックアップ時間の測定を行うことができる。また、従来例のようにループフィルタの出力電圧を測定するものではなく、VCOの出力周波数を測定するようにしているため、PLLの応答特性に影響を及ぼすことがない。

【0012】

請求項2記載の集積回路の検査方法は、基準信号と分周信号との位相差を検出する位相比較器と、チャージポンプと、ループフィルタと、VCOと、希望周波数に応じて分周比が設定されVCOの出力を分周した分周信号を位相比較器へ出力するプリスケアラとで構成されるPLL回路のうち、位相比較器とチャージポンプとプリスケアラとを内蔵した集積回路に対し、ループフィルタとVCOとを接続してPLL回路の検査を行う集積回路の検査方法であって、プリスケアラに分周比が設定されPLL回路がロックアップ動作を開始すると同時にクロック信号を発生させる第1の処理と、クロック信号の立ち上がりまたは立ち下りのタイミングごとにVCOの出力周波数を順次測定するとともに、クロック信号の発生時からのクロック数をカウントする第2の処理と、VCOの出力周波数の測定値と、その測定時におけるクロック数のカウント値とを記憶する第3の処理と、クロック数のカウント値が m (m は1以上の整数)のときの周波数の測定値と、希望周波数との差を、第1の規格範囲内になるまで m の値を更新しながら順次求める第4の処理と、第4の処理で求めた差が第1の規格範囲内になったクロック数のカウント値が m における周波数の測定値と、クロック数のカウント値が $m+n$ (n は1以上の整数)のときの周波数の測定値との差を求める第5の処理とを含み、第5の処理で求めた差が第2の規格範囲内になるまで第4の処理と第5の処理とを繰り返し、第5の処理で求めた差が第2の規格範囲内となったときの m の値をPLL回路がロックした時点におけるクロック数のカウント値に決定することを特徴とする。

10

20

【0013】

この請求項2によれば、請求項1と同様の効果に加え、VCOの出力周波数と希望周波数との差を求め、その差が規格範囲内となることを確認しているため、PLL回路が希望周波数にロックしていることの正確さを向上することができる。

【0014】

請求項3記載の集積回路の検査方法は、請求項1または2記載の集積回路の検査方法において、PLL回路がロックした時点におけるクロック数のカウント値に、クロック信号の周期を乗算することにより、PLL回路のロックアップの実時間を算出する処理を有することを特徴とする。

30

【0015】

このように、PLL回路のロックアップの実時間を算出できる。

【0016】

請求項4記載の集積回路の検査装置は、基準信号と分周信号との位相差を検出する位相比較器と、チャージポンプと、ループフィルタと、VCOと、希望周波数に応じて分周比が設定されVCOの出力を分周した分周信号を位相比較器へ出力するプリスケアラとで構成されるPLL回路のうち、位相比較器とチャージポンプとプリスケアラとを内蔵した集積回路に対し、ループフィルタとVCOとを接続してPLL回路の検査を行う集積回路の検査装置であって、プリスケアラに分周比が設定されると同時にハイレベルの信号を出力するフリップフロップと、フリップフロップの出力とクロック信号とを入力するANDゲートと、VCOおよびANDゲートの出力を入力し、ANDゲートから入力されるクロック信号の立ち上がりまたは立ち下りのタイミングごとにVCOの出力周波数を順次測定する周波数カウンターと、ANDゲートの出力を入力し、ANDゲートから入力されるクロック信号のクロック数をカウントするクロックカウンターと、周波数カウンターによるVCOの出力周波数の測定値と、その測定時におけるクロックカウンターによるクロック数のカウント値とを記憶する記憶手段と、記憶手段に記憶されたクロック数のカウント値が

40

50

m (m は 1 以上の整数) のときの周波数の測定値と、記憶手段に記憶されたクロック数のカウント値が $m + n$ (n は 1 以上の整数) のときの周波数の測定値との差を求める演算手段と、演算手段により求めた差が規格範囲内であるか否かを判定する判定手段とを設け、判定手段により規格範囲内でないと判定されたときには、m の値を更新して演算手段からの処理を繰り返し、判定手段により規格範囲内であると判定されたときには、そのときの m の値を PLL 回路がロックした時点におけるクロック数のカウント値として出力するようにしたことを特徴とする。

【 0 0 1 7 】

この請求項 4 によれば、請求項 1 の検査方法を実施でき、同様の効果が得られる。

【 0 0 1 8 】

請求項 5 記載の集積回路の検査装置は、基準信号と分周信号との位相差を検出する位相比較器と、チャージポンプと、ループフィルタと、VCO と、希望周波数に応じて分周比が設定され VCO の出力を分周した分周信号を位相比較器へ出力するプリスケアラとで構成される PLL 回路のうち、位相比較器とチャージポンプとプリスケアラとを内蔵した集積回路に対し、ループフィルタと VCO とを接続して PLL 回路の検査を行う集積回路の検査装置であって、プリスケアラに分周比が設定されると同時にハイレベルの信号を出力するフリップフロップと、フリップフロップの出力とクロック信号とを入力する AND ゲートと、VCO および AND ゲートの出力を入力し、AND ゲートから入力されるクロック信号の立ち上がりまたは立ち下りのタイミングごとに VCO の出力周波数を順次測定する周波数カウンターと、AND ゲートの出力を入力し、AND ゲートから入力されるクロック信号のクロック数をカウントするクロックカウンターと、周波数カウンターによる VCO の出力周波数の測定値と、その測定時におけるクロックカウンターによるクロック数のカウント値とを記憶する記憶手段と、記憶手段に記憶されたクロック数のカウント値が m (m は 1 以上の整数) のときの周波数の測定値と、希望周波数との差を求める第 1 の演算手段と、第 1 の演算手段により求めた差が第 1 の規格範囲内であるか否かを判定する第 1 の判定手段と、第 1 の判定手段により第 1 の規格範囲内であると判定されたときに、そのときのクロック数のカウント値が m における周波数の測定値と、クロック数のカウント値が $m + n$ (n は 1 以上の整数) のときの周波数の測定値との差を求める第 2 の演算手段と、第 2 の演算手段により求めた差が第 2 の規格範囲内であるか否かを判定する第 2 の判定手段とを設け、第 1 の判定手段により第 1 の規格範囲内でないと判定されたときには、m の値を更新して第 1 の演算手段からの処理を繰り返し、第 2 の判定手段により第 2 の規格範囲内でないと判定されたときには、m の値を更新して第 1 の演算手段からの処理を繰り返し、第 2 の判定手段により規格範囲内であると判定されたときには、そのときの m の値を PLL 回路がロックした時点におけるクロック数のカウント値として出力するようにしたことを特徴とする。

【 0 0 1 9 】

この請求項 5 によれば、請求項 2 の検査方法を実施でき、同様の効果が得られる。

【 0 0 2 0 】

請求項 6 記載の集積回路の検査装置は、請求項 4 または 5 記載の集積回路の検査装置において、プリスケアラに希望周波数のデータ信号とともに供給される他の信号をフリップフロップにも入力し、フリップフロップは他の信号を入力することにより出力がハイレベルとなることを特徴とする。

【 0 0 2 1 】

このようにして、プリスケアラに希望周波数のデータ信号が供給され分周比が設定されると同時に、フリップフロップがハイレベルの信号を出力し AND ゲートからクロック信号を出力させることができる。

【 0 0 2 2 】

請求項 7 記載の集積回路の検査装置は、請求項 4 または 5 記載の集積回路の検査装置において、集積回路内に、プリスケアラに供給される前の希望周波数のデータ信号をラッチし、トリガー信号が入力されることによりラッチした希望周波数のデータ信号をプリスケ

10

20

30

40

50

ラに供給するラッチ手段を設け、トリガー信号をフリップフロップにも入力し、フリップフロップはトリガー信号を入力することにより出力がハイレベルとなることを特徴とする。

【0023】

このようにして、プリスケラに希望周波数のデータ信号が供給され分周比が設定されると同時に、フリップフロップがハイレベルの信号を出力しANDゲートからクロック信号を出力させることができる。

【0024】

請求項8記載の集積回路の検査装置は、請求項4, 5, 6または7記載の集積回路の検査装置において、PLL回路がロックした時点におけるクロック数のカウント値に、クロック信号の周期を乗算することにより、PLL回路のロックアップの実時間を算出して出力する手段を設けたことを特徴とする。

10

【0025】

これにより、PLL回路のロックアップの実時間を算出して出力できる。

【0026】

【発明の実施の形態】

以下、図面を参照しながら本発明の集積回路の検査方法および検査装置について説明する。

【0027】

(第1の実施の形態)

図1は第1の実施の形態における集積回路の検査装置の図を示すものである。図1において、14はフリップフロップ、15はANDゲート、16はクロック信号、17はカウンタA(周波数カウンタ)、18はカウンタB(クロックカウンタ)、19は記憶手段A、20は演算手段A、21は判定手段A、22は判定手段Bである。なお、1は基準信号、2は集積回路(被測定デバイス)、3は位相比較器、4はVCO、5はプリスケラ、6はチャージポンプ、7はループフィルタ、8はシリアルデータライン、9はシリアル/パラレル変換回路であり、これらは従来例と同じ構成である。

20

【0028】

図2に、第1の実施の形態におけるPLLのロックアップ応答特性の一例のタイミングチャートを示す。図2において、1aはシリアルデータ(選局データ)、1-1はシリアルクロック、1-2はDATA、1-3は認識信号、2aはフリップフロップ14の出力波形、3aはANDゲート15の出力波形、25はPLLロックアップ特性である。

30

【0029】

なお、認識信号1-3は、シリアルデータが3線式の場合はストローク信号、あるいはイネーブル信号を認識信号として使用している。また、シリアルデータが2線式あるいは3線式の場合においても、シリアルデータに対応させた信号を設けて、認識信号として使用することもできる。

【0030】

上記の構成において、シリアルデータライン8より希望する周波数設定のための選局データを含むシリアルデータを集積回路2に供給すると、集積回路2内のシリアル/パラレル変換回路9でパラレルデータに変換されて、プリスケラ5に入力され、プリスケラ5に選局データにもとづいた分周比が設定され、PLLの選局動作が開始される。また、シリアルデータライン8のひとつのラインには選局データと同時に送出する認識信号1-3のラインを設け、認識信号1-3を集積回路2に供給すると同時に認識信号1-3をフリップフロップ14にも供給し、認識信号1-3のタイミングでフリップフロップ14出力を“H”(ハイレベル)にし、ANDゲート15の一方の端子に供給する。ANDゲート15のもう一方の端子には、クロック信号16を供給しており、認識信号1-3のタイミングと同時に、ANDゲート15の出力端子よりクロック信号16を出力する。

40

【0031】

ANDゲート15出力より出たクロック信号16は、カウンタA17およびカウンタ

50

B 1 8 に供給している。また、V C O 4 出力はプリスケラ 5 に入力されるとともに、カウンタ A 1 7 にも入力される。カウンタ A 1 7 にて、クロック信号 1 6 の立ち上がり（または立ち下がり）をトリガーとして V C O 4 の出力周波数を測定すると同時に、カウンタ B 1 8 にて、クロック信号 1 6 のクロック数をカウントし、カウンタ A 1 7 およびカウンタ B 1 8 の測定結果を記憶手段 A 1 9 に送る。なお、カウンタ A 1 7 は、V C O 4 の出力周波数を、クロック信号の立ち上がり（または立ち下がり）ごとに順次測定する周波数カウンタである。

【 0 0 3 2 】

さらに、記憶手段 A 1 9 には、A N D ゲート 1 5 出力よりクロック信号 1 6 が供給され、クロック信号 1 6 のクロックごとにカウンタ A 1 7 およびカウンタ B 1 8 で測定した V C O 4 の出力周波数測定結果とクロック信号 1 6 のクロック回数測定結果とを順次記憶していく。

【 0 0 3 3 】

そして、演算手段 A 2 0 にて周波数測定結果を演算して判定手段 A 2 1 にて判定し、判定手段 A 2 1 の判定結果を受けて、判定手段 B 2 2 にてクロック回数測定結果を判定して出力する。これらの演算手段 A 2 0、判定手段 A 2 1 および判定手段 B 2 2 の処理については、第 3 ~ 第 5 の実施の形態として後述する。

【 0 0 3 4 】

以上のように本実施の形態によれば、集積回路 2 に P L L 選局のための選局データが供給され、P L L が選局動作を開始（ロックアップ動作を開始）したと同時に、クロック信号 1 6 のクロックごとに V C O 4 の出力周波数を測定するとともにクロック回数を測定し、測定結果を記憶手段 A 1 9 に順次記憶していき、その後、後述のように演算処理と判定処理を行うことにより、P L L がロックしたときのクロック信号 1 6 のクロック回数を判定して、P L L ロックアップ時間の測定を行うことができる。

【 0 0 3 5 】

（第 2 の実施の形態）

図 3 は第 2 の実施の形態における集積回路の検査装置の図を示すものである。図 3 において、2 3 はラッチ手段、2 4 はラッチトリガーである。なお、1 は基準信号、2 は集積回路（被測定デバイス）、3 は位相比較器、4 は V C O、5 はプリスケラ、6 はチャージポンプ、7 はループフィルタ、8 はシリアルデータライン、9 はシリアル/パラレル変換回路であり、これらは従来例と同じ構成である。また、1 4 はフリップフロップ、1 5 は A N D ゲート、1 6 はクロック信号、1 7 はカウンタ A、1 8 はカウンタ B、1 9 は記憶手段 A、2 0 は演算手段 A、2 1 は判定手段 A、2 2 は判定手段 B であり、これらは第 1 の実施の形態と同じである。

【 0 0 3 6 】

図 4 に、第 2 の実施の形態における P L L のロックアップ応答特性の一例のタイミングチャートを示す。図 4 において、4 a はラッチトリガー信号である。なお、2 a はフリップフロップ 1 4 の出力波形、3 a は A N D ゲート 1 5 の出力波形、2 5 は P L L ロックアップ特性であり、これらは第 1 の実施の形態と同じである。

【 0 0 3 7 】

上記の構成では、シリアルデータライン 8 より希望する周波数設定のための選局データを含むシリアルデータを集積回路 2 に供給すると、集積回路 2 内のシリアル/パラレル変換回路 9 でパラレルデータに変換されたあと、ラッチ手段 2 3 に選局データをラッチする構成としている。ラッチトリガー 2 4 よりトリガー信号 4 a を与えることで、選局データが、プリスケラ 5 に供給されて希望周波数にロックするように分周比が設定され、P L L の選局動作が開始される。また、ラッチトリガー 2 4 の信号 4 a を集積回路 2 に供給すると同時にフリップフロップ 1 4 にも供給し、ラッチトリガー信号 4 a のタイミングでフリップフロップ 1 4 出力を“H”にし、A N D ゲート 1 5 の一方の端子に供給する。A N D ゲート 1 5 のもう一方の端子には、クロック信号 1 6 を供給しており、ラッチトリガー信号 4 a のタイミングと同時に、A N D ゲート 1 5 の出力端子よりクロック信号 1 6 を出力

10

20

30

40

50

する。

【0038】

ANDゲート15出力より出たクロック信号16は、カウンタA17およびカウンタB18に供給している。また、VCO4出力はプリスケラ5に入力されるとともに、カウンタA17にも入力される。カウンタA17にて、クロック信号16の立ち上がり（または立ち下がり）をトリガーとしてVCO4の出力周波数を測定すると同時に、カウンタB18にて、クロック信号16のクロック数をカウントし、カウンタA17およびカウンタB18の測定結果を記憶手段A19に送る。

【0039】

さらに、記憶手段A19には、ANDゲート15出力よりクロック信号16が供給され、クロック信号16のクロックごとにカウンタA17およびカウンタB18で測定したVCO4の出力の周波数測定結果とクロック信号16のクロック回数測定結果とを順次記憶していく。

【0040】

そして、演算手段A20にて周波数測定結果を演算して判定手段A21にて判定し、判定手段A21の判定結果を受けて、判定手段B22にてクロック回数測定結果を判定して出力する。これらの演算手段A20、判定手段A21および判定手段B22の処理については、第3～第5の実施の形態として後述する。

【0041】

以上のように本実施の形態によれば、集積回路2内のラッチ手段23よりPLL選局のための選局データが出力され、PLLが選局動作を開始したと同時に、クロック信号16のクロックごとにVCO4の出力周波数を測定するとともにクロック回数を測定し、測定結果を記憶手段A19に順次記憶していき、その後、後述のように演算処理と判定処理を行うことにより、PLLがロックしたときのクロック信号16のクロック回数を判定して、PLLロックアップ時間の測定を行うことができる。

【0042】

（第3の実施の形態）

ここでは、第1の実施の形態および第2の実施の形態における演算手段A20、判定手段A21および判定手段B22の処理について詳述する。

【0043】

図5は第3の実施の形態における処理を示すフローチャートである。図5において、5aはカウンタA17、B18での処理、6aは記憶手段A19での処理、7aは演算手段A20での処理、8aは判定手段A21での処理、9aは判定手段B22での処理である。

【0044】

第1の実施の形態または第2の実施の形態で示すクロック信号16を、PLLの選局動作開始と同時にANDゲート15よりカウンタA17およびカウンタB18に供給し、VCO4の出力周波数とクロック信号16のクロック数を測定して（処理5a）、順次記憶手段A19に記憶していく（処理6a）。以上の手順は、第1の実施の形態および第2の実施の形態で説明した通りである。

【0045】

次に、演算手段A20が、記憶手段A19より、記憶したクロック信号16の任意のクロック番目 m （ m は1以上の整数）に対応する測定周波数 f_1 と、クロック番目 $m+n$ （ n は1以上の整数）に対応する測定周波数 f_2 を呼び出し、測定周波数 f_1 と f_2 の周波数差 f_1 を計算する（処理7a）。なお、クロック番目（ m 、 $m+n$ 等）は、ANDゲート15から出力されるクロック信号16の番目 m に出力されたクロックを指す。

【0046】

次に、判定手段A21にて、演算手段A20で計算された f_1 が規格範囲内か否かの判定を行う（処理8a）。ここで、 f_1 が規格範囲外と判定された時は、更にクロック番目 m の値を更新し（ $m = m + 1$ ）、演算手段A20による演算と判定手段A21による判

定を繰り返す。そして、 f_1 が規格範囲内と判定された時、その時のクロック番目 m の数を、判定手段B22にて判定し、それをPLLロックアップ時間として出力する(処理9a)。ここで、判定手段B22による判定は、判定手段A21により f_1 が規格範囲内と判定された時のクロック番目 m の数を、PLL回路がロックした時点におけるクロック数のカウント値に決定することである。そして、この場合、出力されるPLLロックアップ時間は、PLL回路がロックした時点におけるクロック数のカウント値である。

【0047】

以上のように本実施の形態によれば、PLLが選局動作を開始したと同時に、クロック信号16のクロックごとにVCO4の出力周波数を測定するとともにクロック回数を測定し、測定結果を記憶手段A19に順次記憶していき、その後に演算処理と判定処理を行うことにより、PLLがロックしたときのクロック信号16のクロック番目の数を判定して、PLLロックアップ時間の測定を行うことができる。

10

【0048】

(第4の実施の形態)

ここでは、第1の実施の形態および第2の実施の形態における演算手段A20、判定手段A21および判定手段B22の処理について、第3の実施の形態における処理と異なる処理について詳述する。

【0049】

図6は第4の実施の形態における処理を示すフローチャートである。図6において、7b, 7cは演算手段A20での処理、8b, 8cは判定手段A21での処理である。なお、5aはカウンタA17、B18での処理、6aは記憶手段A19での処理、9aは判定手段B22での処理で、これらは図5と同じである。

20

【0050】

記憶手段A19での処理6aまでの手順は、第3の実施の形態と同じである。

【0051】

次に、演算手段A20が、記憶手段A19より、記憶したクロック信号16の任意のクロック番目 m (m は1以上の整数)に対応する測定周波数 f_1 を呼び出し、シリアルデータライン8の選局データに設定した正規のPLLロック周波数(希望周波数) f_0 と測定周波数 f_1 との周波数差 f_2 を計算する(処理7b)。

【0052】

次に、判定手段A21にて、演算手段A20で計算された f_2 の値が規格範囲内か否かの判定をおこなう(処理8b)。ここで、 f_2 が規格範囲外と判定された時は、クロック番目 m の値を更新し($m = m + 1$)、演算手段A20による演算と判定手段A21による判定を繰り返す。

30

【0053】

そして、判定手段A21にて f_2 が規格範囲内と判定された時は、次に、演算手段A20が、現時点のクロック番目 m より n 番目先のクロック番目 $m + n$ (n は1以上の整数)に対応する測定周波数 f_2 を記憶手段A19より呼び出し、クロック m 番目の測定周波数 f_1 と f_2 の周波数差 f_1 を計算する(処理7c)。

【0054】

次に、判定手段A21にて、演算手段A20で計算された f_1 が規格範囲内か否かの判定をおこなう(処理8c)。ここで、 f_1 が規格範囲を外れていると判定された時は、更に現時点のクロック番目 m を更新して($m = m + 1$)、演算手段A20での処理7b(クロック番目 m を設定する処理を除く)からの処理を繰り返す。

40

【0055】

そして、判定手段A21にて f_1 が規格範囲内と判定された時、その時のクロック番目 m の数を判定手段B22にて判定し、PLLロックアップ時間として出力する(処理9a)。

【0056】

以上のように本実施の形態によれば、PLLが選局動作を開始したと同時に、クロック信

50

号16のクロックごとにVCO4の出力周波数を測定するとともにクロック回数を測定し、測定結果を記憶手段A19に順次記憶していき、その後に演算処理と判定処理を行うことにより、PLLがロックしたときのクロック信号16のクロック番目の数を判定して、PLLロックアップ時間の測定を行うことができる。

【0057】

さらに、本実施の形態の場合、正規のPLLロック周波数 f_0 と測定周波数 f_1 との周波数差 f_2 を計算し、 f_2 の値が規格範囲内となることを確認しているため、PLLが正規の周波数 f_0 にロックしていることの正確さを向上することができる。

【0058】

なお、第3,第4の実施の形態では、判定手段B22から、PLLロックアップ時間として、PLL回路がロックした時点におけるクロック数のカウント値を出力するようにしたが、PLLロックアップ時間を実時間で出力する場合の方法を図7に示す。図7において、9bは判定手段B22での処理であり、図5,図6において、判定手段B22での処理9aに代えて、図7に示す判定手段B22での処理9bとする。

【0059】

この場合、判定手段B22にて判定したクロック番目 m の数の、クロック信号16の周期を乗算することで、PLLロックアップの実時間を求め、それを出力することができる。

【0060】

以上、各実施の形態でも説明したように、PLLロックアップ時間の測定を行うことができる。また、従来例のようにループフィルタの出力電圧を測定するものではなく、VCOの出力周波数を測定するようにしているため、PLLの応答特性に影響を及ぼすことがない。

【0061】

【発明の効果】

本発明によれば、PLL回路がロックアップ動作を開始すると同時に、クロック信号の立ち上がりまたは立ち下りのタイミングごとにVCOの出力周波数を順次測定し記憶するとともに、ロックアップ動作開始時からのクロック数をカウントして記憶し、その後に演算処理と判定処理を繰り返し行うことにより、PLL回路がロックした時点におけるクロック数のカウント値を決定することができる。さらにはそのカウント値からPLLロックアップの実時間を算出することができる。このように、PLLロックアップ時間の測定を行うことができる。また、従来例のようにループフィルタの出力電圧を測定するものではなく、VCOの出力周波数を測定するようにしているため、PLLの応答特性に影響を及ぼすことがない。

【0062】

従って、今まで以上に高品位な集積回路の検査を実現でき、極めて有用な効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における集積回路の検査装置を示す図。

【図2】本発明の第1の実施の形態におけるタイミングチャート。

【図3】本発明の第2の実施の形態における集積回路の検査装置を示す図。

【図4】本発明の第2の実施の形態におけるタイミングチャート。

【図5】本発明の第3の実施の形態におけるフローチャート。

【図6】本発明の第4の実施の形態におけるフローチャート。

【図7】本発明の他の実施の形態におけるフローチャート。

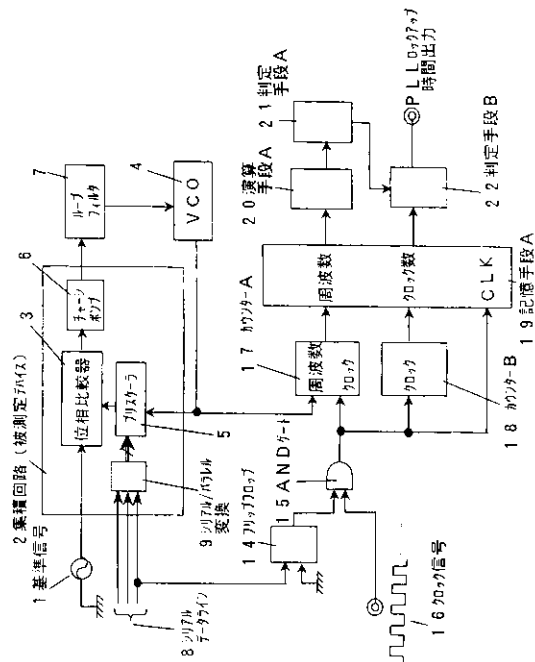
【図8】従来例における集積回路の検査装置を示す図。

【符号の説明】

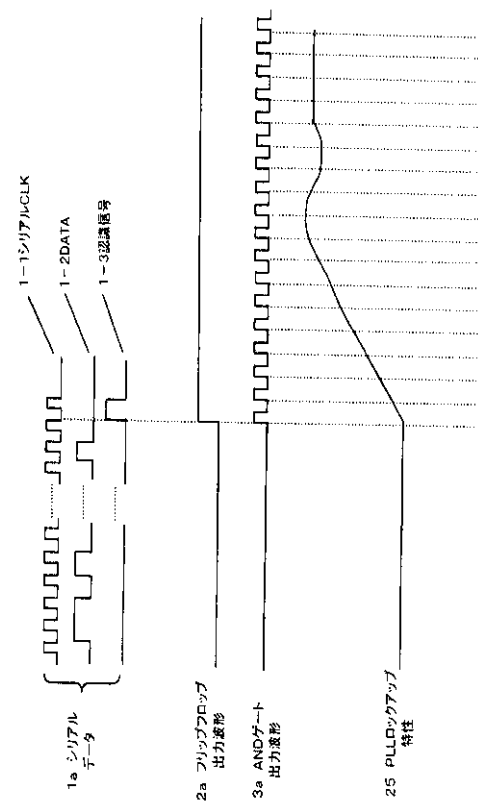
- 1 基準信号
- 2 集積回路(被測定デバイス)
- 3 位相比較器
- 4 VCO
- 5 プリスケータ

- 6 チャージポンプ
- 7 ループフィルタ
- 8 シリアルデータライン
- 9 シリアル/パラレル変換回路
- 10 DC電圧計
- 11 記憶手段
- 12 演算手段
- 13 判定手段
- 14 フリップフロップ
- 15 ANDゲート
- 16 クロック信号
- 17 カウンターA
- 18 カウンターB
- 19 記憶手段A
- 20 演算手段A
- 21 判定手段A
- 22 判定手段B
- 23 ラッチ手段
- 24 ラッチトリガー

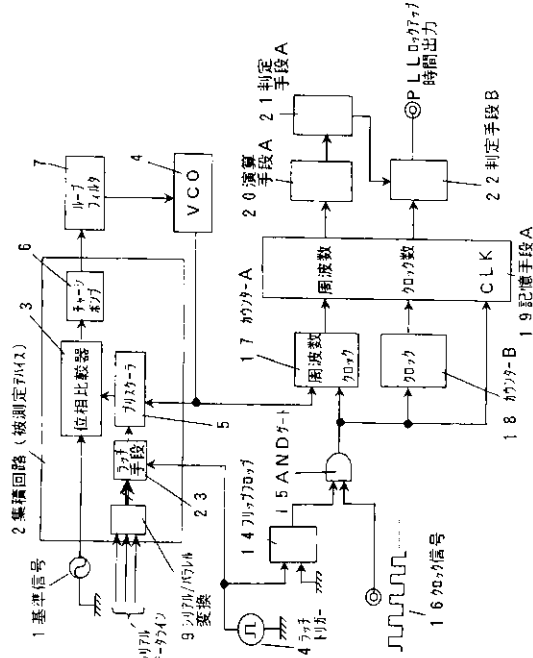
【図1】



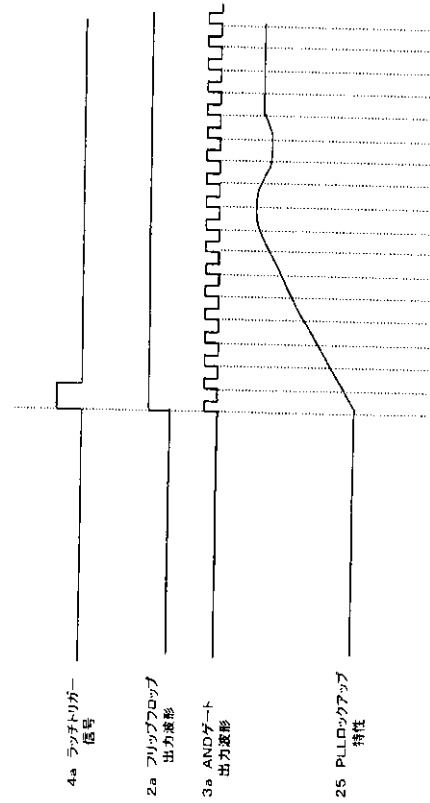
【図2】



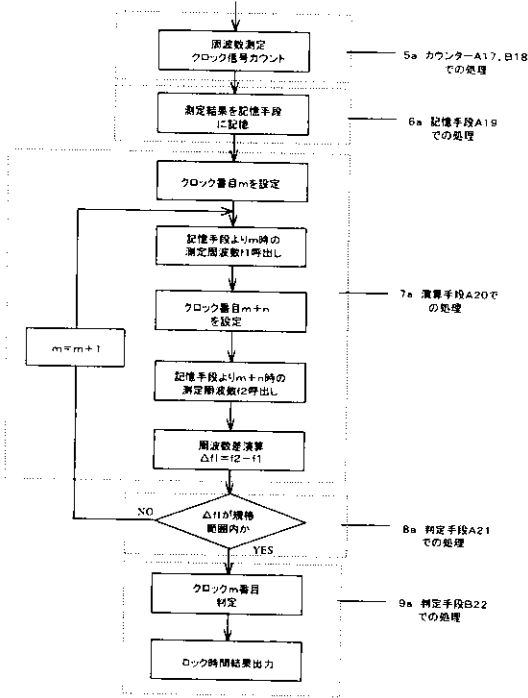
【図3】



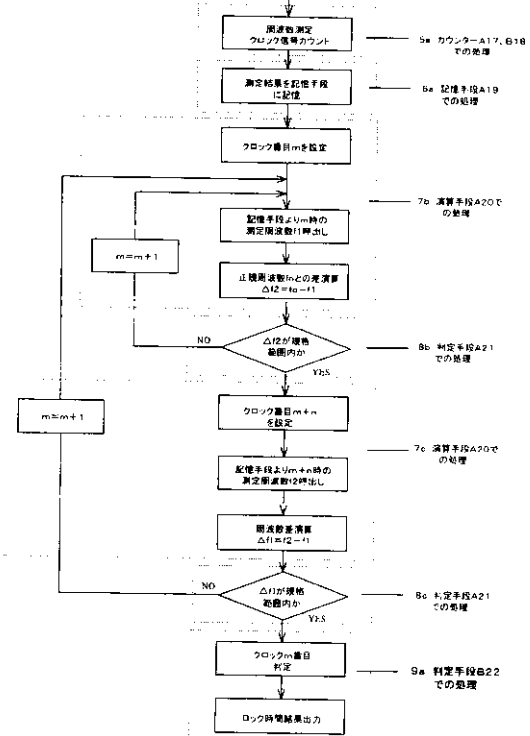
【図4】



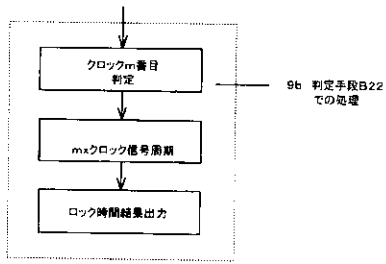
【図5】



【図6】



【 図 7 】



【 図 8 】

