



(12) 发明专利

(10) 授权公告号 CN 103247389 B

(45) 授权公告日 2016. 02. 17

(21) 申请号 201310048931. 4

CN 1525499 A, 2004. 09. 01, 说明书第 11 页第 18-26 行、图 1.

(22) 申请日 2013. 02. 06

JP 特开 2011-142089 A, 2011. 07. 21, 全文.

(30) 优先权数据

US 2003147058 A1, 2003. 08. 07, 说明书第

2012-023078 2012. 02. 06 JP

[0056] 段.

(73) 专利权人 日东电工株式会社

审查员 张文璐

地址 日本大阪府

(72) 发明人 藤野望 鹰尾宽行 石桥邦昭

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

代理人 刘新宇 李茂家

(51) Int. Cl.

H01B 13/00(2006. 01)

H01B 5/14(2006. 01)

G06F 3/044(2006. 01)

(56) 对比文件

CN 1809799 A, 2006. 07. 26, 说明书第 3 页倒数第 1 行、第 4 页第 8-11 行、第 5 页第 3-12 行、第 6 页第 11-14 行.

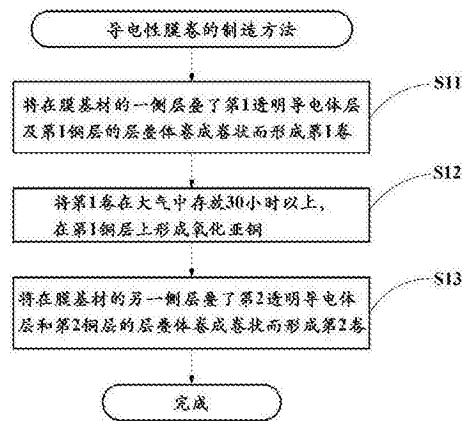
权利要求书1页 说明书6页 附图3页

(54) 发明名称

导电性膜卷的制造方法

(57) 摘要

本发明提供一种导电性膜卷的制造方法,邻接的膜彼此不压接而能够维持高品质。本发明的制造方法包含:第1工序,边将膜基材的初始卷开卷,边通过溅射法在膜基材的一侧顺次层叠第1透明导电体层和第1铜层,将得到的第1层叠体卷成卷状,制成第1卷;第2工序,将该第1卷在大气中存放30小时以上,在第1铜层的表面形成含有氧化亚铜的氧化被膜层;第3工序,边将第1卷开卷,边在膜基材的另一侧通过溅射法顺次层叠第2透明导电体层和第2铜层,将得到的第2层叠体卷成卷状,制成第2卷。



1. 一种导电性膜卷的制造方法,其特征在于,所述导电性膜卷的制造方法包含如下工序:

第 1 工序,在膜基材的一侧通过溅射法顺次层叠第 1 透明导电体层和第 1 铜层,将得到的第 1 层叠体卷成卷状,制成第 1 卷,

第 2 工序,将所述第 1 卷在大气中存放 30 小时以上,在所述第 1 铜层的表面形成含有氧化亚铜的氧化被膜层,

第 3 工序,边将所述第 1 卷开卷,边在所述膜基材的另一侧通过溅射法顺次层叠第 2 透明导电体层和第 2 铜层,将得到的第 2 层叠体卷成卷状,制成第 2 卷。

2. 如权利要求 1 所述的导电性膜卷的制造方法,其特征在于,在所述第 2 工序中,将所述第 1 卷在大气中存放 36 小时~180 小时。

3. 如权利要求 1 所述的导电性膜卷的制造方法,其特征在于,在所述第 2 工序中形成厚度 1nm~15nm 的氧化被膜层。

4. 如权利要求 1 所述的导电性膜卷的制造方法,其特征在于,所述氧化被膜层含有 50 重量%以上的氧化亚铜。

5. 如权利要求 1 所述的导电性膜卷的制造方法,其特征在于,所述氧化被膜层由含铜、氧化亚铜、氧化铜、碳酸铜以及氢氧化铜的组合物构成。

导电性膜卷的制造方法

技术领域

[0001] 本发明涉及适用于能够通过手指或触控笔(stylus pen)等的接触而输入信息的输入显示装置等的导电性膜的制造方法。

背景技术

[0002] 目前,已知一种导电性膜,该导电性膜具备形成在膜基材的两面的透明导电体层和形成在各透明导电体层的表面的金属层(专利文献1)。将这样的导电性膜用于例如接触式传感器时,对金属层进行加工,在接触输入区域的外缘部形成引导布线,从而能够实现窄边框化。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2011-060146号公报

发明内容

[0006] 但是,上述现有的导电性膜存在将该膜卷成卷状时邻接的膜彼此压接的问题。如果将压接的膜彼此剥离,则有时损伤膜内的透明导电体层,可能导致品质降低。

[0007] 本发明的目的是提供一种邻接的膜彼此不压接而能够维持高品质的导电性膜卷的制造方法。

[0008] 为了实现上述目的,本发明的导电性膜卷的制造方法特征在于包含:第1工序,在膜基材的一侧通过溅射法顺次层叠第1透明导电体层和第1铜层,将得到的第1层叠体卷成卷状,制成第1卷;第2工序,将所述第1卷在大气中存放30小时以上,在所述第1铜层的表面形成含有氧化亚铜的氧化被膜层;第3工序,边将所述第1卷开卷,边在所述膜基材的另一侧通过溅射法顺次层叠第2透明导电体层和第2铜层,将得到的第2层叠体卷成卷状,制成第2卷。

[0009] 优选在所述第2工序中,将所述第1卷在大气中存放36小时~180小时。

[0010] 另外,优选在所述第2工序中,形成厚度1nm~15nm的氧化被膜层。

[0011] 所述氧化被膜层优选含有50重量%以上的氧化亚铜,另外,优选由含铜、氧化亚铜、氧化铜、碳酸铜以及氢氧化铜的组合物构成。

[0012] 根据本发明,因为将上述第1层叠体卷成卷状而得的第1卷在大气中存放30小时以上,在上述第1铜层的表面形成含有氧化亚铜的氧化被膜层,所以第2卷中邻接的膜彼此不压接而能够维持高品质。

附图说明

[0013] 图1是表示本发明的实施方式的导电性膜卷的制造方法的流程图。

[0014] 图2是概略地表示适用图1的制造方法的溅射装置的图。

[0015] 图3是表示通过图2的溅射装置制造的导电性膜卷的一例的侧视图。

[0016]	符号说明
[0017]	1 溅射装置
[0018]	10 腔室
[0019]	11 保持部
[0020]	12 导辊
[0021]	13 成膜辊
[0022]	14 靶材
[0023]	15 靶材
[0024]	16 导辊
[0025]	17 保持部
[0026]	18,19 处理室
[0027]	20 初始卷
[0028]	21 卷
[0029]	30 导电性膜卷
[0030]	31 导电性膜
[0031]	32 膜基材
[0032]	33 透明导电体层
[0033]	34 铜层
[0034]	35 透明导电体层
[0035]	36 铜层
[0036]	37 氧化被膜层

具体实施方式

[0037] 以下边参照附图边详细说明本发明的实施方式。

[0038] 本发明的制造方法包含：第1工序，边将膜基材的初始卷开卷，边在低压气体中通过溅射法在膜基材的一侧顺次层叠第1透明导电体层和第1铜层，将得到的第1层叠体卷成卷状，制成第1卷；第2工序，将该第1卷在大气中存放30小时以上，在第1铜层的表面形成含有氧化亚铜的氧化被膜层；第3工序，边将第1卷开卷，边在低压气体中通过溅射法在膜基材的另一侧顺次层叠第2透明导电体层和第2铜层，将得到的第2层叠体卷成卷状，制成第2卷。

[0039] 上述溅射法通常在低压气体中实施。该低压气体中是指标准大气压(101325Pa)的1/10以下的气压环境，优选为 $1 \times 10^5 \text{Pa} \sim 1 \text{Pa}$ 。

[0040] 根据本发明的制造方法，通过在第1铜层的表面形成含有氧化亚铜的氧化被膜层(第2工序)，在将第2层叠体卷成卷状制成第2卷(第3工序)时，发挥即使不在导电性膜之间插入衬纸(slip sheet)也不压接的优异效果。

[0041] 推测这是因为含有不具有自由电子的氧化亚铜的氧化被膜层介于邻接的第1铜层和第2铜层之间，从而能够防止上述第1铜层和上述第2铜层金属键合。

[0042] 应予说明，本发明的制造方法只要包含上述第1工序~第3工序即可，也可以在发挥本发明的效果的范围内在各工序之间或上述第3工序之后包含其他工序。

[0043] 接下来使用图 1 的流程图说明本实施方式的制造方法的各工序。

[0044] (1) 第 1 工序

[0045] 首先,本发明中采用的第 1 工序是边将膜基材的初始卷开卷,边在例如 $1 \times 10^5 \text{Pa} \sim 1 \text{Pa}$ 的低压气体中通过溅射法在膜基材的一侧顺次层叠第 1 透明导电层和第 1 铜层,将得到的第 1 层叠体卷成卷状制成第 1 卷的工序(步骤 S11)。根据这样的工序,通过顺次层叠第 1 透明导电层和第 1 铜层,能够提高各层的密合性、进而减少混入层间的异物。

[0046] 上述第 1 工序优选由图 2 的溅射装置实施。应予说明,图 2 的溅射装置为示例,适用本发明的制造方法的溅射装置不限于图 2 的装置。

[0047] 图 2 中,溅射装置 1 具有:用于制造低压环境(例如 $1 \times 10^5 \text{Pa} \sim 1 \text{Pa}$)的腔室(chamber) 10,保持将长条状的膜基材卷绕而得的初始卷 20 的保持部 11,引导从初始卷 20 被搬运到后述的成膜辊的膜基材的导辊 12,配置在导辊 12 的搬运方向下游侧、温度可控的成膜辊 13,与该成膜辊相对向地配置、电连接于没有图示的直流电源的靶材(第 1 靶材)14,配置在靶材 14 的搬运方向下游侧、电连接于没有图示的直流电源的靶材(第 2 靶材)15,配置在成膜辊 13 的下游侧的导辊 16,将成膜有第 1 透明导电层和第 1 铜层的膜基材卷绕制成卷(第 1 卷) 21、并保持该卷的保持部 17。

[0048] 该溅射装置 1 在腔室 10 内设置 2 个处理室 18、19,以便能够使用靶材 14 和靶材 15、在互不相同的条件下进行溅射。

[0049] 上述溅射法是例如在溅射装置 1 中,使通过在低压气体中在成膜辊和各靶材之间施加电压(例如 $-400\text{V} \sim -100\text{V}$)而产生的等离子体中的阳离子冲击作为负电极的靶材,使从上述靶材的表面飞散的物质附着于膜基材的方法。

[0050] 在上述膜基材的一侧连续层叠第 1 透明导电层和第 1 铜层可在例如上述溅射装置中,作为靶材 14 使用含氧化铜和氧化锡的烧成体靶,作为靶材 15 使用无氧铜(Oxygen-free copper)靶。

[0051] (2) 第 2 工序

[0052] 本发明中采用的第 2 工序是将卷绕上述第 1 层叠体而得的第 1 卷在大气中(例如 $88000\text{Pa} \sim 105000\text{Pa}$ 、 $10 \sim 50^\circ\text{C}$)存放 30 小时以上、在第 1 铜层的表面形成含有氧化亚铜的氧化被膜层的工序(步骤 S12)。

[0053] 根据这样的工序,推测在存放时从第 1 卷的侧方侵入的氧分子的作用下,第 1 铜层的表面被慢慢氧化,形成氧化被膜层。为了得到没有压接的导电性膜卷必需的氧化被膜层的厚度优选为 1nm 以上(例如 $1\text{nm} \sim 15\text{nm}$)。

[0054] 上述氧化亚铜是用化学式 Cu_2O 表示的 1 价氧化铜。上述氧化被膜层的氧化亚铜的含量优选为 50 重量%以上,更优选为 60 重量%以上。上述氧化被膜层通常由除了氧化亚铜以外、还含有铜(没有被氧化的铜)、氧化铜、碳酸铜、氢氧化铜等的组合物构成。

[0055] 上述存放第 1 卷的时间为了得到没有压接的导电性膜卷必须在 30 小时以上,优选为 36 小时 \sim 180 小时。上述存放时间表示从第 1 工序结束到第 3 工序开始的时间,例如从在第 1 工序中将溅射装置对大气开放到在第 3 工序中溅射装置开始减压的时间。

[0056] 上述第 1 卷的存放方法没有特别限定,可以静置,也可以为了存放设施的关系或为了有效率地进入接下来的第 3 工序而适当移动。

[0057] (3) 第 3 工序

[0058] 本发明所采用的第 3 工序是边将第 1 卷开卷、边在例如 $1 \times 10^5 \text{Pa} \sim 1 \text{Pa}$ 的低压气体中通过溅射法在膜基材的另一侧顺次层叠第 2 透明导电体层和第 2 铜层,将得到的第 2 层叠体卷成卷状,制成第 2 卷的工序(步骤 S13)。执行本第 3 工序时,例如在图 2 的溅射装置中将第 1 卷设置在保持部 11,在膜基材的另一侧连续层叠第 2 透明导电体层和第 2 铜层,在保持部 17 卷绕得到的层叠体而制成第 2 卷。

[0059] 通过这样的工序得到的第 2 卷(即、导电性膜卷)中,含有氧化亚铜的氧化被膜层介于第 1 铜层和第 2 铜层之间,从而发挥即使不插入衬纸等也不压接的优异效果。

[0060] 在上述膜基材上顺次层叠第 2 透明导电体层和第 2 铜层的方法优选采用与第 1 工序中所采用的同样的溅射装置、条件。

[0061] (4) 导电性膜卷

[0062] 由本发明的制造方法得到的导电性膜卷(conductive film roll)通过卷绕长条状的导电性膜而构成。

[0063] 图 3 是表示通过图 2 的溅射装置制造的导电性膜卷的一例的侧视图。

[0064] 图 3 中,导电性膜 31 具有:膜基材 32,形成在该膜基材的一侧的透明导电体层(第 1 透明导电体层) 33,形成在透明导电体层 33 的与膜基材 32 相反侧的铜层(第 1 铜层) 34,形成在膜基材 32 的另一侧的透明导电体层(第 2 透明导电体层) 35,形成在透明导电体层 35 的与膜基材 32 相反侧的铜层(第 2 铜层) 36,形成在铜层 34 的与透明导电体层 33 相反侧的、含有氧化亚铜的氧化被膜层 37。将该导电性膜 31 卷绕而构成的导电性膜卷 30 中,氧化被膜层 37 介于铜层 34 和铜层 36 之间。

[0065] 形成膜基材 32 的材料优选聚对苯二甲酸乙二醇酯(110)、聚环烯烃(3900)或聚碳酸酯(9000)。括弧内的数值表示由各材料构成的膜基材的厚度为 $100 \mu\text{m}$ 时的透氧率。上述膜基材也可以在其表面具有其他层。

[0066] 从第 2 工序中在铜层 34 的表面容易形成氧化被膜层 37 的观点考虑,膜基材 32 的透氧率优选为 $100 \sim 20000 \text{ml/m}^2 \cdot \text{day} \cdot \text{MPa}$,更优选为 $2000 \sim 15000 \text{ml/m}^2 \cdot \text{day} \cdot \text{MPa}$ 。上述透氧率可基于 JIS K7126B 求出。

[0067] 形成透明导电体层 33、35 的材料优选为铟锡氧化物、铟锌氧化物或氧化铟-氧化锌复合氧化物。透明导电体层 33、35 的厚度优选为 $20 \text{nm} \sim 80 \text{nm}$ 。

[0068] 铜层 34、36 是为了在例如用于触摸面板时对各铜层进行蚀刻加工,在接触输入区域的外缘部形成引导布线而使用的。铜层 34、36 的厚度优选为 $20 \text{nm} \sim 300 \text{nm}$ 。

[0069] 如上所述,根据本实施方式,因为将上述第 1 层叠体卷成卷状而得的第 1 卷在大气中存放 30 小时以上,在上述第 1 铜层的表面形成含有氧化亚铜的氧化被膜层,所以第 2 卷中邻接的膜彼此不压接而能够维持高品质。

[0070] 以上说明了本实施方式的导电性膜卷的制造方法,但本发明不限于前文所述的实施方式,基于本发明的技术构思,可进行各种变形及变更。

[0071] 以下说明本发明的实施例。

[0072] [实施例 1]

[0073] 将由厚度 $100 \mu\text{m}$ 、长度 1000m 、透氧率 $3900 \text{ml/m}^2 \cdot \text{day} \cdot \text{MPa}$ 的聚环烯烃膜(日本 ZEON 社制商品名“ZEONOR”(注册商标)构成的膜基材的初始卷放入溅射装置内。在该溅射

装置的腔室内封入氩气,调整为 0.4Pa 的低压环境。边将上述初始卷开卷,边通过溅射法在膜基材的一侧顺次层叠由厚度 20nm 的钢锡氧化物层构成的第 1 透明导电体层和厚度 50nm 的第 1 铜层。得到的第 1 层叠体卷成卷状制成第 1 卷。

[0074] 接下来,将上述第 1 卷在大气中(102700Pa、23℃)存放 72 小时,在上述第 1 铜层的表面形成含有氧化亚铜的氧化被膜层。得到的氧化被膜层的氧化亚铜的含量为 82 重量%,厚度为 1.7nm。

[0075] 接着,将上述第 1 卷放入与上述相同的溅射装置,在与上述相同的条件下,边将上述第 1 卷开卷,边通过溅射法在膜基材的另一侧顺次层叠由厚度 20nm 的钢锡氧化物层构成的第 2 透明导电体层和厚度 50nm 的第 2 铜层。得到的第 2 层叠体卷成卷状而制成第 2 卷。

[0076] [实施例 2]

[0077] 使第 1 卷的存放时间为 36 小时,除此之外,通过与实施例 1 同样的方法制作导电性膜卷。

[0078] [比较例 1]

[0079] 使第 1 卷的存放时间为 24 小时,除此之外,通过与实施例 1 同样的方法制作导电性膜卷。

[0080] [比较例 2]

[0081] 使第 1 卷的存放时间为 3 小时,除此之外,通过与实施例 1 同样的方法制作导电性膜卷。

[0082] 接下来通过以下的方法测定・观察上述实施例 1~2 以及比较例 1~2。

[0083] (1) 氧化被膜层的厚度以及氧化亚铜的含量的测定

[0084] 使用 X 射线光电子分光(X-ray Photoelectron Spectroscopy)分析装置(PHI 社制产品名“QuanteraSXM”),测定氧化被膜层的厚度和氧化被膜层所含的氧化亚铜的重量%。

[0085] (2) 导电性膜卷有无压接

[0086] 从导电性膜卷将导电性膜开卷,通过观察卷表面进行确认。

[0087] (3) 透明导电体层、铜层以及膜基材的厚度的测定

[0088] 透明导电体层以及铜层的厚度通过透过型电子显微镜(日立制作所制 H-7650)进行截面观察而测定。另外,膜基材的厚度使用膜厚计(Peacock 社制数字千分表 DG-205)进行测定。

[0089] 将通过上述(1)~(3)的方法进行评价而得的结果示于表 1。

[0090] 【表 1】

[0091]

	存放时间(第 2 工序)	卷有无压接	判定
实施例 1	72 小时	无	○
实施例 2	36 小时	无	○
比较例 1	24 小时	有	×

比较例 2	3 小时	有	×
-------	------	---	---

[0092] 如表 1 所示,第 1 卷的存放在时间在 30 小时以上的实施例 1 以及 2 的导电性膜卷没有压接。另一方面,第 1 卷的存放时间低于 30 小时的比较例 1 以及 2 的导电性膜卷压接。压接的第 1 卷在开卷时出现剥离声,在透明导电体层的表面产生许多损伤。

[0093] 因此,可知本发明的制造方法只要使在大气中的第 1 卷的存放时间为 30 小时以上即可使邻接的膜不压接而维持高品质。

[0094] 产业上的可利用性

[0095] 通过本发明的制造方法得到的导电性膜卷优选陆续放出的导电性膜被切断加工成显示器尺寸、用于静电电容式等接触式传感器。

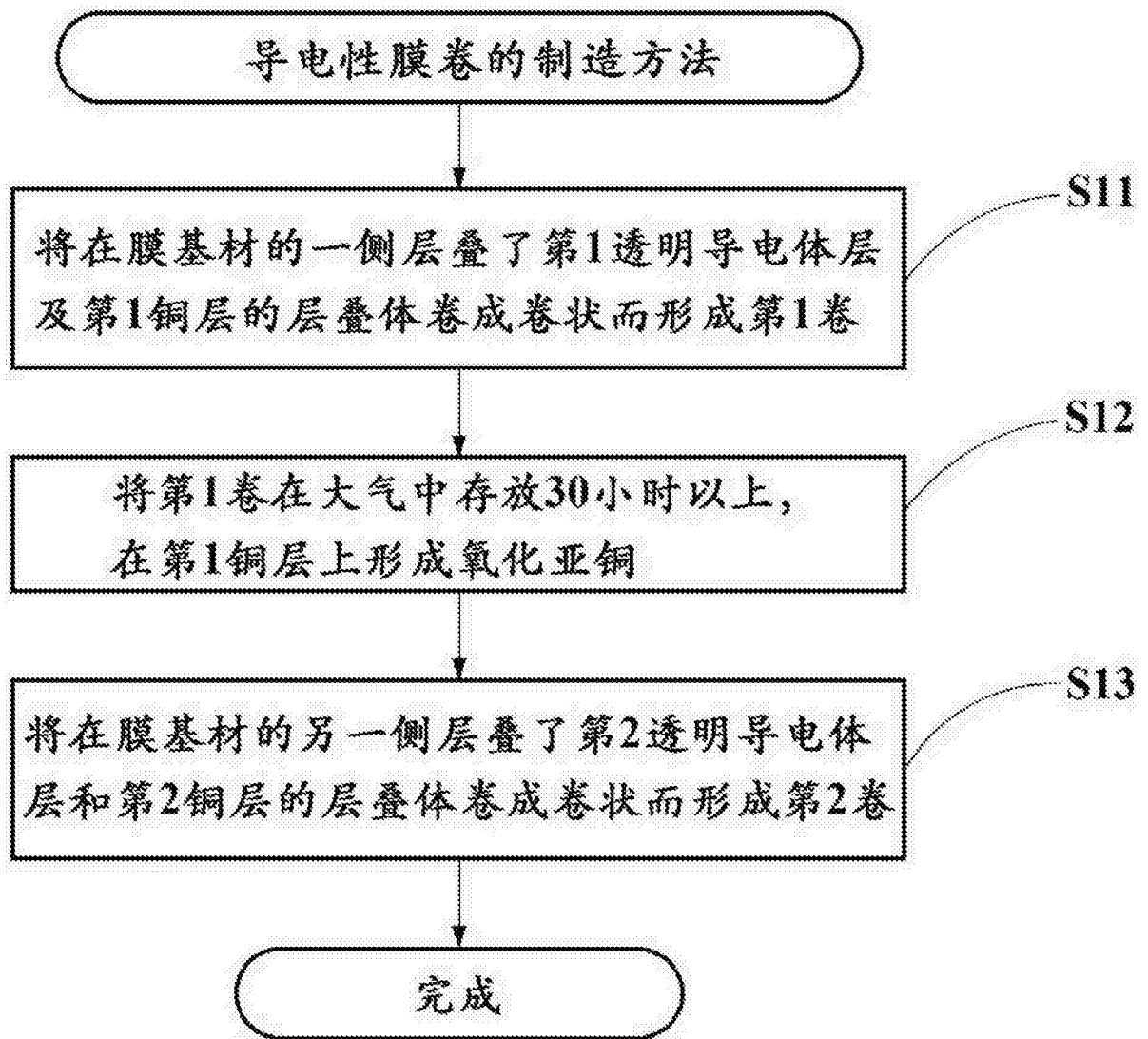


图 1

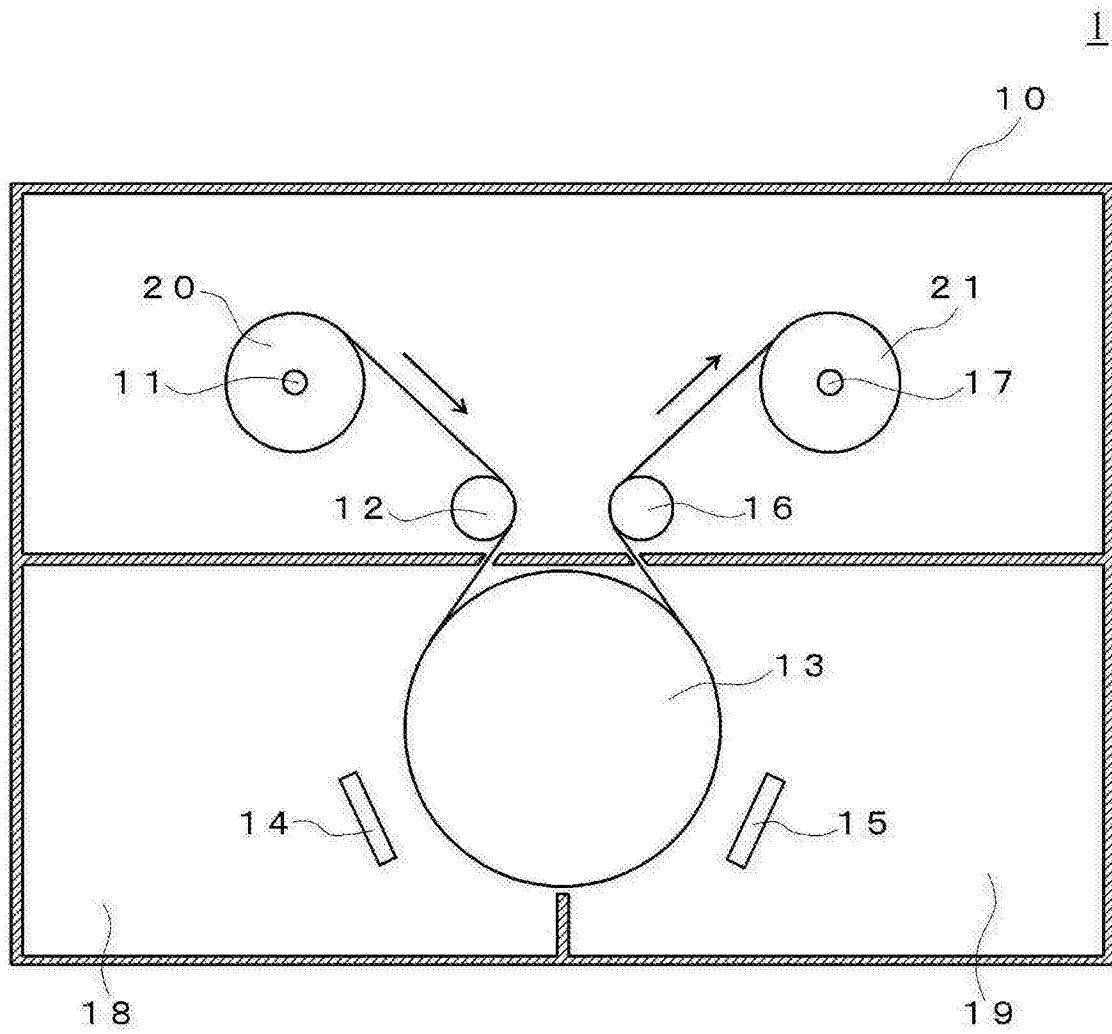


图 2

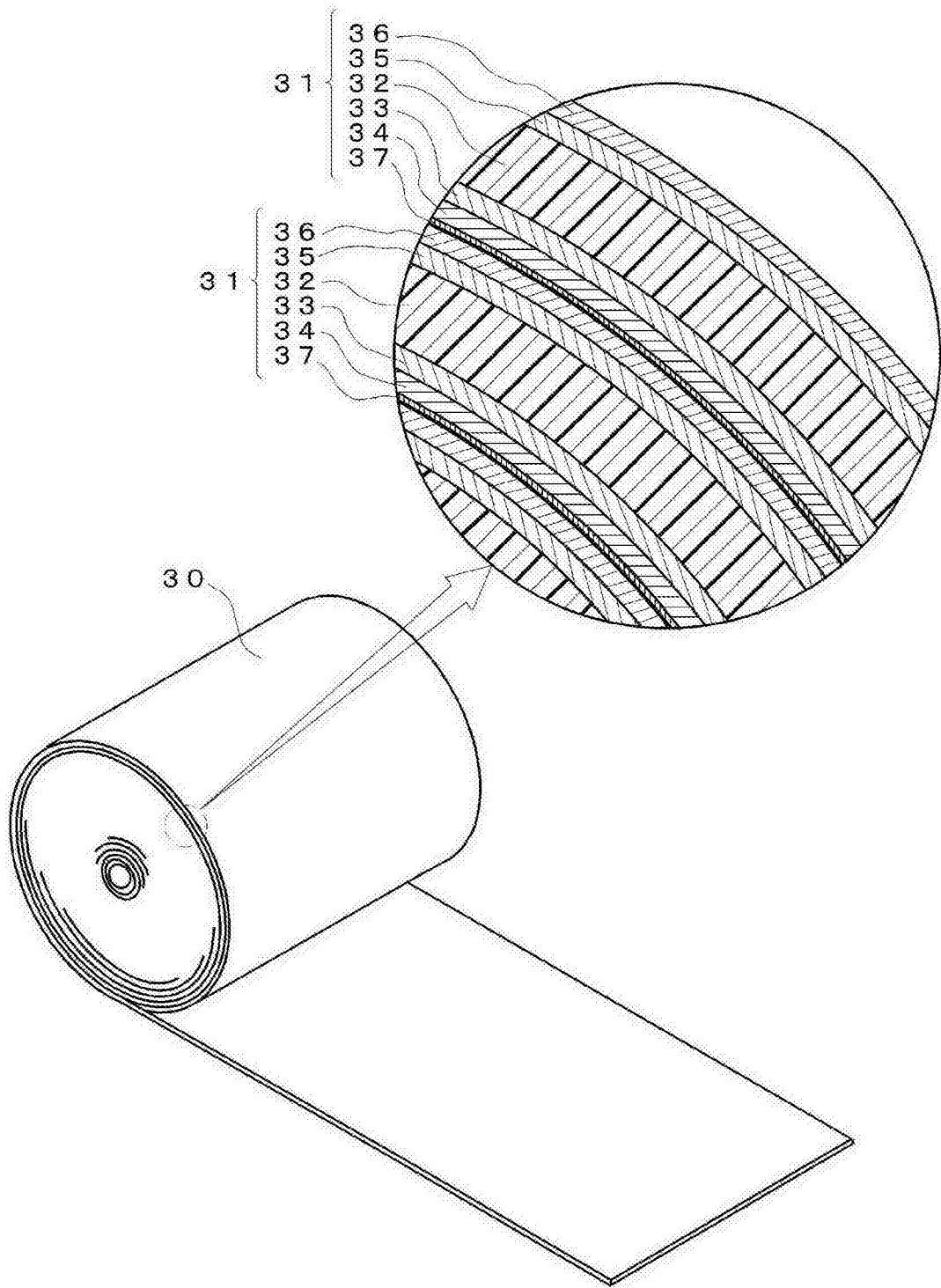


图 3