(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 5/335

(45) 공고일자 1999년12월01일
(11) 등록번호 10-0231935
(24) 등록일자 1999년09월01일

(21) 출원번호 10-1996-0039592
(22) 출원일자 1996년09월13일
(65) 공개번호 특1997-0024936
(43) 공개일자 1997년05월30일
(30) 우선권주장 95-284156 1995년10월31일 일본(JP)

(73) 특허권자 샤프 가부시키가이샤 마찌다 가쯔히꼬
일본국 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고
(72) 발명자 고야마 에이지
일본국 나라껜 나라시 사꼬 2-2-2-3-301
(74) 대리인 백덕열, 이태희

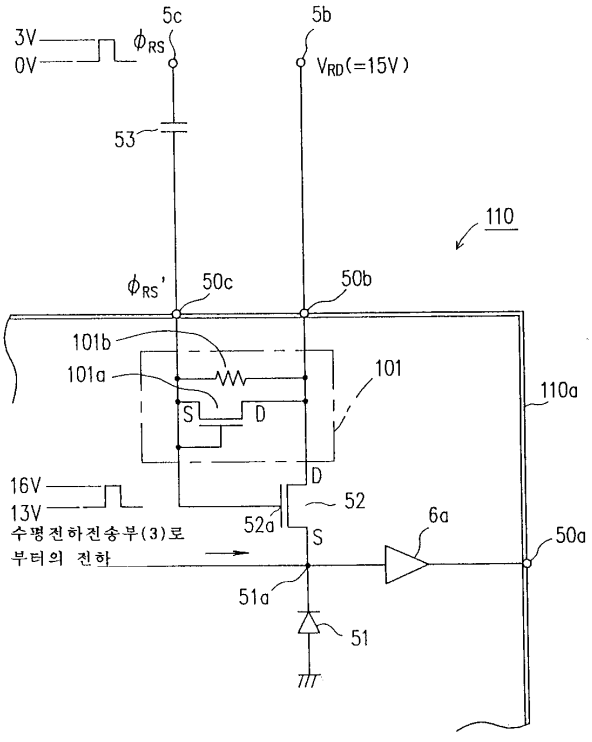
심사관 : 신재열

(54) 고체촬상장치

요약

고체촬상장치는 입사광에 응하여 광전변환에 의해 신호전하를 발생하기 위한 복수의 포토다이오드를 포함한다. 이 포토다이오드들은 1차원 배열 또는 2차원 배열로 기판상에 형성된다. 상기 포토다이오드로부터 신호전하를 수신하고 이 신호전하를 출력부를 향해 전송하기 위해 기판상에 전하전송부가 형성된다. 또한 상기 전하전송부의 출력부로부터 상기 신호전하를 수신하고 이 신호전하를 축적하기 위해 기판상에 전하축적영역이 형성된다. 리세트 신호에 응답하여 상기 전하축적영역의 상태를 리세팅하기 위한 리세트 회로는, 기판상에 형성되는 제1MOS트랜지스터를 포함하며, 이 제1MOS트랜지스터는 상기 전하축적영역에 접속된 소스, 상기 신호전하를 제거하기 위해 드레인 전압이 공급되는 드레인, 상기 리세트 신호에 응답하여 상기 소스를 상기 드레인에 접속하기 위한 게이트를 구비한다. 끝으로, 전압발생회로는, 동일 기판상에 형성된 적어도 제2 MOS트랜지스터를 포함하며, 이 제2MOS트랜지스터는 상기 제1MOS트랜지스터의 게이트와 드레인간에 제1다이오드로서 기능한다. 상기 전압발생회로는 상기 리세트 신호에 응답하여 상기 제1다이오드의 제1순방향전압을 발생하며, 이 제1순방향전압을 상기 제1MOS트랜지스터의 게이트와 드레인간에 인가한다.

대표도



명세서

[발명의 명칭]

고체촬상장치

[도면의 간단한 설명]

제1도는 본 발명에 의한 제1실시예에 있어서의 고체촬상장치의 회로도이다.

제2(a)도 및 제2(b)도는 제1도에 보인 고체촬상장치에 있어서의 펄스발생회로의 등가회로도이다.

제3도는 제1도에 보인 고체촬상장치의 리세트 게이트 클럭 $ø_{RS}$와 게이트펄스 $ø_{RS}'$ 간의 관계를 도시한 타이밍도이다.

제4도는 본 발명에 의한 제2실시예에 있어서의 고체촬상장치의 회로도이다.

제5(a)도 및 제5(b)도는 제4도에 보인 고체촬상장치에 있어서의 펄스발생회로의 등가회로도이다.

제6도는 제4도에 보인 고체촬상장치의 리세트 게이트 클럭 $ø_{RS}$와 게이트펄스 $ø_{RS}'$ 간의 관계를 도시한 타이밍도이다.

제7도는 본 발명에 의한 제3실시예에 있어서의 고체촬상장치의 회로도이다.

제8(a) 및 제8(b)도는 제7도에 보인 고체촬상장치에 있어서의 펄스발생회로의 등가회로도이다.

제9도는 제7도에 보인 고체촬상장치의 리세트 게이트 클럭 $ø_{RS}$와 게이트펄스 $ø_{RS}'$ 간의 관계를 도시한 타이밍도이다.

제10(a)도는 종래 고체촬상장치의 평면도이다.

제10(b)도는 제10(a)도에 보인 종래 고체촬상장치의 회로도이다.

제11도는 제10(a)도에 보인 종래 고체촬상장치의 리세트 동작을 도시한 타이밍도이다.

제12(a) 내지 제12(c)도는 다른 시각들에 있어서는 제10(a)도에 보인 종래 고체촬상장치의 포텐셜을 보인 도면이다.

제12(a) 내지 제13(d)도는 각종 상태에 있어서는 제10(a)도에 보인 종래 고체촬상장치의 포텐셜을 보인 도면이다.

제14(a)도 및 제14(b)도는 제10(a)도에 보인 종래 고체촬상장치의 플로팅 다이오드에 축적될 수 있는 전하를 보인 도면이다.

제15도는 제10(a)도에 보인 종래 고체촬상장치의 리세트 게이트 클럭 $ø_{RS}$와 게이트펄스 $ø_{RS}'$ 간의 관계를 보인 도면이다.

제16(a)도는 종래 전하 검출기의 회로도이다.

제16(b)도 및 제10(c)도에 제16(a)도에 보인 종래 전하 검출기의 포텐셜을 보인 도면이다.

제17(a)도는 종래 전하전송장치의 회로도이다.

제17(b) 및 제17(c)도는 제17(a)도에 보인 종래 전하전송장치의 포텐셜을 보인 도면이다.

* 도면의 주요부분에 대한 부호의 설명

52 : 리세트 트랜지스터　　53 : 커패시터

101, 102, 103 : 전압발생회로　　110, 120, 130 : 고체촬상장치

110a, 120a, 210a, 220a : CCD칩　　210 : 전하검출기

220 : 전하전송소자

[발명의 상세한 설명]

본 발명은 비디오 카메라, 감시 카메라, 비밀감시 카메라, 차량탑재용 카메라, 비디오폰용 카메라 또는 멀티미디어장치용 카메라 등의 카메라 시스템에 사용되는 고체촬상장치에 관한 것으로, 특히 소형, 경량, 저가 및 저전력 소비에 기여하는 CCD 등의 고체촬상장치에 관한 것이다.

오늘날 일반적으로 사용되는 고체촬상장치는 다음과 같이 동작한다. 수평 전하전송부에서 전송된 신호전하는 플로팅다이오드에 의해 전압으로 변환되어 출력회로로 보내진다. 전하/전압 변환후, 불필요한 신호전하는 리세트 트랜지스터에 리세트 게이트 클록을 인가함으로써 리세트 트랜지스터의 드레인으로 배출된다. 상기 플로팅 다이오드는 부유 전위를 갖는 확산층이다.

제10(a) 및 제10(b)도를 참조하여 종래 고체촬상장치(200)을 설명하면 다음과 같다. 제10(a)도는 종래 고체촬상장치(200)에 포함된 CCD칩(200a)의 평면도이다. 제10(b)도는 CCD칩(200a)의 전하/전압 변환부(5) 및 그 부근의 회로도이다.

제10(a)도에 보인 바와 같이, 고체촬상장치(200)는 피사체로부터의 광을 복수의 화소에 대응하는 광학신호로 분할하고, 각 광전변환된 신호를 전기신호로 변환한 다음, 그 전기신호를 외부장치로 전송하기 위한

CCD칩(200a)을 포함한다.

상기 CCD칩(200a)은 n형 기판(10)상에 매트릭스형태로(즉, 행열상으로)배열되어, 입사광을 전하로 변환하고 그 전하를 축적하기 위한 복수의 포토다이오드(1)를 포함한다. 이 CCD칩(200a)은, 포토다이오드(1)의 열에 대응하여 제공되고 상기 포토다이오드(1)에 축적된 전하를 수직으로 전송하기 위한 복수의 수직전하전송부(2) 및 이 수직전하전송부(2)로부터 보내진 전하를 수평으로 전송하기 위한 수평전하전송부(3)를 더 포함한다. 이 CCD칩(200a)은 또한, 상기 수평전하전송부(3)에서 보내진 전하를 전압으로 변환하기 위해 수평전하전송부(3)의 출력에 전기적으로 접속된 전하/전압 변환부(5), 및 출력 임피던스를 감소시키기 위해 상기 전하/전압 변환부(5)의 출력에 전기적으로 접속된 출력회로(6)를 더 포함한다. 일반적으로, 상기 전하/전압 변환부(5)는 다단 소스 폴로워 구조를 갖는다. 상기 포토다이오드(1)에 축적된 전하를 수직전하전송부(2)에 전송하기 위해 각 포토다이오드(1)와 대응하는 수직전하전송부(2)간에는 전송게이트(4)가 제공된다.

제10(b)도에 보인 바와 같이, 전하/전압 변환부(5)는 수평전하전송부(3)로부터 전송된 전하를 축적하기 위해 n형기판(10)상에 형성된 전하축적영역(51a)을 갖는 플로팅 다이오드(51) 및 축적된 전하를 배출하기 위한 리세트 트랜지스터(52)를 포함한다. 상기 전하축적영역(51a)은 축적된 전하량에 따라 변하는 부유전위를 갖는다. 출력회로(6)는 상기 전하축적영역(51a)의 전위를 증폭시키고 그 전위를 촬상신호로서 고체촬상장치(200)의 출력단자(50a)에 출력하기 위한 증폭기(6a)를 포함한다.

리세트 트랜지스터(52)는, 상기 전하축적영역(51a)에 접속된 소스, 신호단자(50c)에 접속된 게이트 및 신호단자(50b)에 접속된 드레인을 포함한다. 신호단자(50c)에는 단자(5c)로부터 커패시터(53)를 통해 리세트 게이트 클럭 ϕ_{RS}가 공급되며, 신호단자(50b)에는 단자(5b)로부터 리세트 드레인 전압 V_{RD}(리세트 트랜지스터 52의 드레인에 외부적으로 제공되는 DC전압)이 공급된다.

단자(5b)와 접지간에는 분압저항을 갖는 저항기(R1 및 R2)가 직렬로 접속되어 저항기 R1과 R2의 접속점에서 DC바이어스 전압 V_{BS}를 발생한다. 상기 접속점과 신호단자(50c)간에는 다이오드(54)가 제공되며 이 접속점에서 신호단자(50c)까지의 방향이 순방향으로 표시되어 있다.

리세트 트랜지스터(52)의 드레인에 인가되는 리세트 드레인 전압 V_{RD}은 예컨대 15V의 DC전압이다. 리세트 트랜지스터(52)의 게이트에는 리세트 게이트 클럭 ϕ_{RS}에 DC 바이어스 전압 V_{BS}를 중첩시킴으로써 얻어지는 게이트 펄스 ϕ_{RS}' 가 일반적으로 인가된다. 리세트 트랜지스터 클럭 ϕ_{RS}은 약 5V의 “하이” 레벨 및 약 0V의 “로우” 레벨을 갖는다.

제15도는 리세트 게이트 클럭 ϕ_{RS}와 게이트 펄스 ϕ_{RS}' 간의 관계를 나타낸다. 예컨대, V_{RD} + 15V, R1=10kΩ, R2=20kΩ일 때; V_{BS}=10V이다. 이 조건하에서 리세트 게이트 클럭ϕ_{RS}의 “하이” 레벨이 5V이고 그의 “로우” 레벨이 0V이면, 다이오드(54)의 순방향전압이 0.5V까지 일 때 게이트 펄스 ϕ_{RS}' 의 진폭은 9.5V 내지 14.5V로 된다.

저항기 R_1 및 R_2와 다이오드(54)는 CCD칩(200a)에 일체로 될 수 있으나 하기 이유로 외부에서 제공되는 것이 바람직하다. (1) 소비전력을 감소시키기 위해 낮은 불순물 농도를 갖는 확산층에 분압저하기 R_1 과 R_2에 의해 내부 DC 바이어스전압 V_{BS}가 발생한다. 각종 제조 공정 파라미터의 변동의 결과로서 확산층의 농도가 변하면, 내부 DC 바이어스전압 V_{BS}의 값도 변한다. 발생한다. (2) 다이오드(54)는 바이폴라 공정에 의해 제조되고, CCD칩(200a)은 기본적으로 MOS공정에 의해 제조된다. CCD칩(200a)상에 다이오드(54)를 형성하기 위해 이들 두 공정을 조합하는 것은 제조방법이 복잡하게 된다. 비록 MOS공정에 의해 형성된 트랜지스터가 다이오드(54)로 사용될 수는 있으나, 내부 DC바이어스 전압치 V_{BS}는 제조공정 파라미터의 변동의 결과로서 여전히 각각 상이하게 된다.

제11도 및 제12(a) 내지 제12(c)도를 참조하여 전하/전압 변환후 행해지는 불필요한 전하의 베출을 설명한다.

제11도는 축적된 전하를 배출하기 위해 수평전하전송부(3)의 게이트 클럭 펄스 ϕ_{H1} 및 리세트 트랜지스터(52)의 게이트(52a)에 인가되는 게이트 펄스 ϕ_{RS}' 의 타이밍도이다. 제12(a) 내지 제12(c)도는 각각 제11도의 시각 t_1, t_2 및 t_3에서 리세트 트랜지스터(52) 및 수평전하전송부(3)의 출력부를 포함하는 영역의 전위를 나타낸다.

제12(a) 내지 제12(c)도에 보인 바와 같이, 게이트 클럭 펄스 ϕ_{H1}은 수평전하전송부(3)의 수평 전하전송게이트(3a, 3b)에 인가된다. 이 수평 전하전송 게이트(3, 3b)는 서로 인접하고 있으며, 전송 게이트(3a) 하방의 반도체 영역은 그 안에 주입된 붕소를 포함하고 있다. 일반적으로, 두 인접한 게이트(이 경우 3a, 3b)의 하방영역은 이와 같은 포텐셜 구매를 갖는다. 게이트(3b)에 인접하여, 일정한 DC전압 V_{OG}(예컨대 1V 내지 2V)가 공급되는 출력 게이트(7)가 제공된다. 이 출력 게이트(7)와 리세트 트랜지스터(52)간에는 플로팅 다이오드(51)의 전하축적 영역(51a)이 제공된다.

시각 $t=_1$에서, 전하 Ch는 제12(a)도에 보인 바와 같이 수평전하전송부(3)에 축적된다. 시각 $t=t_2$ 에서(제12(b)도), 전하 Ch는 출력게이트(7) 하방의 영역을 통해 전하축적영향(51a)에 전송된다. 전하축적영역(51a)의 전위레벨은 그에 전송되는 전하 Ch의 양에 따라 변하며, 이 변화는 검출되어 출력회로(6)로 출력된다. 시각 $t=t_3$에서(제12(c)도), 전하는 리세트 트랜지스터(52)의 드레인을 통해 배출된다. 이때, 전하축적영역(51a)의 전위레벨은 리세트 드레인 전압 V_{RD}로 고정된다.

리세트 게이트 클럭 ϕ_{RS}에 중첩되는 DC 바이어스 전압 V_{BS}는 리세트 게이트 클럭 ϕ_{RS}가 “하이”로 될 때 리세트 트랜지스터(52)를 턴온시키기 위해 충분히 높게 설정된다.

예컨대, 리세트 드레인 전압 V_{RD}가 리세트 트랜지스터(52)를 턴온시키기 위한 게이트 펄스 ϕ_{RS}' 의 최소 레벨(임계전압)을 Vt로 하면, DC 바이어스 전압 V_{BS}는 $(V_t-5.0)V$로 될 필요가 있다. DC 바이어스 전압 V_{BS}는 드레인 리세트 전압 V_{RD}의 레벨 및 리세트 트랜지스터(52)의 특성, (즉 리세트 트랜지스터의 임계레벨 및 기판효과)에 의해 결정된다.

그러나, 실제로, 리세트 전압 V_{RD}는 변하며 리세트 트랜지스터(52)의 특성은 제조공정 파라미터의 변동의 결과로서 각각 상이하게 된다. 일반적으로, DC바이어스 전압 V_{BS}는 정확한 리세트 동작을 행하기 위해 이와 같은 변화 및 변동을 고려하여 결정된다. 따라서, 일반적으로 리세트 게이트 클럭 ϕ_{RS}에 중첩되는 DC 바이어스 전압 V_{BS}는 $(V_t-5.0)V$보다 높은 약 1V로 설정된다.

제13(a) 내지 13(d)도는 전하축적이 없는 상태에서 ("FD영역" 으로 표시된) 플로팅 다이오드(51)의 전하축적영역(51a), 리세트 트랜지스터(52)의 게이트(52a)하방의 영역, 즉("RG영역" 으로 표시된) 채널영역 및 ("RD영역" 으로 표시된)의 리세트 트랜지스터(52)의 드레인 영역의 전위레벨들을 나타내는 도면이다. 제13(a) 내지 제13(d)도에서 있어서, $p(\phi_{RS}'\ L)$은 게이트 펄스 ϕ_{RS}' 가 "로우" 일 때 얻어지는 RG영역의 전위레벨을 나타내고, $p(\phi_{RS}'\ H)$는 게이트 펄스 ϕ_{RS}' 가 "하이" 일 때 얻어지는 RG영역의 전위레벨을 나타내며, $P(V_{RD})$는 리세트 드레인 전압 V_{RD}가 인가될 때 얻어지는 RD 영역의 전위레벨을 나타낸다.

제13(a)도는 이상적인 상태의 전위레벨을 나타낸다. 이상적인 상태에서, 게이트 펄스 ϕ_{RS}' 의 "하이" 레벨이 리세트 트랜지스터(52)의 게이트에 인가될 때, RG영역의 전위레벨(채널전위)은 리세트 드레인 전압 V_{RD}가 공급되는 상태에서 RD영역의 전위레벨과 동일하다.

제13(b)도는 외부에서 공급되는 리세트 드레인 전압 V_{RD} 가 ΔV_1 만큼 증가되는 경우의 전위레벨을 나타낸다. 이 경우, FD영역과 RD영역의 전위레벨도 ΔV_1만큼 증가된다. 따라서, 리세트 트랜지스터(52)의 게이트에 인가되는 게이트 펄스 ϕ_{RS}' 의 "하이" 레벨이 동일하더라도, 불필요한 전하가 완전히 배출될 수 없어(불완전한 리세팅), 화질을 저하시킨다.

제13(c)도는 제조공정 파라미터의 변동의 결과로서 리세트 트랜지스터(52)의 임계전압 V_t가 ΔV_1만큼 증가되는 경우의 전위레벨을 나타낸다. 이 경우, 게이트 펄스 ϕ_{RS}' 가 동일하더라도, 채널전위는 이상적인 상태의 채널전위보다 ΔV_1 만큼 낮게 된다. 따라서, 불필요한 전하가 완전히 배출될 수 없어(불완전한 리세팅), 화질을 저하시킨다.

이와 같은 화질의 저하를 방하기 위해, 리세트 게이트 클럭 R_{RS}에 중첩되는 DC 바이어스 전압 V_{BS}은, 리세트 드레인 전압 V_{RD}의 변화 ΔV_1 및 임계 전압 V_t의 변화 ΔV_2를 고려하여, 이상적인 상태에서의 DC 바이어스 전압 V_{BS}보다 약 1V만큼 높게 설정된다. 제13(d)도는 이와 같은 상태에서의 전위레벨들을 나타낸다. DC 바이어스 전압 V_{BS}은, 비록 제조공정 조건에 따라 약간의 차가 있더라도 이상적인 상태보다 약 1V만큼 높아진다.

이와 같은 조정은 단점을 갖는다. 드레인 리세트 전압 V_{RD}가 감소하고 또한 리세트 트랜지스터(52)의 임계전압 V_t가 제조공정 파라미터의 변동에 따라 감소하면, 전하축적영역(51a)에 축적될 수 있는 전하량이 감소된다.

제14(a)도는 DC 바이어스 전압 V_{BS}가 이상적인 상태에서는 레벨보다 약 1V 높게 설정되는 경우에 전하축적영역(51a)에 축적될 수 있는 전하량을 보인 도면이다. 제14(b)도는 DC 바이어스 전압 V_{BS}가 제14(a)도에 보인 바와 같이 설정되고 드레인 리세트 전압 V_{RD}와 임계전압 V_t가 모두 감소하여 DC 바이어스 전압 V_{BS}에 있어서 약 1V의 강하를 야기하는 경우에 축적될 수 있는 전하량을 나타낸다.

일반적으로, 불완전한 리세팅을 방지하기 위해 DC 바이어스 전압 V_{BS}가 증가하면, 전하축적영역(51a)에 축적될 수 있는 전하량은 게이트 펄스 ϕ_{RS}' 의 "로우" 레벨의 영향에 의해 감소된다.

전하축적영역(51a)에 축적될 수 있는 전하량의 관점에서, 리세트 드레인 전압 V_{RD}와 제조공정 파라미터의 변동에 의해 최대 약 2V의 전압 진폭의 손실이 발생한다.

상기 설명으로부터 명백한 바와 같이, 종래의 고체촬상장치에 있어서는, 리세트 트랜지스터(52)에 인가되는 게이트 펄스 ϕ_{RS}' 가 5V의 진폭을 갖더라도, 유효진폭은 약 3V에 불과하다. 즉, 게이트 펄스는 이상적인 상태에서 리세팅이 행해지는 경우 단지 3V만 요구되는 5V의 진폭을 필요로 한다.

고체촬상장치는, 입사광에 응답하여 광전변환에 의해 신호전하를 발생하기 위한 복수의 포토다이오드를 포함한다. 이 포토다이오드들은 1차원 배열 또는 2차원 배열로 기판상에 형성된다; 상기 포토다이오드로부터 신호전하를 수신하고 이 신호전하를 출력부를 향해 전송하기 위해 기판상에 전하전송부가 형성된다; 또한 상기 전하전송부의 출력부로부터 상기 신호전하를 수시하고 이 신호전하를 축적하기 위해 기판상에 전하축적영역이 형성된다. 리세트 신호에 응답하여 상기 전하축적영역의 상태를 리세팅하기 위한 리세트 회로는 기판상에 형성되는 제1MOS트랜지스터를 포함하며, 이 제1MOS트랜지스터는 상기 전하축적영역에 접속된 소스, 상기 신호전하를 제거하기 위한 드레인 전압이 공급되는 드레인, 및 상기 리세트 신호에 응답하여 상기 소스를 상기 드레인에 접속하기 위한 게이트를 구비한다. 끝으로, 전압발생회로는, 동일 기판상에 형성된 적어도 제2MOS트랜지스터를 포함하며, 이 제2MOS트랜지스터는 상기 제1MOS트랜지스터의 게이트와 드레인간에 제1다이오드로서 기능한다. 상기 전압발생회로는 상기 리세트 신호에 응답하여 상기 제1다이오드의 제1순방향전압을 발생하며, 이 제1순방향전압을 상기 제1MOS트랜지스터의 게이트와 드레인간에 인가한다.

본 발명의 제1실시예에 있어서, 상기 전압발생회로는, 제2순방향전압을 형성하기 위해 제2다이오드로서 기능하는 제3MOS트랜지스터를 더 포함하며, 상기 제1 및 제2다이오드의 제1 및 제2순방향전압을 이용하여 상기 제1MOS트랜지스터의 드레인에 인가될 전압을 발생한다.

본 발명의 제1실시예에 있어서, 상기 제2MOS트랜지스터는 상기 제1MOS트랜지스터의 게이트에 접속된 소스, 상기 제1MOS트랜지스터의 드레인에 접속된 드레인, 및 상기 제2MOS트랜지스터의 소스에 접속된 게이트를 갖고, 상기 제2MOS트랜지스터의 게이트와 소스에는 커패시터를 통해 리세트 클럭이 외부적으로 공급되며, 상기 제2MOS트랜지스터의 드레인에는 리세트 드레인 전압이 외부적으로 공급된다.

본 발명의 제1실시예에 있어서, 상기 전압발생회로는, 상기 제2MOS트랜지스터의 소스와 상기 제2MOS트랜지스터의 드레인을 접속하는 저항기를 더 포함한다.

본 발명의 제1실시예에 있어서, 상기 제3MOS트랜지스터의 게이트와 소스에는 상기 전하를 배출하기 위한 전압이 외부적으로 공급되며, 상기 제3MOS트랜지스터의 드레인은 상기 제2MOS트랜지스터의 게이트와 소스 및 상기 제1MOS트랜지스터의 게이트에 접속된다. 상기 제3MOS트랜지스터의 드레인에는 커패시터를 통해 리세트 클럭이 외부에서 공급된다.

본 발명의 제1실시예에 있어서, 상기 전압발생회로는, 제3순방향전압을 형성하기 위해 제3다이오드로서 기능하는 제4MOS트랜지스터를 더 포함한다. 이 제4MOS트랜지스터는 상기 제1, 제2 및 제3다이오드의 순방향 전압들을 이용하여 상기 제1MOS트랜지스터의 드레인에 인가될 전압을 발생한다.

본 발명의 제1실시예에 있어서, 상기 제2MOS트랜지스터는 상기 제1MOS트랜지스터와 동일한 임계레벨을 갖는다.

본 발명의 제1실시예에 있어서, 상기 제2MOS트랜지스터는 상기 제1MOS트랜지스터와 동일한 구조를 갖는다.

본 발명의 제1실시예에 있어서, 상기 제1 및 제2MOS트랜지스터는 공통 제조공정 단계들에 의해 동시에 형성된다.

이에 따라, 상기 본 발명은 그의 게이트에 인가되는 펄스에 의해 야기된느 리세트 트랜지스터의 채널전위의 변화가 리세트 트랜지스터의 드레인에 인가되는 전압의 영향을 받지 않고 동일 레벨로 유지되어, 리세트 트랜지스터의 게이트에 인가되는 전압을 낭비하지 않고 저전력 소비를 실현한 고체촬상장치를 제공할 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 상세히 설명한다.

제1도는 본 발명의 기본 원리를 도시한 것이다. 제10(a)도와 제10(b)도에 보인 종래의 고체촬상장치(200)와 동일한 부재에 대해서는 동일한 참조 부호를 부가했다.

제1도는 본 발명에 의한 고체촬상장치(110)의 회로도이다.

본 발명의 고체촬상장치(110)는 전압발생회로(101)를 포함한다. 고체촬상장치(110)는 CCD칩(110a)을 포함하며, 이는 DC 바이어스 전압 V_{BS}를 발생하기 위한 다이오드(54)와 저항기 R_1 및 R_2 대신 전압발생회로(101)를 포함한다. 이 전압발생회로(101)는, 다이오드로 기능하는 전압발생 트랜지스터(MOS트랜지스터)(101a) 및 이 전압발생 트랜지스터(101a)에 병렬로 접속된 저항기(101b)를 포함한다. 상기 전압발생 트랜지스터(101a)는 동일 기판에 제공된 리세트 트랜지스터(52)와 동일한 구조를 갖는다.

이러한 구조로 인해, 리세트 트랜지스터(52)의 게이트(52a)에 인가되는 게이트 펄스 $ø_{RS}'$ 와 리세트 트랜지스터(52)의 드레인에 외부적으로 인가되는 리세트 드레인 전압 V_{RD}간의 전위차가 상기 전압발생 트랜지스터(101a)의 임계전압(V_t)에 대응하는 전압으로 유지된다.

이와 같은 구조에 있어서, 리세트 드레인 전압 V_{RD}이 공급전압의 변동에 따라 변하더라도, 게이트 펄스 $ø_{RS}'$ 는 리세트 드레인 전압 V_{RD}보다 상기 전압발생 트랜지스터(101a)의 임계전압(V_t)만큼 높은 전위로 일정하게 유지된다. 제조공정 파라미터의 결과로서 리세트 트랜지스터(52)의 채널전위가 변할 때, 전압발생 트랜지스터(101a)의 채널전위도 같은 레벨만큼 변한다. 즉, 리세트 트랜지스터(52)의 채널전위의 변화는 전압발생 트랜지스터(101a)의 임계전압의 변화만큼 보상된다. 그 이유는 리세트 트랜지스터(52)와 전압발생 트랜지스터(101a)가 동일한 제조공정으로 같은 기판에 형성되기 때문이다.

전압발생 트랜지스터(101a)에 의해 발생된 게이트 펄스 $ø_{RS}'$ 와 리세트 트랜지스터(52)의 드레인에 인가되는 리세트 드레인 전압 V_{RD}로 인해, 리세트 동작이 리세트 드레인 전압 V_{RD}의 변화 및 제조공정 파라미터의 변동에 영향을 받지않고 수행될 수 있다. 그 결과, 리세트 트랜지스터(52)의 게이트에 인가되는 게이트 펄스 $ø_{RS}'$ 의 진폭이 감소되고, DC 바이어스 전압 V_{BS}를 발생하기 위한 회로가 생략될 수 있다. 이에 따라, 고체촬상장치의 사이즈가 축소, 경량화되고 제조가를 절감할 수 있다.

일본 특허공개공보 4-360544는 리세트 트랜지스터의 채널전위가 제조공정 파라미터의 변동의 결과로서 변하여도 외부 장치로부터 일정하게 제공되는 레벨 슬라이스 펄스에 의해 적절히 동작하는 전하 검출기를 개시하고 있다.

이러한 전하 검출기(210)를 제16(a) 내지 제16(c)도를 참조하여 설명한다. 제16(a)도는 전하 검출기(210)의 회로도이다. 제16(b)도는 채널전위가 제조공정 파라미터의 변도의 결과로서 변하지 않는 상태에서 게이트 펄스 $ø_{RS}'$ 가 인가될 때 얻어지는 채널전위 및 드레인 영역의 전위를 나타낸다. 제16(c)도는 채널전위가 제조공정 파라미터의 변동의 결과로서 변하는 상태에 있어서의 이와 같은 파라미터들을 도시한 것이다.

제16(a)도에 보인 바와 같이, 전하 검출기(210)는 CCD칩(210a)상에 형성된다. 이 CCD칩(210a)은 전압발생

회로(201)를 포함한다. 전압발생회로(201)는 신호단자(50b)에 접속된 드레인 및 DC 기준 전압 V_{ref}에 접속된 게이트를 갖는 전압발생 트랜지스터(201a), 트랜지스터(201a)의 소스에 접속된 입력을 갖는 반전 증폭기(201b), 및 상기 반전 증폭기(201b)의 출력과 신호 단자(50c)간에 접속된 다이오드(201c)를 포함한다. 신호단자(50b)에는 리세트 드레인 전압 V_{RD}가 공급되고, 신호단자(50c)에는 커패시터(53)를 통해 리세트 게이트 펄스 $ø_{RS}$가 공급된다. 상기 전압발생 트랜지스터(201a)는 리세트 트랜지스터(52)와 동일한 공정으로 동시에 형성되며 이와 동일한 구조를 갖는다.

상기 DC 기준 전압 V_{ref}는 반전 증폭기(201b)의 입력 및 출력에서 DC 바이어스 전압 V_{BS} 및 V_{BS}' 를 발생하기 위한 레벨로 설정된다. DC 바이어스 전압 V_{BS} 및 V_{BS}' 는 게이트 펄스 $ø_{RS}'$ 가 "하이"일 때 리세트 드레인 전압 V_{RD}가 공급되는 상태에서 트랜지스터(201a)를 도통시키기 위한 레벨을 각각 갖는다. 이 상태에서, 제16(b)도에 보인 바와 같이, 게이트 펄스 $ø_{RS}'$ 가 "하이"일 때 얻어지는 채널전위 $P(ø_{RS}' H)$는 리세트 트랜지스터(52)의 드레인 영역의 전위 $P(V_{RD})$와 같다.

조립공정 파라미터의 변동의 결과로서 리세트 트랜지스터(52)의 드레인 영역의 채널전위가 ΔP만큼 증가하면, 전압발생 트랜지스터(201a)의 채널전위도 ΔP만큼 증가한다. 따라서, 반전 증폭기(201b)의 입력에서 발생되는 DC 바이어스 전압 V_{BS}도 ΔV_{BS}만큼 증가하며, 이는 ΔP에 대응한다.

이때, 반전 증폭기(201b)의 출력에서 발생된 DC 바이어스 전압 V_{BS}' 는 ΔV_{BS}만큼 감소하며, 게이트 펄스 $ø_{RS}'$ 의 레벨도 ΔV_{BS}만큼 감소한다. 따라서, 채널전위의 변화는 ΔP는 반작용될 수 있다.

이 구조에 있어서, 조립공정 파라미터의 변동의 결과로서 전압발생 트랜지스터(201a)의 채널전위가 변하면, 전압발생 트랜지스터(201a)에 의해 발생된 DC 바이어스 전압 V_{BS}도 변한다. 그러나, DC 바이어스 전압 V_{BS}의 변화의 방향이 리세트 트랜지스터(52)의 채널전위의 변화 방향과 같다; 즉, 리세트 트랜지스터(52)의 채널전위를 보상하기 위한 변화의 방향과 반대이다. 따라서, 전압발생 트랜지스터(201a)에 의해 발생된 DC 바이어스 전압 V_{BS}를 반전시키기 위한 반전 증폭기(201b)가 제공될 필요가 있다. 이 반전 증폭기(201b)의 제공은 리세트 게이트 클럭 $ø_{RS}$의 세팅시 그의 특성 변동을 고려하도록 한다.

본 발명에 의하면, 이와 반대로, 다이오드로서 사용되는 전압발생 트랜지스터(101a)가 리세트 트랜지스터(52)의 게이트와 드레인간에 접속되어 상기 게이트에서 드레인으로 전류가 순방향으로 흐르도록 한다. 따라서, 전압발생 트랜지스터(101a)의 채널전위가 리세트 트랜지스터(52)의 채널전위를 보상하기 위한 방향으로 변함에 따라 리세트 트랜지스터(52)의 게이트에 인가되는 게이트 펄스 $ø_{RS}'$ 가 변한다. 이러한 구조로 인해, 반전 증폭기(201a)가 불필요하게 된다. 따라서, 전압발생회로(201)의 구조가 간단히 되어 고체촬상장치(110)의 사이즈 및 제조가가 감소된다.

또한, 게이트 리세트 클럭 $ø_{RS}$의 세팅시 반전 증폭기(201b)의 특성변화를 고려할 필요가 없다.

일본 특허공개공보 6-133227호는 전압발생회로를 포함하는 CCD칩을 구비하는 전하전송소자를 개시하고 있다.

제17(a)도는 이와 같은 전하전송소자(220)의 회로도이다. 제17(b)도는 채널전위가 제조공정 파라미터의 변동의 결과로서 변하지 않은 상태에서 게이트 펄스 $ø_{RS}'$ 가 인가될 때 얻어지는 채널전위 및 드레인 영역의 전위를 나타낸다. 제17(c)도는 채널전위가 제조공정 파라미터의 변동의 결과로서 변하는 상태에 있어서의 이와 같은 전위들을 도시한 것이다.

제17(a)도에 보인 바와 같이, 전하전송소자(220)는 CCD칩(220a)을 포함한다. 이 CCD칩(220a)은 리세트 트랜지스터(52)와 신호단자(50b)간에 제공된 전압발생 트랜지스터(202a)를 포함한다. 신호단자(50b)에는 리세트 드레인 전압 V_{RD}가 공급된다. 상기 전압발생 트랜지스터(202a)는 리세트 트랜지스터(52)와 동일한 공정으로 동시에 형성되며 이와 동일한 구조를 갖는다.

이러한 구조에 있어서, 전압발생회로(202)에 의해 발생된 출력 전압 V_{RD}' (드레인 전압)는 전압발생 트랜지스터(202a)의 임계전압인 $V_t(V_{RD})$의 레벨만큼 외부적으로 제공되는 리세트 드레인 전압 V_{RD}보다 낮다.

이 상태에서, 게이트 클럭 $ø_{RS}$에 중첩되는 DC 바이어스 전압 V_{BS}의 레벨이 설정된다. 상기 공보에는 DC 바이어스 전압 V_{BS}을 발생시키기 위한 회로의 설명이 없으나, 공보의 기재를 고려할 때 이러한 회로가 필요함은 의심의 여지가 없다.

조립공정 파라미터의 변동의 결과로서 리세트 트랜지스터(52)의 채널전위가 ΔP만큼 증가하면(제17(c)도), 리세트 트랜지스터(52)의 드레인영역의 전위도 ΔP만큼 증가한다.

따라서, 조립공정 파라미터의 변동의 결과로서 리세트 트랜지스터(52)의 채널전위가 변하더라도, "하이" 게이트 펄스 $ø_{RS}'$ 또는 "로우" 게이트 펄스 $ø_{RS}'$ 가 제공되는 상태에서 리세트 트랜지스터(52)의 채널전위 및 드레인 영역의 전위간의 차가 일정 레벨로 유지될 수 있다.

그러나, 상기한 바와 같이, 이와 같은 전하전송소자(220)의 구조는 DC 바이어스 전압 V_{BS}를 발생시키기 위한 회로를 반드시 필요로 한다. 따라서, 전하전송소자(220)의 구조가 복잡해지고, 그의 사이즈와 제조가가 증대된다.

상기 공보에는, 전압발생 트랜지스터(202a)의 소스영역의 전위가 그의 채널전위와 같은 것이 기술되어 있다. 그러나, 소스영역으로 작용하는 확산층이 부유 전위를 갖기 때문에, 소스영역의 전위가 드레인영역의 전위와 같은 레벨로 안정화되며, 이는 열전자가 배출된 후 외부적으로 고정된다. 따라서, 채널전위와 같은 레벨로 소스영역의 전위를 유지시키기 위한 약간의 단계들을 제공할 필요가 있다.

이와 같은 레벨의 전위를 유지시키기 위한 1예는, CCD 출력이 필요하지 않은 기간(예컨대, 수평 블랭킹 기간)동안, 외부 전원, 즉 상기 드레인 영역으로부터 상기 소스영역으로 전하를 주입하는 단계를 포함한다. 이와 같은 방법을 기술한 출원이 이미 본 발명의 발명자에 의해 일본 특허청에 출원되어 있다(일본 특허원 4-293524).

이하, 본 발명의 예시적 실시예들을 첨부 도면을 참조하여 설명한다.

[실시예 1]

제1도는 본 발명에 의한 1실시예의 고체촬상장치(110)의 회로도이다.

고체촬상장치(110)는, 이 고체촬상장치(110)의 CCD칩(110a)이 DC 바이어스 전압 V_{BS}를 발생하기 위해 사용되는 다이오드(54) 및 저항기 R_1, R_2 대신 전압발생회로(101)를 포함하는 점에서 종래 고체촬상장치(200)와 상이하다. 전압발생회로(101)는 외부 장치에서 리세트 게이트 클럭 ϕ_{RS}를 수신하고 리세트 트랜지스터(52)의 게이트에 인가될 게이트 펄스클럭 ϕ_{RS}' 를 발생하기 위해 제공된다. 이 점을 제외하고, 고체촬상장치(110)는 종래 고체촬상장치(200)와 동일한 구조를 갖는다.

전압발생회로(101)는 리세트 드레인 트랜지스터(52)의 드레인에 접속된 드레인 및 리세트 드레인 트랜지스터(52)의 게이트에 공히 접속된 소스와 게이트를 갖는 전압발생 트랜지스터(101a), 및 리세트 드레인 트랜지스터(52)의 드레인과 게이트간에 접속된 저항기(101b)을 포함한다.

신호단자(50c)에는 커패시터(53)를 통해 리세트 게이트 클럭 ϕ_{RS}가 공급되고, 신호단자(50b)에는 리세트 트랜지스터(52) 및 전압발생 트랜지스터(101a)의 공통 드레인에 인가될 리세트 드레인 전압 V_{RD}가 공급된다.

상기 저항기 (101b)는 후술하는 바와 같이 다이오드로 작용하고 초기 상태시 역바이어스 상태에 있는 전압발생 트랜지스터(101a)를 턴온시키기 위해 커패시터(53)를 충전시키도록 제공된다.

상기 전압발생 트랜지스터(101a)는 리세트 트랜지스터(52)와 동일한 공정에서 동시에 제공되기 때문에, 리세트 트랜지스터(52)와 동일한 구조 및 특성을 갖는다. 이 전압발생 트랜지스터(101a)는 다이오드로 작용하는 N채널형 트랜지스터로서 정의 임계전압을 갖는다.

일반적인 전계효과 트랜지스터에 있어서, 소스전압과 드레인 전압이 증가하면, 소스전압과 드레인전압이 0V일 때 얻어지는 임계전압인 V_t도 기판효과로 인해 증가한다. 소스전압이 V_S일 때 얻어지는 임계전압은 임계전압이 $V_t(V_S)$로 표현되는 사실로부터 알 수 있는 바와 같이 소스전압에 의존한다.

상기 전압발생 트랜지스터(101a)는 조건 $V_t(V_{RD}) \geq 0$를 만족할 필요는 있으나, $V_t(0) \geq 0$를 만족할 필요는 없다. 즉, 전압발생 트랜지스터(101a)는 소스에 전압이 인가되는 동작상태에서 정의 임계전압을 가질 필요가 있으나, 상기 조건 $V_t(0) \geq 0$를 만족하는 인핸스먼트형 트랜지스터로 될 필요는 없다.

전압발생 트랜지스터(101a)의 게이트와 소스가 제1도에 보인 바와 같이 단락된 경우, 전압발생 트랜지스터(101a)는 임계전압이 정(+)이기 때문에 한 단자(이 경우에는 단자 50c)에 접속된 게이트와 소스 및 다른 단자(이 경우에는 단자 50b)에 접속된 드레인을 갖는 다이오드와 같다. 이하, 전압발생 트랜지스터(101a)는 "다이오드(101a)"라고도 한다. 게이트와 소스는 함께 애노드로 작용하고, 드레인은 캐소드로 작용한다. 전압발생 트랜지스터(101a)의 임계전압이 $V_t(V_{RD})$는 다이오드(101a)의 강하전압이다.

제2(a)도는 전압발생 트랜지스터(101a)를 갖는 전압발생회로(101)의 등가회로도이고, 제2(b)도는 또한 다이오드(D)로서의 전압발생 트랜지스터(101a)를 나타내는 전압발생회로(101)의 등가회로도이다. 제3도는 리세트 게이트 클럭 ϕ_{RS}와 게이트 펄스 ϕ_{RS}' 간의 관계를 도시한 타이밍도이다. 이와 같이 구성된 전압발생회로(101)는 다음과 같이 동작한다.

초기 상태에서, $\phi_{RS}' = \phi_{RS}$이다; 즉, 게이트 펄스 ϕ_{RS}' 는 리세트 게이트 클럭 ϕ_{RS}와 동일한 진폭을 갖는다. 일정시간 경과후, 커패시터(53)는 저항기(101b)을 통해 충전되며, 이에 따라 리세트 드레인 전압 V_{RD}(DC전압)가 게이트 펄스 ϕ_{RS}' 에 가해진다.

다이오드(101a)는 게이트 펄스 ϕ_{RS}' 가 공급되는 신호단자(50c)와 리세트 드레인 전압 V_{RD}가 공급되는 신호단자(50b)사이에 접속된다. 이러한 구조로 인해, 게이트 펄스 ϕ_{RS}' 가 "하이"로 될 때 신호단자(50c)의 전위는 리세트 드레인 전압 V_{RD}이 그의 캐소드에 인가되는 다이오드(101a)를 턴온시키기 위한 레벨로 안정화된다. 이때 저항기(101b)의 저항이 커패시터(53)의 저항보다 충분히 큰 경우, 게이트 펄스 ϕ_{RS}' 는 리세트 게이트 클럭 ϕ_{RS}와 같은 진폭을 갖는다.

게이트 펄스 ϕ_{RS}' 는 다음 식에 의해 얻어지는 진폭을 갖는다.

ϕ_{RS}' 의 진폭$=W \times R/[R+1(2\pi fc)]$

상기 식에서, W는 리세트 게이트 클럭 ϕ_{RS}의 진폭, C는 커패시터(53)의 용량, f는 리세트 주파수, R은 저항기(101b)의 저항을 나타낸다.

따라서, $R > 1/(2\pi fc)$일 때, 게이트 펄스 ϕ_{RS}' 의 진폭은 리세트 게이트 클럭 ϕ_{RS}의 진폭과 거의 같다. 여기에서 W=5V, C≒50pF, f≒10MHz로 하면, $R > 300\Omega$이다.

비교적 높은 저항을 갖는 저항기(101b)는 기판상에 얇은 확산층을 제공하여 형성될 수 있다. 물론, 저항기(101b)는 CCD칩(110a) 외부에 제공될 수있다.

제3도로부터 이해되는 바와같이, 게이트 펄스 $ø_{RS}'$ 의 전압은, 리세트 게이트 클럭 $ø_{RS}$가 "하이" 일 때 리세트 트랜지스터(52)의 드레인에 흐르는 ON상태 전류가 리세트 게이트 클럭 $ø_{RS}$가 "로우" 일 때 드레인으로부터 흐르는 누설전류와 같게되는 레벨로 안정된다. 예컨대, 리세트 드레인 전압 V_{RD}가 15V이고 리세트 게이트 클럭 $ø_{RS}$의 진폭이 0V~16V의 범위에 있을 경우, 게이트 펄스 $ø_{RS}'$ 가 13V~16V의 진폭을 갖는다.

전압발생 트랜지스터(101a) 및 리세트 트랜지스터(52)는 공통 드레인을 가지며 동일한 구조를 갖는다. 따라서, 게이트 펄스 $ø_{RS}'$ 는 "하이" 일 때, 전압발생 트랜지스터(101a)의 채널전위와 리세트 트랜지스터(52)의 채널전위는 모두 리세트 드레인 전압 V_{RD}와 같거나 이보다 높다. 게이트 펄스 $ø_{RS}'$ 가 "로우" 일 때, 전압발생 트랜지스터(101a)의 채널전위 및 리세트 트랜지스터(52)의 채널전위는 모두 게이트 펄스 $ø_{RS}'$ 가 "하이" 일 때 얻어지는 대응 채널전위보다 게이트 펄스 $ø_{RS}'$ 의 진폭에 대응하는 값만큼 낮다.

전압발생 트랜지스터(101a) 및 리세트 트랜지스터(52)는 동일한 공정에 의해 동시에 형성되며 동일한 구조를 갖는다. 따라서, 제조 공정 파라미터의 변동에 따라 동일한 게이트 펄스 $ø_{RS}'$ 에 대해 트랜지스터중 하나의 채널전위가 변할 때, 다른 트랜지스터의 채널전위도 동일한 레벨만큼 변한다. 따라서, 전압발생 트랜지스터(101a) 및 리세트 트랜지스터(52)는 항상 같은 채널전위를 갖는다. 이에 따라, 전압발생 트랜지스터(101a)의 전압이 변한다. 이 변화에 의해, 리세트 트랜지스터(52)의 게이트에 인가되는 게이트 펄스 $ø_{RS}'$ 가 변하여 리세트 트랜지스터(52)의 채널전위의 변화만큼 반작용되도록 된다.

또한, 전압발생 트랜지스터(101a) 및 리세트 트랜지스터(52)는 공통 드레인을 갖는다. 이러한 구조로 인해, 드레인에 인가되는 리세트 드레인 전압 V_{RD}의 레벨이 변하더라도, 전압발생 트랜지스터(101a)의 순방향 전압만큼 리세트 드레인 전압 V_{RD}보다 높은 게이트 펄스 $ø_{RS}'$ 가 리세트 트랜지스터의 게이트에 인가된다. 즉, 전압발생 트랜지스터(101a)는 채널전위의 상이한 레벨을 흡수하기 위한 전압을 발생한다. 따라서, 리세트 트랜지스터(52)의 게이트에는 한상 순방향전압만큼 리세트 드레인 전압보다 높은 전압이 공급된다. 이 때문에, 전압발생 트랜지스터(101a) 및 리세트 트랜지스터(52)는 항상 같은 채널전위를 갖는다. 따라서, 항상 정확한 리세트 동작이 행해진다.

이와 같은 시스템으로 인해, 제13(a)도에 보인 이상적인 상태가 실현된다. 종래 고체촬상장치에 있어서의 5V의 진폭을 가질 필요가 있는 리세트 게이트 클럭 $ø_{RS}$는 게이트 펄스 $ø_{RS}'$ 의 동일 레벨을 얻도록 하기 위해 약 3V만의 진폭을 가질 수 있으며, 이에 따라 전압 및 소비전력을 감소시킨다. 또한, 종래 고체촬상장치에서 CCD칩 외부에 제공될 필요가 있는, 리세트 게이트 클럭 $ø_{RS}$에 중첩될 DC 바이어스 전압 V_{BS}를 발생하기 위한 회로가 제거될 수 있다. 이에 따라, 고체촬상장치의 중량과 제조가가 감소될 수 있다.

[실시예 2]

제4도는 본 발명에 의한 제2실시예의 있어서의 고체촬상장치(120)의 회로도이다.

고체촬상장치(120)는, 이 고체촬상장치(120)의 CCD칩(120a)이 상기 전압발생회로(101) 대신 전압발생회로(102)를 포함하는 점에서 상기 고체촬상장치(110)와 상이하다. 상기 전압발생회로(102)는 외부 장치에서 리세트 게이트 클럭 $ø_{RS}$를 수신하고 외부 전원에서 리세트 드레인 전압 V_{RD}를 수신하며 리세트 트랜지스터(52)의 게이트에 인가될 게이트 펄스 $ø_{RS}'$ 및 리세트 트랜지스터(52)의 드레인에 인가될 드레인 전압 V_{RD}' 를 발생하기 위해 제공된다. 리세트 트랜지스터(52)의 드레인은 제1전압발생 트랜지스터(102a)의 드레인과 공통이다. 이 점을 제외하고, 고체촬상장치(120)는 상기 고체촬상장치(110)와 동일한 구조를 갖는다. 드레인 전압 V_{RD}' 는 리세트 드레인 전압 V_{RD} 및 리세트 게이트 클럭 $ø_{RS}$에 기초하여 발생된다.

전압발생회로(102)는 제1전압발생 트랜지스터(102a) 및 제2전압발생 트랜지스터(102b)를 포함한다. 상기 제1전압발생 트랜지스터(102a)는 리세트 트랜지스터(52)의 게이트와 함께 신호단자(50c)에 같이 접속된 소스와 게이트 및 리세트 트랜지스터(52)의 드레인에 접속된 드레인을 갖는다. 상기 제2전압발생 트랜지스터(102b)는 신호단자(50b)에 같이 접속된 소스와 게이트 및 신호단자(50c)에 접속된 드레인을 갖는다. 신호단자(50c)에는 커패시터(53)를 통해 리세트 게이트 클럭 $ø_{RS}$가 공급되고, 신호단자(50b)에는 리세트 드레인 전압 V_{RD}가 공급된다.

제4도에 보인 바와 같이, 상기 제1 및 제2전압발생 트랜지스터(102a, 102b)의 각각은 다이오드로 작용하는 N채널형 트랜지스터로서, 임계 전압 $V_t(V_{RD}) \geq 0$을 갖는다. 상기 각각의 제1 및 제2전압발생 트랜지스터(102a, 102b)는 단락되어 있다. 이후, 상기 제1 및 제2전압발생 트랜지스터(102a, 102b)를 "다이오드(102a, 102b)" 라고도 기재한다.

상기 제1전압발생 트랜지스터(102a)는 리세트 트랜지스터(52)와 동일한 공정에 의해 동시에 형성되며 동일한 구조를 갖는다. 제2전압발생 트랜지스터(102b)는 상기 리세트 트랜지스터(52)와 동일한 공정에 의해 동시에 형성되고 동일한 구조를 가질 필요가 없다. 상기 제1실시예와 같이, 동일한 공정에 이해 형성되고 동일한 구조를 갖는 상기 제1전압발생 트랜지스터(102a)와 상기 리세트 트랜지스터(52)는 항상 동일한 채널전위를 갖는다. 이에 따라, 트랜지스터 102b 및 52에 인가되는 리세트 드레인 전압이 감소될 수 있다.

다이오드(102a)는 초기상태시 순방향으로 바이어스되기 때문에, 제1실시예에서 다이오드에 병렬로 접속된 저항기 (101b)는 불필요하다.

제5(a)도는 제1 및 제2전압발생 트랜지스터(102a, 102b)를 갖는 전압발생회로(102)의 등가회로도이고, 제5(b)도는 다이오드로서(D1, D2)의 제1 및 제2전압발생 트랜지스터(102a, 102b)를 나타내는 전압발생회로(102)의 등가회로이다. 제6도는 리세트 게이트 클럭 $ø_{RS}$와 게이트 펄스 $ø_{RS}'$ 간의 관계를 보인 타이밍도이다. 다이오드(D1, D2)의 순방향 강하 전압을 각각의 트랜지스터(102a, 102b)의 임계 전압 V_{t1} 및 V_{t2} 와

같다.

이와 같은 구조를 갖는 고체촬상장치(102)는 다음과 같이 동작한다.

리세트 게이트 클럭 $ø_{RS}$가 "하이"로 될 때, 전압발생 트랜지스터(102a)의 임계 전압 $V_t(V_{RD}')$에 대응하는 값만큼 리세트 드레인 전압 V_{RD}보다 높은 전압이 리세트 트랜지스터(52)의 게이트에 인가된다. 리세트 게이트 클럭 $ø_{RS}$가 "로우"로 될 때에는, 리세트 게이트 클럭 $ø_{RS}$가 "하이"일때의 게이트 전압 $ø_{RS}'$ 보다 리세트 게이트 클럭 $ø_{RS}$의 진폭에 대응하는 값만큼 낮은 전압이 리세트 트랜지스터(52)의 게이트에 인가된다.

드레인 전압 V_{RD}'는 리세트 드레인 전압 V_{RD}보다 높다. 따라서, 드레인 전압 V_{RD}'의 소망 레벨이 제1실시예에서의 리세트 드레인 전압 V_{RD}의 레벨과 같을 때, 제2실시예에서의 리세트 드레인 전압 V_{RD}는 $3-[V_{t2}(V_{RD})+V_{t1}(V_{RD}')]$만큼 제1실시예의 그것보다 낮다. 상기 식에서, $V_{t2}(V_{RD})$는 리세트 드레인 전압 V_{RD}가 소스에 인가되는 상태에서 제2전압발생 트랜지스터(102b)를 턴온시키기 위한 임계전압을 나타내며, $V_{t1}(V_{RD}')$는 드레인 전압 V_{RD}'가 드레인에 인가되는 상태에서 제1전압발생 트랜지스터(102a)를 턴온시키기 위한 임계전압을 나타낸다. 이에 따라, 통상적으로 비교적 높을 필요가 있는 리세트 드레인 전압 V_{RD}이 감소될 수 있다. 예컨대, 리세트 드레인 전압 V_{RD}가 14V일 때, 드레인 전압 V_{RD}'는 약 15V이다. 게이트 펄스 $ø_{RS}'$가 리세트 트랜지스터(52)의 게이트에 인가되는 위치는 제1실시예와 같다.

[실시예 3]

제7도는 본 발명에 의한 제3실시예에 있어서의 고체촬상장치(130)의 회로도이다.

고체촬상장치(130)는, 이 고체촬상장치(130)의 CCD칩(130a)이 상기 전압발생회로(101) 대신 전압발생회로(103)를 포함하는 점에서 상기 제1실시예의 고체촬상장치(110)와 상이하다. 상기 전압발생회로(103)는 리세트 게이트 클럭 $ø_{RS}$, 그의 반전 클럭 $/ø_{RS}$, 및 리세트 드레인 전압 V_{RD}를 수신하고 리세트 트랜지스터(52)의 게이트에 인가될 게이트 펄스 $ø_{RS}'$ 및 리세트 트랜지스터(52)의 드레인에 인가될 드레인 전압 V_{RD}'를 발생하기 위해 제공된다. 리세트 트랜지스터(52)의 드레인은 제1전압발생 트랜지스터(103a)의 드레인과 공통이다. 이 점을 제외하고, 고체촬상장치(130)는 상기 고체촬상장치(110)와 동일한 구조를 갖는다.

전압발생회로(103)는 제1전압발생 트랜지스터(103a), 제2전압발생 트랜지스터(103b) 및 제3전압발생 트랜지스터(103c)를 포함한다. 상기 제1전압발생 트랜지스터(103a)는 신호단자(50c)에 같이 접속된 소스와 게이트 및 리세트 트랜지스터(52)의 드레인에 접속된 드레인을 갖는다. 상기 제2전압발생 트랜지스터(103b)는 신호단자(50d)에 같이 접속된 소스와 게이트 및 신호단자(50c)에 접속된 드레인을 갖는다. 상기 제3전압발생 트랜지스터(103c)는 신호단자(50b)에 같이 접속된 소스와 게이트 및 신호단자(50d)에 접속된 드레인을 갖는다.

신호단자(50c)에는 커패시터(53)를 통해 리세트 게이트 클럭 $ø_{RS}$가 공급되고, 신호단자(50d)에는 커패시터(53a)를 통해 리세트 게이트 클럭 $ø_{RS}$의 반전클럭/$ø_{RS}$가 공급되며, 신호단자(50b)에는 리세트 드레인 전압 V_{RD}가 공급된다.

상기 제1, 제2 및 제3전압발생 트랜지스터(103a, 103b, 103c)의 각각은 다이오드로 작용하는 N채널형 트랜지스터로서, 임계 전압 $V_t(V_{RD})\geq 0$을 갖는다. 상기 각각의 제1, 제2 및 제3전압발생 트랜지스터(103a, 103b, 103c)는 단락되어 있다. 이후, 상기 제1, 제2 및 제3전압발생 트랜지스터(103a, 103b, 103c)를 "다이오드(103a, 103b, 103c)"라고도 기술한다. 종래의 다단 차지 펌프 회로의 최종 트랜지스터에 대응하는 상기 제1전압발생 트랜지스터(103a)는 상기 리세트 트랜지스터(52)와 동일공정에서 동일하게 형성되며 동일한 구조를 갖는다. 제2 및 제3전압발생 트랜지스터(103b, 103c)는 동작상태에 있어서 정의 임계전압을 가질 필요는 있으나 상기 리세트 트랜지스터(52)와 동일공정에 의해 형성되고 동일한 구조를 갖는 트랜지스터일 필요는 없다. 전술한 실시예와 같이, 동일한 공정에 의해 형성되고 동일한 구조를 갖는 상기 제1전압발생 트랜지스터(103a)와 상기 리세트 트랜지스터(52)는 항상 동일한 채널전위를 갖는다. 이에 따라, 103a 및 52에 인가되는 리세트 드레인 전압이 감소될 수 있다.

제8(a)도는 상기 제1, 제2 및 제3전압발생 트랜지스터(103a, 103b, 103c)를 갖는 전압발생회로(103)의 등가회로도이다. 제8(b)도는 다이오드(D1, D2, D3)로서의 상기 제1, 제2 및 제3전압발생 트랜지스터(103a, 103b, 103c)를 나타내는 전압발생회로(103)의 등가회로도이다. 제9도는 리세트 게이트 클럭 $ø_{RS}$와 리세트 게이트 펄스 $ø_{RS}'$ 간의 관계를 도시한 타이밍도이다. 다이오드(103a, 103b, 103c)의 순방향의 강하전압은 각각의 전압발생 트랜지스터(103a, 103b, 103c)의 임계전압 V_{t1}, V_{t2}, V_{t3}와 같다.

통상적으로 비교적 높을 필요가 있는 드레인 전압 V_{RD}'는 다단 차지 펌프 회로에 의해 승압된다. 따라서, 리세트 드레인 전압 V_{RD}를 제2실시예보다 더욱 낮출 수 있다.

본 발명에 따른 고체촬상장치에 있어서, 리세트 트랜지스터의 게이트에 인가되는 펄스는 리세트 트랜지스터와 동일한 구조를 갖고 리세트 트랜지스터와 공통 드레인을 분할하는 전압발생 트랜지스터를 사용하여 내부적으로 발생된다. 이와 같은 시스템에 있어서, 제조공정 파라미터의 변동에 따라 전압발생 트랜지스터의 임계전압이 변하거나 또는 외부적으로 제공된 드레인 전압이 변하더라도, 전압발생 트랜지스터와 리세트 트랜지스터는 항상 동일한 채널전위를 갖는다. 이와 같은 변화를 받을 필요가 없기 때문에, 외부에서 공급된 리세트 드레인 전압 V_{RD}의 진폭을 감소시킬 수 있다. 또한, 리세트 게이트 클럭 $ø_{RS}$에 중첩될 DC 전압을 발생하기 위한 외부 회로가 제거될 수 있다. 이에 따라, 고체촬상장치의 사이즈의 감소, 경량화 및 제조코스트를 감소시킬 수 있다.

상기 고체촬상장치가 부가적 전압발생 트랜지스터를 포함하는 경우에, 전압발생 트랜지스터를 턴온시키도록 커패시터를 충전시키기 위한 저항기가 제거될 수 있다.

상기 고체촬상장치가 외부에서 제공되는 리세트 드레인 전압 V_{RD}를 승압시키기 위한 트랜지스터를 포함하는 경우, 통상적으로 비교적 높게 될 필요가 있는 상기와 같은 전압을 낮출 수 있다.

본 발명의 범위와 정신을 벗어나지 않고 당업자들에 의해 여러 가지 변형예들이 용이하게 실시될 수 있을 것이다. 따라서, 본 발명의 특허청구의 범위는 본 명세서에서 기술된 내용에 제한되지 않고, 더 넓게 해석되어야 한다.

(57) 청구의 범위

청구항 1

입사광에 응답하여 광전변환에 의해 신호전하를 발생하기 위한, 1차원 배열 또는 2차원 배열로 기판상에 형성된 복수의 포토다이오드; 상기 포토다이오드로부터 신호전하를 수신하고 이 신호전하를 출력부를 향해 전송하기 위해 기판상에 형성된 전하전송부; 상기 전하정송부의 출력부로부터 상기 신호전하를 수신하고 이 신호전하를 축적하기 위해 기판상에 형성된 전하축적영역; 리세트 신호에 응답하여 상기 전하축적영역의 상태를 리세팅하기 위하여, 기판상에 형성되는 제1MOS트랜지스터를 포함하고, 이 제1MOS트랜지스터는 상기 전하축적영역에 접속된 소스, 상기 신호전하를 제거하기 위한 드레인 전압이 공급되는 드레인, 및 상기 리세트 신호에 응답하여 상기 소스를 상기 드레인에 접속하기 위한 게이트를 구비하는 리세트 회로; 및 동일 기판상에 형성된 제2MOS트랜지스터를 포함하고, 이 제2MOS트랜지스터는 상기 제1MOS트랜지스터의 게이트와 드레인 사이에 제1다이오드로서 기능하는 전압발생회로를 포함하며, 상기 전압발생회로는 상기 리세트 신호에 응답하여 상기 제1다이오드의 제1순방향전압을 발생하고, 이 제1순방향전압을 상기 제1MOS트랜지스터의 게이트와 드레인간에 인가하는 것을 특징으로 하는 고체촬상장치.

청구항 2

제1항에 있어서, 상기 전압발생회로는, 제2순방향전압을 형성하기 위해 제2다이오드로서 기능하는 제3MOS트랜지스터를 더 포함하고, 상기 제1 및 제2다이오드의 제1 및 제2순방향전압을 이용하여 상기 제1MOS트랜지스터의 드레인에 인가될 전압을 발생하는 것을 특징으로 하는 고체촬상장치.

청구항 3

제1항에 있어서, 제2MOS트랜지스터는 상기 제1MOS트랜지스터의 게이트에 접속된 소스, 상기 제1MOS트랜지스터의 드레인에 접속된 드레인 및 제2MOS트랜지스터의 소스에 접속된 게이트를 갖고, 제2MOS트랜지스터의 게이트와 소스에는 커패시터를 통해 리세트 클럭이 외부적으로 공급되며, 상기 제2MOS트랜지스터의 드레인에는 리세트 드레인 전압이 외부적으로 공급되는 것을 특징으로 하는 고체촬상장치.

청구항 4

제3항에 있어서, 상기 전압발생회로는, 상기 제2MOS트랜지스터의 소스와 상기 제2MOS트랜지스터의 드레인을 접속하는 저항기를 더 포함하는 것을 특징으로 하는 고체촬상장치.

청구항 5

제2항에 있어서, 상기 제3MOS트랜지스터의 게이트와 소스에는 상기 전하를 배출하기 위한 전압이 외부적으로 공급되고, 상기 제3MOS트랜지스터의 드레인은 상기 제2MOS트랜지스터의 게이트와 소스 및 상기 제1MOS트랜지스터의 게이트에 접속되며, 상기 제3MOS트랜지스터의 드레인에는 커패시터를 통해 리세트 클럭이 외부적으로 공급되는 것을 특징으로 하는 고체촬상장치.

청구항 6

제2항에 있어서, 상기 전압발생회로는 제3순방향전압을 형성하기 위해 제3다이오드로서 기능하는 제4MOS트랜지스터를 더 포함하고, 상기 제1, 제2 및 제3다이오드의 순방향전압들을 이용하여 상기 제1MOS트랜지스터의 드레인에 인가될 전압를 발생하는 것을 특징으로 하는 고체촬상장치.

청구항 7

제1항에 있어서, 상기 제2MOS트랜지스터는 상기 제1MOS트랜지스터와 동일한 임계레벨을 갖는 것을 특징으로 하는 고체촬상장치.

청구항 8

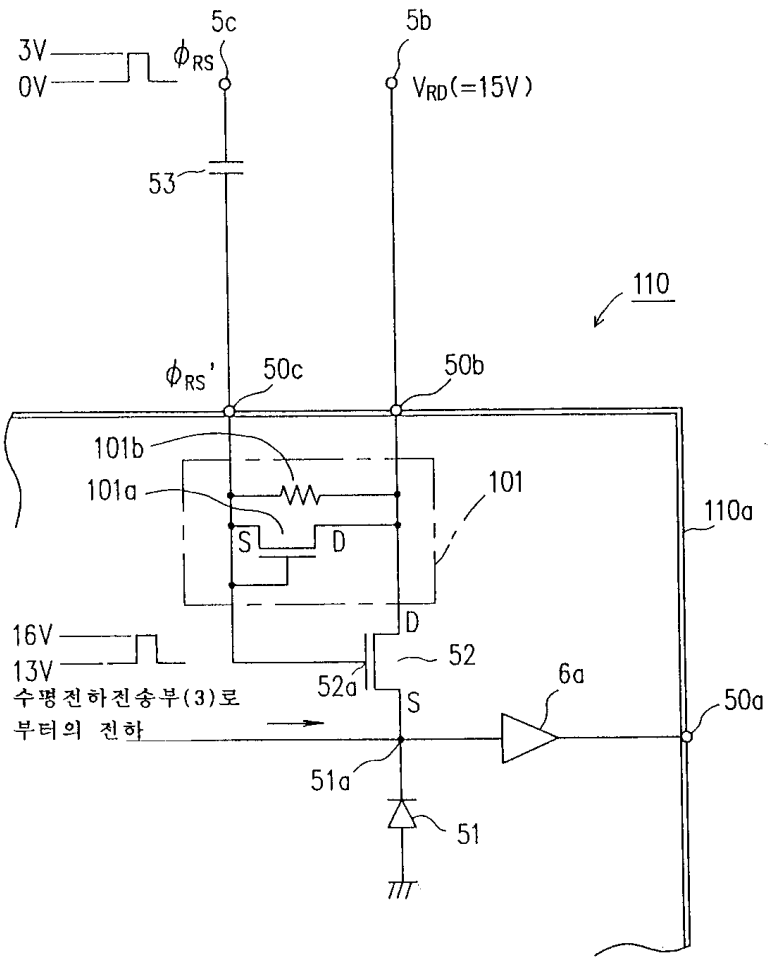
제1항에 있어서, 상기 제2MOS트랜지스터는 상기 제1MOS트랜지스터와 동일한 구조를 갖는 것을 특징으로 하는 고체촬상장치.

청구항 9

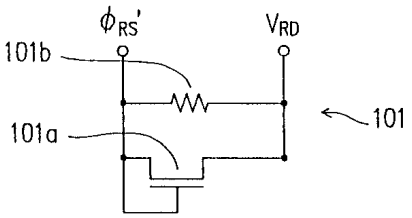
제1항에 있어서, 상기 제1 및 제2MOS트랜지스터는 공통 제조공정 단계들에 의해 동시에 형성되는 것을 특징으로 하는 고체촬상장치.

도면

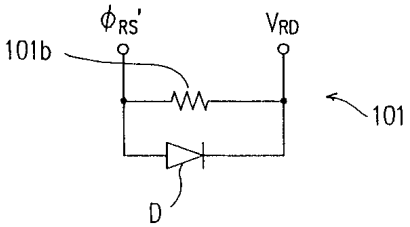
도면1



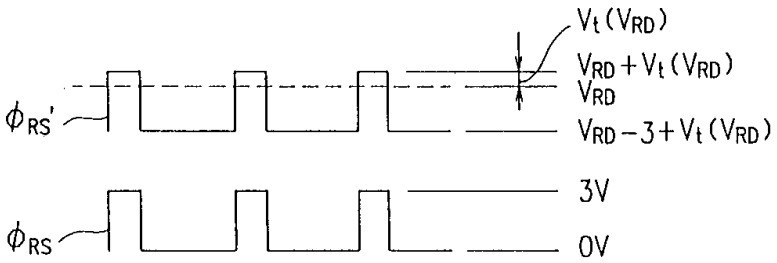
도면2a



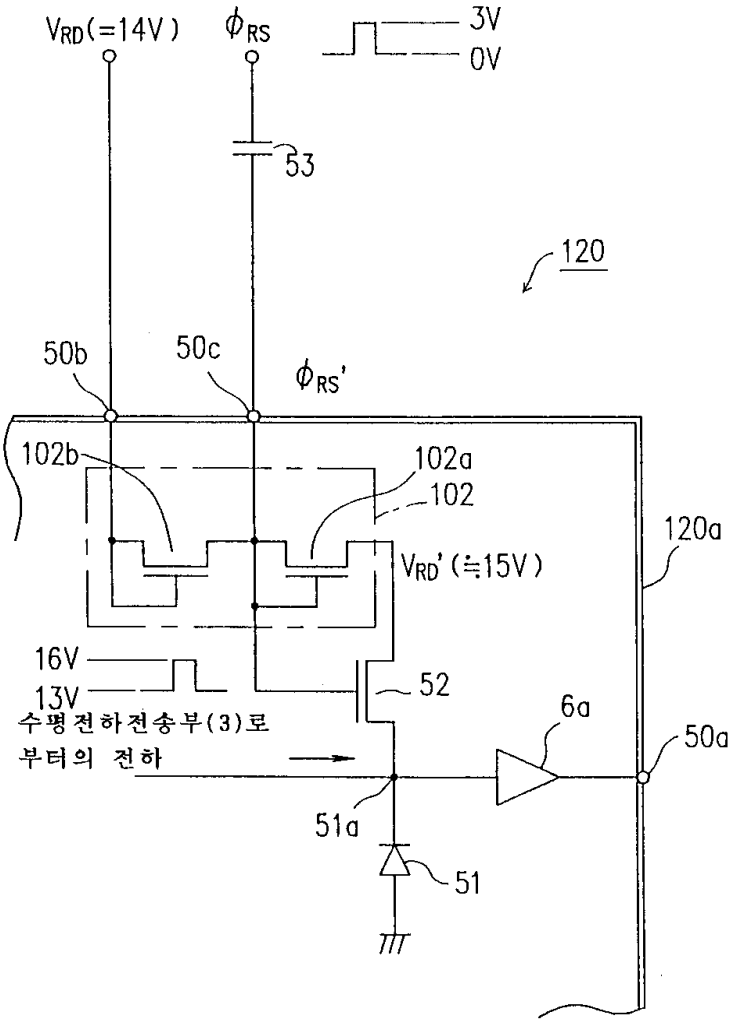
도면2b



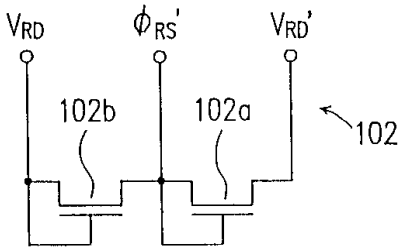
도면3


Vt(VRD)
VRD+Vt(VRD)
VRD
VRD-3+Vt(VRD)
φRS'
3V
φRS
0V

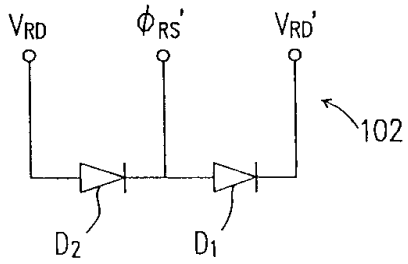
도면4


VRD(=14V)
φRS
3V
0V
53
120
50b
50c
φRS'
102b
102a
102
120a
VRD'(≒15V)
16V
13V
52
6a
50a
수평전하전송부(3)로
부터의 전하
51a
51

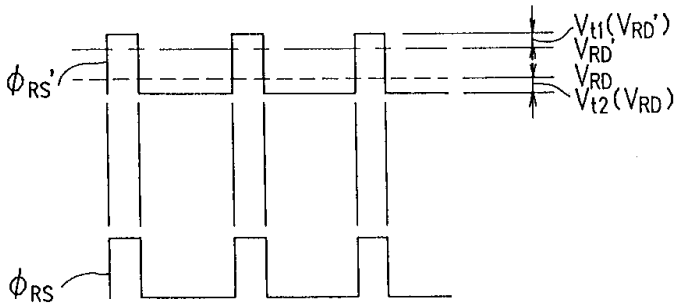
도면5a


VRD
φRS'
VRD'
102b
102a
102

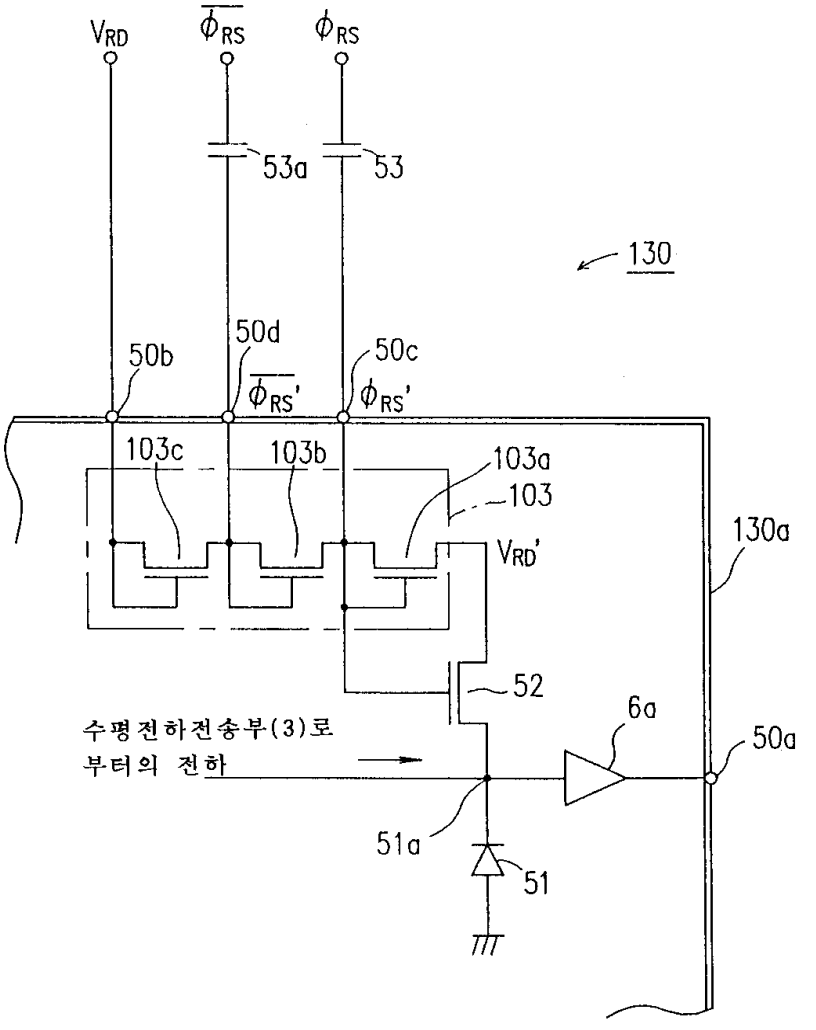
도면5b


VRD
φRS'
VRD'
102
D2
D1

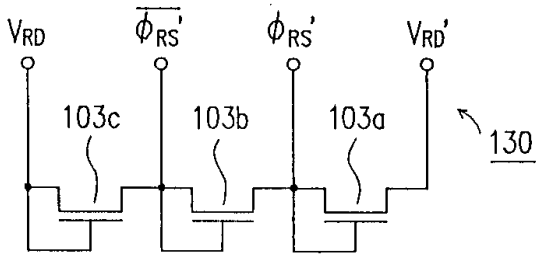
도면6


φRS'
φRS
Vt1(VRD')
VRD
VRD
Vt2(VRD)

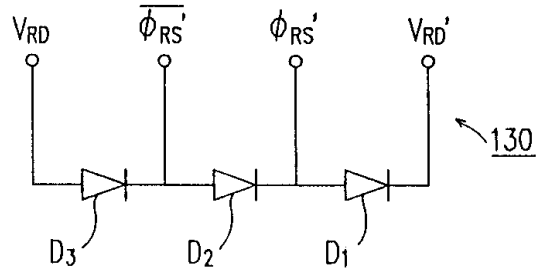
도면7


VRD
φRS
φRS
53a
53
130
50b
50d
50c
φRS'
φRS'
103c
103b
103a
103
130a
VRD'
52
6a
50a
수평전하전송부(3)로
부터의 전하
51a
51

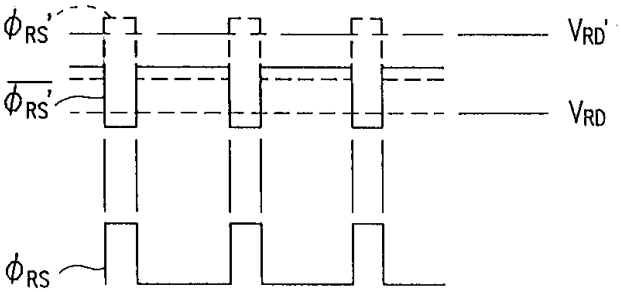
도면8a



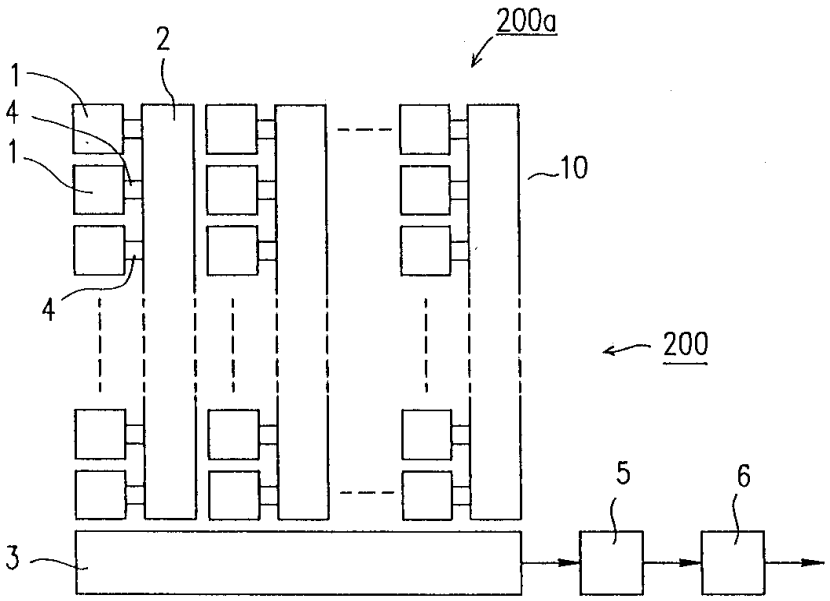
도면8b



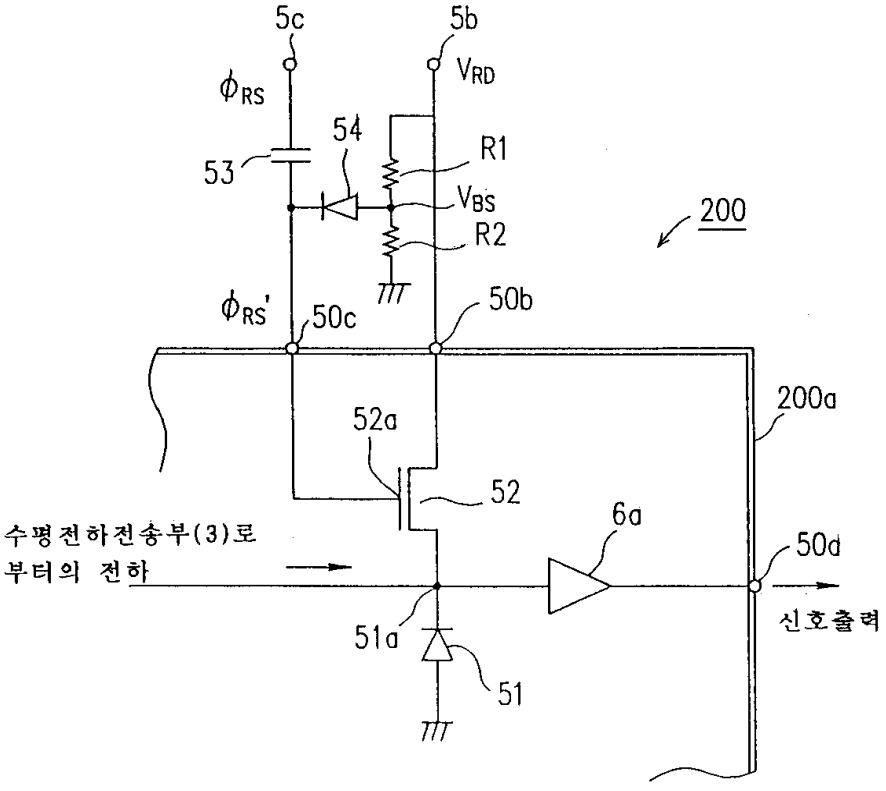
도면9



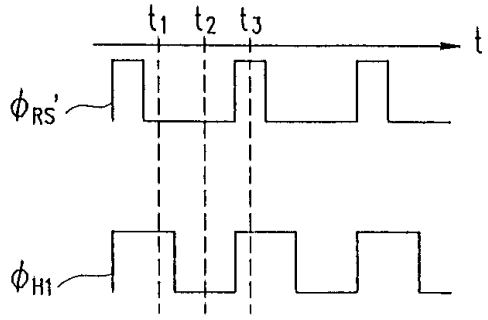
도면10a


200a
2
1
4
1
10
4
200
5
6
3

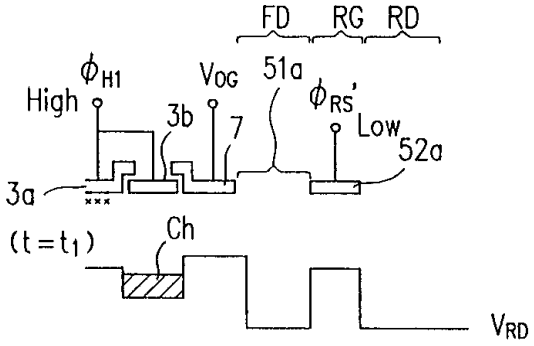
도면10b


5c
5b
ϕ_{RS}
V_{RD}
54
53
R1
V_{BS}
R2
200
ϕ_{RS}'
50c
50b
200a
52a
52
6a
수평전하전송부(3)로
부터의 전하
50d
신호출력
51a
51

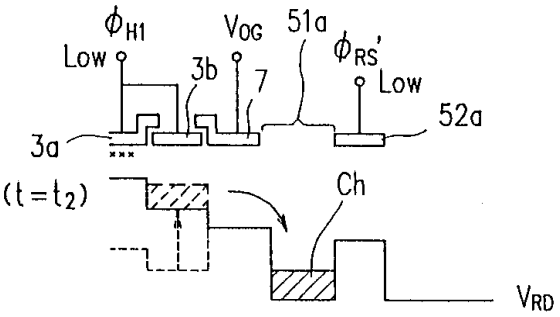
도면11



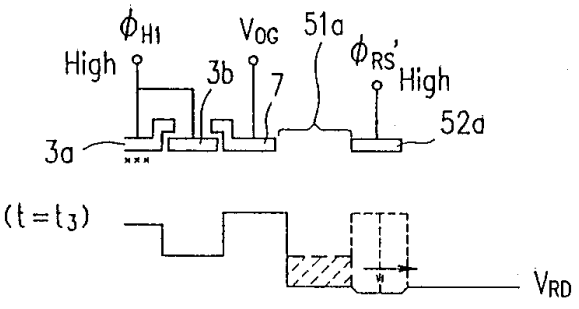
도면12a



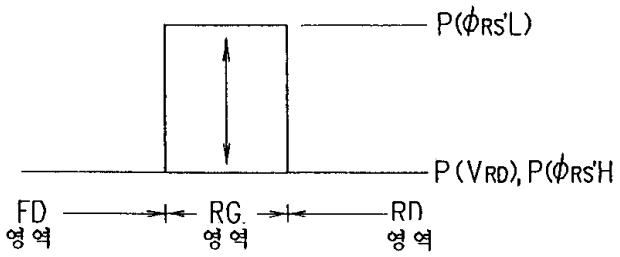
도면12b



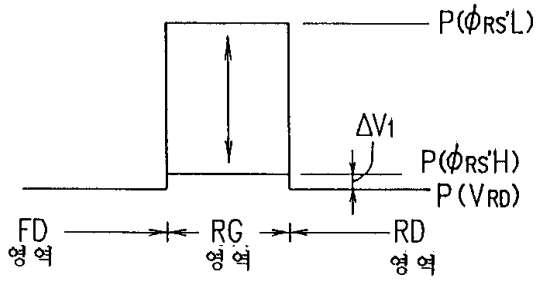
도면12c



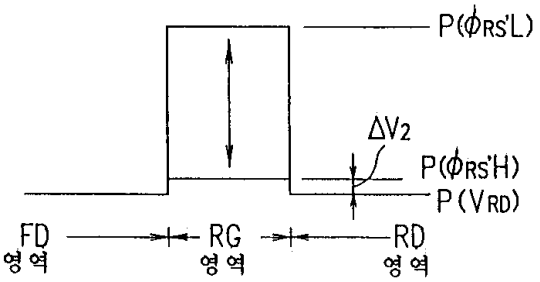
도면13a



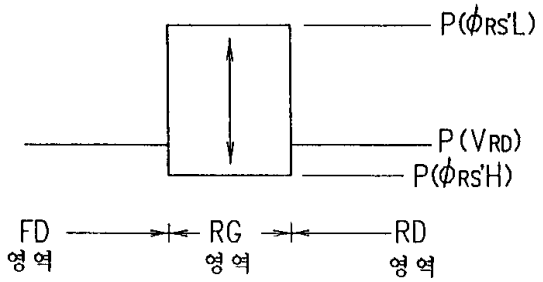
도면13b



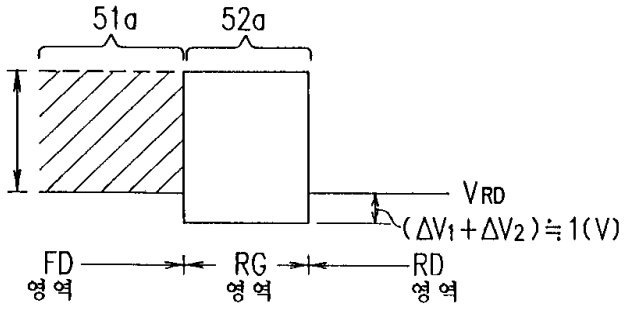
도면13c



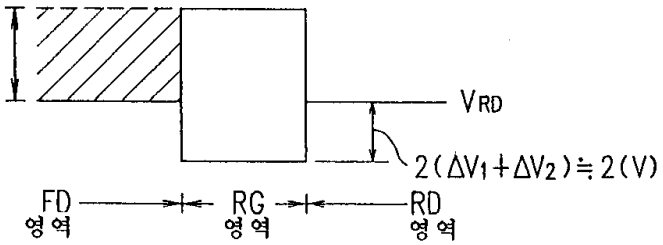
도면13d



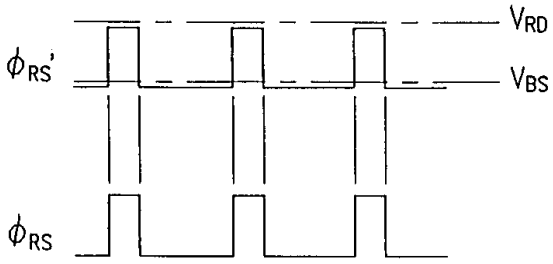
도면14a



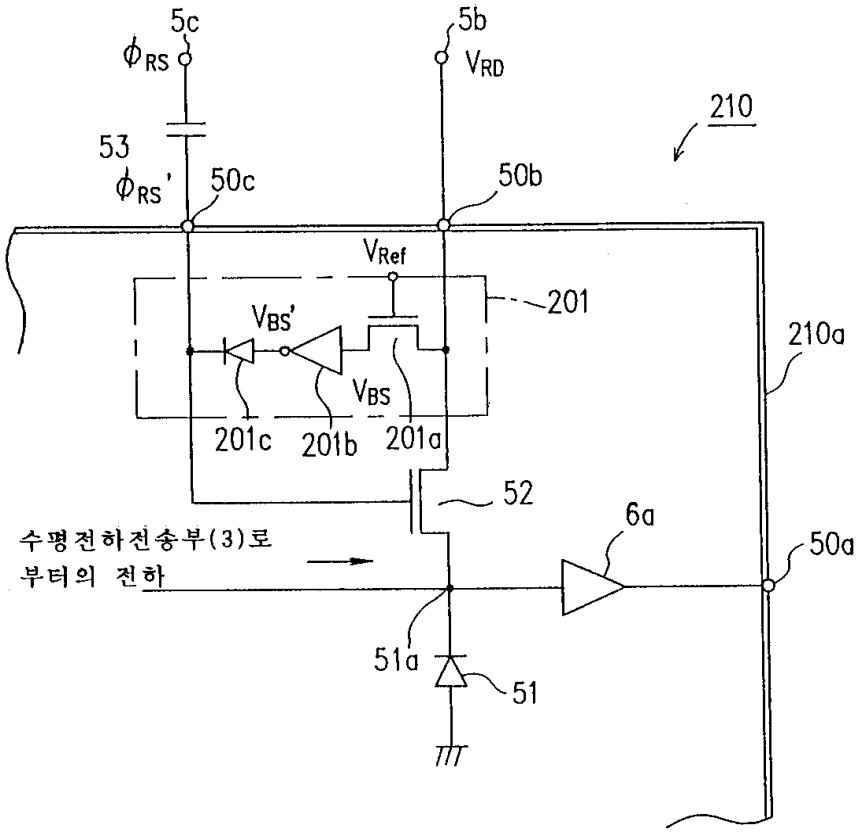
도면14b



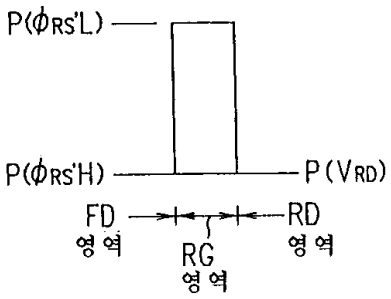
도면15



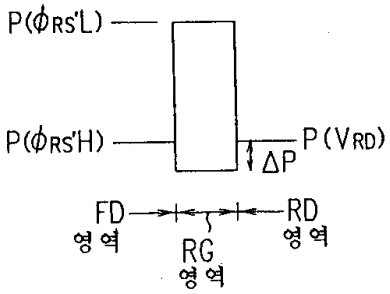
도면16a



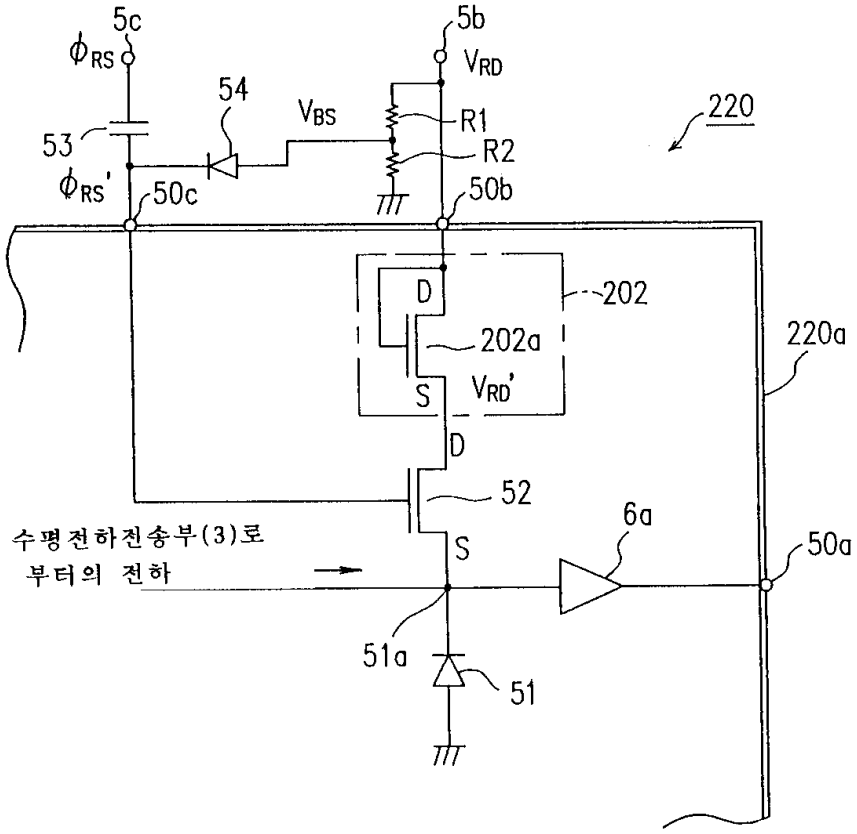
도면16b



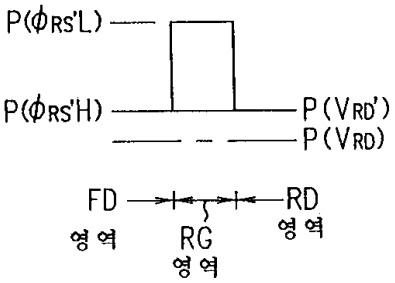
도면16c



도면17a



도면17b



도면17c

