

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 29/00

(11) 공개번호 특1997-0051453

(43) 공개일자 1997년07월29일

| | |
|-----------|---|
| (21) 출원번호 | 특1995-0068664 |
| (22) 출원일자 | 1995년12월30일 |
| (71) 출원인 | LG 반도체 주식회사 문정환 |
| (72) 발명자 | 충청북도 청주시 흥덕구 향정동 1번지 (우 : 360-480) 김대휘 |
| (74) 대리인 | 경기도 안산시 고잔동 660번지 광운9차아파트 다동 208호 박장원 |

심사청구 : 있음

(54) 멀티비트 테스트모드회로

요약

본 발명은 반도체 메모리의 멀티비트 테스트모드에 관한 것으로서, 반도체 메모리를 여러 블록으로 나누고, 그 나뉘어진 블록 중에서 특정한 블록에 원하는 데이터를 기록 및 판독함으로써 테스트 모드시 상기 특정 블록의 테스트만으로 메모리 전체의 테스트효과를 올릴 수 있기 때문에, 블록이 4개로 나뉘어져 있을 경우는 1/4, 16블록으로 나뉘어져 있을 경우는 1/16만큼 테스트시간을 감소시킬 수 있음은 물론 그로인하여 테스트비용을 절감할 수 있는 멀티비트 테스트 모드 회로에 관한 것이다.

대표도

도3

명세서

[발명의 명칭]

멀티비트 테스트모드회로

[도면의 간단한 설명]

제3도는 본 발명인 멀티비트 테스트모드회로의 블록도,

제4도는 제3도에 있어서 출력 에러검출부의 상세도

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

1/0 패드를 통하여 데이터를 입력하는 입력버퍼와, 그 입력버퍼에서 출력되는 데이터를 입력받아 테스트 모드 신호(TMS)에 따라 데이터를 출력하는 기록버퍼들과, 그 기록버퍼들에서 출력되는 데이터를 각각 저장하는 메모리 셀블럭들과, 그 메모리 셀블럭들에 출력되는 데이터를 데이터버스(45a, 45b~48a, 48b)들을 통하여 입력받아 출력하는 출력버퍼들과, 상기 메모리 셀블럭들의 출력을 데이터버스(45a, 46a, 47a, 48a)들을 통하여 입력받아 테스트모드신호(TMS)에 따라 에러유무를 검출하는 출력 에러검출부와, 그 출력 에러검출부에서 출력신호에 제어되어 상기 출력버퍼들로부터 입력되는 데이터를 1/0 패드로 출력하는 출력구동부로 구성된 것을 특징으로 하는 멀티비트 테스트모드회로.

청구항 2

제1항에 있어서, 상기 출력에러 검출부는 상기 메모리 셀블럭들의 렉을 데이터버스(45a, 46a)들을 통하여 입력받아 배타적 논리합하는 제1배타적 오아게이트와, 상기 메모리 셀블럭들의 출력을 데이터버스(47a, 48a)들을 통하여 입력받아 배타적 논리합하는 제2배타적 오아게이트와, 상기 제1, 제2배타적 오아게이트의 출력을 반전시키는 제1, 제2인버터와, 상기 제1, 제2인버터의 출력을 입력받아 낸딩하는 낸드게이트와, 그 낸드게이트의 출력을 반전시키는 제3인버터와 드레인은 상기 제3인버터의 출력단자와 연결되고 게이트는 테스트모드신호(TMS) 입력단자와 연결되고 소오스는 출력단자와 연결된 엔모스트랜지스터와, 소오스는 전원전압단자(Vcc)와 연결되고 게이트는 테스트모드신호(TMS) 입력단자와 연결되며 드레인은 출력단자와 연결된 피모스 트랜지스터로 구성된 것을 특징으로 하는 멀티비트 테스트모드회로.

청구항 3

제1항에 있어서, 상기 기록버퍼와 출력버퍼의 수는 메모리 셀블럭들의 수와 동일하게 구성되는 것을 특징으로 하는 멀티비트 테스트모드회로.

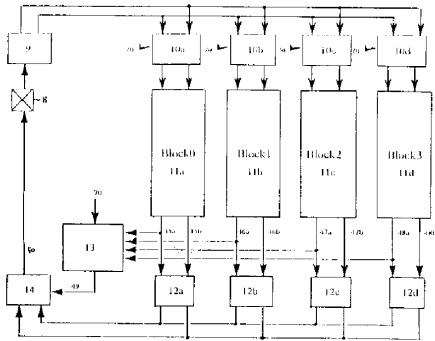
청구항 4

제1항에 있어서, 상기 출력 에러검출부는 테스트모드신호(TMS)와 인가되지 않을 경우는 상기 출력구동부를 정상적으로 동작시키는 것을 특징으로 하는 멀티비트 테스트모드회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면3



도면4

