



(12) 发明专利申请

(10) 申请公布号 CN 103094342 A

(43) 申请公布日 2013. 05. 08

(21) 申请号 201110391032. 5

H01L 21/336(2006. 01)

(22) 申请日 2011. 11. 25

(30) 优先权数据

100139574 2011. 10. 31 TW

(71) 申请人 茂达电子股份有限公司

地址 中国台湾新竹

(72) 发明人 林永发 徐守一 吴孟韦 陈面国

张家豪 陈家伟

(74) 专利代理机构 北京市浩天知识产权代理事

务所 11276

代理人 刘云贵

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

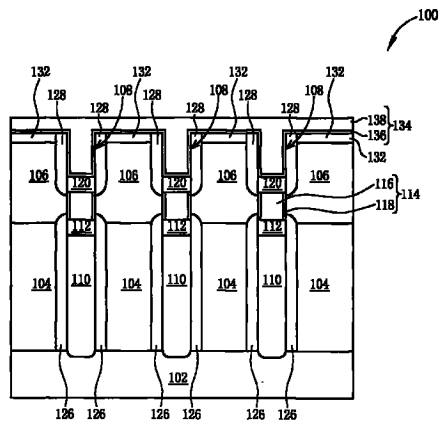
权利要求书2页 说明书6页 附图8页

(54) 发明名称

功率晶体管组件及其制作方法

(57) 摘要

本发明公开了一种功率晶体管组件包括一衬底、一外延层、一掺质来源层、一漏极掺杂区、一第一绝缘层、一栅极结构、一第二绝缘层、一源极掺杂区以及一金属层。衬底、漏极掺杂区与源极掺杂区具有一第一导电类型，且外延层具有一第二导电类型。外延层设于衬底上，且具有至少一穿孔贯穿外延层。掺质来源层、第一绝缘层、栅极结构与第二绝缘层依序设于穿孔中的衬底上。漏极掺杂区与源极掺杂区设于穿孔一侧的外延层中。金属层设于外延层上，且延伸至穿孔中，以与源极掺杂区相接触。借此，可有效地减少使用掩模的数量，并降低功率晶体管组件的制作成本与制作复杂度。



1. 一种功率晶体管组件,其特征在于,包括:
  - 一衬底,具有一第一导电类型;
  - 一外延层,设于所述衬底上,且具有至少一穿孔,贯穿所述外延层,其中所述外延层具有一第二导电类型;
  - 一基体掺杂区,设于所述外延层中,且具有所述第二导电类型;
  - 一掺质来源层,设于所述穿孔中;
  - 一漏极掺杂区,设于所述掺质来源层一侧的所述外延层中,并与所述基体掺杂区以及所述衬底相接触,且具有所述第一导电类型;
  - 一第一绝缘层,设于所述穿孔中的所述掺质来源层上;
  - 一栅极结构,设于所述穿孔中的所述第一绝缘层上;
  - 一第二绝缘层,设于所述穿孔中的所述栅极结构上;
  - 一源极掺杂区,设于所述漏极掺杂区上的所述基体掺杂区中,且具有所述第一导电类型,其中所述栅极结构位于所述源极掺杂区与所述漏极掺杂区之间,并与所述基体掺杂区相接触;以及
  - 一金属层,设于所述外延层上,且延伸至所述穿孔中,以与所述源极掺杂区相接触。
2. 如权利要求 1 所述的功率晶体管组件,其特征在于,还包括一接触掺杂区,设于所述源极掺杂区一侧的所述基体掺杂区中,且具有所述第二导电类型。
3. 如权利要求 1 所述的功率晶体管组件,其特征在于,其中所述栅极结构包括:
  - 一栅极导电层;以及
  - 一栅极绝缘层,设于所述栅极导电层与所述外延层之间。
4. 如权利要求 1 所述的功率晶体管组件,其特征在于,其中所述金属层包括一阻障金属层以及一源极金属层。
5. 一种功率晶体管组件的制作方法,其特征在于,包括:
  - 提供一衬底,且所述衬底具有一第一导电类型;
  - 于所述衬底上形成一外延层,且所述外延层具有不同于所述第一导电类型的一第二导电类型;
  - 于所述外延层中形成一基体掺杂区,且所述基体掺杂区具有所述第二导电类型;
  - 于所述外延层中形成至少一穿孔,暴露出所述衬底;
  - 于所述穿孔中填入一第一掺质来源层,其中所述第一掺质来源层包含有具有所述第一导电类型的多个第一掺质;
  - 于所述穿孔中的所述第一掺质来源层上形成一第一绝缘层;
  - 于所述第一绝缘层上形成一栅极结构;
  - 于所述栅极结构上形成一第二绝缘层;
  - 于所述第二绝缘层上形成一第二掺质来源层,其中所述第二掺质来源层包含有具有所述第一导电类型的多个第二掺质;
  - 于所述基体掺杂区中形成一源极掺杂区;
  - 于所述外延层中形成一漏极掺杂区;
  - 移除所述穿孔中的所述第二掺质来源层;以及
  - 于所述外延层上形成一金属层,且所述金属层填满所述穿孔。

6. 如权利要求 5 所述的功率晶体管组件的制作方法,其特征在于,于形成所述第二掺质来源层的步骤与形成所述源极掺杂区的步骤之间,所述制作方法还包括于所述外延层与所述第二掺质来源层上覆盖一衬垫层。

7. 如权利要求 6 所述的功率晶体管组件的制作方法,其特征在于,移除所述第二掺质来源层的步骤包括移除所述衬垫层。

8. 如权利要求 5 所述的功率晶体管组件的制作方法,其特征在于,所述源极掺杂区与所述漏极掺杂区于同一热驱入工艺中形成。

9. 如权利要求 5 所述的功率晶体管组件的制作方法,其特征在于,形成所述漏极掺杂区的步骤进行于形成所述第一绝缘层的步骤与形成所述栅极结构的步骤之间。

10. 如权利要求 5 所述的功率晶体管组件的制作方法,其特征在于,于形成所述源极掺杂区的步骤与移除所述第二掺质来源层的步骤之间,所述制作方法还包括于进行所述第二导电类型的一离子植入工艺以及一热驱入工艺。

11. 如权利要求 5 所述的功率晶体管组件的制作方法,其特征在于,形成所述第一掺质来源层、所述第一绝缘层、所述第二绝缘层以及所述第二掺质来源层的步骤分别包括一沉积工艺以及一研磨回刻蚀工艺。

12. 如权利要求 5 所述的功率晶体管组件的制作方法,其特征在于,形成所述栅极结构包括于所述穿孔中形成一栅极导电层,以及于所述穿孔中形成一栅极绝缘层,且所述栅极绝缘层设于所述栅极导电层与所述外延层之间。

13. 如权利要求 5 所述的功率晶体管组件的制作方法,其特征在于,于移除所述第二掺质来源层的步骤与形成所述金属层的步骤之间,所述制作方法还包括于所述源极掺杂区一侧的所述基体掺杂区中形成一接触掺杂区,且所述接触掺杂区具有所述第二导电类型。

14. 如权利要求 5 所述的功率晶体管组件的制作方法,其特征在于,形成所述金属层的步骤包括于所述第二绝缘层与所述外延层上形成一阻障金属层,以及于所述阻障金属层上形成一源极金属层。

## 功率晶体管组件及其制作方法

### 技术领域

[0001] 本发明涉及一种功率晶体管组件及其制作方法,特别是涉及一种具有超级接口的沟槽型功率晶体管组件及其制作方法。

### 背景技术

[0002] 在功率晶体管组件中,漏极与源极间导通电阻  $R_{DS(on)}$  的大小与组件的功率消耗成正比,因此降低导通电阻  $R_{DS(on)}$  的大小可减少功率晶体管组件所消耗的功率。于导通电阻  $R_{DS(on)}$  中,用于耐压的外延层所造成的电阻值所占的比例为最高。虽然增加外延层中导电物质的掺杂浓度可降低外延层的电阻值,但外延层的作用为用于承受高电压。若增加掺杂浓度会降低外延层的崩溃电压,因而降低功率晶体管组件的耐压能力。因此发展出一种具有超级接口 (super junction) 的功率晶体管组件,以兼具高耐压能力以及低导通电阻。

[0003] 请参考图 1 至图 6,图 1 至图 6 绘示了制作公知具有超级接口的功率晶体管组件的方法示意图。如图 1 所示,首先,于一 N 型基材 10 上沉积一 N 型外延层 12,且然后利用一第一掩模于 N 型外延层 12 上刻蚀出多个沟槽 14。如图 2 所示,接着于各沟槽 14 内沉积一 P 型外延层 16,使 P 型外延层 16 的上表面与 N 型外延层 12 的上表面切齐。如图 3 所示,随后于 N 型外延层 12 与 P 型外延层 16 上覆盖一绝缘层 18。之后,利用一第二掩模于绝缘层 18 上形成多个栅极电极 20,且栅极电极 20 设于 N 型外延层 12 上。如图 4 所示,以栅极电极 20 作为掩模对 P 型外延层 16 与 N 型外延层 12 进行一 P 型离子植入工艺,以于 N 型外延层 12 与 P 型外延层 16 中形成 P 型基体掺杂区 22,并进行一热驱入工艺,以将 P 型基体掺杂区 22 延伸至与栅极电极 20 重叠。然后,利用一第三掩模进行一 N 型离子植入工艺,以于邻近各栅极电极 20 的各 P 型基体掺杂区 22 中形成二 N 型源极掺杂区 24。如图 5 所示,接下来于栅极电极 20 与绝缘层 18 上依序覆盖一介电层 26 与一硼磷硅玻璃层 28。然后,利用一第四掩模,对位于各 P 型基体掺杂区 22 上的介电层 26、硼磷硅玻璃层 28 与绝缘层 18 进行一光刻工艺,以于各 P 型基体掺杂区 22 上分别形成一接触洞 30,并暴露出 P 型基体掺杂区 22。如图 6 所示,接着,进行一 P 型离子植入工艺,于各 P 型基体掺杂区 22 中形成一 P 型接触掺杂区 32,并进行一热驱入工艺,使 P 型接触掺杂区 32 与各 N 型源极掺杂区 24 相接触。最后,于各接触洞 30 中填入接触插塞 34,且于硼磷硅玻璃层 28 与接触插塞 34 上形成一源极金属层 36,并于 N 型基材 10 下形成一漏极金属层 38。各 N 型外延层 12 与各 P 型外延层 16 构成一垂直 PN 界面,亦即所谓超级接口。由上述可知,公知功率晶体管组件的制作方法需四道掩模来定义不同组件的图案。

[0004] 尽管还有利用多次进行外延与离子植入工艺来形成超级接口,但因掩模的成本昂贵,所以当使用掩模的数量越多时,功率晶体管组件的制作成本亦会大幅增加,且增加制作功率晶体管组件的复杂度。有鉴于此,减少掩模的使用数量与降低制作功率晶体管组件的复杂度实为业界努力的目标。

## 发明内容

[0005] 本发明的主要目的在于提供一种功率晶体管组件及其制作方法,以降低掩模的使用数量与降低制作功率晶体管组件的复杂度。

[0006] 为达上述的目的,本发明提供一种功率晶体管组件,其包括一衬底、一外延层、一基体掺杂区、一掺质来源层、一漏极掺杂区、一第一绝缘层、一栅极结构、一第二绝缘层、一源极掺杂区以及一金属层。衬底具有一第一导电类型。外延层设于衬底上,且具有至少一穿孔贯穿外延层,其中外延层具有一第二导电类型。基体掺杂区设于外延层中,且具有第二导电类型。掺质来源层设于穿孔中。漏极掺杂区设于掺质来源层一侧的外延层中,并与基体掺杂区以及衬底相接触,且具有第一导电类型。第一绝缘层设于穿孔中的掺质来源层上。栅极结构设于穿孔中的第一绝缘层上。第二绝缘层设于穿孔中的栅极结构上。源极掺杂区设于漏极掺杂区上的基体掺杂区中,且具有第一导电类型,其中栅极结构位于源极掺杂区与漏极掺杂区之间,并与基体掺杂区相接触。金属层设于外延层上,且延伸至穿孔中,以与源极掺杂区相接触。

[0007] 为达上述的目的,本发明提供一种功率晶体管组件的制作方法。首先,提供一衬底,且衬底具有一第一导电类型。然后,于衬底上形成一外延层,且外延层具有不同于第一导电类型的一第二导电类型。接着,于外延层中形成一基体掺杂区,且基体掺杂区具有第二导电类型。随后,于外延层中形成至少一穿孔,暴露出衬底。接着,于穿孔中填入一第一掺质来源层,其中第一掺质来源层包含有具有第一导电类型的多个第一掺质。之后,于穿孔中的第一掺质来源层上形成一第一绝缘层。接下来,于第一绝缘层上形成一栅极结构,并于栅极结构上形成一第二绝缘层。然后,于第二绝缘层上形成一第二掺质来源层,其中第二掺质来源层包含有具有第一导电类型的多个第二掺质。接着,于基体掺杂区中形成一源极掺杂区,且于外延层中形成一漏极掺杂区。随后,移除穿孔中的第二掺质来源层。然后,于外延层上形成一金属层,且金属层填满穿孔。

## 附图说明

[0008] 图 1 至图 6 绘示了制作公知具有超级接口的功率晶体管组件的方法示意图。

[0009] 图 7 至图 12 为本发明第一优选实施例的功率晶体管组件的制作方法示意图。

[0010] 图 13 为本发明第二优选实施例的功率晶体管组件的制作方法的示意图。

[0011] 其中,附图标记说明如下:

[0012]

10	N 型基材	12	N 型外延层
14	沟槽	16	P 型外延层
18	绝缘层	20	栅极电极
22	P 型基体掺杂区	24	N 型源极掺杂区
26	介电层	28	硼磷硅玻璃层

[0013]

30	接触洞	32	P 型接触掺杂区
34	接触插塞	36	源极金属层
38	漏极金属层	100	功率晶体管组件
102	衬底	104	外延层
106	基体掺杂区	107	垫层
108	穿孔	110	第一掺质来源层
112	第一绝缘层	114	栅极结构
116	栅极导电层	118	栅极绝缘层
120	第二绝缘层	122	第二掺质来源层
124	衬垫层	126	漏极掺杂区
128	源极掺杂区	130	第二离子植入工艺
132	接触掺杂区	134	金属层
136	阻障金属层	138	源极金属层

### 具体实施方式

[0014] 请参考图 7 至图 12, 图 7 至图 12 为本发明一第一优选实施例的功率晶体管组件的制作方法示意图。如图 7 所示, 提供一衬底 102, 且衬底 102 具有一主动组件区以及一外围区, 其中衬底 102 具有一第一导电类型。以下描述以制作主动组件区中的功率晶体管组件为例来做说明。接着, 进行一外延工艺, 于衬底 102 上形成一外延层 104, 且外延层 104 具有不同于第一导电类型的一第二导电类型。然后, 进行第二导电类型的一第一离子植入工艺与一第一热驱入工艺, 以于外延层 104 中形成具有第二导电类型的一基体掺杂区 106。随后, 于基体掺杂区 106 上形成一垫层 107, 此垫层可为二氧化硅 ( $\text{SiO}_2$ )、氮化硅 ( $\text{Si}_3\text{N}_4$ ) 或上述的组成等。接着, 以沉积工艺于垫层 107 表面形成一硬掩模层 (图未示), 例如, 硅氧层。然后, 利用一掩模, 进行一光刻工艺, 于基体掺杂区 106、外延层 104 与垫层 107 中形成多个穿孔 108, 且穿孔 108 贯穿外延层 104 与垫层 107, 以暴露出衬底 102, 接着移除硬掩模层。于本实施例中, 第一导电类型为 N 型, 且第二导电类型为 P 型, 但本发明不限于此, 本发明的第一导电类型与第二导电类型亦可互换。并且, 本发明的穿孔 108 不限为多个, 亦可为单一一个, 且本发明的穿孔 108 的数量可根据功率晶体管组件所需的耐压程度或开启电流大小等组件特性来做相对应的调整。

[0015] 如图 8 所示, 接着, 进行一第一沉积工艺, 于 P 型外延层 104 与 N 型衬底 102 上形成一第一掺质来源层 110, 且于各穿孔 108 中填满第一掺质来源层 110。随后, 进行一第一研磨回刻蚀工艺, 移除位于各穿孔 108 外的第一掺质来源层 110, 且同时移除位于各穿孔 108 中的部分第一掺质来源层 110, 使填入各穿孔 108 中的第一掺质来源层 110 的上表面未与 P 型

基体掺杂区 106 相接触,亦即略低于 P 型基体掺杂区 106 的底部。然后,进行一第二沉积工艺,于 P 型外延层 104 与第一掺质来源层 110 上沉积一氧化层,并填满各穿孔 108。随后,进行一第二研磨回刻蚀工艺,移除位于各穿孔 108 外的氧化层,且同时移除位于各穿孔 108 中的部分氧化层,以暴露出垫层 107 的上表面与各穿孔 108 的部分侧壁,并于各穿孔 108 中的第一掺质来源层 110 上形成一第一绝缘层 112。于本实施例中,第一掺质来源层 110 包含有多个 N 型第一掺质,且形成第一掺质来源层 110 的材料包含有砷硅玻璃 (arsenic silicate glass, ASG) 或磷硅玻璃 (phosphor silicate glass, PSG),但不限于此。并且,本发明形成第一绝缘层 112 的材料并不限为氧化物,亦可为例如氮化物等绝缘材料。此外,本实施例的第一绝缘层 112 的上表面低于 P 型外延层 104 的上表面,并高于 P 型基体掺杂区 106 的底部,使后续所形成的栅极结构 114 可与 P 型基体掺杂区 106 相接触,但本发明并不以此为限。

[0016] 如图 9 所示,接下来,于各穿孔 108 中的第一绝缘层 112 上形成一栅极结构 114,且各栅极结构 114 包括一栅极导电层 116 与位于栅极导电层 116 与 P 型基体掺杂区 106 之间的一栅极绝缘层 118。于本实施例中,形成栅极结构 114 的步骤可先进行一热氧化工艺,以于暴露出的各穿孔 108 的侧壁覆盖一氧化层,然后进行一第三沉积工艺,于各穿孔 108 的第一绝缘层 112、氧化层与垫层 107 上形成一导电层,例如多晶硅。接着,进行一第三研磨回刻蚀工艺,移除位于各穿孔 108 外的导电层以及各穿孔 108 中的部分导电层,以于各穿孔 108 中的第一绝缘层 112 上形成栅极导电层 116,并暴露出部分氧化层。之后,再进行一第四研磨回刻蚀工艺,移除暴露出的氧化层,以于各穿孔 108 中的栅极导电层 116 与 P 型基体掺杂区 106 之间形成栅极绝缘层 118。此外,本发明的栅极绝缘层 118 并不限为氧化物,亦可为例如氮化物的绝缘材料所构成,且本发明形成栅极结构 114 的步骤不限于上述方法。

[0017] 如图 10 所示,然后,进行一第四沉积工艺,于 P 型外延层 104 与栅极结构 114 上沉积一氧化层,并填满各穿孔 108。随后,进行一第五研磨回刻蚀工艺,移除位于各穿孔 108 外的氧化层,且同时移除位于各穿孔 108 中的部分氧化层,以暴露出垫层 107 的上表面与各穿孔 108 的部分侧壁,并于各穿孔 108 中的栅极结构 114 上形成一第二绝缘层 120,且第二绝缘层 120 的上表面低于 P 型外延层 104 的上表面。接着,进行一第五沉积工艺,于垫层 107 的上表面与第二绝缘层 120 上形成一第二掺质来源层 122,并于各穿孔 108 中填满第二掺质来源层 122,使第二掺质来源层 122 与 P 型基体掺杂区 106 相接触。随后,进行一第六研磨回刻蚀工艺,移除位于各穿孔 108 外的第二掺质来源层 122,使第二掺质来源层 122 的上表面与 P 型外延层 104 的上表面约略位于同一平面或约略低于 P 型外延层 104 的上表面。于本实施例中,第二掺质来源层 122 包含有多个 N 型第二掺质,且形成第二掺质来源层 122 的材料包含有砷硅玻璃或磷硅玻璃,但不限于此。并且,本发明形成第二绝缘层 120 的材料并不限为氧化物,亦可为例如氮化物等绝缘材料。

[0018] 如图 11 所示,接着,移除垫层 107。然后,于 P 型外延层 104 与第二掺质来源层 122 上覆盖一衬垫层 124。随后,进行一第二热驱入工艺,将各穿孔 108 的第一掺质来源层 110 中的 N 型第一掺质扩散至 P 型外延层 104 中,以于各穿孔 108 两侧的 P 型外延层 104 中分别形成一 N 型漏极掺杂区 126,且同时将第二掺质来源层 122 中的 N 型第二掺质扩散至 P 型基体掺杂区 106 中,以于各穿孔 108 两侧的 P 型基体掺杂区 106 中分别形成一 N 型源极掺杂区 128。于本实施例中,形成衬垫层 124 的材料可为例如氧化物或氮化物的绝缘材料。并

且,N型漏极掺杂区 126 与 N 型源极掺杂区 128 可具有不同的掺杂浓度,且通过调整第一掺质来源层 110 中的 N 型第一掺质浓度与第二掺质来源层 122 中的 N 型第二掺质浓度来达到,但不限于此。并且,各 N 型漏极掺杂区 126 与其上的 P 型基体掺杂区 106 以及其下的 N 型衬底 102 相接触,因此各 N 型漏极掺杂区 126 可作为功率晶体管组件 100 的漏极。各 N 型源极掺杂区 128 位于 N 型漏极掺杂区 126 上的 P 型基体掺杂区 106 中,而作为功率晶体管组件 100 的源极。各栅极结构 114 位于各 N 型漏极掺杂区 126 与相对应的 N 型源极掺杂区 128 之间的各穿孔 108 中,且栅极导电层 116 作为功率晶体管组件 100 的栅极。与各栅极结构 114 相接触的 P 型基体掺杂区 106 可作为功率晶体管组件 100 的信道区。由此可知,本实施例的功率晶体管组件 100 为垂直沟槽型功率晶体管组件。

[0019] 值得注意的是,本实施例通过在 P 型外延层 104 与第二掺质来源层 122 上覆盖衬垫层 124 可有效防止 N 型第二掺质于第二热驱入工艺中扩散至空气中,进而避免所制作的功率晶体管组件 100 受到污染。此外,所形成的 N 型漏极掺杂区 126 与 P 型外延层 104 形成一 PN 接口,亦即超级接口,以用于耐压,且 PN 接口约略垂直 N 型衬底 102。并且,耐压能力取决于 PN 接口的深度,因此可通过控制第一回刻蚀工艺的条件来调整所形成的第一掺质来源层 110 的高度,进而达到所欲的 PN 接口的深度以及所欲的功率晶体管组件 100 的崩溃电压。

[0020] 如图 12 所示,然后,进行对氧化物与硅具有高刻蚀选择比的一刻蚀工艺,移除衬垫层 124 以及第二掺质来源层 122,以暴露出 P 型基体掺杂区 106、N 型源极掺杂区 128 以及第二绝缘层 120。接着,进行一 P 型第二离子植入工艺与一第三热驱入工艺,以于各 N 型源极掺杂区 128 一侧的 P 型基体掺杂区 106 中形成一 P 型接触掺杂区 132。随后,于 P 型外延层 104 与第二绝缘层 120 上形成一金属层 134,并填满各穿孔 108,其中金属层 134 包括一阻障金属层 136 以及一源极金属层 138。至此已完成本实施例的功率晶体管组件 100。于本实施例中,金属层 134 不仅与位于 P 型外延层 104 的上表面的 N 型源极掺杂区 128 相接触,更延伸至各穿孔 108 中与位于各穿孔 108 两侧的 N 型源极掺杂区 128 相接触,借此可有效增加金属层 134 与 N 型源极掺杂区 128 的接触面积,以降低功率晶体管组件 100 的源极电阻来提升功率晶体管组件 100 的导通电流。并且, P 型接触掺杂区 132 通过源极金属层 138 电性连接 N 型源极掺杂区 128。于本发明的其它实施例中,刻蚀工艺可未完全移除第二掺质来源层,而留下部分第二掺质来源层。或者,刻蚀工艺除了移除第二掺质来源层外,更可进一步移除部份第二绝缘层。

[0021] 此外,本实施例形成金属层 134 的步骤可为先于第二绝缘层 120 与 P 型外延层 104 上形成阻障金属层 136,然后于阻障金属层 136 上形成源极金属层 138。借此,利用阻障金属层 136 来避免源极金属层 138 的金属扩散至 P 型外延层 104 中,而影响功率晶体管组件 100 的电性。

[0022] 由上述可知,本实施例的功率晶体管组件 100 的制作方法仅使用一道掩模即可制作出功率晶体管组件 100,因此有效地减少使用掩模的数量。借此,功率晶体管组件 100 的制作成本与制作复杂度可随着降低。并且,本实施例的功率晶体管组件 100 并不需介电层来隔离金属层 134 与栅极导电层 116,借此不需接触洞用于连接金属层 134 与 N 型源极掺杂区 128。因此,本实施例的功率晶体管组件 100 不需考虑接触洞的空间而更可缩减相邻穿孔 108 之间的间距,以缩小功率晶体管组件 100 的组件面积。



[0023] 本发明的功率晶体管组件的制作方法并不以上述实施例为限。下文将继续揭示本发明的其它实施例或变化形,然为了简化说明并突显各实施例或变化形之间的差异,下文中使用相同标号标注相同组件,并不再对重复的步骤作赘述。

[0024] 请参考图 13,图 13 为本发明一第二优选实施例的功率晶体管组件的制作方法的示意图。如图 13 所示,相较于第一实施例,本实施例的制作方法于形成第一绝缘层 112 的步骤与形成栅极结构 114 的步骤之间进行一第五热驱入工艺,将各穿孔 108 的第一掺质来源层 110 中的 N 型第一掺质扩散至 P 型外延层 104 中,以于各穿孔 108 两侧的 P 型外延层 104 中分别形成一 N 型漏极掺杂区 126,且各 N 型漏极掺杂区 126 与 P 型基体掺杂区 106 以及 N 型衬底 102 相接触,以作为功率晶体管组件 100 的漏极。由于本实施例形成第一绝缘层 112 之前的步骤与第一实施例相同,如图 7 所示,以及形成栅极结构 114 之后的步骤与第一实施例相同,如图 9 至图 12 所示,因此在此不再赘述。此外,于本发明的其它实施例中,N 型漏极掺杂区 126 与 N 型源极掺杂区 128 可分别具有不同的扩散浓度与扩散宽度,且通过于不同热驱入工艺所形成来分别调整 N 型漏极掺杂区 126 与 N 型源极掺杂区 128 的扩散浓度与扩散宽度。

[0025] 综上所述,本发明仅利用一道掩模形成穿孔,且利用沉积工艺与研磨回刻蚀工艺将第一掺质来源层、第一绝缘层、栅极结构、第二绝缘层以及第二掺质来源层形成在各穿孔中,并搭配热驱入工艺及可形成垂直沟槽型功率晶体管组件,以有效地减少使用掩模的数量,并降低功率晶体管组件的制作成本与制作复杂度。并且,本发明的功率晶体管组件不需考虑接触洞的空间而更可缩减相邻穿孔之间的间距,以缩小功率晶体管组件的组件面积。

[0026] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

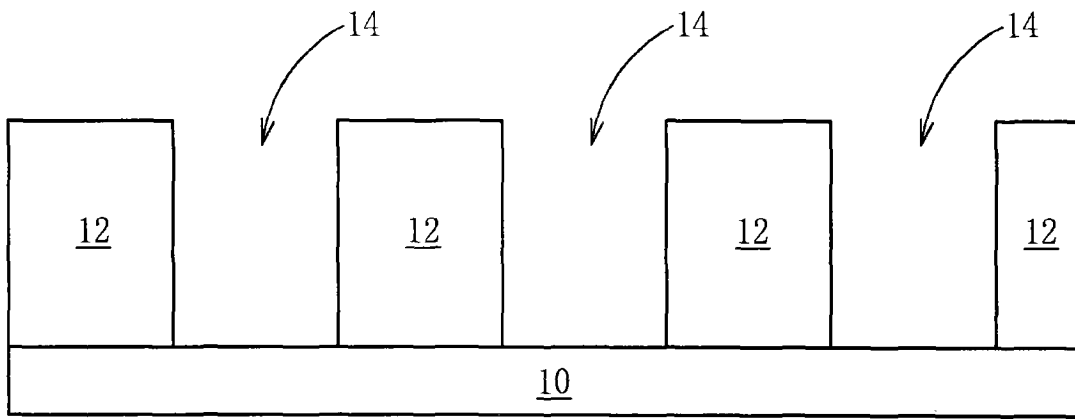


图 1

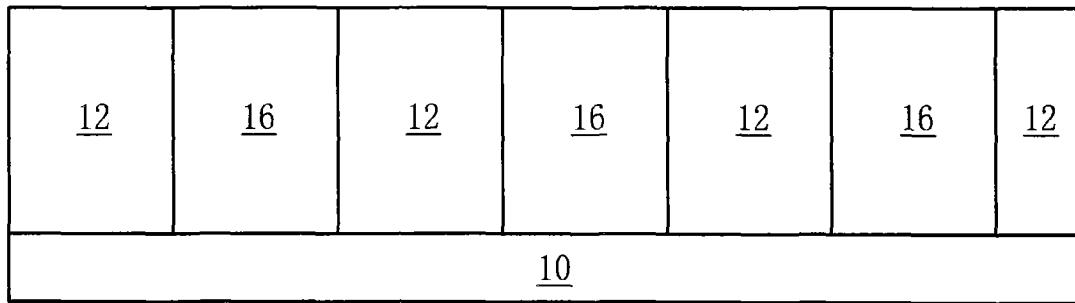


图 2

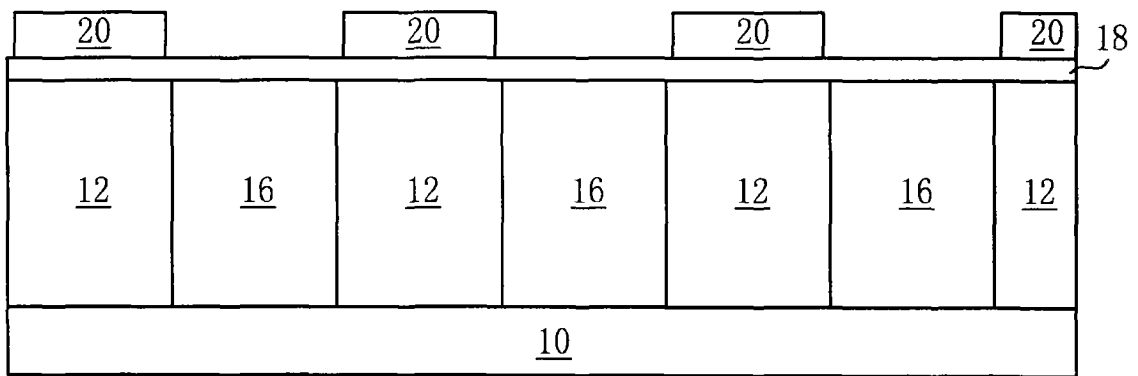


图 3

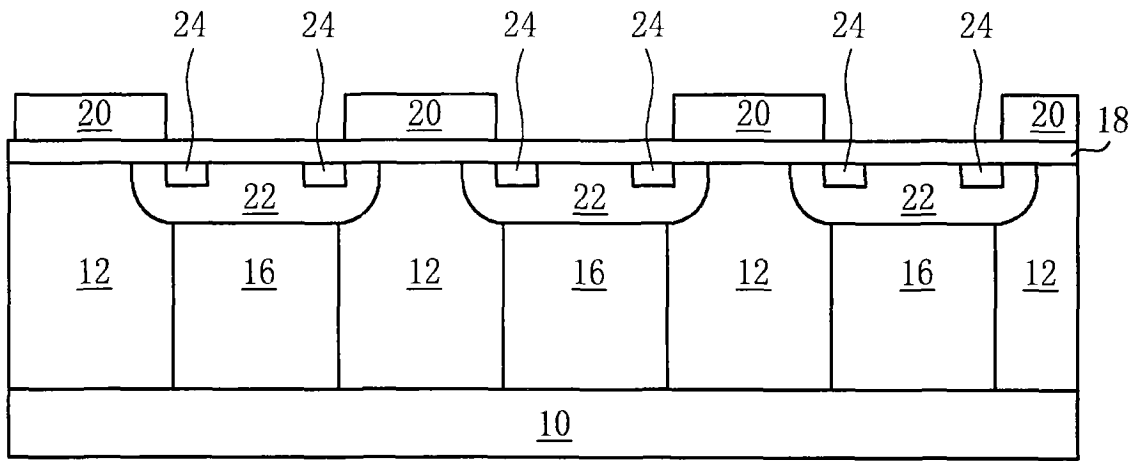


图 4

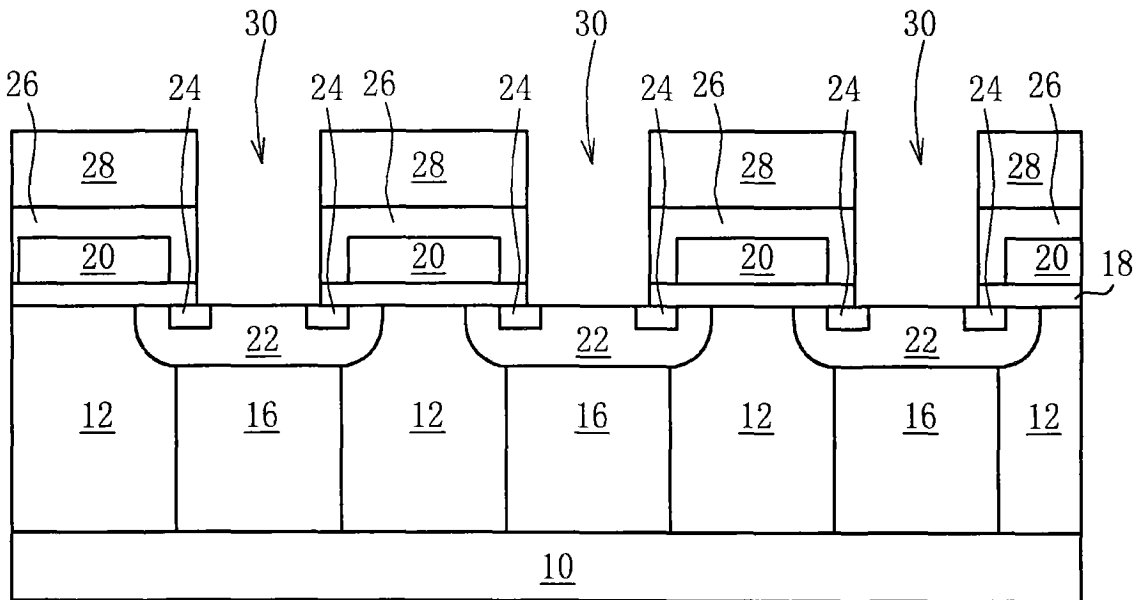


图 5

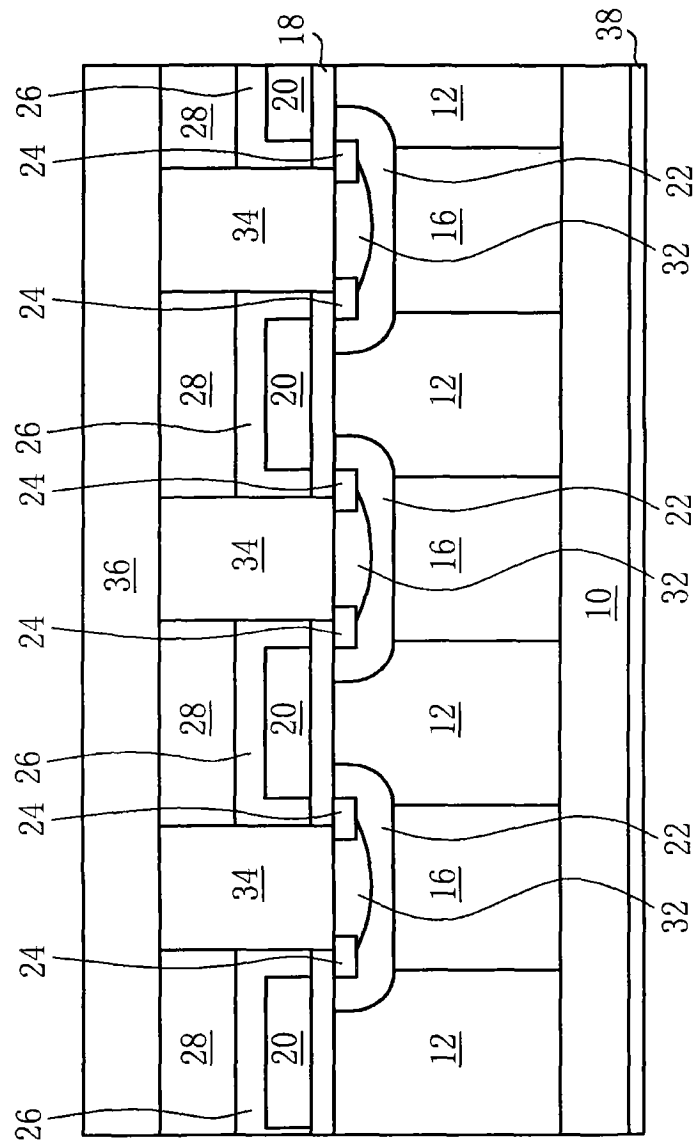


图 6

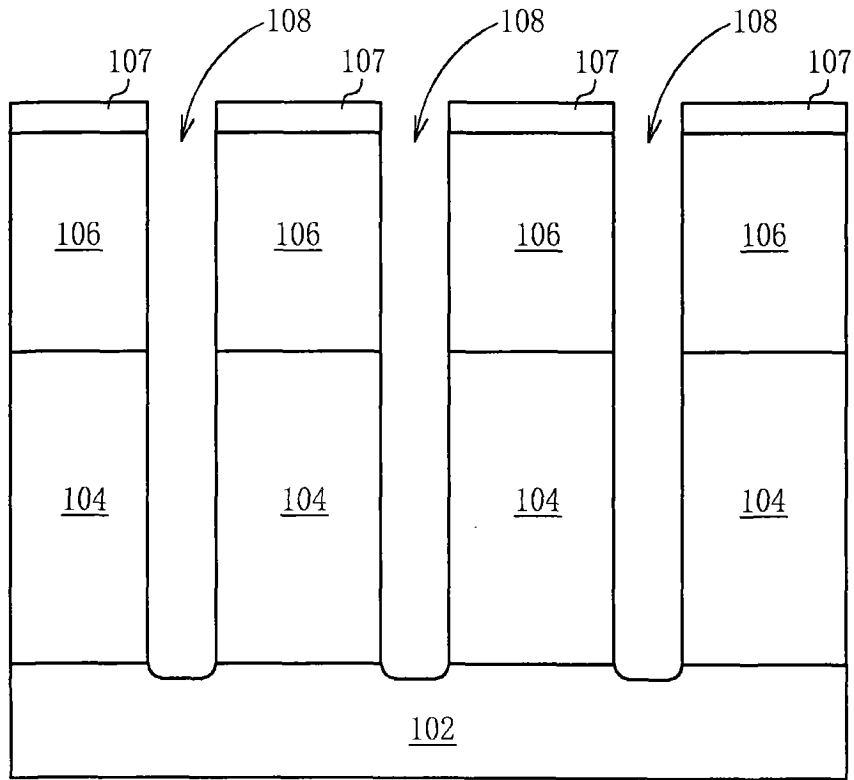


图 7

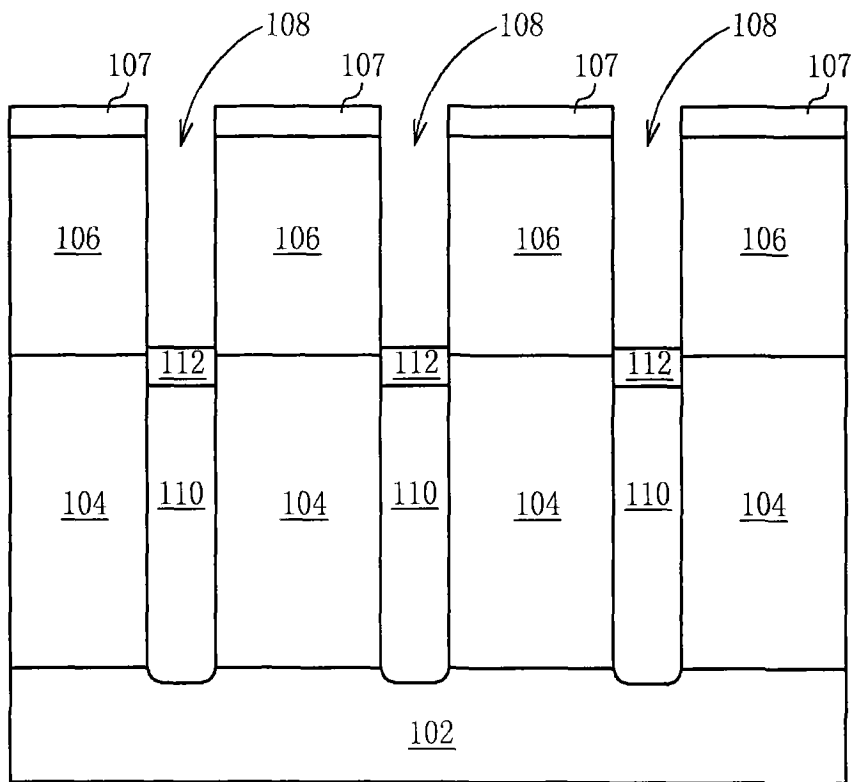


图 8

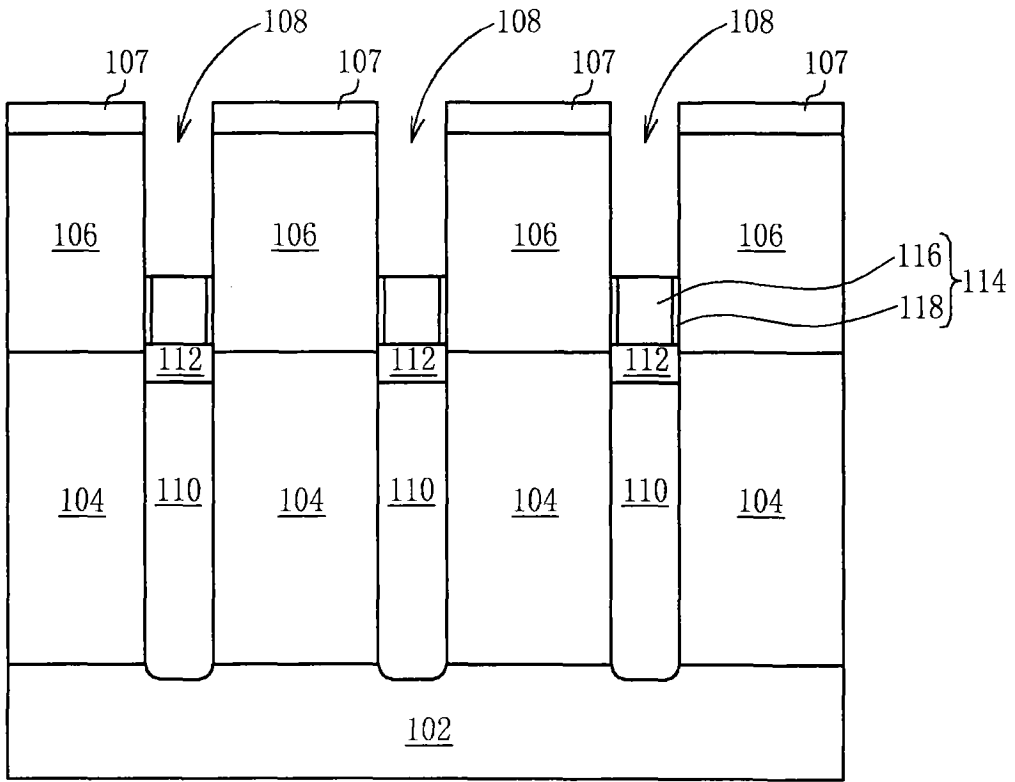


图 9

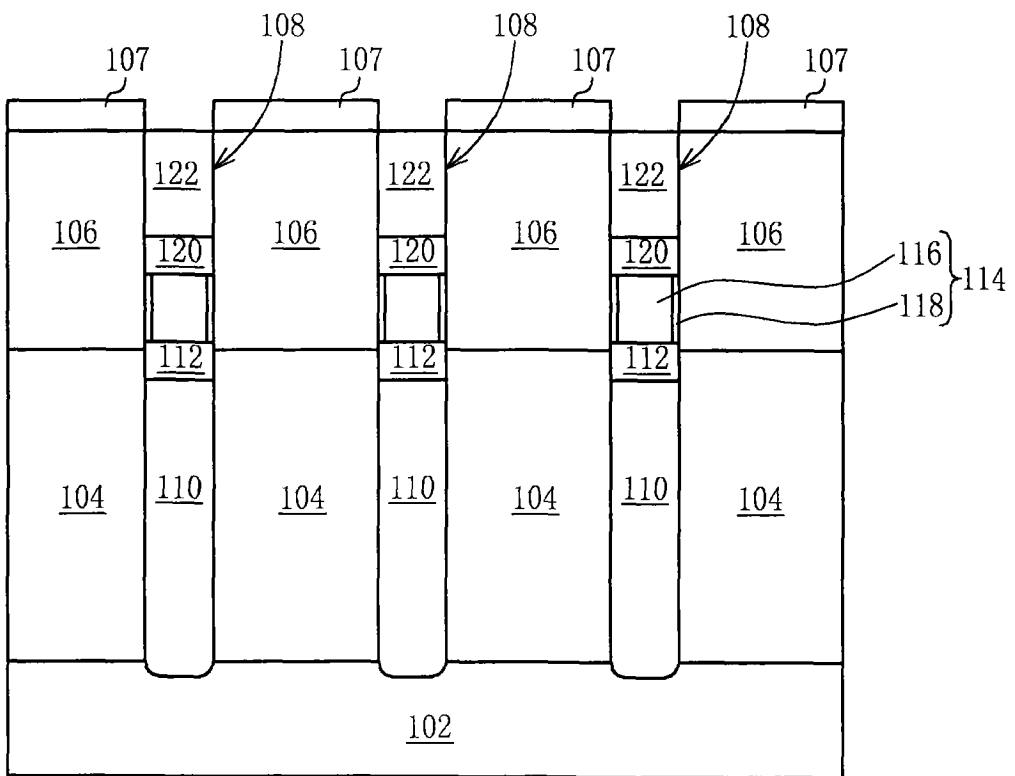


图 10

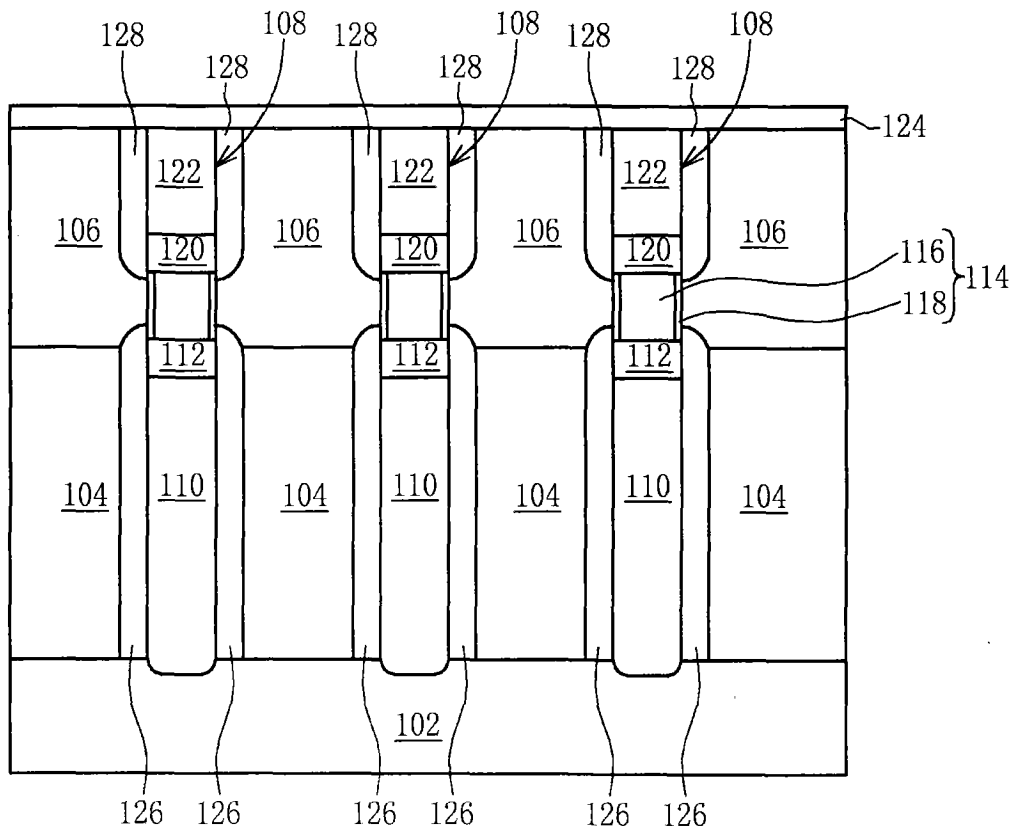


图 11

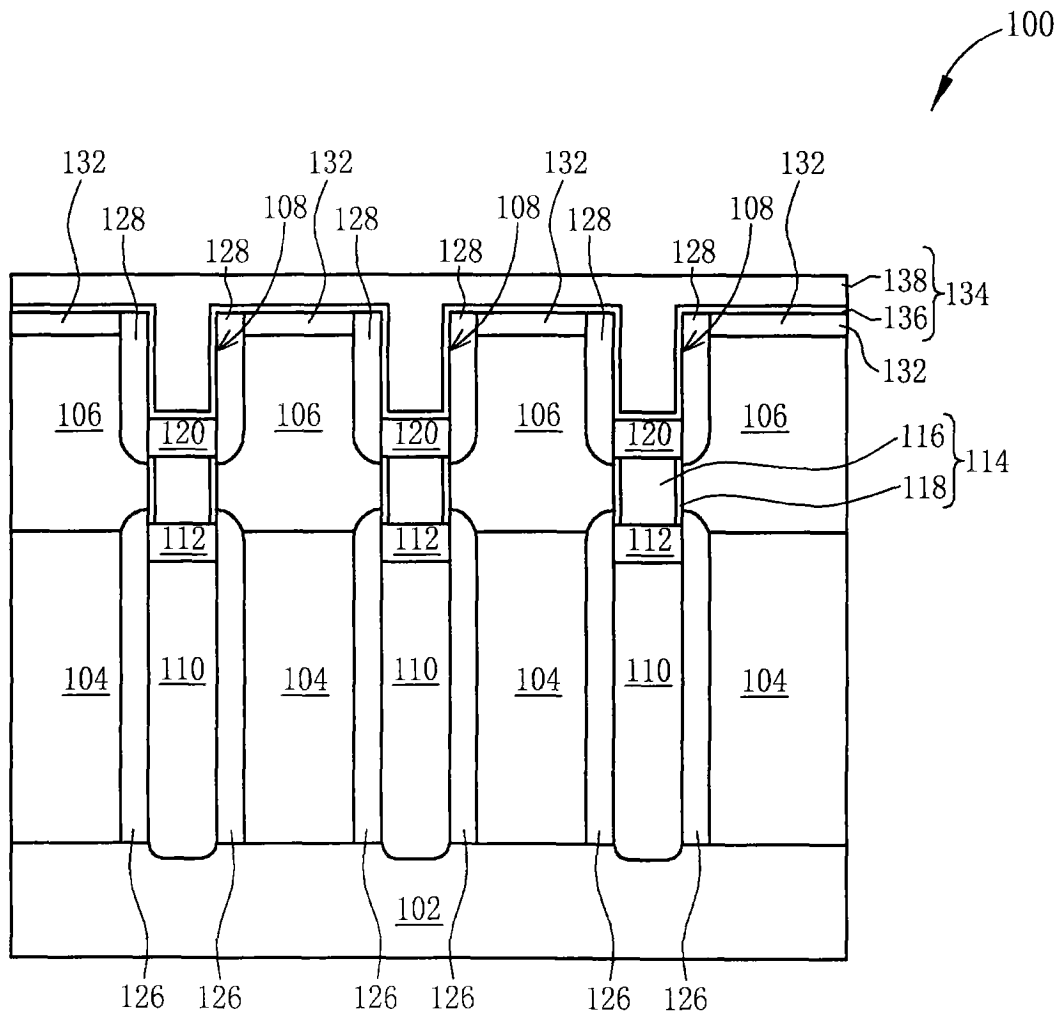


图 12



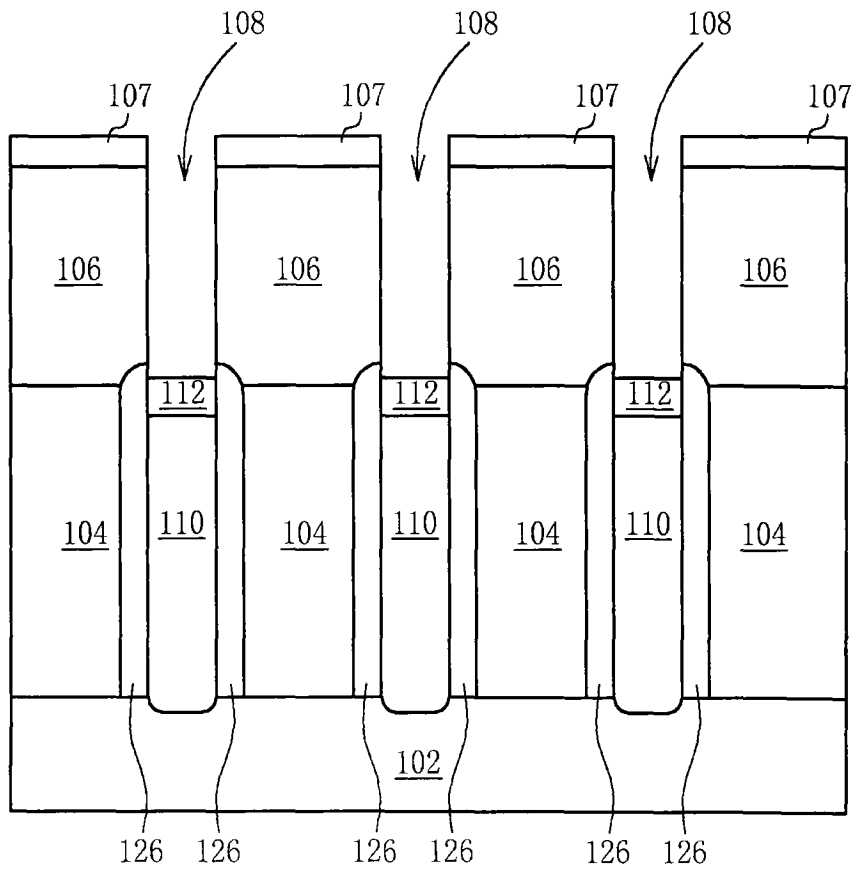


图 13