(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G09G 3/36

(45) 공고일자 2004년08월04일
(11) 등록번호 10-0443033
(24) 등록일자 2004년07월23일

(21) 출원번호 10-2000-7002354
(22) 출원일자 2000년03월04일
번역문 제출일자 2000년03월04일
(86) 국제출원번호 PCT/US1998/018525
(86) 국제출원출원일자 1998년09월04일
(65) 공개번호 10-2001-0023700
(43) 공개일자 2001년03월26일
(87) 국제공개번호 WO 1999/12072
(87) 국제공개일자 1999년03월11일

(81) 지정국 국내특허 : 캐나다, 일본, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스, 덴마크,

(30) 우선권주장 60/058,042 1997년09월04일 미국(US)

(73) 특허권자 실리콘 이미지, 인크.(델라웨어주 법인)
미국 캘리포니아 94086 써니베일 이스트 아쿠에스 애비뉴 1060

(72) 발명자 김,대균
서울특별시서초구방배3동1038대우효령아파트106-706

김,규동
미국94086캘리포니아주써니베일씨205엔.마틸다애비뉴450

(74) 대리인 주성민
위혜숙

심사관 : 나용수

(54) 액티브 매트릭스 디스플레이를 구동시키기 위한 전력 절감 회로 및 방법

요약

스위치 및 캐패시터는 열 드라이버 회로에 의한 액티브 드라이빙 없이 열 전극 상의 전압 레벨을 패시브하게 변화시키는데 효과적으로 이용된다. 이는 열 전극 상으로 교호 극성의 전압을 구동시키기 위해 열 드라이버 회로가 필요로 하는 전력을 상당히 감소시킨다. 이러한 방식으로, 픽셀 반전 및 행 반전 스킴 모두에 상당한 전력이 절감된다. 다양한 실시예의 평균 전력 절감은 종래의 열 드라이버 회로의 간단한 구현에 비해 50%를 초과한다. 또 다른 특징은 배면 스위칭 스킴에서 열 드라이버 회로에 의해 이용되는 전력을 이와 유사하게 감소시킨다.

대표도

도 2A

색인어

전력 절감 회로, 액티브 매트릭스 디스플레이, 픽셀, 매트릭스 스위치, 드라이버, 행 전극, 열 전극

명세서

기술분야

본 발명은 전자 회로에 관한 것이다. 특히, 본 발명은 액티브 매트릭스(박막 트랜지스터) 액정 디스플레이를 구동시키기 위한 전자 회로에 관한 것이다.

액티브 매트릭스(박막 트랜지스터) 액정 디스플레이 기술에서의 다양한 특징들이 최근에 들어 진보함에 따라, 액티브 매트릭스 디스플레이가 과거 수년이 지나면서 눈부시게 확산되었다. 액티브 매트릭스 디스플레이는 노트북 컴퓨터를 포함하여 상당히 다양한 전자 제품에 있어서 오늘날 사용되며, 액티브 매트릭스 디스플레이의 컬러 버전은 이제 평범한 것이 되었다.

액티브 매트릭스 디스플레이에 있어서, 매트릭스로부터 행 및 열 전극은 각각의 행 및 열 전극의 교차에서의 디스플레이 셀이다. 디스플레이 셀은 전형적으로 하나의 트랜지스터 또는 스위치를 포함한다. 단색 디스플레이에 있어서, 각 디스플레이 셀은 디스플레이의 단일 그레이-스케일 픽셀 또는 도트에 대응한다. 컬러 디스플레이에 있어서, 서로 가까이에 있는 3개의 디스플레이 셀(전형적으로, 하나의 적색, 하나의 녹색, 및 하나의 청색)의 그룹은 디스플레이의 단일 컬러 픽셀 또는 도트에 대응한다. 예를 들면, 컬러 VGA 디스플레이는 컬러 픽셀의 480 행 및 640 열의 해상도를 갖는다. 3개의 셀은 각 컬러 픽셀에 필요하므로, 640 × 3 = 1,920 열 전극이 480 행 전극과 함께 통상 존재한다. 일반적으로, 고해상도 디스플레이는 보다 많은 행 및 열 전극을 필요로 하고, 디스플레이는 이제 해상도에 있어서 점점 더 높아지고 있다. 액티브 매트릭스 디스플레이는 제1 행의 셀의 게이트를 활성화시키기 위해 제1 행 전극에 선택 전압을 인가한 다음, 제1 열의 각 셀을 소정 레벨로 충전시키기 위해 열 전극의 각 전극에 적절한 아날로그 디스플레이 전압을 병렬 인가함으로써 동작된다. 다음, 제2 행의 셀의 게이트를 활성화시키기 위해 제2 행 전극에 선택 전압이 인가된 다음, 제2 행의 각 셀을 소정 레벨로 충전시키기 위해 열 전극의 각 전극에 적절한 아날로그 디스플레이 전압을 병렬 인가한다. 디스플레이 매트릭스의 행의 나머지에 대해서도 상기와 같이 행한다.

열 드라이버(또는 소스 드라이버)는 액티브 매트릭스 디스플레이의 설계시 매우 중요한 회로이다. 열 드라이버는 디스플레이 제어기 칩으로부터 디지탈 디스플레이 데이타 및 제어 및 타이밍 신호를 수신하여, 디지탈 디스플레이 데이타를 아날로그 디스플레이 전압으로 변환시키며, 디스플레이의 열 전극 상으로 아날로그 디스플레이 전압을 구동시킨다. 아날로그 디스플레이 전압은 디스플레이의 특정 픽셀에서 디스플레이되는 색의 농도를 가변시킨다.

열 드라이버는 집적 회로 칩 상에 통상 형성된다. 예를 들어, 하나의 집적 회로 칩이 192 열 드라이버를 제공할 수 있다고 가정하면, 컬러 VGA 디스플레이는 디스플레이의 1,920 열 전극을 구동시키기 위해 10개의 집적 회로를 필요로 한다. 전형적으로 이러한 열 드라이버 칩에 의해 소비되는 전력은 상당하며, 노트북 (랩 탑) 컴퓨터에서 전력을 공급하는 배터리에 대해 실질적인 전력 유출을 통상 유발한 다. 이러한 전력 유출은 노트북 컴퓨터가 충전 배터리에 의해 전력 공급될 수 있는 시간의 양을 감소시키는 문제를 갖는다.

LCD 기술이 이미지를 디스플레이할 수 있는 이유는 액정 물질의 광 특성이 그 양단에 인가된 전압에 민감하기 때문이다. 그러나, LCD 셀 양단에 일정 전압 근처로의 고정 인가는 시간의 경과에 따라 셀의 물질의 특성을 열화시킨다. 그러므로, LCD는 셀 양단에 인가된 전압의 극성을 바꾸는 기술을 이용하여 통상 구동된다. '교호 극성'을 갖는 이러한 전압은 선정된 중간 전압 이상 또는 이하의 전압이 될 것이다(0이 아님).

통상 교호 극성의 전압을 인가하는 상술된 기술에 대한 종래 기술은 극성이 변경될 때마다 큰 전압 천이가 발생한다. 이러한 큰 전압 천이는 결국 통상 열 드라이버 회로에 의해 제공되는 전력의 상당한 소비를 유발한다.

디스플레이 반전

교호 극성의 전압을 인가하는 상술한 기술을 구현할 수 있는 몇몇 반전 스킴이 있다. 우선, 가장 간단한 반전 스킴은 '디스플레이 반전'으로 불릴수 있다. 디스플레이 반전에서, 디스플레이의 모든 셀은 제1 디스플레이 사이클동안 파지티브 전압(중간 전압에 대해)으로 구동된 다음, 모든 셀은 제2 디스플레이 사이클동안 네가티브 전압(중간 전압에 대해)으로 구동되고, 제1 및 제2 디스플레이 사이클 간에 교대로 계속 진행한다.

디스플레이 반전 스킴에 대한 하나의 단점은 LCD가 두개의 서로 다른 이미지를 교대로 디스플레이할 수 있다는 것이며, 이러한 두 이미지 간의 교대는 디스플 레이에서 플리커로서 시청자에게 감지된다.

행 반전

제2 반전 스킴은 '행 반전' 또는 '라인 반전'으로 불릴 수 있다. 행 반전에서, 열 드라이버에 의해 인가되는 구동 전압이 디스플레이의 연속 행 간의 극성을 교대로 할 것이다. 그래서, 픽셀의 제1 행이 파지티브 전압으로 구동되고, 픽셀의 제2 인접 행이 네가티브 전압으로 구동된다(양 및 음 간의 교대).

추가적으로, 이어지는 디스플레이 사이클에서, 제1 행이 네가티브 전압으로 구동되고, 제2 행이 파지티브 전압으로 구동된다. 그래서, 교대하는 디스플레이 사이클 간의 반전이 행 반전 스킴에서 또한 발생한다.

행 반전 스킴에 대한 단점은 연속하는 행 구동 주기 간에, 열 드라이버가 통상 파지티브 및 네가티브 구동 전압 사이를 교대해야만 한다는 것이다. 이러한 파지티브 및 네가티브 전압 간의 교대는 열 드라이버에 의한 상당한 전력 량의 소비를 유발한다. (디스플레이 반전 스킴과 비교시, 열 드라이버는 행 구동 주기당 한번 대신, 디스플레이 사이클당 한번만 양 및 음 전압 간에 발진할 필요가 있다.

픽셀 반전

제3 반전 스킴은 '픽셀 반전' 또는 '도트 반전'으로 불릴 수 있다. 픽셀 반전시, 인접하는 열 드라이버에 의해 인가되는 구동 전압은 교대할 것이다. 그래서, 행 구동 주기동안, 제1 열이 파지티브 전압으로 구동되고, 제2 열(제1 열에 인접)이 네가티브 전압으로 구동하며, 제3 열(제2 열에 인접)이 파지티브 전압으로 구동한다.

추가적으로, 다음 행에 대한 행 구동 주기 동안, 제1 열은 네가티브 전압으로 구동되고, 제2 열은 파지티브 전압으로 구동되며, 제3 열은 네가티브 전압으로 구동된다. 그래서, 교호 행 간의 반전이 또한 픽셀 반전 스킴에서 발생한다. 마지막으로, 교호 디스플레이 사이클 간의 반전은 픽셀 반전 스킴에서 또한 발생한다.
픽셀 반전 스킴은 행 반전 스킴에 대해 상술한 바와 같이 동일한 단점을 통상 겪는다. 이는 픽셀 반전 스킴이 행 반전을 포함하기 때문이며, 그래서 픽셀 반전 스킴은 또한 열 드라이버가 행 구동 주기 간의 극성을 교대로 할 때 전력의 상당한 유출을 유발한다.
배면 스위칭
디스플레이의 최적 성능에 있어서, 액티브 매트릭스 디스플레이에서의 액정 물질의 특성에 기인하여, 열 드라이버는 통상 중간 전압에 대해 ±6 볼트 간의 범위 전압을 구동시킬 필요가 있다. 이러한 전압 범위는 소규모 공정으로 제조되는 집적 회로의 사용을 통상 배제하는데, 이러한 공정은 약 5 볼트 이하에서만 통상 동작을 지원하기 때문이다. 칩은 대규모 공정에 의해 거의 효과적으로 제조되지 않는다. 그러나, 대규모 공정을 이용할 필요를 피하기 위해, 배면 스위칭으로 불리는 기술이 사용될 수 있다.
배면 스위칭 기술은 행 반전에 관련하여 통상 이용된다. 배면 스위칭에서, 바이어스 전압은 액티브 매트릭스 디스플레이의 배면으로 구동된다. 배면 바이어스 전압은 열 드라이버에 의해 인가된 전압을 갖는 위상이 다른 교류 전류(AC) 파 형으로 구동된다. 그래서, 열 드라이버가 파지티브 극성 전압을 출력할 때, 배면 바이어스 전압은 네가티브 극성 전압으로 구동되고, 그 역으로도 된다.
배면 스위칭 기술에 대한 추가적인 단점은 행 반전 스킴에서 연속하는 행 구동 주기 간의 배면 바이어스 전압의 극성을 스위칭하는데 전력의 상당량이 이용된다는 것이다.
U.S 특허 번호 5, 528,256(Erhart et al.)
미국 특허 번호 5,528,256호는 각 행 구동 주기의 일부동안 각 행을 공통 노드에 선택적으로 결합하기 위해 다중화기를 사용하는 열 드라이버 집적 회로를 개시하고 있다. 각 행 구동 주기의 나머지 일부 동안, 다중화기는 전압 드라이버를 LCD 픽셀 어레이의 열에 선택적으로 결합한다. 추가적으로, Erhart의 특허는 외부 저장 캐패시터에 공통 노드를 접속하는 옵션을 개시한다. 그러나, Erhart의 특허에 개시된 회로는 불필요하게 복잡하고 열 드라이버 회로의 종래 간단한 구현에 비해 약 50 % 이하의 평균 전력 절감의 결과로 제한되어 있다.
<발명의 요약>
상기 기술된 문제점 및 결점은 본 발명에 의해 해결된다. 스위치 및 캐패시터는 열 드라이버 회로에 의한 액티브 드라이빙 없이 열 전극 상의 전압 레벨을 패시브하게 변화시키는데 효과적으로 이용된다. 이는 열 전극 상으로 교호 극성의 전압을 구동시키기 위해 열 드라이버 회로가 필요로 하는 전력을 상당히 감소시킨다. 이러한 방식으로, 픽셀 반전 및 행 반전 스킴 모두에 상당한 전력이 절감된다. 다양한 실시예의 평균 전력 절감은 종래의 열 드라이버 회로의 간단한 구현에 비해 50%를 초과한다. 또 다른 특징은 배면 스위칭 스킴에서 열 드라이버 회로에 의해 이용되는 전력을 이와 유사하게 감소시킨다.

도면의 간단한 설명

도 1A는 본 발명의 제1 실시예의 회로도.
도 1B는 도 1A의 회로 동작에 관한 플로우 챠트.
도 1C는 도 1A의 회로 동작의 예를 예시하는 타이밍도.
도 2A는 본 발명의 제2 실시예의 회로도.
도 2B는 도 2A의 회로 동작에 관한 플로우 챠트.
도 2C는 도 2A의 회로 동작의 예를 예시하는 타이밍도.
도 2D는 도 2A에 이용된 매트릭스 스위치의 회로도.
도 2E는 도 2A의 회로의 '중화'부를 구현하기 위한 제2 대안적인 실시예의 회로도.
도 2G는 도 2A의 회로의 '직선' 및 '교차'부를 구현하기 위한 대안적인 실시예의 회로도.
도 3A는 본 발명의 제3 실시예의 회로도.
도 3B는 도 3A에서의 회로의 동작에 관한 플로우 챠트.
도 3C는 도 3B의 플로우 챠트의 제1(354) 및 제2(358) 프로세스에 각각 연장하는 두개의 플로우 챠트.
도 3D는 도 3B의 플로우 챠트의 제3(364) 및 제4(368) 프로세스에 각각 연장하는 두개의 플로우 챠트.
도 3E는 도 3A의 회로 동작의 예를 예시하는 타이밍도.
도 4A는 본 발명의 제4 실시예의 회로도.
도 4B는 도 4A의 캐패시터(402)를 확대한 회로도.
도 5는 본 발명의 제5 실시예의 회로도.
도 6은 본 발명의 제6 실시예의 회로도.
도 7은 본 발명의 제7 실시예의 회로도.
도 8은 본 발명의 제8 실시예의 회로도.

실시예

도 1A는 본 발명의 제1 실시예의 회로도이다. 본 발명의 제1 실시예는 R0 내지 R(M-1)로 표기된 M 행 라인에 결합된 M 행 드라이버(102); C0 내지 C(N-1)로 표기된 N 열 라인에 결합된 N/2 짝수(104) 및 N/2 홀수(105) 열 드라이

버; 트랜지스터(106) 및 캐패시턴스(108)를 각각 포함하는 MxN 디스플레이 셀; N 열 라인 캐패시턴스(110); 및 N-1 중화 트랜지스터(112)를 제어하는 중화 인에이블 라인을 포함한다. N 열 라인 캐패시터(110)는 회로를 의도적으로 소개하는 것이 아니라, 이러한 열 라인에 통상 존재하는 캐패시턴스를 나타냄을 주지한다.
도 1A에서의 회로는 픽셀 반전의 종래 구현으로 전력을 절감하면서 액티브 매트릭스 디스플레이의 픽셀 반전을 구현하는데 이용될 수 있다. 상술한 바와 같이, 픽셀 반전시, 인접하는 열 드라이버에 인가된 구동 전압은 교대할 것이다. 그래서, 행 드라이브 주기 동안, 제1 열은 파지티브 전압으로 구동되고, 제2 열(제1 열에 인접)은 네가티브 전압으로 구동되며, 제3 열(제2 열에 인접)은 파지티브 전 압으로 구동한다. 추가적으로, 다음 행에 대한 행 구동 주기 동안, 제1 열은 네가티브 전압으로 구동되고, 제2 열은 파지티브 전압으로 구동되며, 제3 열은 네가티브 전압으로 구동된다.
도 1B는 도 1A에서의 회로의 동작에 관한 플로우챠트이다. 제1 행 구동 주기 동안, 제1 단계 152에서, 짝수 열 드라이버(104)는 중간 전압에 대해 상대적 파지티브 전압으로 짝수 열 라인을 구동시키고, 홀수 열 드라이버(105)는 중간 전압에 대해 상대적 네가티브 전압으로 홀수 열 라인을 구동시킨다. 상대적 파지티브 및 네가티브 전압 크기는 디스플레이되는 그래픽 이미지에서의 관련 픽셀의 세기에 좌우된다. 제2 단계 154에서, 중화 인에이블 신호는 N-1 트랜지스터(112)가 턴 온되도록 어써트된다. 이러한 트랜지스터(112)는 N 열 라인이 N 열 라인 상의 전압의 평균으로 수렴하도록 온 일때 N 열 라인을 서로 전기적으로 단락시키는 스위치로서의 역할을 한다,
유사하게, 제2 행 구동 주기(제1 행 구동 주기 다음 즉시) 동안, 제3 단계 156에서, 홀수 열 드라이버(105)는 중간 전압에 대해 상대적 파지티브 전압으로 홀수 열 라인을 구동시키고, 짝수 열 드라이버(104)는 중간 전압에 대해 상대적 네가티브 전압으로 짝수 열 라인을 구동시킨다. 다시, 상대적 파지티브 및 네가티브 전압 크기는 디스플레이되는 그래픽 이미지에서의 관련 픽셀의 세기에 좌우된다. 제4 단계 158에서, 중화 인에이블 신호는 N-1 트랜지스터(112)가 턴 온되도록 어써트된다. 이러한 트랜지스터(112)는 N 열 라인이 N 열 라인 상의 전압의 평균으로 수렴하도록 온 일때 N 열 라인을 서로 전기적으로 단락시키는 스위치로서의 역할을 한다,
제4 단계 158에 이어서, 제3 행 구동 주기(제2 행 구동 주기 다음 즉시) 동안, 프로세스 루프는 복귀되고 제1 단계 152(제3 행에 적용됨)를 수행한다.
도 1C는 도 1A에서의 회로 동작의 예를 도시하는 타이밍도이다. 특히, 도 1C는 예시적인 짝수 열 라인에 대한 전압을 시간의 함수로서 도시하고 있다.
제1 단계 152가 시작할 때, 예시적인 짝수 열 라인은 대략 중간 전압이며, 이러한 특정 예는 0 전압으로 도시되어 있다. 제1 단계 152가 진행할 때, 예시적인 짝수 열 라인에 대한 전압이 중간 전압에 대해 상대적 파지티브 전압으로 액티브하게 구동된다. 상대적 파지티브 전압의 크기는 선택된 행 및 예시적인 짝수 열에 대응하는 픽셀의 세기에 의해 결정된다. 제1 단계 152의 나머지에 대해, 상대적 파지티브 전압이 유지된다.
제2 단계 154 동안, 예시적인 짝수 열 라인에 대한 전압을 열 라인의 평균 전압으로 패시브하게 강하하게 하는 중화 인에이블 신호가 어써트된다. 통상적으로, 이러한 평균 전압은 대략 중간 전압이 될 것이다.
제3 단계 156 동안, 예시적인 짝수 열 라인에 대한 전압은 중간 전압에 대해 상대적 네가티브 전압으로 액티브하게 구동된다. 이와 같이 상대적 네가티브 전압의 크기는 다음 선택된 행 및 예시적인 짝수 열에 대응하는 픽셀의 세기에 의해 결정된다. 제3 단계 156의 나머지 동안, 이러한 상대적 네가티브 전압이 유지된다.
제4 단계 158 동안, 예시적인 짝수 열 라인에 대한 전압을 열 라인의 평균 전압으로 패시브하게 상승하도록 하게 하는 중화 인에이블 신호가 어써트된다. 통 상적으로, 이러한 평균 전압은 대략 중간 전압이 될 것이다.
도 1C에 도시된 바와 같이, 제1 및 제3 단계 간의 극성 변화의 약 50%가 제2 및 제4 단계 동안 패시브하게 달성되기 때문에, 종래 구현에 비해 대략 50% 에너지 절감이 달성된다. 이와 같이 대략 50% 에너지 절감은 열 드라이버 회로를 갖는 실리콘 칩 상에 너무 과도한 공간을 필요로 하지 않는 효과적으로 설계된 회로로 달성된다.
도 2A는 본 발명의 제2 실시예의 회로도이다. 본 발명의 제2 실시예는 C0 내지 C(N-1)로 표기된 N 행 라인에 결합된 N/2 짝수(104) 및 N/2 홀수(105) 열 드라이버; N/2 짝수 결합 트랜지스터(214)를 제어하는 짝수 결합 신호를 전달하는 라인; N/2 홀수 결합 트랜지스터(215)를 제어하는 홀수 결합 신호를 전달하는 라인; 제1 저장선(216); 제2 저장선(217); 파지티브 캐패시터(220); 네가티브 캐패시터(221); 한쌍의 '직선' 트랜지스터(230); 한 쌍의 '교차' 트랜지스터(240); 및 '중화' 트랜지스터(235)를 제어하는 '중화' 신호를 포함한다. M 드라이버(102) 및 M×N 디스플레이 셀과 같은 액정 디스플레이에서의 대부분 회로는 도 2A에 도시되어 있지 않다. N 열 라인 캐패시턴스(110)는 회로를 의도적으로 소개하는 것이 아니라, 이러한 열 라인에 통상 나타나는 캐패시턴스를 나타냄을 주지한다.
도 2A에서의 회로는 액티브 매트릭스 디스플레이의 픽셀 변환을 구현하는데 활용될 수 있으며, 한편 종래의 픽셀 변환의 구현에 대한 전력소비를 줄일 수 있다. 상술한 바와 같이, 픽셀 변환에서, 인접하는 열 드라이버에 의해 인가되는 구동 전압은 변화한다. 따라서, 행 구동 주기 동안, 제1 열은 파지티브 전압으로 구 동되며, 제2 열(제1 열에 인접한)은 네가티브 전압으로 구동되고, 제3 열(제2 열에 인접한)은 파지티브 전압으로 구동된다. 또한, 다음 행의 행 구동 주기 동안, 제1 열은 네가티브 전압으로 구동되며, 제2 열은 파지티브 전압으로 구동되며, 제3 열은 네가티브 전압으로 구동된다.
도 2B는 도 2A의 회로 동작에 관한 플로우 챠트이다. 제1 열 구동 주기 동안, 제1 단계 S252에서, 짝수 열 드라이버(104)는 중간 전압에 대해 상대적인 파지티브 전압으로 짝수 열 라인을 구동하며, 홀수 열 드라이버(105)는 중간 전압에 대해 상대적인 네가티브 전압으로 홀수 열 라인을 구동한다. 상대적인 파지티브 및 네가티브 전압의 크기는 디스플레이될 그래픽 이미지에서 관련된 픽셀의 강도에 의존한다. 제2 단계(253)에서, 짝수 결합 신호는 짝수 열을 짝수 저장선(216)에 전기적으로 연결하도록 어써트(assert)되며, 홀수 결합 신호는 홀수 열 라인을 홀수 저장선(217)에 전기적으로 연결하도록 어써트된다. 제3 단계(254)에서, 직선은 2개의 직선 트랜지스터(230)를 턴온하도록 어써트된다; 이는 짝수 저장선(216)을 파지티브 커패시터(220)에 접속하며, 홀수 저장선(217)을 네가티브 커패시터(221)에 접속하게 한다. 직선은 시간 주기 동안 어써트되고, 그 후 직선은 디어써트(de-assert)된다. 직선의 디어써션(De-asse

rtion)은 파지티브 커패시터(220) 및 네가티브 커패시터(221) 각각으로부터 짝수(216) 및 홀수(217) 저장선을 단선시킨다. 제4 단계(256)에서, 중화(neutralize) 트랜지스터(235)는 어써트되고 그후 디어써트된다. 중화 신호가 어써트될 때, 중화 트랜지스터(235)는 턴온되어 짝수(216) 및 홀수(217) 저장선이 함께 전기적으로 접속되게 한다. 제5 단계(258)에서, 교차 신호는 2개의 교차 트랜지스터(240)를 턴온시키도록 어써트된다; 이는 짝수 저장선(216)을 네가티브 커패시터(221)에 접속하게 하며, 홀수 저장선(217)을 파지티브 커패시터(220)에 접속되게 한다. 교차 신호는 시간 주기 동안 어써트되고, 그 후 교차 신호는 디어써트된다. 제6 단계(259)에서, 짝수 결합 신호는 짝수 저장선(216)으로부터 짝수 열 라인을 단선시키도록 디어써트되며, 홀수 결합 신호는 홀수 저장선(217)으로부터 홀수 열 신호를 단선시키도록 디어써트된다.

유사하게, 제2 행 구동 주기(제1 행 구동 주기에 바로 후속하는)동안 제7 단계(262)에서, 홀수 열 드라이버(105)는 홀수 열 라인을 중간 전압에 대해 상대적인 파지티브 전압으로 구동하며, 짝수 열 드라이버(104)는 짝수 열 라인을 중간 전압에 대해 상대적인 네가티브 전압으로 구동한다. 상대적인 파지티브 및 네가티브 전압의 크기는 디스플레이될 그래픽 이미지에서 관련된 픽셀의 강도에 의존한다. 제8 단계(263)에서, 짝수 결합 신호는 짝수 열을 짝수 저장선(216)에 전기적으로 연결하도록 어써트되며, 홀수 결합 신호는 홀수 열 라인을 홀수 저장선(217)에 전기적으로 연결하도록 어써트된다. 제9 단계(264)에서, 교차(cross)신호는 2개의 교차 트랜지스터(240)를 턴온되도록 어써트된다; 이는 짝수 저장선(216)을 네가티브 커패시터(221)에 접속시키게 하며, 홀수 저장선(217)을 파지티브 커패시터(220)에 접속시키게 한다. 교차 신호는 시간 주기 동안 어써트되며, 그 후 교차 신호는 디어써트된다. 교차 신호의 디어써션은 음(221) 및 양(220)의 커패시터 각각으로부터 짝수(216) 및 홀수(217) 저장선을 단선시킨다. 제10 단계(266)에서, 중화 신호는 어써트되고, 그 후 디어써트된다. 중화 신호가 어써트될 때, 중화 트랜지스 터(235)는 턴온되어 짝수(216) 및 홀수(217) 저장선이 전기적으로 모두 연결되게 한다. 제11 단계(268)에서, 직선은 2개의 직선 트랜지스터(230)를 턴온하도록 어써트된다; 이는 짝수 저장선(216)을 파지티브 커패시터(220)에, 홀수 저장선(217)을 네가티브 커패시터(221)에 접속하게 한다. 직선은 시간 주기 동안 어써트되고, 그 후 직선은 디어써트된다. 결국, 제12 단계(269)에서, 짝수 결합 신호는 짝수 저장선(216)으로부터 짝수 열 라인을 단선시키도록 디어써트되며, 홀수 결합 신호는 홀수 저장선(217)으로부터 홀수 열 라인을 단선시키도록 디어써트된다.

제12 단계(269)에 후행하여, 제3 행 구동 주기(제2 행 구동 주기에 바로 후행하는)에서, 프로세스는 루프 백(loop back)하고 제1 단계(252)(제3 행에 적용되는) 등을 수행한다.

도 2C는 도 2A에서 회로의 동작의 예를 예시하는 타이밍 도이다. 특히, 도 2C는 시간 함수로서 예시적인 짝수 열 라인 상의 전압을 도시한다.

제1 단계(252)가 제1 구동 주기의 개시에서 시작함에 따라, 예시적인 짝수 열 라인 상의 전압은 중간 전압(특정예에서는 0 볼트)과 최대 파지티브 전압(이 특정예에서 V_0로 지정된) 사이에서 대략 중간(이 특정예에서 $V_0/2$로 지정된)에 있다. 제1 단계(252)가 진행함에 따라, 예시적인 짝수 열 라인 상의 전압은 중간 전압에 대해 상대적인 파지티브 전압으로 액티브하게 구동된다. 상대적인 파지티브 전압의 크기는 선택된 행 및 예시적인 짝수 열에 대응하는 픽셀의 강도에 의해 결정된다. 이런 상대적인 파지티브 전압은 $V_0/2$ 이하 또는 이상일 수 있다; 도시된 바와 같이 $V_0/2$ 이상이다. 제1 단계(252)의 나머지에서는 이런 상대적인 파지티브 전압이 유지된다.

제1(252)과 제3(254) 단계 사이에서, 제2 단계(253)가 일어난다. 제2 단계(253) 동안, 예시적인 짝수 열은 짝수 저장선(216)에 접속된다.

제3 단계(254) 동안, 직선은 예시적인 짝수 열 라인 상의 전압이 파지티브 커패시터(220)의 파지티브 전압 근처의 파지티브 전압을 패시브하게 변경하게끔 어써트된다. 파지티브 커패시터(220)의 파지티브 전압은 열 드라이버에 의해 구동되는 전형적인 평균 양의 극성 전압이기 때문에, 대략 $V_0/2$일 것이다.

제4 단계(256)에서, 중화 신호는 어써트되고, 그 후 디어써트된다. 중화 신호가 어써트되는 동안, 예시적인 짝수 열 상의 전압은 $V_0/2$ 근처로부터 중간 전압(이 특정예에서 0) 근처까지 패시브하게 강하된다.

제5 단계(258)에서, 교차 신호는 어써트되고, 그 후 디어써트된다. 교차 신호가 어써트되는 동안, 예시적인 짝수 열 라인 상의 전압은 중간 전압 근처로부터 $-V_0/2$ 근처까지 패시브하게 강하된다. 이런 강하는 네가티브 커패시터(221)의 네가티브 전압이 대략 $-V_0/2$이고 이는 열 드라이버에 의해 구동되는 전형적인 평균 음의 극성 전압이기 때문에 일어난다.

그 후, 제6 단계(259)에서, 예시적인 짝수 열 라인은 짝수 저장선(216)으로부터 단선된다.

제6 단계(259) 후에, 도 2B에서의 프로세스는 제7 단계(262)를 갖는 제2 행 구동 주기로 계속된다. 제7 단계(262) 동안, 예시적인 짝수 열 라인 상의 전압은 중간 전압에 대해 상대적인 네가티브 전압으로 액티브하게 구동된다. 이런 상대적인 네가티브 전압의 크기는 다음 선택된 행 및 예시적인 짝수 열에 대응하는 픽셀의 강도에 의해 결정된다. 이런 상대적인 네가티브 전압은 $-V_0/2$이하 또는 이상일 수 있다; 도시된 바와 같이, 이는 $-V_0/2$이하 이다. 제7 단계(262)의 나머지에서, 이런 상대적인 네가티브 전압은 유지된다.

제7 단계(262)와 제9 단계(264) 사이에서, 제8 단계(263)는 일어난다. 제8 단계(263) 동안, 예시적인 짝수 열은 짝수 저장선(216)에 접속된다.

제9 단계(264) 동안, 교차 신호는 예시적인 짝수 열 라인 상의 전압이 네가티브 커패시터(221)의 네가티브 전압 근처의 네가티브 전압으로 패시브하게 변화도록 어써트된다. 네가티브 커패시터(221)의 네가티브 전압은 이것이 열 드라이버에 의해 구동되는 전형적인 평균 음의 극성 전압이기 때문에 대략 $-V_0/2$이다.

제10 단계(266) 동안, 중화 신호는 어써트되고, 그 후 디어써트된다. 중화 신호가 어써트되는 동안, 예시적인 짝수 열 상의 전압은 대략 $-V_0/2$에서 대략 중간 전압(이 특정예에서는 0)까지 패시브하게 상승한다.

제11 단계(268)에서, 직선 신호는 어써트되고, 그 후 디어써트된다. 직선 신호가 어써트되는 동안, 예시적인 짝수 열 라인 상의 전압은 대략 중간 전압으로부터 대략 $-V_0/2$까지 패시브하게 상승한다. 이런 상승은 파지티브 커패시터(

220)의 파지티브 전압이 대략 $-V_0/2$이며, 열 드라이버에 의해 구동되는 평균 양의 극성 전압이기 때문에 일어난다. 결국, 제12 단계(269) 동안, 예시적인 짝수 열 라인은 짝수 저장선(216)으로부터 단선된다.
제12 단계(269) 후에, 프로세스는 제3 행 구동 주기 동안 루프 백하며, 제1 단계(252)로 계속된다.
도 1C에 도시된 바와 같이, 종래의 구현에 비해 약 75%의 에너지 절약은, 제1과 제3 단계 사이의 극성에서 약 75%의 변화가 제2와 제4 단계 동안 패시브하게 달성되기 때문에, 얻어진다. 이런 약 75%의 에너지 절약은 열 드라이버 회로의 실리콘 칩 상에서 과도한 공간을 요구하지 않는 효율적인 설계 회로로 달성된다.
도 2D는 도 2A에서 사용되는 매트릭스 스위치(290)의 회로도이다. 매트릭스 스위치(290)는 한 쌍의 직선 트랜지스터(230) 및 한 쌍의 교차 트랜지스터(240)를 포함한다. 매트릭스 스위치(290)는 계속되는 실시예에서 빌딩(building) 블럭으로서 사용된다.
도 2E는 도 2A에서 회로의 '중화'부를 구현하기 위한 다른 실시예의 회로도이다. 이런 다른 실시예에서, 중화 트랜지스터(235)는 N-1 트랜지스터(272)로 대치된다. 중화 신호가 어써트될 때, 이들 N-1트랜지스터(272)는 (짝수 및 홀수) 열 라인과 함께 전기적으로 연결된다.
도 2F는 도 2A에서 회로의 '중화'부를 구현하기 위한 다른 실시예의 회로도이다. 제2의 다른 실시예에서, 중화 트랜지스터(235)는 N 트랜지스터(274)로 대치되며, 라인(275)을 접지된 커패시터(276)로 대치한다. 중화 신호가 어써트될 때, 이들 N 트랜지스터(274)는 (짝수 및 홀수) 열 라인을 라인(275)과 전기적으로 연결한다.
도 2G는 도 2A에서 회로의 '직선' 및 '교차'부를 구현하기 위한 또 다른 실시예의 회로도이다. 이런 다른 실시예는 매트릭스 스위치(290)(직선(230) 및 교차(240) 트랜지스터를 포함한다), 및 짝수(216) 및 홀수(217) 저장선을 교체한다. 이런 다른 실시예는 이들을 저장선(278), 네가티브 저장선(280), 직선 신호 라인(281), N/2 직선-짝수 트랜지스터(282), N/2 직선-홀수 트랜지스터(284), 교차 신호 라인(285), N/2 교차 짝수 트랜지스터(286), 및 N/2 교차 홀수 트랜지스터(288)으로 대치된다. 파지티브 저장선(278)은 파지티브 커패시터(220)에 접속되며, 네가티브 저장선(280)은 네가티브 커패시터(221)에 접속된다.
직선 신호가 직선 신호 라인(281) 상에서 어써트될 때, 직선-짝수 트랜지스터(282)는 짝수 열 라인을 파지티브 저장선(278)으로 접속하고, 직선-홀수 트랜지스터(284)는 홀수 열 라인을 네가티브 저장선(280)에 접속시킨다. 한편, 교차 신호가 교차 신호 라인(285) 상에서 어써트될 때, 교차-짝수 트랜지스터(286)는 짝수 열 라인을 네가티브 저장선(280)에 접속시키며, 교차 홀수 트랜지스터(288)는 홀수 열 라인을 파지티브 저장선(278)에 접속시킨다.
도 2G의 또 다른 실시예는 회로의 중화부의 상기 3개의 실시예 중 임의의 것 과 결합하여 사용될 수 있다. 도 2G는 도 2E의 중화부의 실시예와 결합한 것으로서 도시된다. 그러나, 도 2G의 실시예는 도 2F의 중화부의 실시예, 및 도 2A의 중화부의 실시예와 함께 또한 동작한다.
도 3A는 본 발명의 제3 실시예의 회로도이다. 이 실시예는 도 2A에 도시된 단일 파지티브 커패시터(220), 단일 네가티브 커패시터(221), 및 단일 매트릭스 스위치(290)를 다중 파지티브 커패시터(220), 다중 네가티브 커패시터(221) 및 다중 매트릭스 스위치(290)를 포함하는 스위치 매트릭스와 커패시터 네트워크(390)으로 대치한다. 도 3A에 도시된 특정예에서, 스위치 매트릭스와 커패시터 네트워크(390)는 각각 3개(A, B 및 C)를 가지나, 본 발명은 임의의 수, 예컨데 2, 4, 5 등이 사용될 수 있는 것으로 여겨진다.
도 3A에 도시된 특정예에서, 제1 파지티브 커패시터(220A) 상의 파지티브 전압은 대략 $V_0/2$이며, 제2 파지티브 커패시터(220B) 상의 파지티브 전압은 제1 파지티브 커패시터(220A)의 전압 보다 다소 낮으며, 제3 파지티브 커패시터(220C) 상의 파지티브 전압은 제2 파지티브 커패시터(220B)의 전압 보다 다소 낮다. 유사하게, 제1 네가티브 커패시터(221A) 상의 파지티브 전압은 대략 $-V_0/2$이며, 제2 네가티브 커패시터(221B) 상의 파지티브 전압은 제1 네가티브 커패시터(221A)의 전압 보다 다소 낮으며, 제3 네가티브 커패시터(221C) 상의 네가티브 전압은 제2 네가티브 커패시터(221B)의 전압 보다 다소 낮다.
도 3B는 도 3A에서의 회로의 동작과 관련된 플로우 챠트이다. 도 3B의 플로우 챠트는 제3(254), 제5(258), 제9(264) 및 제11(268) 단계가 제1 프로세스(354), 제2 프로세스(358), 제3 프로세스(364) 및 제4 프로세스(368) 각각에 의해 대치되는 것을 제외하고는 도 2B의 플로우 챠트와 유사하다.
도 3C는 도 3B의 플로우 챠트에서 제1(354) 및 제2(358) 프로세스 각각으로 연장되는 2개의 플로우 챠트를 포함한다.
제1 프로세스(354)에 있어서, 제1 단계(354A)에서는, 제1 매트릭스 스위치(290A)용 직선 신호가 어써트되고, 그 후 디어써트된다. 제2 단계(354B)에서, 제2 매트릭스 스위치(290B)용 직선 신호는 어써트되고 그후 디어써트된다. 제3 단계(354C)에서, 제3 매트릭스 스위치(290C)용 직선 신호는 어써트되고 그 후 디어써트된다.
제2 프로세스(358)에 있어서, 제1 단계(358C)에서는 제3 매트릭스 스위치(290C)용 교차 신호가 어써트되고 그 후 디어써트된다. 제2 단계(358B)에서, 제2 매트릭스 스위치(290B)용 교차 신호는 어써트되고 그 후 디어써트된다. 제3 단계(358A)에서, 제1 매트릭스 스위치(290A)용 교차 신호는 어써트되고 그 후디어써트된다.
도 3D는 도 3B의 플로우 챠트에서 제3(364) 및 제4(368) 프로세스 각각으로 연장되는 2개의 플로우 챠트를 포함한다.
제3 프로세스(364)에 있어서, 제1 단계(364A)에서는, 제1 매트릭스 스위치(290A)용 교차 신호가 어써트되고, 그 후 디어써트된다. 제2 단계(364B)에서, 제2 매트릭스 스위치(290B)용 교차 신호는 어써트되고 그후 디어써트된다. 제3 단계(364C)에서, 제3 매트릭스 스위치(290C)용 교차 신호는 어써트되고 그 후 디어써트된다.
제4 프로세스(368)에 있어서, 제1 단계(368C)에서는 제3 매트릭스 스위치(290C)용 직선 신호가 어써트되고 그 후 디어써트된다. 제2 단계(368B)에서, 제2 매트릭스 스위치(290B)용 직선 신호는 어써트되고 그 후 디어써트된다. 제3 단계(368A)에서, 제1 매트릭스 스위치(290A)용 직선 신호는 어써트되고 그 후디어써트된다.

도 3E는 도 3A에서 회로 동작의 예를 예시하는 타이밍도이다. 도 3E의 타이밍도는 단계들(254, 258, 264 및 268)에 기인한 패시브한 전압 변화가 단계들(354A-C, 358C-A, 364A-C 및 368C-A)에 기인한 패시브한 전압 변화로 대치되는 것을 제외하고는 도 2C의 타이밍도와 유사하다. 더욱이, 단계들(356 및 366)에 기인한 패시브한 전압 변화는 단계들(256 및 266)에 기인한 패시브한 전압 변화 보다 작다.
도 3E의 타이밍도에 도시된 바와 같이, 도 3A의 회로의 추가적인 이점은 보다 효율적인 전하 제어가 달성된다는 것이며, 더욱이 전력 사용 감소를 가져온다는데 있다.
도 4A는 본 발명의 제4 실시예의 회로도이다. 도 4A의 회로는 양(220) 및 음(221)의 커패시터가 단일 커패시터(402)에 의해 대치되는 것을 제외하고는 도 2A의 회로와 유사하다.
도 4B는 도 4A단일 커패시터로 연장되는 회로도이다. 도 4B는 C의 커패시턴 스를 갖는 단일 커패시터(402)가 2개의 커패시터로 고려될 수 있으며, 이들 각각은 2C의 커패시턴스를 가지며 가상 접지와 접속되는 것을 도시한다. 이런 단일 커패시터(402)를 사용함으로써, 외부 커패시터의 수는 절반이 되며, 한편, 전력 감소 성능이 개선된다.
도 5는 본 발명의 제5 실시예의 회로도이다. 도 5의 회로는 다중 양(220) 및 다중 음(221)의 커패시터가 다중 단일 커패시터(402)로 대치되는 것을 제외하고는 도 3A의 회로와 유사하다. 이런 다중 단일 커패시터(402)를 사용함으로써, 외부 커패시터의 수는 절반이 되며, 한편 전력 감소 성능이 개선된다.
도 6은 본 발명의 제6 실시예의 회로도이다. 도 6의 회로는 N 결정 회로(602)를 도 2A에 도시된 회로에 부가한다. N 결정 회로(602) 각각은 특정 열용 픽셀 데이타를 수신하며, 특정 열 데이타를 이에 대응하는 (짝수 또는 홀수) 저장선(216 또는 217)에 접속하기 위하여 (짝수 또는 홀수)중화 신호(214 또는 215)로 어써트되는 여부 및 경우를 결정하고자 이전에 수신된 픽셀 데이타를 사용한다. 도 6의 회로가 스위치 매트릭스와 커패시터 네트워크(390)에 결합되어 도시되나, 도 2A 또는 도 2G에 도시된 바와 같이, 단일 양(220) 및 단일 음(221) 커패시터와 결합하여 또한 사용될 수 있다. 이전에 수신된 픽셀 데이타를 사용함으로써, 전하 저장은 더욱 효율적으로 이루어진다.
도 7은 본 발명의 제7 실시예의 회로도이다. 도 7의 회로는 도 7이 픽셀 데이타와 커패시터 데이타 또는 특정 값을 수신하는 다른 결정 회로(702)를 포함하는 것을 제외하고는 도 6의 회로와 유사하다. 커패시터 데이타는 커패시터 네트워크 에서 하나 이상의 커패시터의 전압 레벨을 포함할 수 있다. 이런 부가적인 정보를 사용함으로써, 전하 저장은 보다 효율적으로 이루어진다.
도 8은 본 발명의 제8 실시예의 회로도이다. 도 8의 회로는 라인 변환 및 백 라인 스위칭을 사용하는 시스템에 적용가능하다. 도 8의 회로는 고 전압원 Vhigh, 저 전압원 Vlow, 고 인에이블 트랜지스터(802), 저 인에이블 트랜지스터(804), n 커패시터 C1 내지 Cn(806), n 인에이블링 트랜지스터 E1 내지 En(802), 및 배면 노드를 포함한다. 커패시터 Cn의 전압이 Vlow 보다 높을 때까지, 커패시터 C1의 전압은 Vhigh 보다 낮으며, 커패시터 C2의 전압은 커패시터 C1의 전압 보다 낮고, 커패시터 C3의 전압은 커패시터 C2의 전압 보다 낮다.
배면 노드 상의 전압이 고전압에서 저전압으로 스위치되려 한다면, 먼저 고전압 인에이블 신호가 디어써트(deasserted)되어, 배면 노드를 고전압으로부터 분리시키기 위해 고 인에이블 트랜지스터(802)를 턴오프시킨다. 다음에 트랜지스터 E1가 턴온되어 배면 노드를 캐패시터 C1에 접속시킴으로써, 배면 노드의 전압이 캐패시터 C1의 전압으로 패시브하게 강하된다. 다음에 트랜지스터 T1이 턴오프되고, 트랜지스터 E2가 턴온된다. 다음에 트랜지스터 E2가 턴오프되고 트랜지스터 E3가 턴온된다. 마지막까지, 저 인에이블 트랜지스터(804)가 턴온되어, 배면 노드를 저전압에 연결한다. 배면 노드 상의 전압이 저전압에서 고전압으로 스위치되려 할 때에는 이와 유사하게 그러나 트랜지스터는 반대로 동작한다. 이와 같이, 대부분의 전압 변화는 패시브하게 수행될 수 있고, 스위칭을 위한 전하가 재사용된다.
상기 설명은 본 발명의 바람직한 실시예의 동작을 예시하는 것으로, 본 발명 의 범위를 제한하려는 것이 아니다. 본 발명의 범위는 다음 청구범위에 의해 한정된다. 상기 설명으로부터, 기술분야의 숙련자에게는 본 발명의 정신과 범위에 의해 포괄될 다양한 변화가 있을 수 있다.

(57) 청구의 범위

청구항 1.

액티브 매트릭스 디스플레이의 I 짝수 전극과 J 홀수 전극(여기서, I 및 J는 양의 정수임)을 구동시키기 위한 전력 절감 회로에 있어서,
대응하는 짝수 전극에 각각 결합되는 I 짝수 전압 드라이버;
대응하는 홀수 전극에 각각 결합되는 J 홀수 전압 드라이버;
상기 대응하는 짝수 전극을 제1 저장선(reservoir line)에 각각 결합하는 I 짝수 스위치; 및
상기 대응하는 홀수 전극을 제2 저장선에 각각 결합하는 J 홀수 스위치;
상기 I 짝수 스위치를 제어하기 위한 짝수 결합선 -상기 짝수 결합선은, 상기 짝수 결합선이 짝수 결합 신호를 어써트(assert)할 때 상기 I 짝수 스위치가 상기 I 짝수 전극을 상기 제1 저장선에 전기적으로 연결하고, 상기 짝수 결합선이 상기 짝수 결합 신호를 디어써트(de-assert)할 때 상기 I 짝수 스위치가 상기 I 짝수 전극을 상기 제1 저장선으로부터 전기적으로 분리시키도록, 상기 I 짝수 스위치를 제어함-;
상기 J 홀수 스위치를 제어하기 위한 홀수 결합선 -상기 홀수 결합선은, 상기 홀수 결합선이 홀수 결합 신호를 어써트할 때 상기 J 홀수 스위치가 상기 J 홀수 전극을 상기 제2 저장선에 전기적으로 연결하고, 상기 홀수 결합선이 상기 홀수 결합 신호를 디어써트할 때 상기 J 홀수 스위치가 상기 J 홀수 전극을 상기 제2 저장선으로부터 전기적으로 분리시키도록, 상기 J 홀수 스위치를 제어함-; 및
중화(neutralizer) 신호가 어써트될 때 상기 I 짝수 전극 및 상기 J 홀수 전극이 함께 전기적으로 연결되고, 상기 중화 신호가 디어써트될 때 상기 I 짝수 전극 및 상기 J 홀수 전극이 서로 전기적으로 분리되도록, 상기 중화 신호의 제어하

에 상기 I 짝수 전극을 상기 J 홀수 전극에 결합하는 중화 스위치
를 포함하는 전력 절감 회로.

청구항 2.

제1항에 있어서,
중간 전압 레벨에 대해 파지티브 전압 레벨로 전하를 저장하기 위한 파지티브 기억 소자;
상기 중간 전압 레벨에 대해 네가티브 전압 레벨로 전하를 저장하기 위한 네가티브 기억 소자; 및
직선 모드와 교차 모드를 포함하는 매트릭스 스위치
를 더 포함하되,
상기 직선 모드의 상기 매트릭스 스위치는 상기 제1 저장선을 상기 파지티브 기억 소자에 그리고 상기 제2 저장선을 상기 네가티브 기억 소자에 연결하며,
상기 교차 모드의 상기 매트릭스 스위치는 상기 제1 저장선을 상기 네가티브 기억 소자에 그리고 상기 제2 저장선을 상기 파지티브 기억 소자에 전기적으로 연결하는 전력 절감 회로.

청구항 3.

제2항에 있어서, 상기 짝수 및 홀수 결합선은 동일한 선을 포함하는 전력 절감 회로.

청구항 4.

상기 제2항에 있어서, 상기 파지티브 기억 소자는 캐패시터의 한측을 포함하고, 상기 네가티브 기억 소자는 상기 캐패시터의 다른 측을 포함하는 전력 절감 회로.

청구항 5.

제1항에 있어서,
중간 전압 레벨에 대해 제1 파지티브 전압 레벨로 전하를 저장하기 위한 제1 파지티브 기억 소자;
상기 중간 전압 레벨에 대해 제2 파지티브 전압 레벨로 전하를 저장하기 위한 제2 파지티브 기억 소자 - 상기 제1 파지티브 전압 레벨은 상기 제2 파지티브 전압 레벨보다 높음-;
상기 중간 전압 레벨에 대해 제1 네가티브 전압 레벨로 전하를 저장하기 위한 제1 네가티브 기억 소자;
상기 중간 전압 레벨에 대해 제2 네가티브 전압 레벨로 전하를 저장하기 위한 제2 네가티브 기억 소자 - 상기 제1 네가티브 전압 레벨은 상기 제2 네가티브 전압 레벨보다 낮음(상기 제2 네가티브 전압 레벨보다 더 네가티브함)-; 및
직선 모드와 교차 모드를 포함하는 매트릭스 스위치 네트워크
를 더 포함하되,
상기 직선 모드의 상기 매트릭스 스위치 네트워크는, 처음에 상기 제1 저장선을 상기 제1 파지티브 기억 소자에 그리고 상기 제2 저장선을 상기 제1 네가티브 기억 소자에 전기적으로 연결하고, 다음에 상기 제1 저장선을 상기 제2 파지티브 기억 소자에 그리고 상기 제2 저장선을 상기 제2 네가티브 기억 소자에 전기적으로 연결하고,
상기 교차 모드의 상기 매트릭스 스위치 네트워크는, 처음에 상기 제1 저장선을 상기 제1 네가티브 기억 소자에 그리고 상기 제2 저장선을 상기 제1 파지티브 기억 소자에 전기적으로 연결하고, 다음에 상기 제1 저장선을 상기 제2 네가티브 기억 소자에 그리고 상기 제2 저장선을 상기 제2 파지티브 기억 소자에 전기적으로 연결하는 전력 절감 회로.

청구항 6.

제5항에 있어서, 상기 제1 파지티브 기억 소자는 제1 캐패시터를 포함하고, 상기 제2 파지티브 기억 소자는 제2 캐패시터를 포함하고, 상기 제1 네가티브 기억 소자는 제3 캐패시터를 포함하고, 상기 제2 네가티브 기억 소자는 제4 캐패시터를 포함하는 전력 절감 회로.

청구항 7.

제5항에 있어서, 상기 제1 파지티브 기억 소자는 제1 캐패시터의 제1 측을 포함하고, 상기 제1 네가티브 기억 소자는 상기 제1 캐패시터의 제2 측을 포함하고, 상기 제2 파지티브 기억 소자는 제2 캐패시터의 제1 측을 포함하고, 상기 제2 네가티브 기억 소자는 상기 제2 캐패시터의 제2 측을 포함하는 전력 절감 회로.

청구항 8.

제1항에 있어서,
중간 전압 레벨에 대해 제1 파지티브 전압 레벨로 전하를 저장하기 위한 제1 파지티브 기억 소자;
상기 중간 전압 레벨에 대해 제2 파지티브 전압 레벨로 전하를 저장하기 위한 제2 파지티브 기억 소자 - 상기 제2 파지티브 전압 레벨은 상기 제1 파지티브 전압 레벨보다 낮음-;
상기 중간 전압 레벨에 대해 제3 파지티브 전압 레벨로 전하를 저장하기 위한 제3 파지티브 기억 소자 - 상기 제3 파지티브 전압 레벨은 상기 제2 파지티브 전압 레벨보다 낮음-;
상기 중간 전압 레벨에 대해 제1 네가티브 전압 레벨로 전하를 저장하기 위한 제1 네가티브 기억 소자;
상기 중간 전압 레벨에 대해 제2 네가티브 전압 레벨로 전하를 저장하기 위한 제2 네가티브 기억 소자 - 상기 제2 네가티브 전압 레벨은 상기 제1 네가티브 전압 레벨보다 높음(상기 제1 네가티브 전압 레벨보다 덜 네가티브함)-;
상기 중간 전압 레벨에 대해 제3 네가티브 전압 레벨로 전하를 저장하기 위한 제3 네가티브 기억 소자 - 상기 제3 네가티브 전압 레벨은 상기 제2 네가티브 전압 레벨보다 높음(상기 제2 네가티브 전압 레벨보다 덜 네가티브함)-; 및
직선 모드와 교차 모드를 포함하는 매트릭스 스위치 네트워크
를 더 포함하되,
상기 직선 모드의 상기 매트릭스 스위치 네크워크는, 처음에 상기 제1 저장선을 상기 제1 파지티브 기억 소자에 그리고 상기 제2 저장선을 상기 제1 네가티브 기억 소자에 전기적으로 연결하고, 다음에 상기 제1 저장선을 상기 제2 파지티브 기억 소자에 그리고 상기 제2 저장선을 상기 제2 네가티브 기억 소자에 전기적으로 연결하고, 마지막으로 상

기 제1 저장선을 상기 제3 파지티브 기억 소자에 그리고 상기 제2 저장선을 상기 제3 네가티브 기억 소자에 전기적으로 연결하고,
상기 교차 모드의 상기 매트릭스 스위치 네트워크는, 처음에 상기 제1 저장선을 상기 제1 네가티브 기억 소자에 그리고 상기 제2 저장선을 상기 제1 파지티브 기억 소자에 전기적으로 연결하고, 다음에 상기 제1 저장선을 상기 제2 네가티브 기억 소자에 그리고 상기 제2 저장선을 상기 제2 파지티브 기억 소자에 전기적으로 연결하고, 마지막으로 상기 제1 저장선을 상기 제3 네가티브 기억 소자에 그리고 상기 제2 저장선을 상기 제3 파지티브 기억 소자에 전기적으로 연결하는 전력 절감 회로.

청구항 9.

액티브 매트릭스 디스플레이의 I 짝수 전극과 J 홀수 전극(여기서, I와 J는 양의 정수임)을 구동하기 위한 전력 절감 회로에 있어서,
각각 짝수 픽셀 데이타를 수신하도록 되어 있고, 대응하는 짝수 전극에 각각 결합되는 I 짝수 전압 드라이버;
각각 홀수 픽셀 데이타를 수신하도록 되어 있고, 대응하는 홀수 전극에 각각 결합되는 J 홀수 전압 드라이버;
상기 대응하는 짝수 전극을 제1 저장선에 각각 결합하는 I 짝수 스위치;
상기 대응하는 홀수 전극을 제2 저장선에 각각 결합하는 J 홀수 스위치;
상기 짝수 픽셀 데이타를 수신하도록 되어 있고, 상기 I 짝수 전극이 상기 짝수 픽셀 데이타에 따라 상기 짝수 저장선에 개별적으로 연결될 수 있도록 상기 I 짝수 스위치를 개별적으로 제어하기 위한 I 짝수 결정 회로;
상기 홀수 픽셀 데이타를 수신하도록 되어 있고, 상기 J 홀수 전극이 상기 홀수 픽셀 데이타에 따라 상기 홀수 저장선에 개별적으로 연결될 수 있도록 상기 J 홀수 스위치를 개별적으로 제어하기 위한 J 홀수 결정 회로; 및
상기 중화 신호가 어써트될 때 상기 제1 및 제2 저장선이 함께 전기적으로 연결되고, 상기 중화 신호가 디어써트될 때 상기 제1 및 제2 저장선이 서로 전기적으로 격리되도록, 상기 중화 신호의 제어하에 상기 제1 저장선을 상기 제2 저장선에 결합하기 위한 중화 스위치;
중간 전압 레벨에 대해 파지티브 전압 레벨로 전하를 저장하기 위한 파지티브 기억 소자;
상기 중간 전압 레벨에 대해 네가티브 전압 레벨로 전하를 저장하기 위한 네가티브 기억 소자; 및
직선 모드와 교차 모드를 포함하는 매트릭스 스위치
를 포함하되,
상기 직선 모드의 매트릭스 스위치는 상기 제1 저장선을 상기 파지티브 기억 소자에 그리고 상기 제2 저장선을 상기 네가티브 기억 소자에 전기적으로 연결하고,
상기 교차 모드의 매트릭스 스위치는 상기 제1 저장선을 상기 네가티브 기억 소자에 그리고 상기 제2 저장선을 상기 파지티브 기억 소자에 전기적으로 연결하는 전력 절감 회로.

청구항 10.

제9항에 있어서,
상기 I 짝수 결정 회로는 또한 파지티브 및 네가티브 기억 소자에 관련된 기억 데이타를 수신하도록 되어 있고, 상기 I 짝수 전극들은 상기 짝수 픽셀 데이타와 상기 기억 데이타에 따라 상기 짝수 저장선에 개별적으로 연결될 수 있으며,
상기 J 홀수 결정 회로는 또한 상기 기억 데이타를 수신하도록 되어 있고, 상기 J 홀수 전극들은 상기 홀수 픽셀 데이타와 상기 기억 데이타에 따라 상기 홀수 저장선에 개별적으로 연결될 수 있는 전력 절감 회로.

청구항 11.

행 반전과 배면 스위칭(row inversion and back plane switching)을 포함하는 스킴(scheme)으로 액티브 매트릭스 디스플레이의 열 전극을 구동시키기 위한 전력 절감 회로에 있어서,
배면 노드;
고전압원;
고 인에이블 신호가 어써트될 때 상기 배면 노드에 상기 고전압원을 전기적으로 연결하고, 고 인에이블 신호가 디어써트될 때 상기 배면 노드로부터 상기 고전압원을 전기적으로 격리시키기 위한 고 인에이블 스위치;
저 전압원;
저 인에이블 신호가 어써트될 때 상기 배면 노드에 상기 저 전압원을 전기적으로 연결하고, 저 인에이블 신호가 디어써트될 때 상기 배면 노드로부터 상기 저 전압원을 전기적으로 격리시키기 위한 저 인에이블 스위치;
제1 기억 소자;
제1 기억 신호가 어써트될 때 상기 배면 노드에 상기 제1 기억 소자를 전기적으로 연결하고, 제1 기억 신호가 디어써트될 때 상기 배면 노드로부터 상기 제1 기억 소자를 전기적으로 격리시키기 위한 제1 기억 스위치;
제2 기억 소자; 및
제2 기억 신호가 어써트될 때 상기 배면 노드에 상기 제2 기억 소자를 전기적으로 연결하고, 제2 기억 신호가 디어써트될 때 상기 배면 노드로부터 상기 제2 기억 소자를 전기적으로 격리시키기 위한 제2 기억 스위치
를 포함하는 전력 절감 회로.

청구항 12.

액티브 매트릭스 디스플레이의 N 열 전극(여기서, N은 양의 정수임)을 구동시키기 위한 전력 절감 회로에 있어서,
대응하는 열 전극에 각각 결합된 N 전압 드라이버;
상기 대응하는 열 전극을 대응하는 다음 열 전극에 각각 결합하기 위한 N-1 스위치; 및
상기 N-1 스위치를 제어하기 위한 중화 인에이블선 -상기 중화 인에이블 선은, 상기 중화 인에이블 선이 신호를 어써트할 때 상기 N-1 스위치가 상기 N 열 전극을 전기적으로 연결하고, 상기 중화 인에이블 선이 상기 신호를 디어써트할 때 상기 N-1 스위치가 상기 N 열 전극을 전기적으로 격리시키도록, 상기 N-1 스위치를 제어함-

을 포함하는 전력 절감 회로.

청구항 13.

액티브 매트릭스 디스플레이의 셀들에 결합된 전극들을 구동시키는 전력 절감 방법에 있어서,
상기 전극들의 제1 세트를 중간 전압 레벨에 대해 제1 파지티브 전압 레벨로 그리고 상기 전극들의 제2 세트를 상기 중간 전압 레벨에 대해 제1 네가티브 전압 레벨로 구동시키는 단계;
상기 전극들의 제1 세트를 제1 저장선에 그리고 상기 전극들의 제2 세트를 제2 저장선에 전기적으로 연결하는 단계;
상기 제1 저장선을 제1 기억 소자에 그리고 제2 저장선을 제2 기억 소자에 전기적으로 연결하는 단계;
상기 제1 저장선을 상기 제1 기억 소자로부터 그리고 상기 제2 저장선을 상기 제2 기억 소자로부터 전기적으로 분리시키는 단계;
상기 제1 저장선을 상기 제2 저장선에 전기적으로 연결하는 단계;
상기 제1 저장선을 상기 제2 저장선으로부터 전기적으로 분리시키는 단계;
상기 제1 저장선을 상기 제2 기억 소자에 그리고 상기 제2 저장선을 상기 제1 기억 소자에 전기적으로 연결하는 단계;
상기 제1 저장선을 상기 제2 기억 소자로부터 그리고 상기 제2 저장선을 상기 제1 기억 소자로부터 전기적으로 분리시키는 단계; 및
상기 전극들의 제1 세트를 상기 제1 저장선으로부터 그리고 상기 전극들의 제2 세트를 상기 제2 저장선으로부터 전기적으로 분리시키는 단계
를 포함하는 방법.

청구항 14.

제13항에 있어서,
상기 전극들의 제1 세트를 중간 전압 레벨에 대해 제2 네가티브 전압 레벨로 그리고 상기 전극들의 제2 세트를 상기 중간 전압 레벨에 대해 제2 파지티브 전압 레벨로 구동시키는 단계;
상기 전극들의 제1 세트를 상기 제1 저장선에 그리고 상기 전극들의 제2 세트를 상기 제2 저장선에 전기적으로 연결하는 단계;
상기 제1 저장선을 상기 제2 기억 소자에 그리고 상기 제2 저장선을 상기 제1 기억 소자에 전기적으로 연결하는 단계;
상기 제1 저장선을 상기 제2 기억 소자로부터 그리고 상기 제2 저장선을 상기 제1 기억 소자로부터 전기적으로 분리시키는 단계;
상기 제1 저장선을 상기 제2 저장선에 전기적으로 연결하는 단계;
상기 제1 저장선을 상기 제2 저장선으로부터 전기적으로 분리시키는 단계;
상기 제1 저장선을 상기 제1 기억 소자에 그리고 상기 제2 저장선을 상기 제2 기억 소자에 전기적으로 연결하는 단계;
상기 제1 저장선을 상기 제1 기억 소자로부터 그리고 상기 제2 저장선을 상기 제2 기억 소자로부터 전기적으로 분리시키는 단계; 및
상기 전극들의 제1 세트를 상기 제1 저장선으로부터 그리고 상기 전극들의 제2 세트를 상기 제2 저장선으로부터 전기적으로 분리시키는 단계
를 더 포함하는 방법.

청구항 15.

제14항에 있어서, 상기 전극들의 제1 세트는 짝수 열 전극들을 포함하고, 상기 전극들의 제2 세트는 홀수 열 전극들을 포함하는 방법.

청구항 16.

제15항에 있어서, 상기 제1 기억 소자는 상기 중간 전압 레벨에 대해 파지티브 전압 레벨로 전하를 보유하고, 상기 제2 기억 소자는 상기 중간 전압 레벨에 대해 네가티브 전압 레벨로 전하를 보유하는 방법.

청구항 17.

제12항에 있어서, 상기 제1 기억 소자 또는 상기 제2 기억 소자중 어느 하나의 캐패시턴스는 상기 전극들의 제1 세트 또는 제2 세트중의 어느 하나의 캐패시턴스보다 큰 방법.

청구항 18.

제16항에 있어서, 상기 파지티브 전압 레벨은 상기 중간 전압 레벨과, 상기 디스플레이의 동작 동안 상기 전극들에 대해 구동되는 최고(가장 파지티브한) 전압 레벨 간의 거의 중간이고, 상기 네가티브 전압 레벨은 상기 중간 전압 레벨과, 상기 디스플레이의 동작 동안 상기 전극들에 대해 구동되는 최저(가장 네가티브한) 전압 레벨 간의 거의 중간인 방법.

청구항 19.

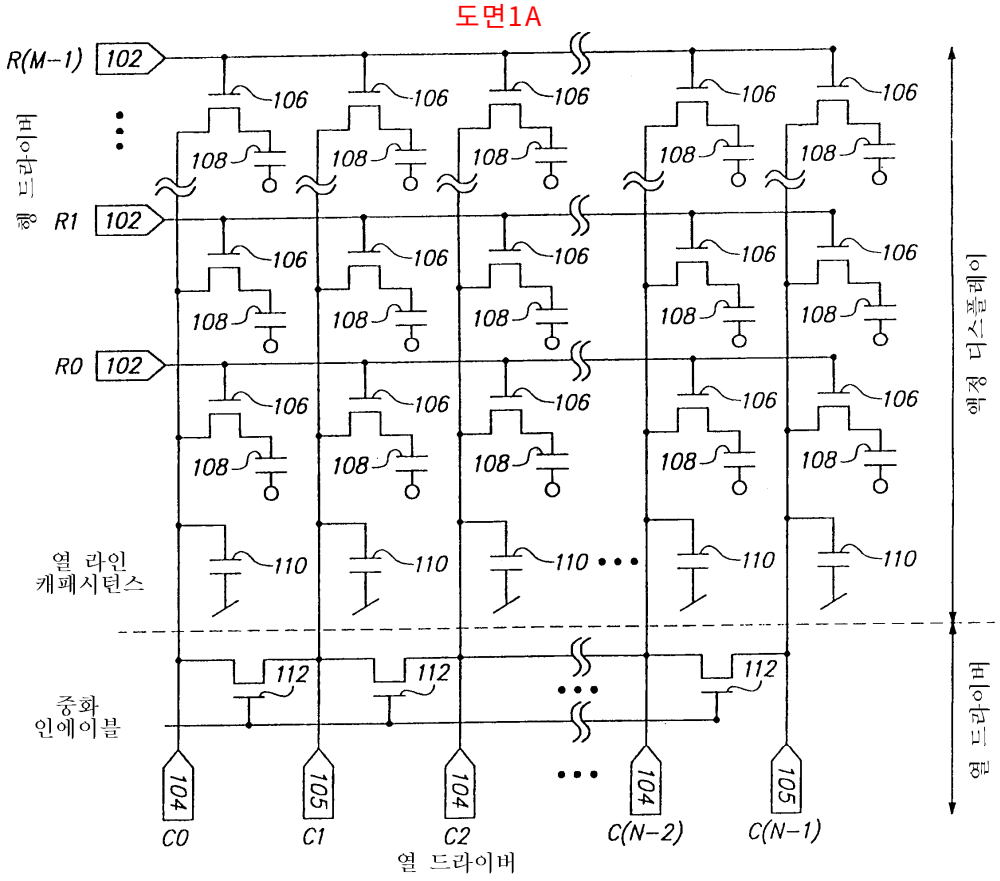
제14항에 있어서, 평균적으로 상기 전극에 의해 소용되는 상기 전력의 절반 이상은 상기 제1 및 제2 기억 소자에 의해 패시브하게 공급되고, 평균적으로 상기 전극에 의해 소용되는 상기 전력의 절반 이하는 전압 구동 회로에 의해 액티브하게 공급되는 방법.

청구항 20.

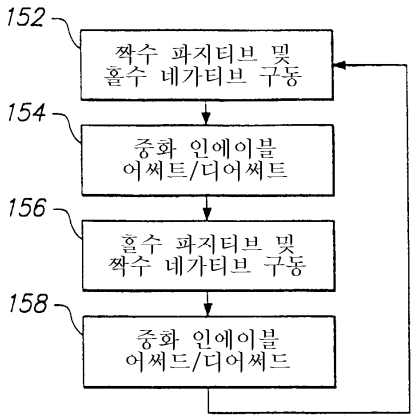
제14항에 있어서, 상기 제1 및 제2 기억 소자의 각각은 복수의 개별적으로 선택가능한 캐패시터를 포함하는 방법.

도면

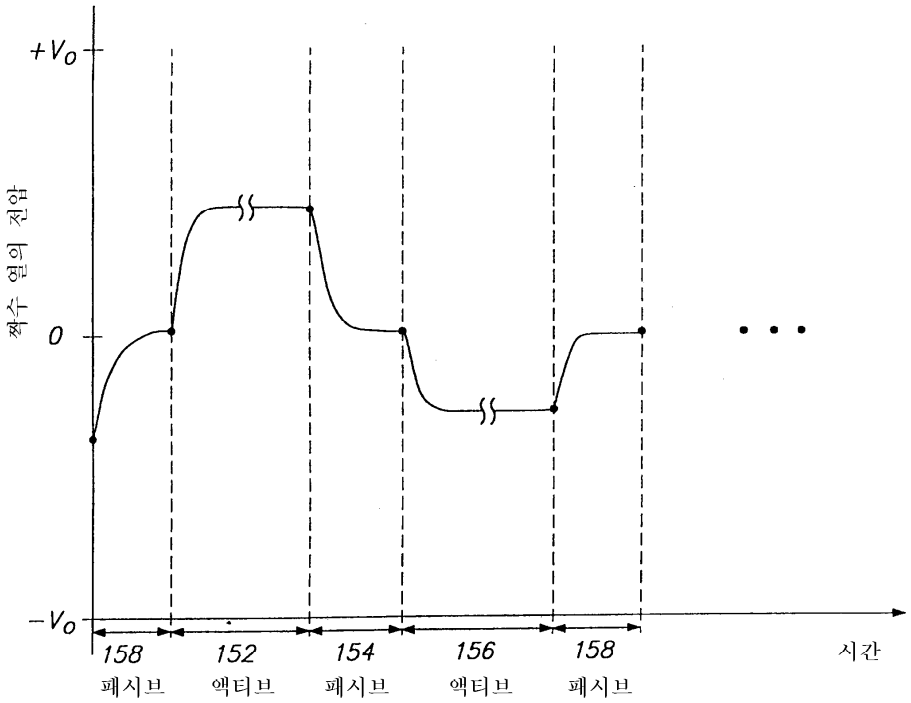
도면1A


R(M-1)
102
행 드라이버
R1
R0
106
108
110
112
열 라인
캐패시턴스
중화
인에이블
104
105
C0
C1
C2
C(N-2)
C(N-1)
열 드라이버
액정 디스플레이
열 드라이버

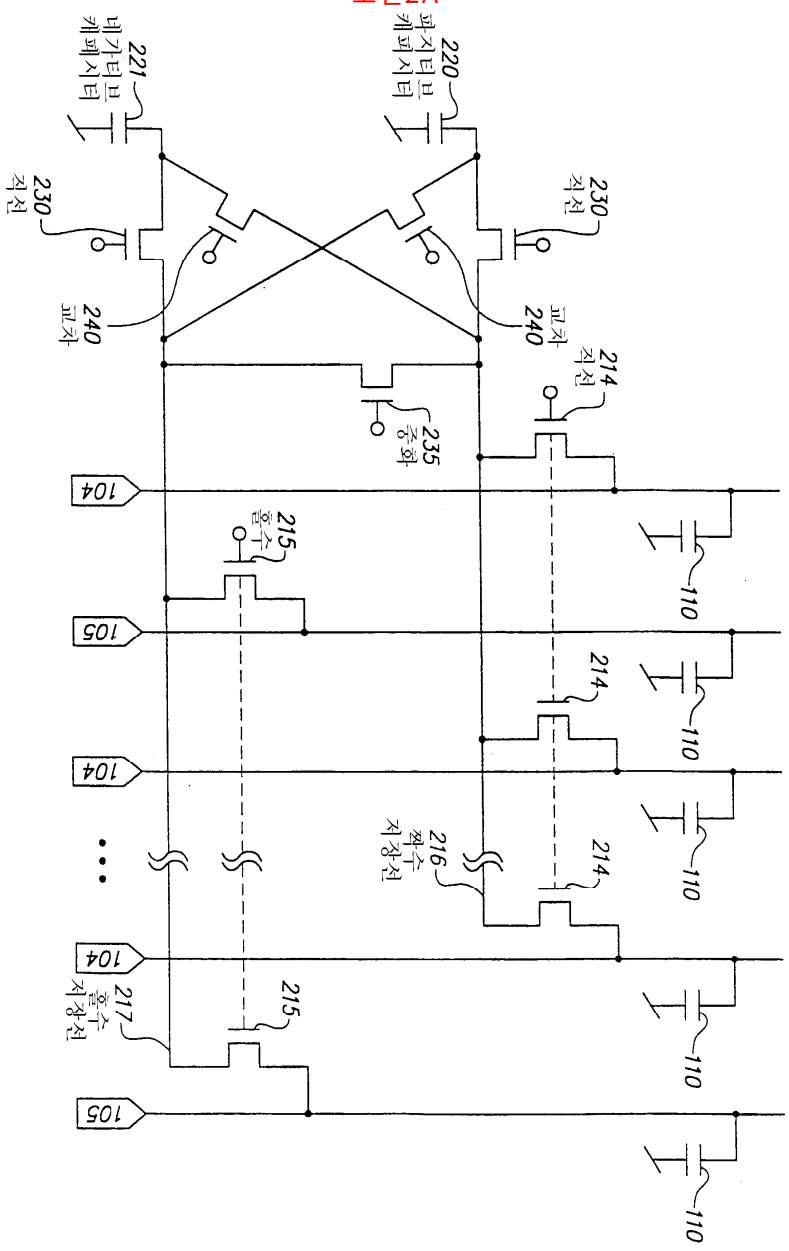
도면1B


152
짝수 파지티브 및
홀수 네가티브 구동
154
중화 인에이블
어써트/디어써트
156
홀수 파지티브 및
짝수 네가티브 구동
158
중화 인에이블
어써드/디어써드

도면1C

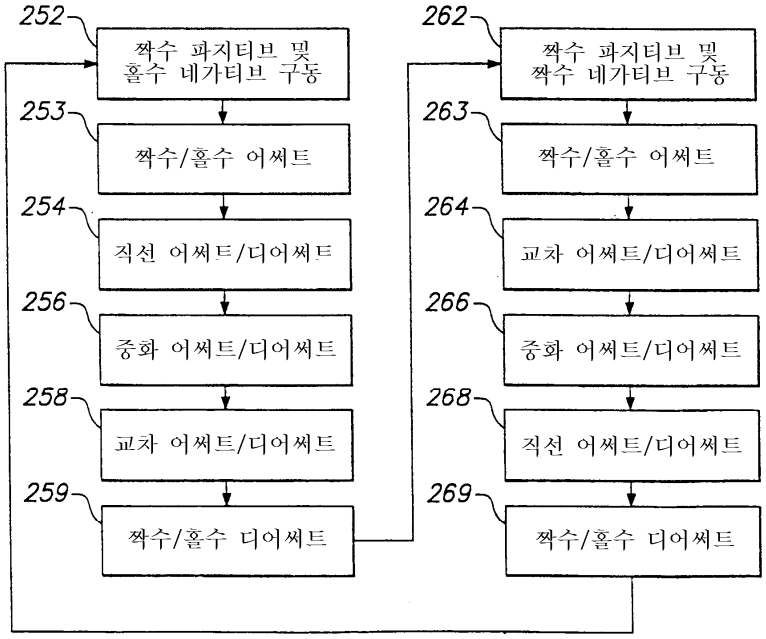


도면2A

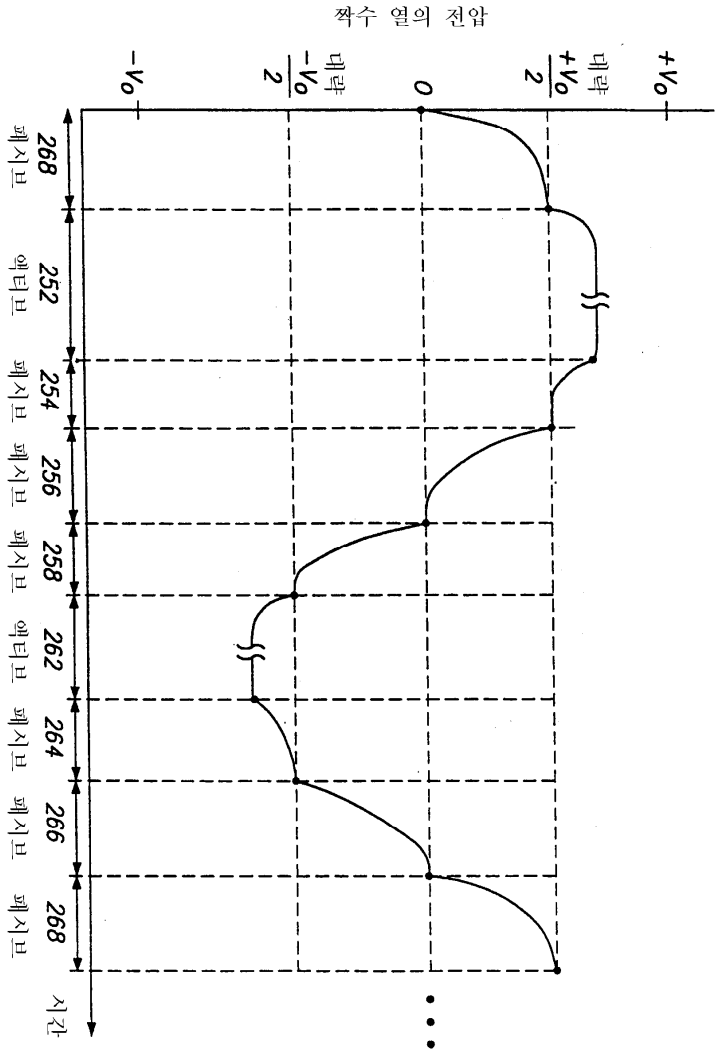


221
네가티브 캐패시터
220
파지티브 캐패시터
230
직선
230
직선
240
교차
240
교차
235
중화
214
직선
104
215
홀수
105
110
214
110
104
216
짝수 저장선
214
110
104
217
홀수 저장선
215
110
105
110

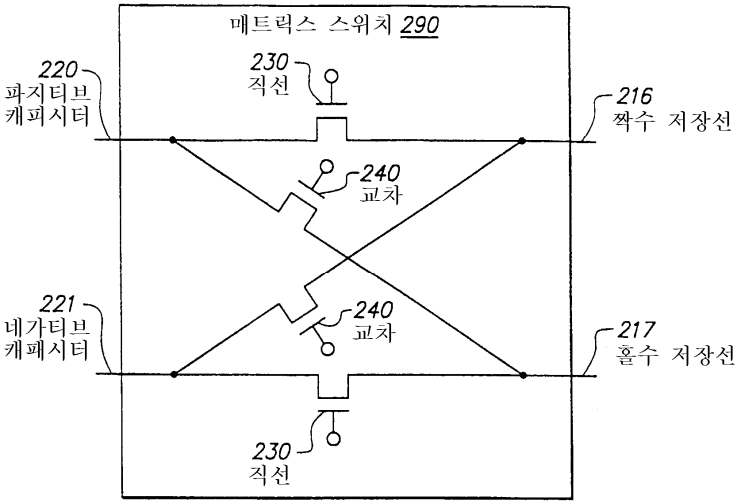
도면2B


252
짝수 파지티브 및
홀수 네가티브 구동
253
짝수/홀수 어써트
254
직선 어써트/디어써트
256
중화 어써트/디어써트
258
교차 어써트/디어써트
259
짝수/홀수 디어써트
262
짝수 파지티브 및
짝수 네가티브 구동
263
짝수/홀수 어써트
264
교차 어써트/디어써트
266
중화 어써트/디어써트
268
직선 어써트/디어써트
269
짝수/홀수 디어써트

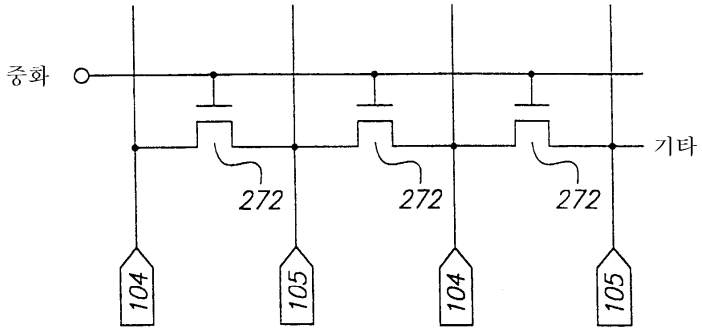
도면2C


짝수 열의 전압
$-V_o$
대략 $-\frac{V_o}{2}$
0
대략 $+\frac{V_o}{2}$
$+V_o$
268 패시브
252 액티브
254 패시브
256 패시브
258 패시브
262 액티브
264 패시브
266 패시브
268 패시브
시간

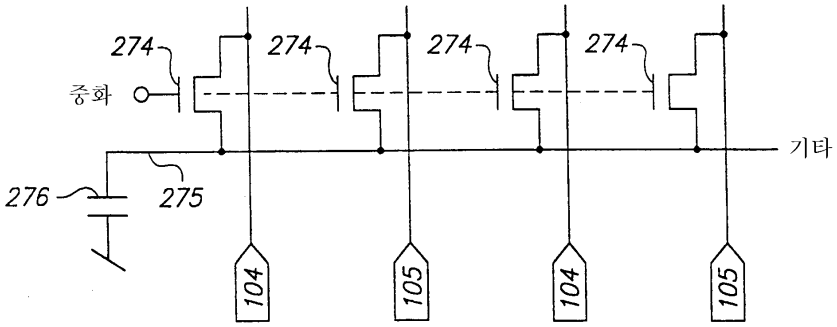
도면2D



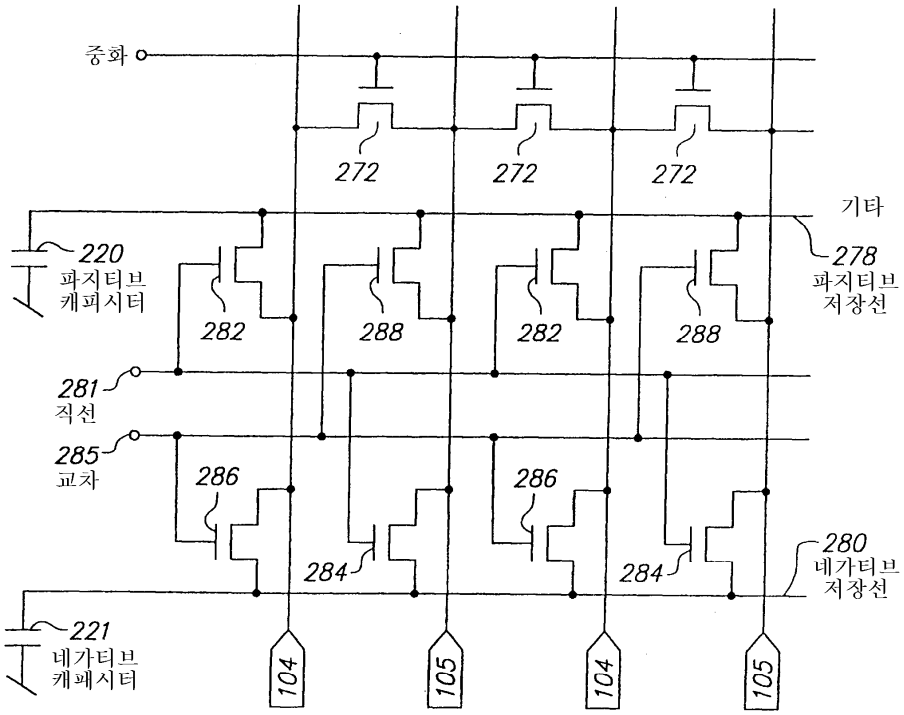
도면2E



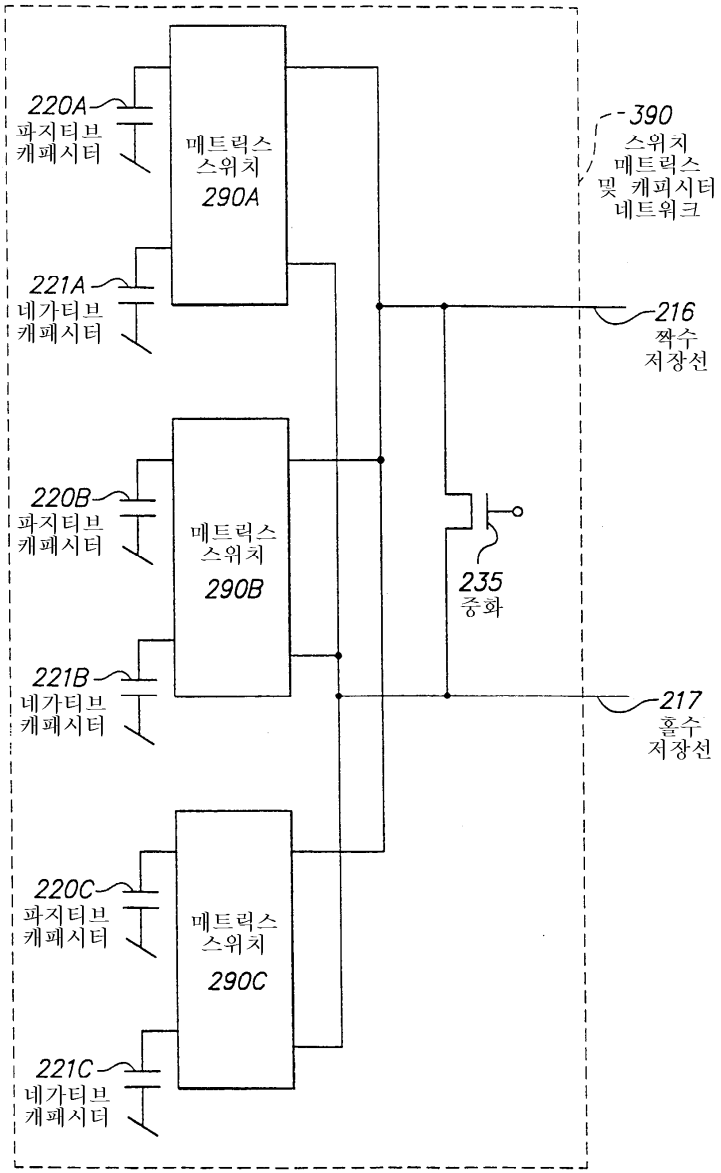
도면2F



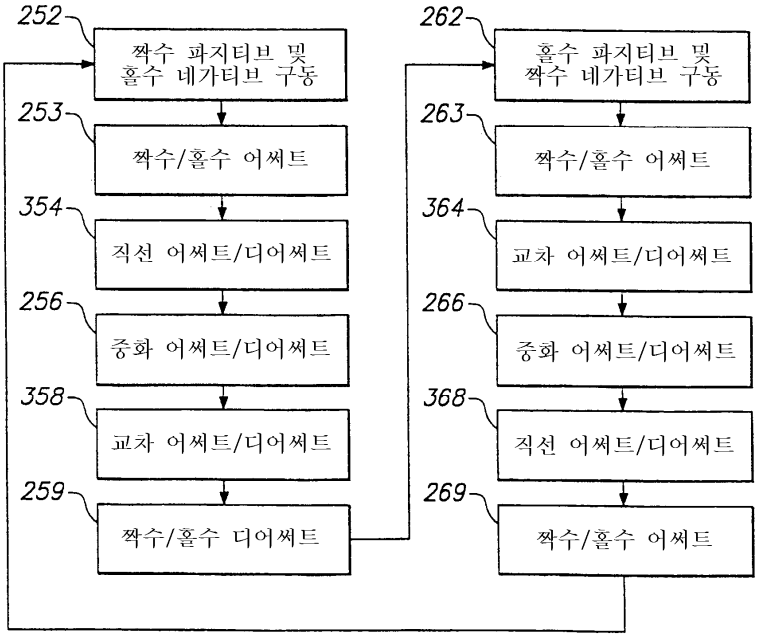
도면2G


증화
272
272
272
기타
220
파지티브
캐피시터
282
288
282
288
278
파지티브
저장선
281
직선
285
교차
286
286
284
284
280
네가티브
저장선
221
네가티브
캐패시터
104
105
104
105

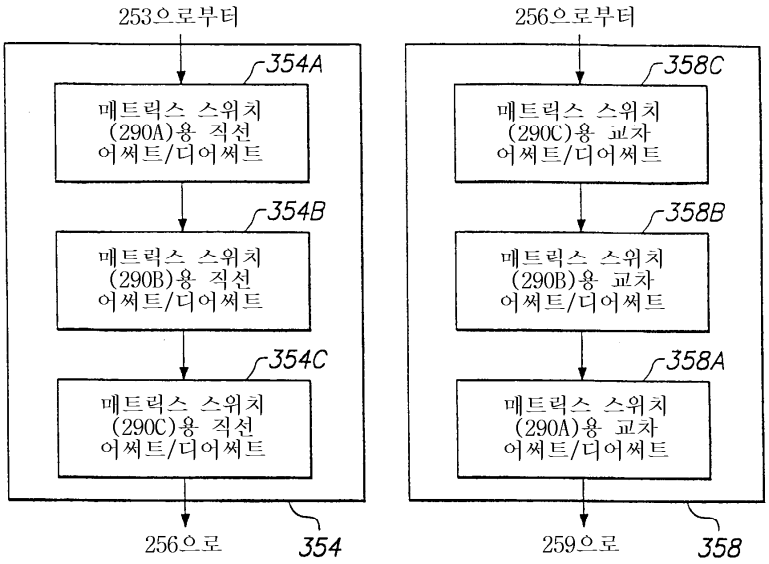
도면3A


220A
파지티브
캐패시터
매트릭스
스위치
290A
390
스위치
매트릭스
및 캐피시터
네트워크
221A
네가티브
캐패시터
216
짝수
저장선
220B
파지티브
캐패시터
매트릭스
스위치
290B
235
중화
221B
네가티브
캐패시터
217
홀수
저장선
220C
파지티브
캐패시터
매트릭스
스위치
290C
221C
네가티브
캐패시터

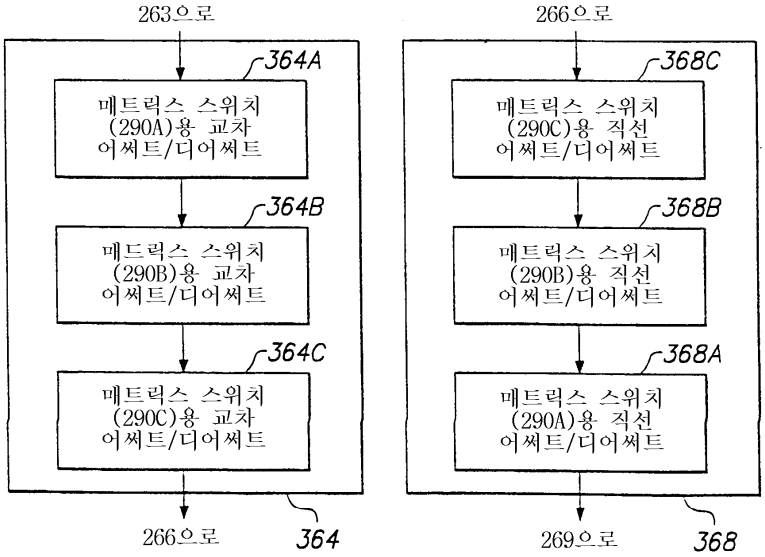
도면3B


252
짝수 파지티브 및
홀수 네가티브 구동
253
짝수/홀수 어써트
354
직선 어써트/디어써트
256
중화 어써트/디어써트
358
교차 어써트/디어써트
259
짝수/홀수 디어써트
262
홀수 파지티브 및
짝수 네가티브 구동
263
짝수/홀수 어써트
364
교차 어써트/디어써트
266
중화 어써트/디어써트
368
직선 어써트/디어써트
269
짝수/홀수 어써트

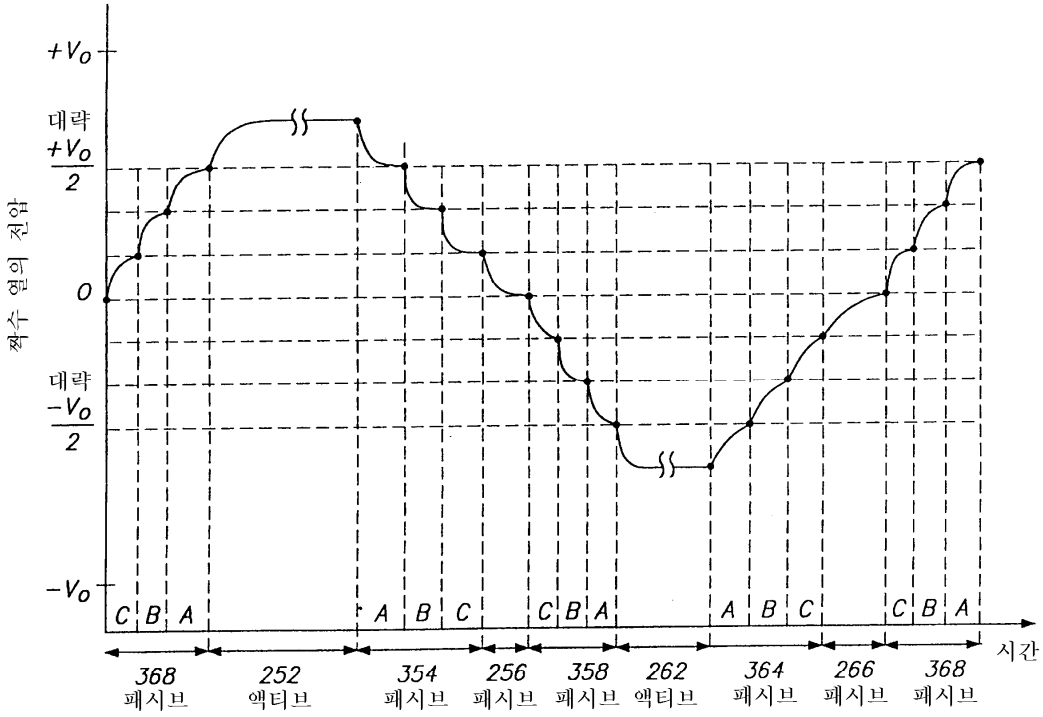
도면3C


253으로부터
354A
매트릭스 스위치 (290A)용 직선 어써트/디어써트
354B
매트릭스 스위치 (290B)용 직선 어써트/디어써트
354C
매트릭스 스위치 (290C)용 직선 어써트/디어써트
256으로
354
256으로부터
358C
매트릭스 스위치 (290C)용 교차 어써트/디어써트
358B
매트릭스 스위치 (290B)용 교차 어써트/디어써트
358A
매트릭스 스위치 (290A)용 교차 어써트/디어써트
259으로
358

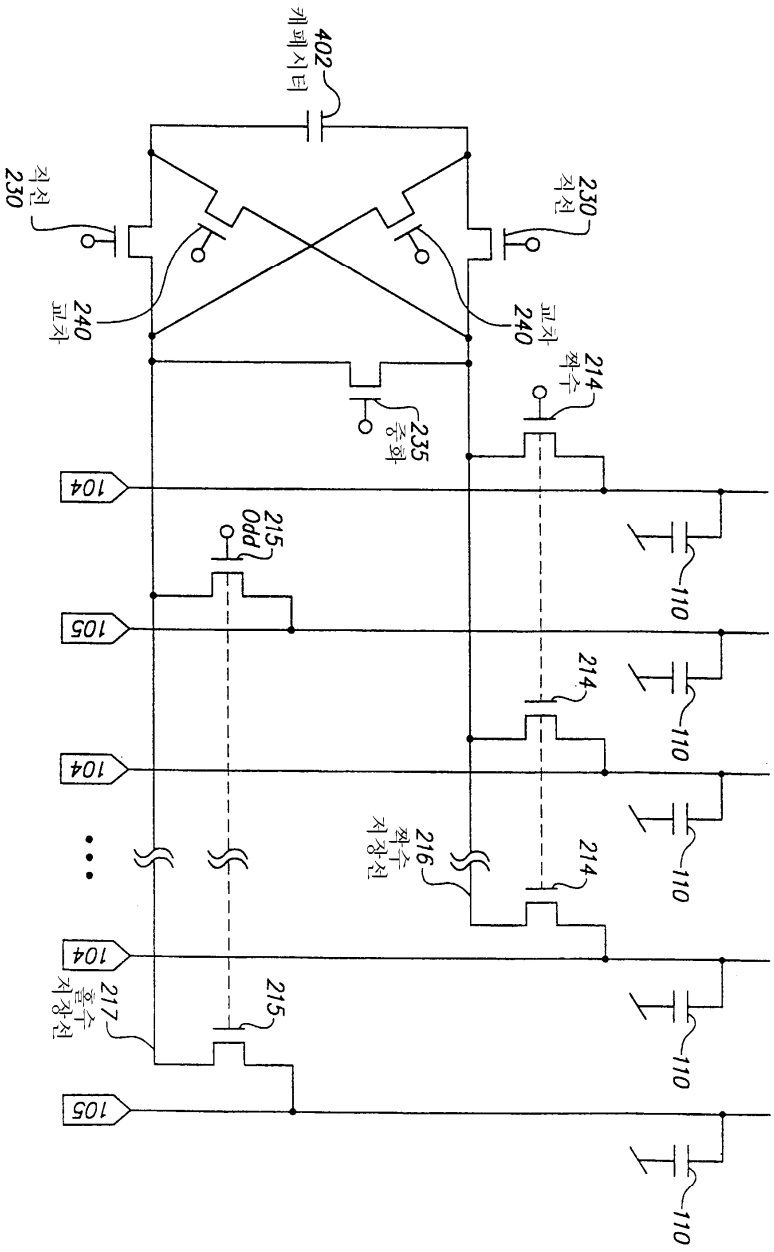
도면3D


263으로
364A
매트릭스 스위치 (290A)용 교차 어써트/디어써트
364B
매트릭스 스위치 (290B)용 교차 어써트/디어써트
364C
매트릭스 스위치 (290C)용 교차 어써트/디어써트
266으로
364
266으로
368C
매트릭스 스위치 (290C)용 직선 어써트/디어써트
368B
매트릭스 스위치 (290B)용 직선 어써트/디어써트
368A
매트릭스 스위치 (290A)용 직선 어써트/디어써트
269으로
368

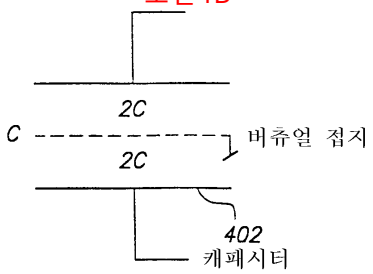
도면3E


+Vo
대략 +Vo/2
0
대략 -Vo/2
-Vo
짝수 열의 전압
C B A A B C C B A A B C C B A
시간
368 페시브
252 액티브
354 페시브
256 페시브
358 페시브
262 액티브
364 페시브
266 페시브
368 페시브

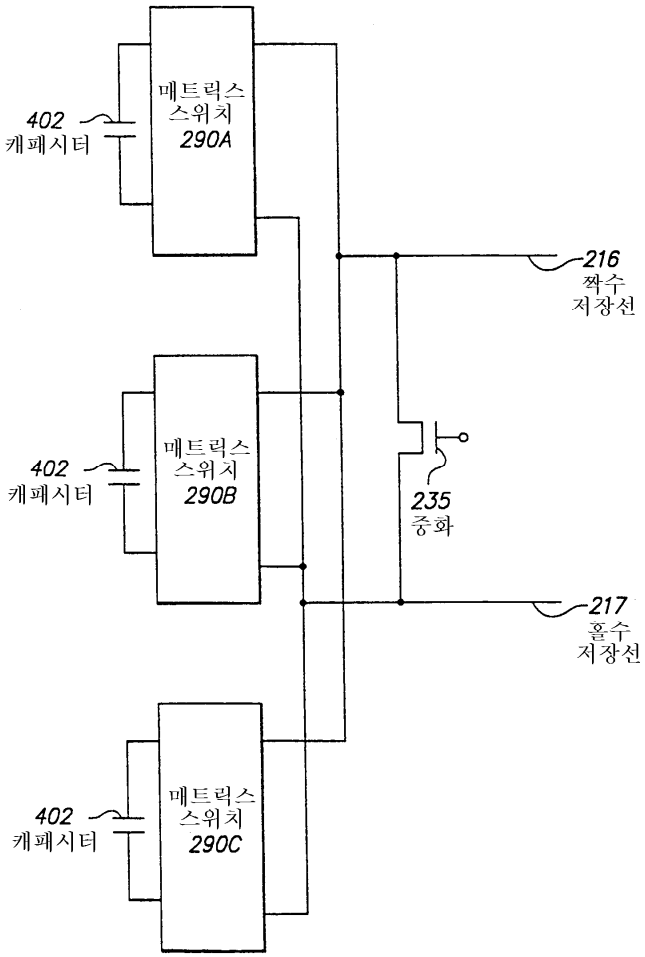
도면4A


402
캐패시터
230
직선
240
교차
214
짝수
235
충화
215
Odd
110
104
105
216
짝수
저장선
217
홀수
저장선

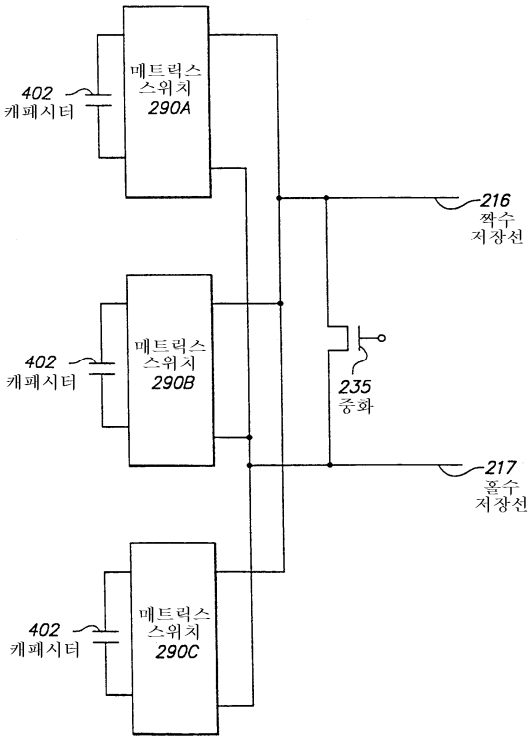
도면4B


2C
C
버츄얼 접지
2C
402
캐패시터

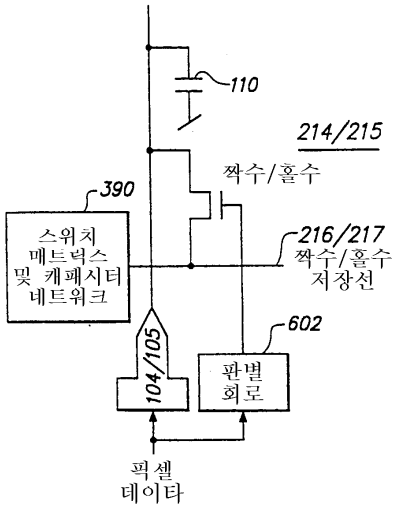
도면4C


402
캐패시터
매트릭스
스위치
290A
216
짝수
저장선
402
캐패시터
매트릭스
스위치
290B
235
중화
217
홀수
저장선
402
캐패시터
매트릭스
스위치
290C

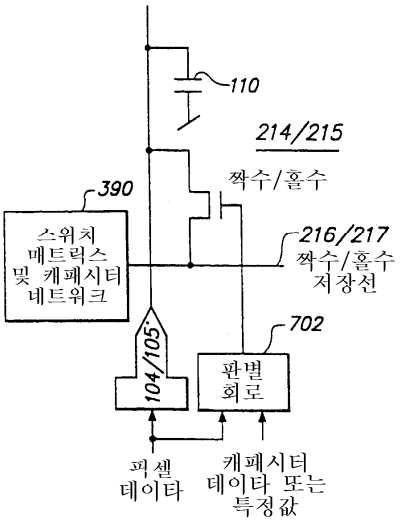
도면5


402
캐패시터
매트릭스
스위치
290A
216
짝수
저장선
402
캐패시터
매트릭스
스위치
290B
235
중화
217
홀수
저장선
402
캐패시터
매트릭스
스위치
290C

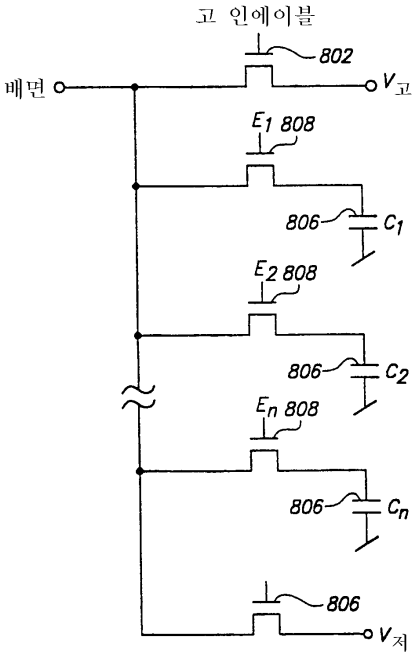
도면6


110
214/215
짝수/홀수
390
스위치
매트릭스
및 캐패시터
네트워크
216/217
짝수/홀수
저장선
602
104/105
판별
회로
픽셀
데이타

도면7


110
214/215
짝수/홀수
390
스위치
매트릭스
및 캐패시터
네트워크
216/217
짝수/홀수
저장선
702
104/105
판별
회로
픽셀
데이타
캐패시터
데이타 또는
특정값

도면8


고 인에이블
802
베면
V고
E1 808
806
C1
E2 808
806
C2
En 808
806
Cn
806
V저