

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 29 日(29.12.2016)



(10) 国際公開番号
WO 2016/208704 A1

- (51) 国際特許分類:
H01L 21/28 (2006.01) C23C 14/58 (2006.01)
C22C 30/00 (2006.01) H01L 21/336 (2006.01)
C23C 14/14 (2006.01) H01L 29/417 (2006.01)
C23C 14/34 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2016/068768
- (22) 国際出願日: 2016 年 6 月 24 日(24.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-128774 2015 年 6 月 26 日(26.06.2015) JP
- (71) 出願人: 国立大学法人東京工業大学(TOKYO INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒1528550 東京都目黒区大岡山 2-1-2 Tokyo (JP). 田中貴金属工業株式会社(TANAKA KIKINZOKU KOGYO K.K.) [JP/JP]; 〒1006422 東京都千代田区丸の内 2 丁目 7 番 3 号 Tokyo (JP).
- (72) 発明者: 大見 俊一郎(OHMI, Shunichiro); 〒1528550 東京都目黒区大岡山 2-1-2 国立大学法人東京工業大学内 Tokyo (JP). 政広 泰

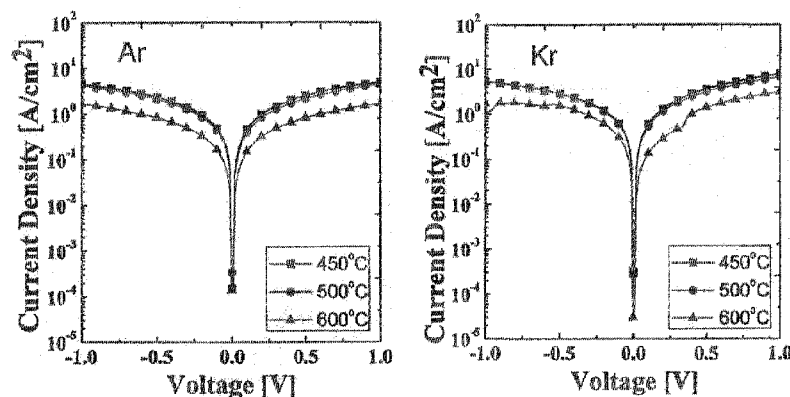
(MASAHIRO, Yasushi); 〒1006422 東京都千代田区丸の内 2 丁目 7 番 3 号 TANAKA ホールディングス株式会社内 Tokyo (JP).

- (74) 代理人: 特許業務法人田中・岡崎アンドアソシエイツ(TANAKA AND OKAZAKI); 〒1130033 東京都文京区本郷 3 丁目 30 番 10 号 本郷 K & K ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: SILICIDE ALLOY FILM FOR SEMICONDUCTOR DEVICE ELECTRODE, AND PRODUCTION METHOD FOR SILICIDE ALLOY FILM

(54) 発明の名称: 半導体デバイス電極用のシリサイド合金膜及びシリサイド合金膜の製造方法



(57) Abstract: The present invention relates to a silicide alloy film that is formed upon a substrate that includes Si, the silicide alloy film being characterized by comprising a metal M1 that has a work function of 4.6-5.7 eV, a metal M2 that has a work function of 2.5-4.0 eV, and Si and by having a work function of 4.3-4.9 eV. Pt, Pd, Mo, Ir, W, and Ru are favorable for use as the metal M1 and Hf, La, Er, Ho, Eu, Pr, and Sm are favorable for use as the metal M2. As a thin film, this silicide alloy film has excellent heat resistance and also has good electrical properties.

(57) 要約: 本発明は、Si を含む基板上に形成されるシリサイド合金膜において、仕事関数が 4.6 eV 以上 5.7 eV 以下の金属 M1 と、仕事関数が 2.5 eV 以下 4.0 eV 以上の金属 M2 と、Si とからなり、4.3 eV 以上 4.9 eV 以下の仕事関数を有することを特徴とするシリサイド合金膜に関する。ここで金属 M1 としては、Pt、Pd、Mo、Ir、W、Ru が、金属 M2 としては、Hf、La、Er、Ho、Eu、Pr、Sm の適用が好ましい。本発明のシリサイド合金膜は、耐熱性に優れると共に、電気特性も良好な薄膜である。



WO 2016/208704 A1



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体デバイス電極用のシリサイド合金膜及びシリサイド合金膜の製造方法

技術分野

[0001] 本発明は、半導体デバイスのソース／ドレイン電極等に適用されるシリサイド合金膜に関する。

背景技術

[0002] MOSFET等の半導体デバイスでは、シリコン基板上のソース／ドレイン領域において、金属／半導体接合を形成するために基板に金属とシリコンとの合金（シリサイド）からなる薄膜を形成する。シリサイド合金膜は、基板にスパッタリング法等で金属薄膜を蒸着した後、熱処理をしてシリコンを金属薄膜に拡散させてシリサイド化することで形成される。

[0003] かかるシリサイド合金膜の構成に関しては、かつてはチタンシリサイド（ TiSi_2 ）やコバルトシリサイド（ CoSi_2 ）が一般に知られていた。しかし、これらのシリサイドは、1の金属原子に対して2つのSi原子が結合するダイシリサイドであり、Si消費量が比較的多いシリサイドである。近年、MOSFET等の半導体素子においては、更なる微細化、薄型化に対応するため、ソース／ドレイン領域における接合深さの極浅化が検討されている。この要求に対応するため、シリサイド化の際のSi消費量の少ないシリサイドの適用が有力とされている。

[0004] 上記要求に応えることのできるシリサイドとして、ニッケルシリサイド（ NiSi ）が用いられている。 NiSi は、形成時のSi消費量が少ないモノシリサイドであり、比抵抗が低いという利点があることから、今後もシリサイドの主流になると期待されている。

先行技術文献

特許文献

[0005] 特許文献1：特許第4409572号明細書

発明の概要

発明が解決しようとする課題

[0006] シリサイド合金膜として最も有用性が認められているNiSiであるが課題もある。即ち、NiSiは耐熱性に劣る面があり、高温域で安定相であるNiSi₂へ転移し易いという問題がある。NiSi₂への相転移は、Si消費量が増大することに加え、シリサイド領域の高抵抗化や界面ラフネスを悪化させるという問題がある。そのためシリサイド化の際の熱処理条件をシビアに管理する必要があり、製造効率に影響を及ぼす。

[0007] 本発明は、上記のような背景を考慮し、耐熱性に優れ熱変態の影響が少なく、金属／半導体接合状態における電気特性にも優れたシリサイド合金膜を提供することを目的とし、その材料設計方針及び具体的な製造方法を明らかにする。

課題を解決するための手段

[0008] 本発明者等は、上記課題を解決する上で、熱的安定性の高い金属をベースとするシリサイド開発を行った。このベースとなる金属としては、例えば、白金(Pt)が挙げられる。Ptは貴金属として良く知られた金属であり、熱的安定性や化学的安定性の高い金属である。そして、そのシリサイドであるPtSiは、Ptの高耐熱性に起因して耐熱性に優れ高温下でも相構造に変化が生じないという利点がある。また、PtSiはNiSiと同様のモノシリサイドでありSi消費量が少ない。

[0009] 本発明者等の検討によれば、この種の熱的安定性の高い金属は仕事関数が高い傾向にあり、その影響を受けて形成されるシリサイドの仕事関数も比較的高いものとなる。このことは半導体デバイス電極のシリサイドとしては不都合といえる。シリサイドは、寄生抵抗を抑制するために、基板を構成するSi(n-Si又はp-Si)に対して仕事関数が近く障壁高さが小さいものが好ましいからである。ここで、Siの仕事関数は、n-Siで4.05 eVでありp-Siで5.12 eVである。上記のPtを例としてみると、

Ptの仕事関数は5.65 eVであり、そのシリサイド(PtSi)のn-Siに対する障壁高さは、0.85~0.9 eVとかなり高くなる。

[0010] 上記の通り、好ましいシリサイド合金膜は、Si(n-Si、p-Si)に対してmidgap付近の仕事関数を有するものである。そこで本発明者等は、Pt等の仕事関数の高い金属(M1)のシリサイドについて、仕事関数の低い金属(M2)の合金化による仕事関数の調整の可否を検討したところ、その有効性を確認することができた。

[0011] 即ち、本発明は、Siを含む基板上に形成されるシリサイド合金膜において、仕事関数が4.6 eV以上5.7 eV以下の金属M1と、仕事関数が2.5 eV以下4.0 eV以上の金属M2と、Siとからなり、4.3 eV以上4.9 eV以下の仕事関数を有することを特徴とするシリサイド合金膜である。

[0012] 以上の通り、本発明はシリサイド合金膜に関するものであり、仕事関数の高い金属(M1)と仕事関数の低い金属(M2)とシリコン(Si)とからなるものである。以下、本発明の構成について説明する。

[0013] 仕事関数の高い金属(M1)とは、仕事関数が4.6 eV以上の金属であり、具体的には、Pt、Pd、Mo、Ir、W、Ru等の少なくともいずれかである。これらの金属は、比較的化学的に安定であり、シリサイド合金膜を形成したときの耐熱性を確保する作用を有する。

[0014] 一方、仕事関数の低い金属(M2)とは、仕事関数が4.0 eV以下の金属であり、具体的には、Hf、La、Er、Ho、Yb、Eu、Pr、Sm等の少なくともいずれかである。これらの金属は、シリサイド合金膜の仕事関数を調整する作用を有し、基板となるSi(n、p)に対してmidgap付近の仕事関数とする。つまり、金属M2はシリサイド合金膜の電極としての電気的特性を確保する金属である。

[0015] 本発明に係るシリサイド合金膜は、M1とM2とSiとで構成される。ここで、Siの含有量は、33 at %以上50 at %以下である。残部が金属部(M1、M2)になるが、これら金属M1と金属M2の構成比については

、要求されるシリサイドの仕事関数により調整される。シリサイドの仕事関数は、 S_i ($n-S_i$ 、 $p-S_i$) に対して $midgap$ 付近の仕事関数とするものであり、具体的な目安として $n-S_i$ に対して 4.3 eV 以上 4.6 eV 以下となるようにし、 $p-S_i$ に対して 4.6 eV 以上 4.9 eV 以下となるようにする。これらの仕事関数にするため、 $M1$ と $M2$ との構成比 ($M1:M2$ (原子比)) は、 $1:9\sim 9:1$ の間で調整される。

[0016] 本発明に係るシリサイド合金膜を構成する合金結晶の構造は、金属 $M1$ と金属 $M2$ と S_i とが一体となった混晶体 (実質的に固溶体と同義である) を主体とする。本発明に係るシリサイド合金膜は、このような混晶体 (固溶体) を主要な構成とすることで、 S_i に対して $midgap$ 付近の仕事関数を有する。よって、本発明に係るシリサイド膜は、金属 $M1$ のシリサイド及び金属 $M2$ のシリサイドを含まないことが重要であり、含まれる場合にはその量が制限されるべきである。尚、本願では、この金属 $M1$ と金属 $M2$ と S_i とからなる混晶体を、 $M1_xM2_yS_i$ (x, y : 正数) と称することがある。また、金属 $M1$ のシリサイド及び金属 $M2$ のシリサイドを、それぞれ $M1_aS_i$ 、 $M2_bS_i$ (a, b : 正数) と称するときがある。

[0017] ここで、本発明に係るシリサイド合金膜では、金属 $M1$ 、 $M2$ のそれぞれのシリサイド ($M1_aS_i$ 、 $M2_bS_i$) の制限に関して、X線回折分析における各シリサイド由来の回折ピークのピーク強度に基づいて規定されているものが好ましい。具体的には、混晶体 ($M1_xM2_yS_i$) のピーク強度 (X) に対する、金属 $M1$ のシリサイド ($M1_aS_i$) のピーク強度 (Y) と金属 $M2$ のシリサイド ($M2_bS_i$) のピーク強度 (Z) との和の比率 ($(Y+Z)/X$) が 0.1 以下であるものが好ましい。例えば、 $M1$ が Pt であり $M2$ が Hf であるシリサイド膜のX線回折分析では、 $PtHfS_i$ (220) 面のピーク強度 (X) に対し、 PtS_i (011) 面のピーク強度 (Y) と HfS_i (011) 面のピーク強度 (Z) との比で規定できる。尚、ピーク強度比 ($(Y+Z)/X$) は、より好ましくは 0.05 以下である。また、その下限値については 0 が好ましい。

- [0018] 尚、このX線回折のピーク強度比に基づく評価を行う際、各シリサイドの結晶面（ミラー指数）は限定されず、分析によって観察可能な結晶面のピーク強度を参照することが好ましい。また、各シリサイドが複数種類生成している場合、即ち、 $M1_x M2_y Si$ における x と y との組み合わせ、若しくは、 $M1_a Si$ 、 $M2_b Si$ の a 又は b が複数存在する場合には、それぞれのピーク強度を合算した後にピーク強度比を算出してその値を評価するのが好ましい。
- [0019] また、本発明に係るシリサイド合金膜は、不純物であるC、Oの濃度が5 wt %以下であるものが好ましい。不純物の濃度が5 wt %を超えると、シリサイド合金膜の抵抗が向上し、コンタクト抵抗及びショットキー障壁高さが上昇するからである。不純物濃度は、3 wt %以下がより好ましい。
- [0020] 更に、シリサイド合金膜は、自乗平均面粗さ（RMS）が5 nm以下であるものが好ましい。より好ましくは、3 nm以下とすることが重要である。半導体デバイスの拡散層領域の漏れ電流を低減する必要があるためである。
- [0021] 次に、本発明に係るシリサイド合金膜の製造方法について説明する。本発明はシリサイド薄膜に関するものであり、その製造に際してはSi基板の上に金属M1と金属M2とからなる薄膜を形成し、熱処理してSi基板から薄膜にSiを拡散させつつ、金属M1及び金属M2をシリサイド化させる工程を基本とする。
- [0022] Si基板は、通常、半導体デバイスの基板が相当するが、デバイスの基板の上に別途形成されたSi層をSi基板としても良い。Si基板は、n-Si又はp-Siいずれでも良い。
- [0023] Si基板上に形成する金属M1と金属M2とからなる薄膜は、各金属が層状に積層した状態でも良く、は双方の金属が合金化したものでも良い。薄膜形成の方法は特に限定されるものではなく、スパッタリング法や真空蒸着法等の物理的方法や、化学気相蒸着法（CVD法）等の化学的方法のいずれも適用できるが、好ましくはスパッタリング法である。
- [0024] スパッタリングにより薄膜を製造するに際し、金属M1と金属M2とを別

々に積層させる場合、それぞれの金属からなるターゲットを使用して順次スパッタリングすることで積層状態の薄膜を形成することができる。また、金属M1と金属M2との合金薄膜を形成する場合、使用するターゲットは金属M1と金属M2との合金からなるものが好ましい。ターゲットの組成は、製造目的となるシリサイドにおける金属M1と金属M2との構成比とすれば良い。ここで使用される合金ターゲットとしては、粉末冶金法により製造されたものが挙げられる。粉末冶金法は、各金属の微粉末又は合金の微粉末を成形・焼結して製造される。

[0025] 薄膜形成におけるスパッタリング形式については特に制限は無く、マグネトロンスパッタ、イオンビームスパッタ、電子サイクロトロン共鳴（ECR）スパッタ、ミラートロンスパッタ、高周波（RF）スパッタ、直流（DC）スパッタ等で薄膜形成を行う。

[0026] 金属M1と金属M2とからなる薄膜を形成した後、熱処理によりシリサイド化してシリサイド合金膜を製造する。このときの熱処理は、600℃以下で行うのが好ましい。半導体デバイスの拡散層の接合深さに影響を及ぼさない温度とする必要があるからである。熱処理雰囲気は、非酸化性雰囲気（真空雰囲気、不活性ガス雰囲気、還元雰囲気）とするのが好ましい。

[0027] 尚、金属M1と金属M2とからなる薄膜をシリサイド化する熱処理において、薄膜の酸化抑制のために保護層を形成し、その後熱処理しても良い（以下、この保護層について、キャップ層と称するときがある）。金属M1又は金属M2の少なくともいずれかが酸化耐性が低い金属である場合には、キャップ層の設定が有用となる。キャップ層は、金属M1又は金属M2と同一又は異なる金属の化合物からなる薄膜が適用できる。例えば、窒化チタン（TiN）、炭化チタン（TiC）等のTi化合物の薄膜や、ハフニウム（Hf）の化合物であるHfN、HfW、HfB等が有用である。キャップ層の厚さは、10nm以上100nm以下が好ましく、10nm以上30nm以下がより好ましい。尚、このキャップ層は、シリサイド合金膜形成の際の薄膜の保護層であるので、熱処理後には除去するのが好ましい。

発明の効果

[0028] 本発明は仕事関数の高低に差異がある金属M1、金属M2をシリサイド化してなる合金膜に関する。本発明のように合金をシリサイド化することで、熱的安定性が高いが仕事関数の高い金属（M1）であっても、仕事関数の低い金属（M2）の作用によりSi（n-Si、p-Si）に対してmidgap付近の仕事関数を有するシリサイドを得ることができる。このシリサイド合金膜は、耐熱性と電気特性の双方を具備する。

図面の簡単な説明

[0029] [図1]第1実施形態におけるデバイス製造工程を説明する図。

[図2]第1実施形態で製造したデバイス（PtHfシリサイド合金膜）のJ-V特性を示す図。

[図3]比較例1のデバイス（Ptシリサイド膜）のJ-V特性を示す図。

[図4]第1実施形態のPtHfシリサイド合金膜のXPSによる分析結果を示す図。

[図5]第1実施形態のPtHfシリサイド合金膜のXRDによる分析結果を示す図。

[図6]シリサイド化の熱処理温度を変化させたときのシリサイド電極のシート抵抗の測定結果を示す図。

[図7]CBKR構造の形成工程を説明する図。

[図8]CBKR法によるPtHfシリサイド合金膜のコンタクト抵抗の測定結果を示す図。

[図9]第4実施形態で製造したデバイス（IrYbシリサイド合金膜）のJ-V特性を示す図。

[図10]比較例2のデバイス（Irシリサイド膜）のJ-V特性を示す図。

[図11]第4実施形態のIrYbシリサイド合金膜のXRDによる分析結果を示す図。

[図12]第5実施形態で製造したデバイス（PdYbシリサイド合金膜）のJ-V特性を示す図。

[図13]比較例3のデバイス（Pdシリサイド膜）のJ-V特性を示す図。

[図14]第5実施形態のPdYbシリサイド合金膜のXRDによる分析結果を示す図。

[図15]第6実施形態のPdErシリサイド合金膜のXRDによる分析結果を示す図。

発明を実施するための形態

[0030] 以下、本発明の実施形態について説明する。

第1実施形態：本実施形態では、金属M1としてPtを金属M2としてHfを適用する、PtHfシリサイド（ Pt_xHf_ySi ）合金膜を製造した。ここでは、Si基板にPtHfシリサイド薄膜を形成してショットキーダイオードを製造し、このデバイスの電気特性を評価した。

[0031] 図1に本実施形態におけるデバイス製造工程を示す。本実施形態では、Si基板（n-Si（100））を洗浄した後（図1（a））、ウェット酸化してSiO₂層を形成しエッチング処理してパターニングを行う（図1（b））。そして、その内部にPtHf合金薄膜を形成する（図1（c））。

[0032] PtHf合金薄膜の形成は、PtHf合金からなる焼結ターゲットを使用した。この焼結ターゲットは、PtHf合金の微粉末を焼結したものである。PtHf合金粉末は、高純度のPt及びHfの地金をアーク溶解で溶融・合金化しボタン状のインゴットを製造し、これを機械粉碎して粉末として製造されたものである。ここでの合金組成は、Pt：Hf＝5：2（at%）である。そして、この合金粉末をHIP装置にて、1000kgf/cm²、1500℃、1時間の条件で焼結して合金ターゲットとした（寸法：直径76.2mm、厚さ2.0mm）。

[0033] PtHf合金薄膜の形成に際して、まず、基板表面を予備スパッタ（出力100W、5分間）してクリーニングした。その後、PtHf合金をスパッタリングした。このときの条件は、室温、出力40Wとし、合金薄膜を20nm成膜した。尚、本実施形態ではスパッタリングにおけるガスイオンとして、Ar、Krを用いた（いずれも装置内の圧力0.7Paとした）。

- [0034] PtHf合金薄膜の形成後は、熱処理によりシリサイド化を行った。シリサイド化の条件は、処理温度として450℃、500℃、600℃の3つの条件を設定した。処理雰囲気は窒素ガス中とし、処理時間を5分間とした。
- [0035] PtHfのシリサイド化後、エッチングにより未反応金属を除去し、Al電極を形成してデバイスとした（図1（d））。エッチングはバッファードフッ酸（BF₃H）と希釈王水（HCl：HNO₃：H₂O＝3：2：1、温度40℃）により行った。
- [0036] 比較例1：第1実施形態に対する比較例として、PtHfに替えてPt薄膜を形成し、これをシリサイド化してデバイスを製造した。シリサイド化の条件等は、基本的に第1実施形態と同様とした（Arスパッタのみ実施）。
- [0037] 以上で製造したデバイスについて電気特性を評価した。評価試験では、半導体パラメータ解析装置により電流密度－電圧特性（J－V特性）を測定することで行った。
- [0038] 図2は、本実施形態で製造したデバイス（PtHfシリサイド合金膜）のJ－V特性を示す。この結果から、本実施形態で製造したデバイスは、順方向・逆方向（プラス方向・マイナス方向）のいずれの電圧印加に対してもリニアな電流密度の上昇が見られた。本実施形態では、基板がn-Siでありマイナス電位における挙動が重要であるが、本実施形態のデバイスは良好な特性を示したといえる。一方、比較例1のJ－V特性を図3に示すが、比較例1の場合、マイナス電位印加における電流密度の増加が見られなかった。
- [0039] 本実施形態に係るPtHfシリサイド合金膜において、シリサイド化の温度に関しては、いずれの処理温度でもデバイスの挙動が好適なものを得ることができた。尚、Arスパッタ処理したものでは、電流密度は450℃で処理したものが高かった。また、Krスパッタ処理したものも、電流密度は450℃で処理したものが高かった。
- [0040] 測定されたJ－V特性から、各シリサイド合金膜のショットキー障壁高さを算出し、下記の表1にまとめた。表1から、本実施形態のPtHfシリサイドのショットキー障壁高さは、0.47～0.51 eVであるのに対して

、比較例のPtシリサイドは、 0.85 eV （Arスパッタ）であった。これらシリサイドのショットキー障壁高さの相違は、シリサイド化される金属の仕事関数によるものであり、比較例ではPtの仕事関数が高いためにショットキー障壁高さが高くなったといえる。

[0041] [表1]

	ショットキー障壁高さ	
	Ar	Kr
450°C	0.48eV	0.47eV
500°C	0.48eV	0.48eV
600°C	0.51eV	0.51eV

[0042] ここで、PtHfシリサイド合金膜（熱処理温度450°C）について、XPSを用いて組成分析を行った。この測定結果を図4に示す。分析結果について、各元素に帰属するピーク面積より組成比を算出したところ、Pt:Hf:Si=30:20:50（原子比）であることが確認できた。また、不純物の含有量は、酸素2.05wt%、炭素0.14wt%以下（検出限界以下）であることが確認できた。尚、シリサイド膜におけるPtとHfの比率が、ターゲットであるPtHf合金の組成（Pt:Hf=5:2）と相違しているのは、PtとHfの蒸気圧の相違や、Si基板へのPtとHfの拡散速度の違いにより形成されるシリサイドの組成ずれが考えられる。

[0043] また、本実施形態のPtHfシリサイド合金膜（熱処理温度450°C）のX線回折分析（XRD）の結果を図5に示した。このシリサイド合金膜は、混晶体（ $\text{Pt}_x\text{Hf}_y\text{Si}$ ）のピークが明確に現れている一方でPt、Hfの各金属の個別のシリサイド（PtSi、HfSi）のピークは殆どみられない。各シリサイドのピーク強度比（ $(Y+Z)/X$ ）は、約0.05程度であった。

[0044] 更に、PtHfシリサイド合金膜（熱処理温度450°C）について、AF

M（原子間力顕微鏡）により自乗平均表面粗さ（RMS）を測定したところ（走査幅 $3\mu\text{m}$ ）、Arスパッタにより成膜した表面は、 2.16nm であった。また、Krスパッタにより成膜した表面は、 0.45nm であった。いずれも良好な表面形態を示した。尚、比較例であるPtシリサイド膜のRMSは 6.40nm であった。

[0045] 第2実施形態：PtHf合金薄膜のシリサイド化の条件について、高温処理を適用する場合の耐熱性を評価する試験を行った。洗浄処理したn-Si（111）基板を用意し、第1実施形態と同様の条件でPtHf合金薄膜を形成した（予備スパッタ有り、膜厚 20nm ）。これを 400°C 、 500°C 、 600°C のそれぞれの温度で熱処理し、希釈王水でエッチングして試料を作製した。そして、これらの試料についてシート抵抗を四探針測定法で測定した。

[0046] この測定結果を図6に示す。成膜直後のPtHf合金薄膜は、シート抵抗が高い状態にあるが、シリサイド化によりシート抵抗は低下する。シリサイドのシート抵抗は、 600°C と高温で処理したものでも低い状態を保っている。このように、PtHfは熱安定性が良好であり、高温でも抵抗が上昇することがないことが確認できた。

[0047] 第3実施形態：ここでは、PtHfシリサイド合金膜について、半導体デバイス実装時により近い状態を再現・評価するため、クロスブリッジケルビン抵抗法（cross-bridge Kelvin resistance：以下、CBKR法と称する）による4端子ケルビンテスト構造におけるコンタクト抵抗（界面接触抵抗）を評価した。図7は、CBKR構造の形成工程を概略説明するものである。

[0048] 図8は、CBKR法によるPtHfシリサイド合金膜のコンタクト面積によるコンタクト抵抗の測定結果を示すものである。この評価結果から、 $2\mu\text{m}$ 角におけるPtHfシリサイド合金膜のコンタクト抵抗は $8\times 10^{-8}\Omega\text{cm}$ と低抵抗を達成していることがわかる。実デバイスへの適用にも期待が持てることが確認できた。

- [0049] 第4実施形態：この実施形態では、金属M1としてIr（仕事関数：5.27 eV）を、金属M2としてYb（仕事関数：2.6 eV）を適用したIrYbシリサイド合金膜（ $\text{Ir}_x\text{Yb}_y\text{Si}$ ）を製造した。具体的には、第1実施形態と同様、Si基板にIrYbシリサイド薄膜からなる電極を備えるショットキーダイオードを製造し、このデバイスの電気特性を評価した。
- [0050] デバイスの製造工程は、基本的には第1実施形態（図1）と同様である。Si基板（n-Si（100））の洗浄後、 SiO_2 層形成及びエッチング処理してパターニングを行った。そして、その内部にYb薄膜を成膜した後にIr薄膜を成膜し、熱処理してIrYbシリサイド合金膜を形成した。
- [0051] Yb薄膜、Ir薄膜の形成は、Ir、Ybそれぞれの金属からなるターゲットを使用した。薄膜の製造に際し、Ybの鋳造インゴットを冷間圧延、焼鈍、機械加工して最終仕上げ加工したYb溶解ターゲット（寸法：直径76.1 mm、厚さ2 mm）を用意した。また、プラズマ溶解により得たIr鋳造インゴットを熱間鍛造、熱間圧延し、レーザー切断後に、切削・研磨により最終仕上げしIr溶解ターゲットを用意した。
- [0052] Yb薄膜及びIr薄膜の形成に際して、まず、基板表面を予備スパッタ（出力100 W、5分間）してクリーニングした。そして、Yb薄膜及びIr薄膜をRFマグネトロスパッタリングによりKrガス圧力0.65 Paで成膜した。Yb薄膜の成膜条件は、室温、出力180 Wとして膜厚6 nmのYbを成膜した。Yb成膜に続くIr薄膜の成膜条件は、室温、出力80 Wとして14 nm成膜した。
- [0053] 本実施形態では、Yb薄膜及びIr薄膜の形成後、薄膜上にHfN薄膜からなるキャップ層を形成し、その後熱処理を行いシリサイド合金膜を形成した。キャップ層の形成は、Hfターゲットを用い、成膜雰囲気はKr/N₂とする反応性スパッタリング（RFマグネトロスパッタリング、室温、出力200 W）にて成膜した（膜厚10 nm）。そして、シリサイド化の条件は、処理温度として500℃、処理雰囲気は窒素ガス中とし、処理時間を1分間とした。シリサイド化後、エッチングによりキャップ層と未反応金属を除去

し、A I 電極を形成してデバイスとした。

[0054] 比較例 2：第 4 実施形態に対する比較例として、I r 薄膜のみを形成し、これをシリサイド化してデバイスを製造した。I r 薄膜の成膜条件及びシリサイド化の条件等は、第 4 実施形態と同様とした。

[0055] 図 9 は、第 4 実施形態で製造したデバイス（I r Y b シリサイド合金膜）の J - V 特性を示す。順方向・逆方向（プラス方向・マイナス方向）のいずれの電圧印加に対してもリニアな電流密度の上昇が見られた。一方、比較例 2 のデバイスの J - V 特性を図 10 に示すが、マイナス電位印加における電流密度の増加が見られなかった。

[0056] 測定された J - V 特性から、第 4 実施形態のシリサイド合金膜（I r Y b シリサイド合金膜）のショットキー障壁高さは 0.47 eV であった。一方、比較例 2 のシリサイド合金膜（I r シリサイド合金膜）のショットキー障壁高さは 0.89 eV であった。比較例 2 の I r シリサイド膜は、I r の仕事関数が高いためにショットキー障壁高さが高い、I r に Y b を合金化する第 4 実施形態でショットキー障壁高さが低下することが確認された。

[0057] また、第 4 実施形態及び比較例 2 のシリサイド膜のシート抵抗を四探針測定法で測定したところ、第 4 実施形態が 63.0 Ω / sq であり、比較例 2 で 63.6 Ω / sq であったので、第 4 実施形態のシート抵抗はわずかながら低下することを確認した。

[0058] 次に、第 4 実施形態の I r Y b シリサイド合金膜の XRD の結果を図 11 に示す。このシリサイド合金膜は、混晶体である $\text{I r}_x \text{Y b}_y \text{S i}$ ($y = z$ であり $x = 1 - z$ である) のピークの外、Y b と I r との合金のピークが観察される。また、かすかに Y b のシリサイド ($\text{Y b}_5 \text{S i}_3$) のピークも記録されているようである。本実施形態では、各シリサイドのピーク強度比 ($(Y + Z) / X$) は、0.05 程度であった。

[0059] 尚、この XRD で観察された $\text{I r}_x \text{Y b}_y \text{S i}$ 混晶体は、I r のシリサイド (I r S i) の一部の I r サイトに Y b が置換して形成された混晶体 ($\text{I r}_{1-z} \text{Y b}_z \text{S i}$) であった。ここで、この混晶体が I r S i 斜方晶と同様の構造

を有すると想定すると、合金膜の組成は、 $I r : Y b : S i = 43.8 : 6.2 : 50$ （原子比）であると推定された。

[0060] 第5実施形態：この実施形態では、金属M1としてPd（仕事関数：4.9 eV）を、金属M2としてYb（仕事関数：2.6 eV）を適用したPdYbシリサイド合金膜（ $Pd_x Yb_y S i$ ）を有するデバイスを製造した。第4実施形態と同様にして用意したSi基板に、Yb薄膜を成膜した後にPd薄膜を成膜し、熱処理してPdYbシリサイド合金膜を形成した。

[0061] Yb薄膜、Pd薄膜の形成は、Pd、Ybそれぞれの金属からなるターゲットを使用した。Ybターゲットは第4実施形態と同じものを使用した。また、大気溶解により得たPd鑄造インゴットを熱間鍛造、熱間圧延し、レーザー切断後に、切削・研磨により最終仕上げしPd溶解ターゲットを用意した。Yb薄膜及びPd薄膜は、RFマグネトロスパッタリングによりKrガス圧力0.65 Paで成膜した。Yb薄膜の成膜条件は、室温、出力180 Wとして膜厚6 nmのYbを成膜した。Yb成膜に続くPd薄膜の成膜条件は、室温、出力80 Wとして14 nm成膜した。

[0062] 第4実施形態と同様、Yb薄膜及びPd薄膜の形成及びキャップ層の形成後、熱処理によりシリサイド化を行った。シリサイド化の条件は、処理温度として500℃、処理雰囲気は窒素ガス中とし、処理時間を1分間とした。シリサイド化後、エッチングによりキャップ層と未反応金属を除去し、Al電極を形成してデバイスとした。

[0063] 比較例3：第5実施形態に対する比較例として、Pd薄膜のみを形成し、これをシリサイド化してデバイスを製造した。Pd薄膜の成膜条件及びシリサイド化の条件等は、第5実施形態と同様とした。

[0064] 図12は、第5実施形態で製造したデバイス（PdYbシリサイド合金膜）のJ-V特性を示す。また、図13は、比較例3のデバイスのJ-V特性を示す。本実施形態のデバイスも、順方向・逆方向（プラス方向・マイナス方向）のいずれの電圧印加に対してもリニアな電流密度の上昇が見られた。これに対して比較例3のデバイスは、マイナス電位印加における電流密度の

増加が見られなかった。

[0065] 測定されたJ-V特性から、第5実施形態のシリサイド合金膜（PdYbシリサイド合金膜）のショットキー障壁高さは0.4 eVであった。一方、比較例3のシリサイド合金膜（Pdシリサイド合金膜）のショットキー障壁高さは0.73 eVであった。比較例3のPdシリサイド膜は、Pdの仕事関数が高いためにショットキー障壁高さが高い、PdにYbを合金化する第5実施形態でショットキー障壁高さが低下することが確認された。

[0066] また、第5実施形態及び比較例3のシリサイド膜のシート抵抗を四探針測定法で測定したところ、第5実施形態が20.9 $\Omega/\square$ であり、比較例2で27 $\Omega/\square$ であったので、第5実施形態のシート抵抗の低下が確認された。

[0067] 次に、第5実施形態のPdYbシリサイド合金膜のXRDの結果を図14に示す。このシリサイド合金膜に、混晶体である Pd_xYb_ySi （ $y=z$ であり $x=2-z$ である）のピークが観察された。かすかにPdのシリサイド（ Pd_2Si ）のピークも記録されているようである。本実施形態では、各シリサイドのピーク強度比（ $(Y+Z)/X$ ）は、0.05程度であった。

[0068] 尚、このXRDで観察された Pd_xYb_ySi 混晶体は、Pdのシリサイド（ Pd_2Si ）の一部のPdサイトにYbが置換して形成された混晶体（ $Pd_{2-z}Yb_zSi$ ）であった。ここで、この混晶体が Pd_2Si 六方晶と同様の構造を有すると想定すると、合金膜の組成は、Pd:Yb:Si=57.8:8.9:33.3（原子比）であると推定された。

[0069] 第6実施形態：本実施形態では、金属M1としてPd（仕事関数：4.9 eV）を、金属M2としてEr（仕事関数：3.2 eV）を適用したPdErシリサイド合金膜（ Pd_xEr_ySi ）を製造した。ここでは、PdEr合金からなる焼結ターゲットを使用し、PdEr合金薄膜を成膜した後、シリサイド化のための熱処理を行い、シリサイド化の成否を確認した。

[0070] PdEr合金からなる焼結ターゲットは、PdEr合金の微粉末を焼結したものである。PdEr合金粉末は、高純度のPd及びErの地金をアーク

溶解で溶融・合金化しボタン状のインゴットを製造し、これを機械粉碎して粉末として製造されたものである。ここでの合金組成は、 $Pd : Er = 3 : 2$ (at%) である。そして、この合金粉末をHIP装置にて、 255 kgf/cm^2 、 1140°C 、1時間の条件で焼結して合金ターゲットとした（寸法：直径76.0mm、厚さ3.0mm）。

[0071] $PdEr$ 合金薄膜の形成に際して、まず、 $n-Si(100)$ 基板について、表面を予備スパッタ（出力200W、30分間）してクリーニングし、洗浄した。その後、 $PdEr$ 合金膜をスパッタリングした。このときの条件は、室温、出力80W、 0.65 Pa とし、スパッタリングガスをKrガスとした。そして、 $PdEr$ 合金薄膜を20nm成膜した。

[0072] $PdEr$ 合金薄膜の形成後、HfNキャップ層を形成し、熱処理してシリサイド化を行った。キャップ層の形成は、Hfターゲットを用い、成膜雰囲気は Kr/N_2 とする反応性スパッタリング（RFマグネトロスパッタリング、室温、出力200W）にて成膜した（膜厚20nm）。そして、シリサイド化は、処理温度として 550°C とし、処理雰囲気は窒素ガス中とし、処理時間を30分間とした。シリサイド化の処理後、エッチングによりキャップ層と未反応金属を除去した。

[0073] 上記工程で製造された $PdEr$ シリサイド合金膜のXRDの結果を図15に示す。このシリサイド合金膜では、混晶体である Pd_xEr_ySi ($y = z$ であり $x = 2 - z$ である) の強いピークが観察された。また、 Pd シリサイドと Er シリサイドのピークは極めて微弱であった。本実施形態では、各シリサイドのピーク強度比 ($(Y + Z) / X$) は、0.01未満であった。尚、このXRDで観察された Pd_xEr_ySi 混晶体は、 Pd のシリサイド (Pd_2Si) の一部の Pd サイトに Er が置換して形成された混晶体 ($Pd_{2-z}Er_zSi$) であった。ここで、この混晶体が Pd_2Si 六方晶と同様の構造を有すると想定すると、合金膜の組成は、 $Pd : Er : Si = 40 : 26.7 : 33.3$ (原子比) と推定された。

産業上の利用可能性

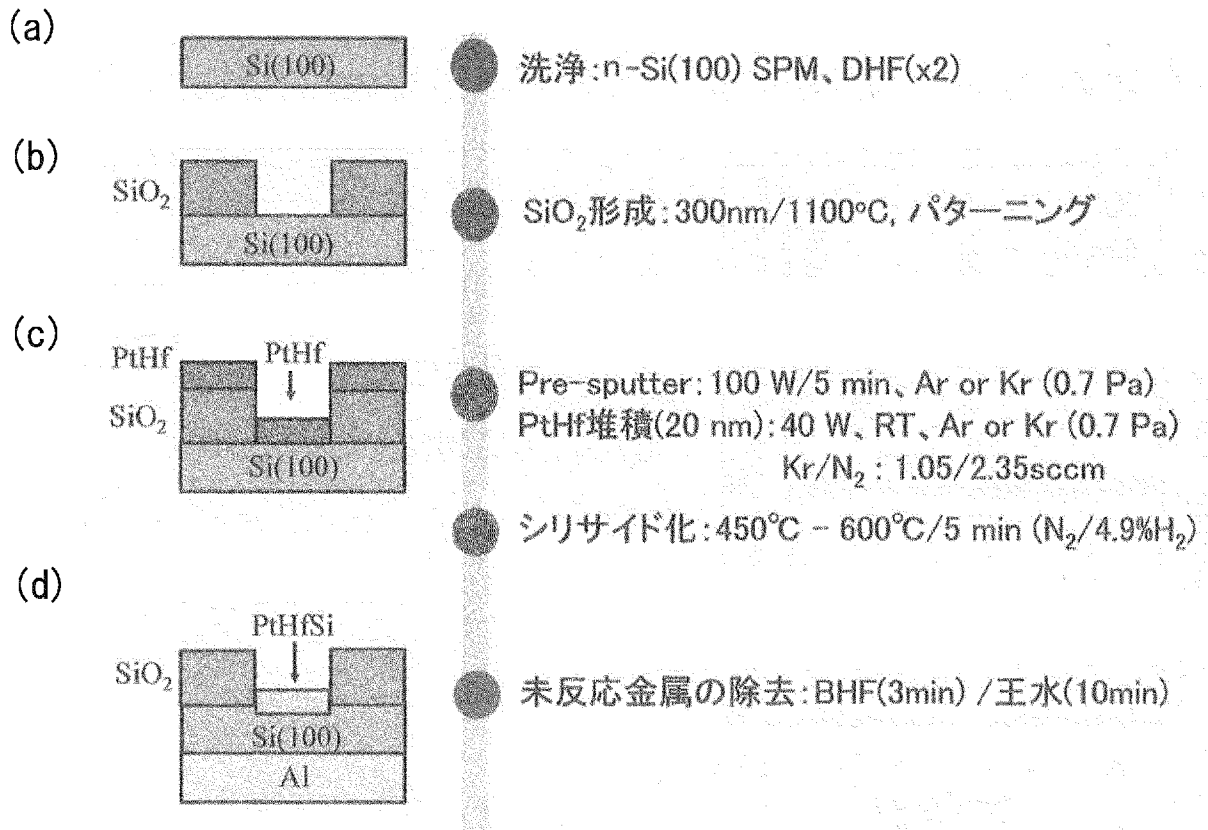
[0074] 本発明に係るシリサイド合金膜は、仕事関数の相違する金属M1と金属M2とのシリサイドからなるものであり、熱的安定性が良好である上に、Si基板に対してmidgap付近の仕事関数を有する。本発明は、MOSFET等の各種半導体デバイスにおけるシリサイド電極の構成材料として好適である。

請求の範囲

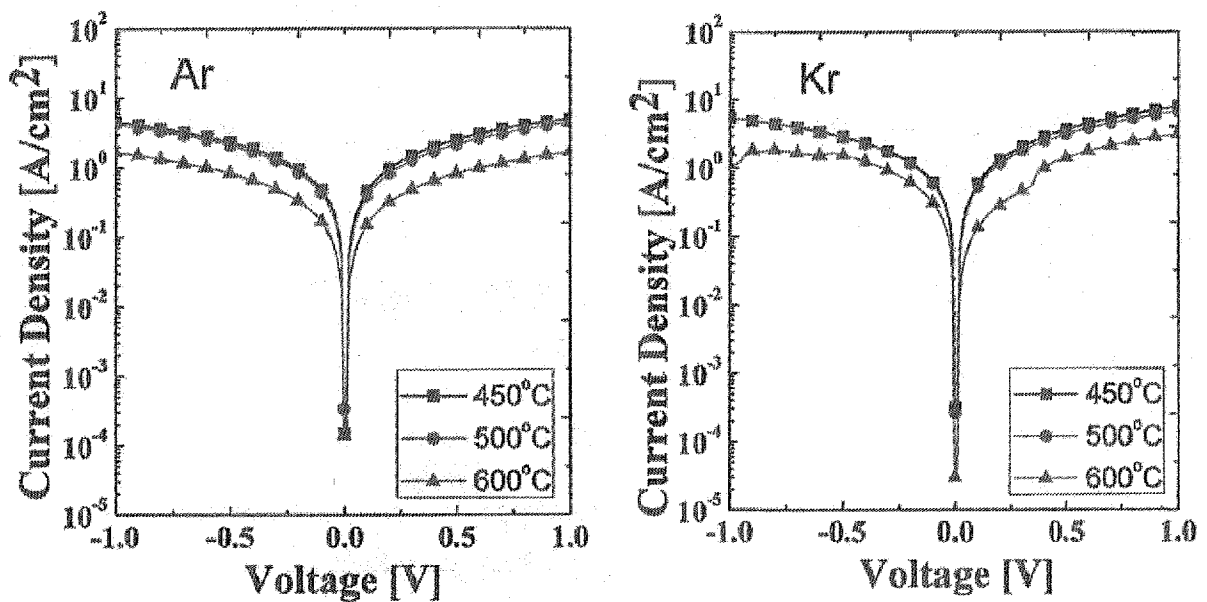
- [請求項1] Siを含む基板上に形成されるシリサイド合金膜において、
仕事関数が4.6 eV以上5.7 eV以下の金属M1と、仕事関数が2.5 eV以下4.0 eV以上の金属M2と、Siとからなり、
4.3 eV以上4.9 eV以下の仕事関数を有することを特徴とするシリサイド合金膜。
- [請求項2] 金属M1は、Pt、Pd、Mo、Ir、W、又はRuの少なくともいずれかである請求項1記載のシリサイド合金膜。
- [請求項3] 金属M2は、Hf、La、Er、Ho、Ea、Eu、Pr、又はSmの少なくともいずれかである請求項1又は請求項2記載のシリサイド合金膜。
- [請求項4] Si含有量が33 at %以上50 at %以下である請求項1～請求項3のいずれかに記載のシリサイド合金膜。
- [請求項5] X線回折分析により観察される、金属M1と金属M2とSiとからなる混晶体 ($M_1{}_xM_2{}_ySi$) の回折ピークのピーク強度 (X) と、金属M1のシリサイド ($M_1{}_aSi$) の回折ピークのピーク強度 (Y) と、金属M2のシリサイド ($M_2{}_bSi$) の回折ピークのピーク強度 (Z) と、の関係について、
Xに対する、YとZとの和の比率 ($(Y+Z)/X$) が0.1以下である請求項1～請求項4のいずれかに記載のシリサイド合金膜。
- [請求項6] 不純物であるC、Oの濃度が合計で5質量%以下である請求項1～請求項5のいずれかに記載のシリサイド合金膜。
- [請求項7] 自乗平均表面粗さ (RMS) が5 nm以下である請求項1～請求項6のいずれかに記載のシリサイド合金膜。
- [請求項8] 請求項1～請求項7のいずれかに記載のシリサイド合金膜の製造方法であって、
Si基板の上に金属M1と金属M2とからなる薄膜を形成した後、
前記Si基板を熱処理して金属M1及び金属M2をシリサイド化する

るシリサイド合金膜の製造方法。

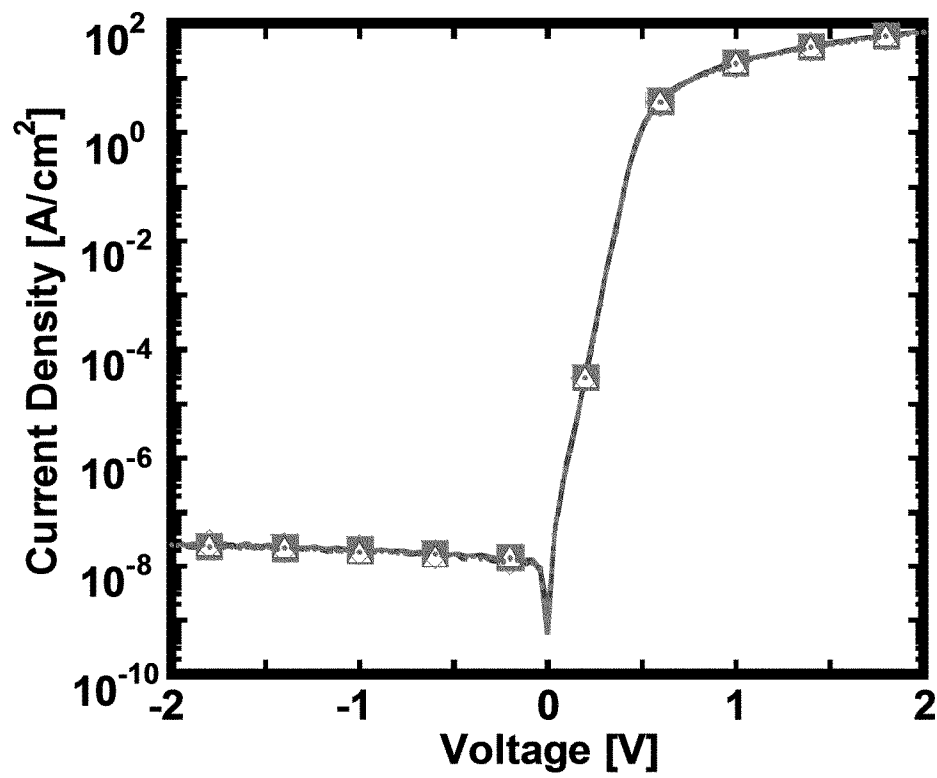
[図1]



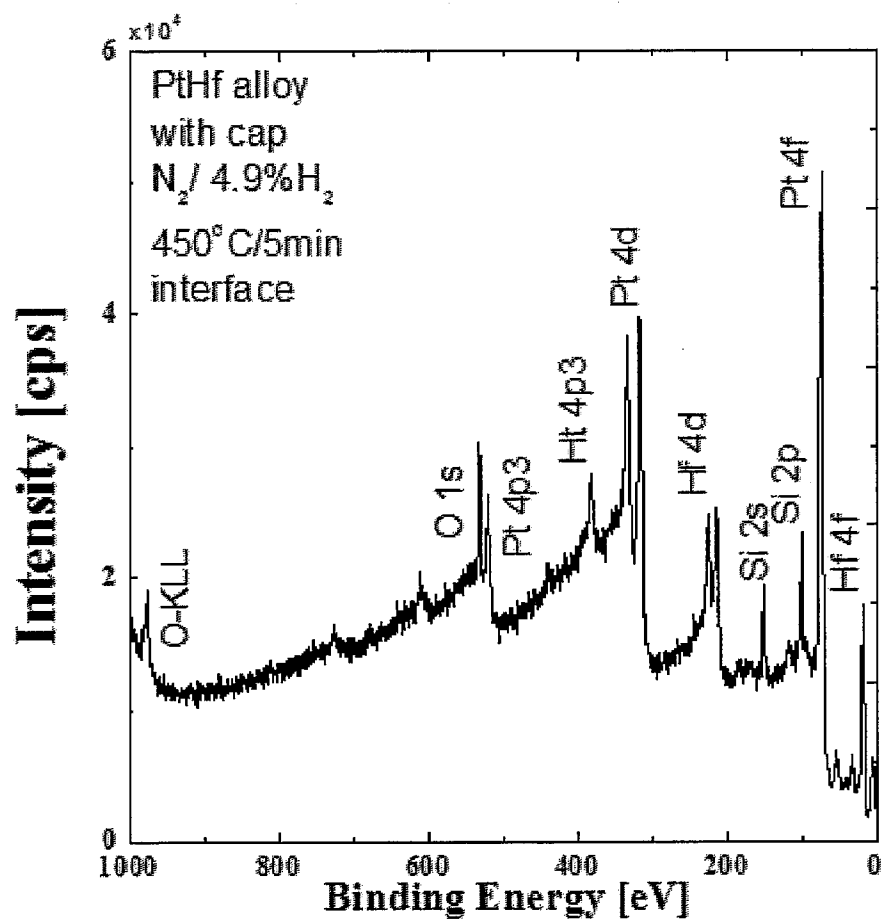
[図2]



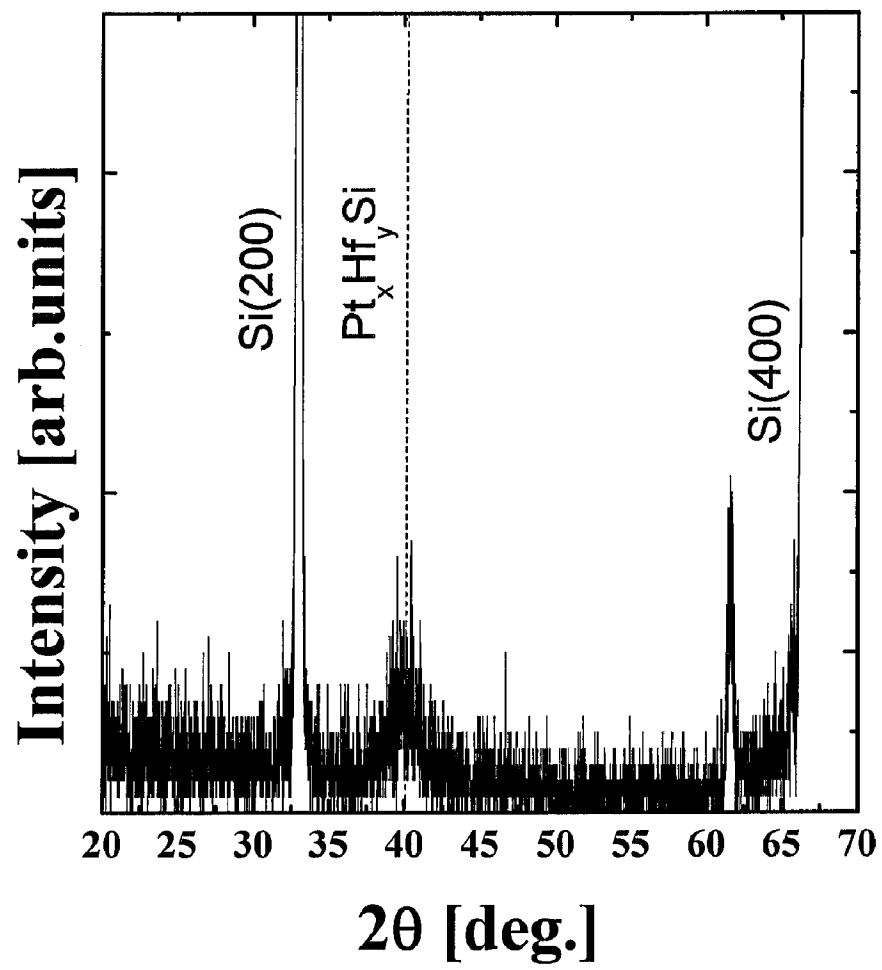
[図3]



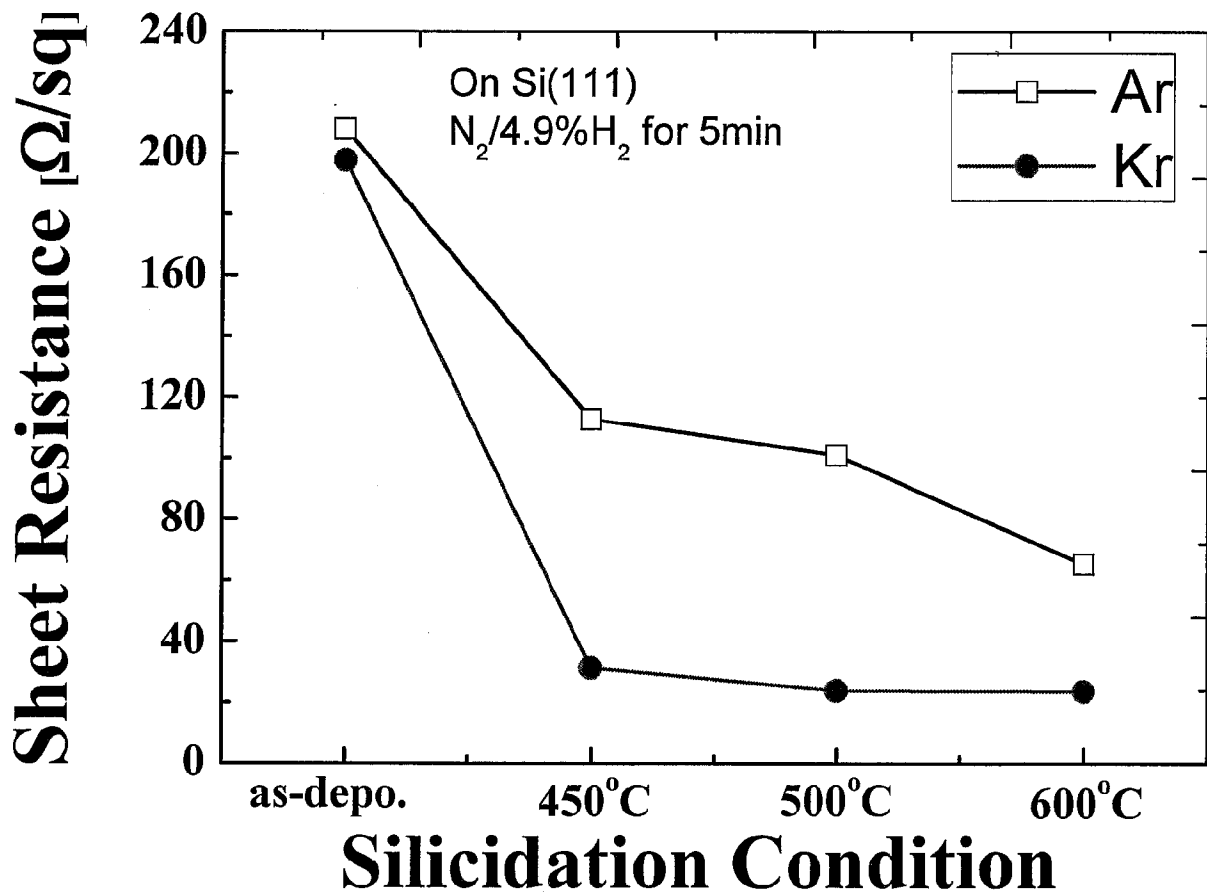
[図4]



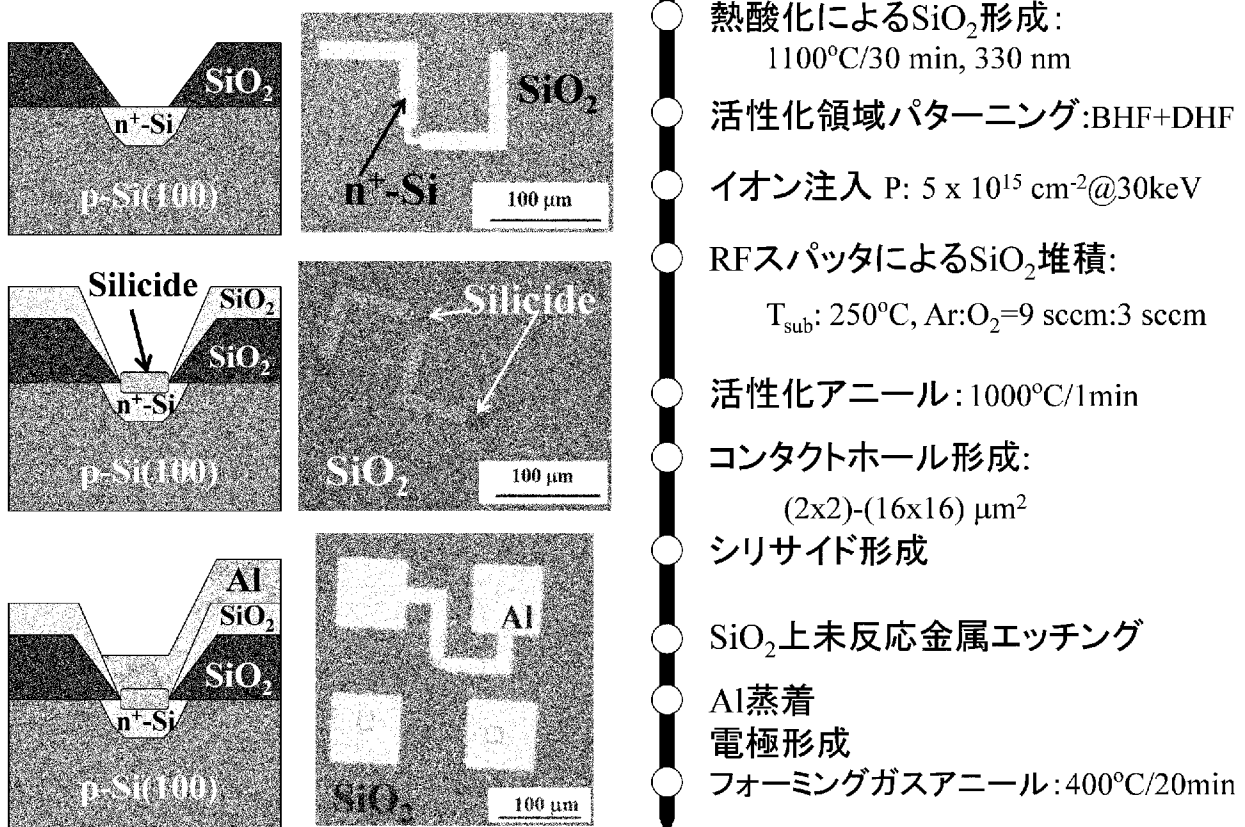
[図5]



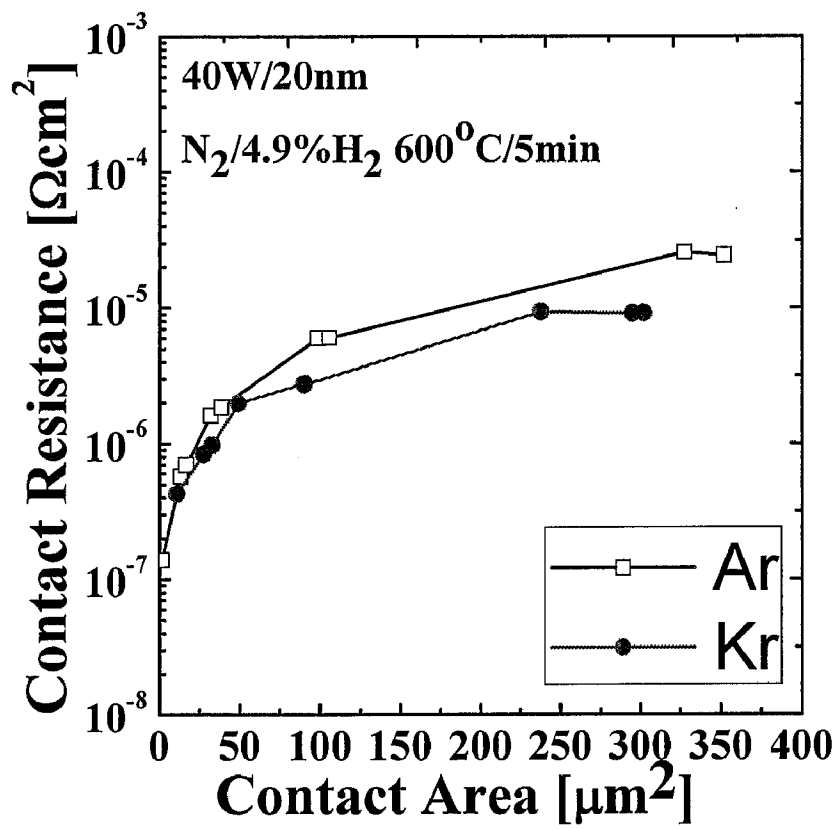
[図6]



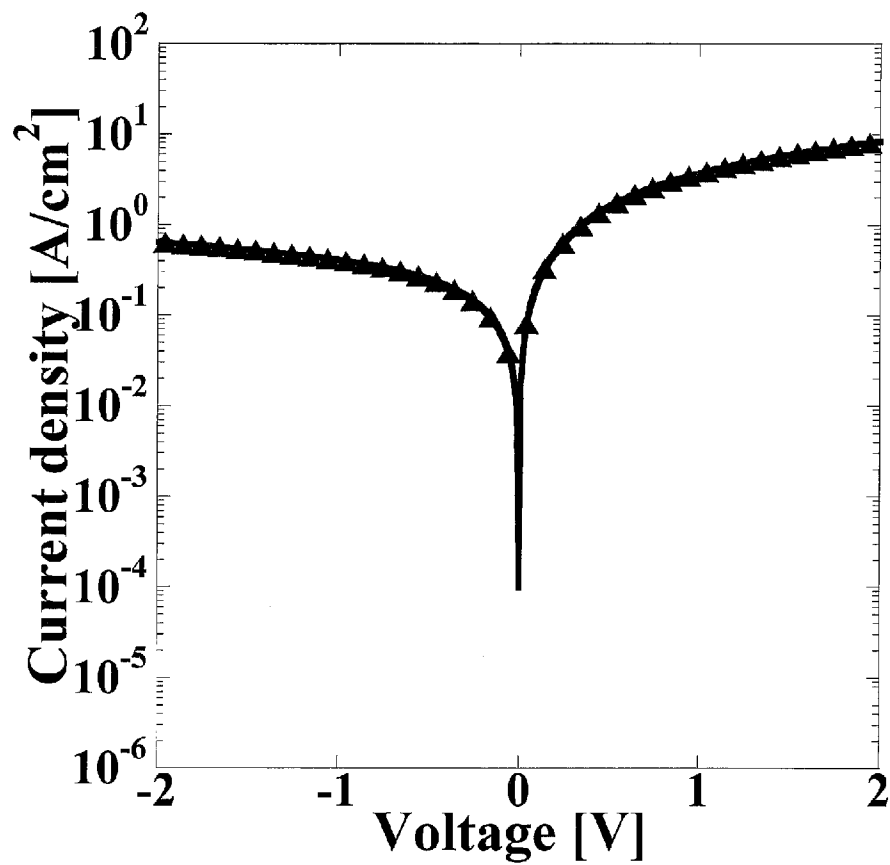
[図7]



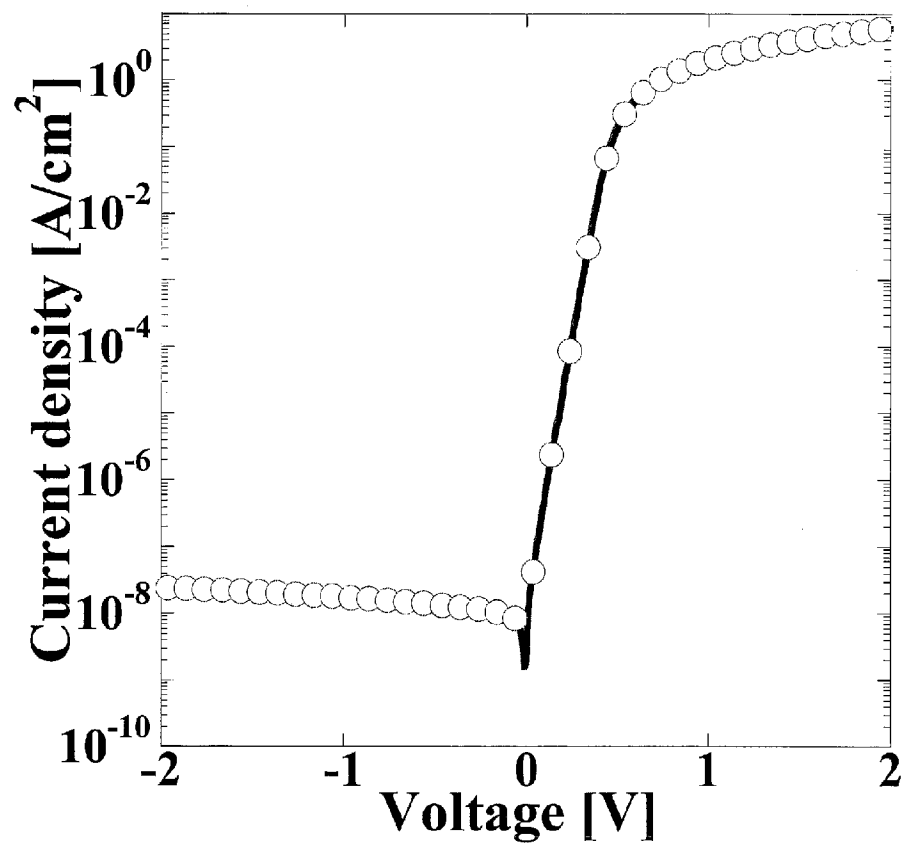
[図8]



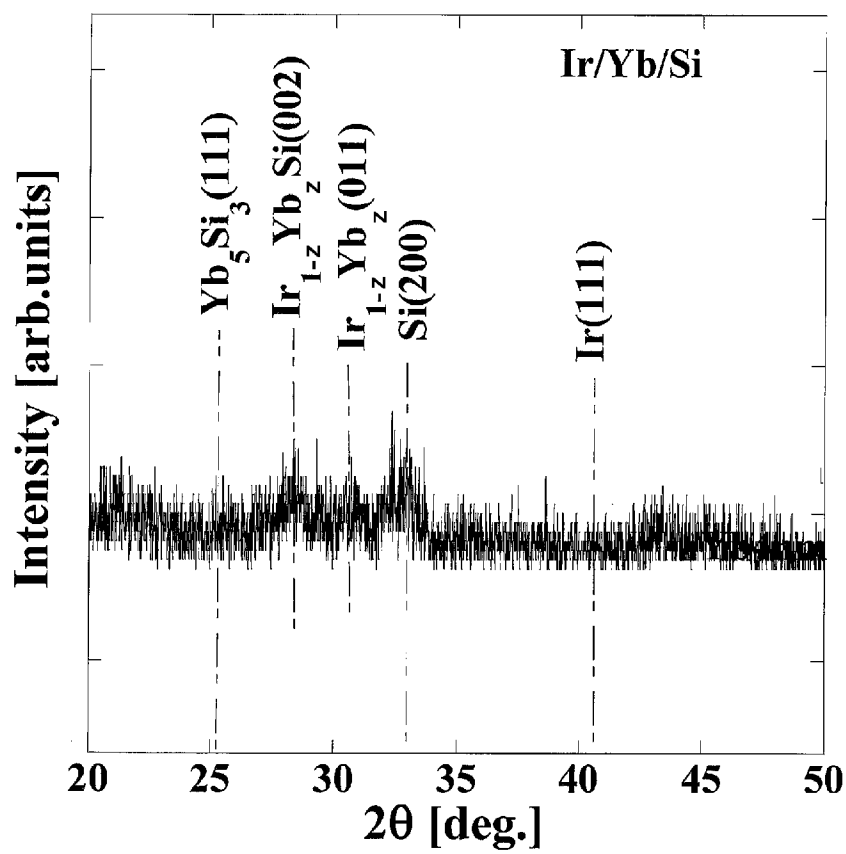
[図9]



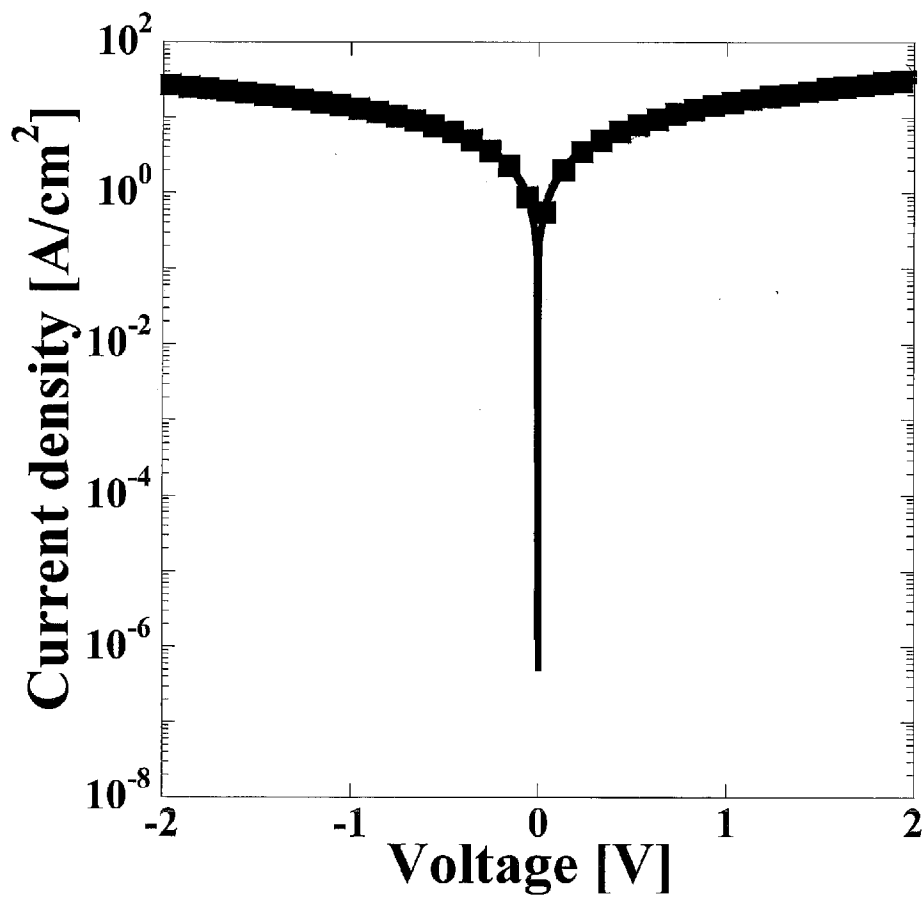
[図10]



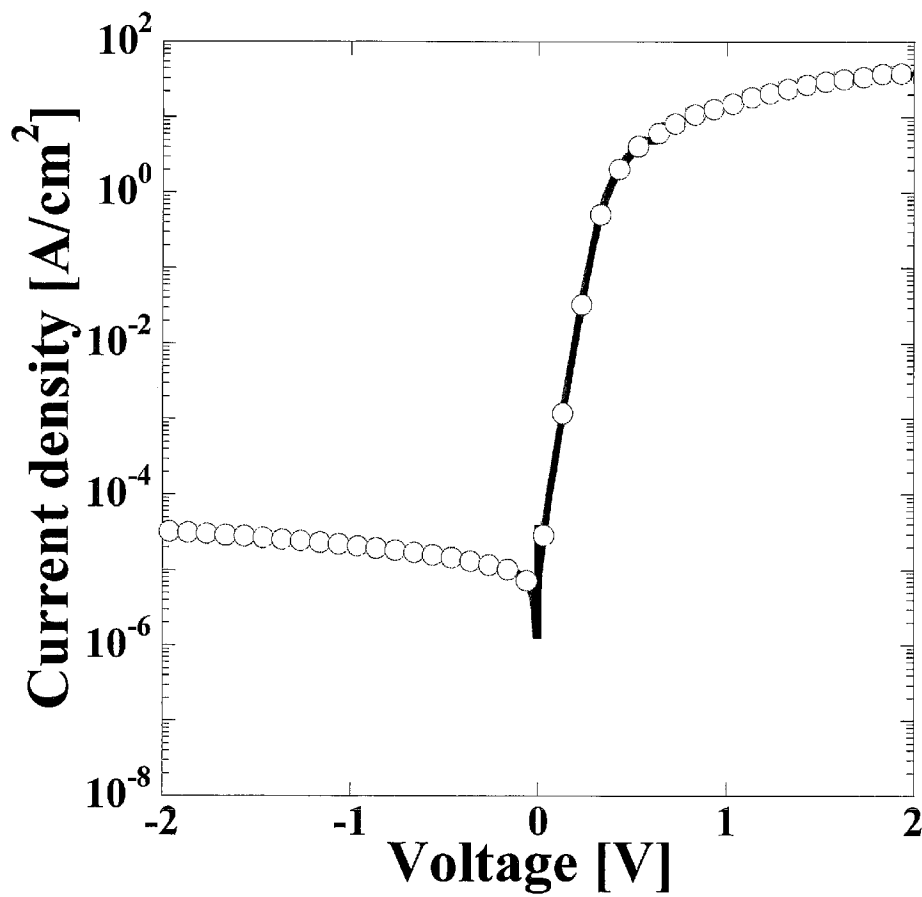
[図11]



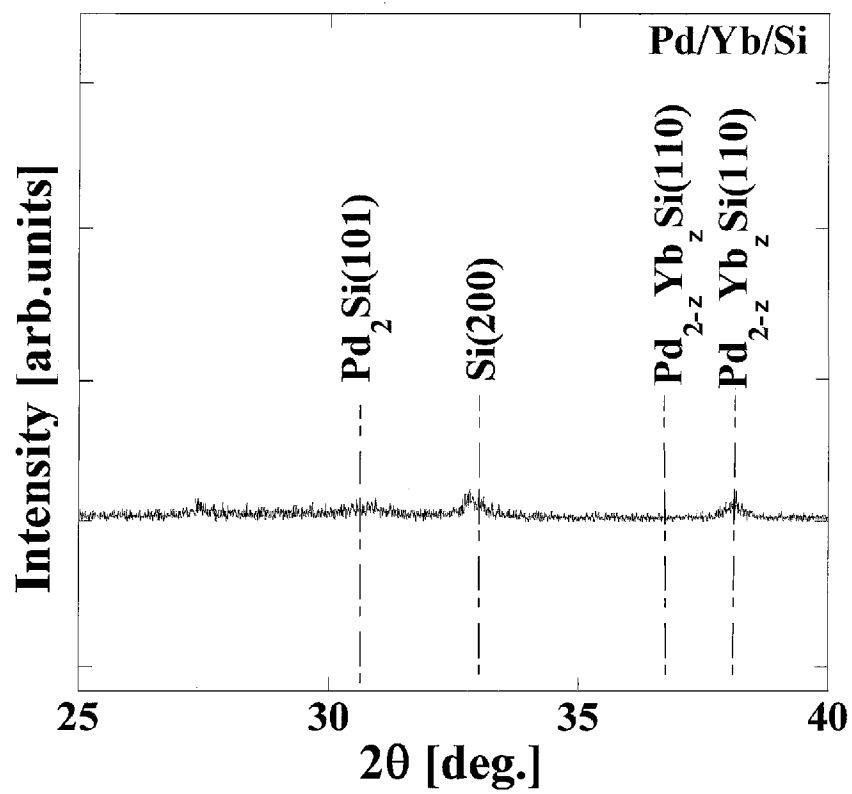
[図12]



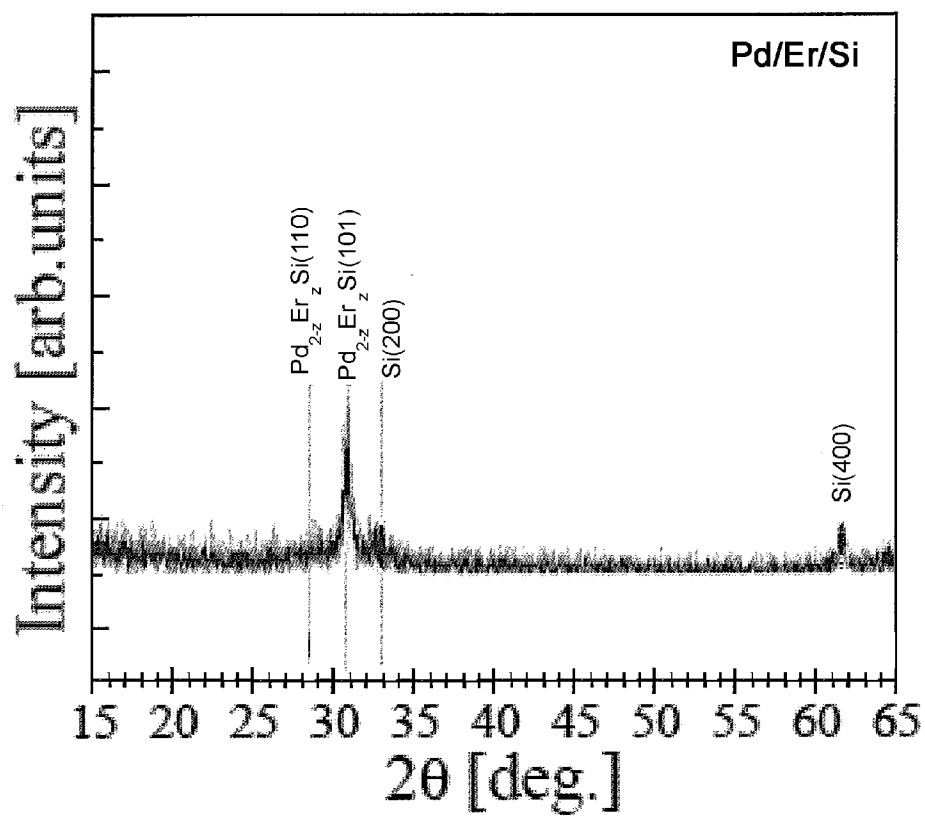
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/068768

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/28(2006.01)i, C22C30/00(2006.01)i, C23C14/14(2006.01)i, C23C14/34(2006.01)i, C23C14/58(2006.01)i, H01L21/336(2006.01)i, H01L29/417(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/28, C22C30/00, C23C14/14, C23C14/34, C23C14/58, H01L21/336, H01L29/417, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2008-060101 A (Toshiba Corp.), 13 March 2008 (13.03.2008), paragraphs [0107] to [0118]; fig. 48 to 55 & US 2008/0093676 A1 paragraphs [0161] to [0177]; fig. 48 to 55 & CN 101136437 A	1-4, 6-8 5
A	JP 7-38104 A (Toshiba Corp.), 17 February 1995 (17.02.1995), entire text (Family: none)	1-8
A	JP 2009-277961 A (Renesas Technology Corp.), 26 November 2009 (26.11.2009), entire text (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
13 September 2016 (13.09.16)

Date of mailing of the international search report
27 September 2016 (27.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/068768

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-173412 A (Toshiba Corp.), 05 July 2007 (05.07.2007), entire text (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/28(2006.01)i, C22C30/00(2006.01)i, C23C14/14(2006.01)i, C23C14/34(2006.01)i, C23C14/58(2006.01)i, H01L21/336(2006.01)i, H01L29/417(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/28, C22C30/00, C23C14/14, C23C14/34, C23C14/58, H01L21/336, H01L29/417, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2008-060101 A (株式会社東芝) 2008.03.13, 段落[0107]-[0118], 図 48-55 & US 2008/0093676 A1, 段落[0161]-[0177], 図 48-55 & CN 101136437 A	1-4, 6-8 5
A	JP 7-38104 A (株式会社東芝) 1995.02.17, 全文 (ファミリーなし)	1-8
A	JP 2009-277961 A (株式会社ルネサステクノロジ) 2009.11.26, 全 文 (ファミリーなし)	1-8

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.09.2016

国際調査報告の発送日

27.09.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 靖史

電話番号 03-3581-1101 内線 3559

50

5895

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-173412 A (株式会社東芝) 2007.07.05, 全文 (ファミリーなし)	1-8