

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5456495号
(P5456495)

(45) 発行日 平成26年3月26日(2014.3.26)

(24) 登録日 平成26年1月17日(2014.1.17)

(51) Int.Cl. F I
H02M 3/155 (2006.01) H02M 3/155 K

請求項の数 6 (全 21 頁)

(21) 出願番号	特願2010-8880 (P2010-8880)	(73) 特許権者	504378124
(22) 出願日	平成22年1月19日 (2010.1.19)		スパンション エルエルシー
(65) 公開番号	特開2011-151878 (P2011-151878A)		アメリカ合衆国 カリフォルニア州 94
(43) 公開日	平成23年8月4日 (2011.8.4)		088-3453 サニーバイル デグウ
審査請求日	平成24年10月1日 (2012.10.1)		イン ドライブ 915
		(74) 代理人	100079108
			弁理士 稲葉 良幸
		(74) 代理人	100109346
			弁理士 大貫 敏史
		(72) 発明者	官前 亨
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通VLSI株式会社内
		審査官	槻木澤 昌司

最終頁に続く

(54) 【発明の名称】 昇降圧型のスイッチング電源の制御回路、昇降圧型のスイッチング電源、及び昇降圧型のスイッチング電源の制御方法

(57) 【特許請求の範囲】

【請求項1】

昇降圧型のスイッチング電源の制御回路であって、

昇圧モードと降圧モードとを切り替えるための第1信号、及び入力電圧が印加される端子とインダクタとの間のスイッチのオン期間を制御するための第2信号の何れか一方を、前記入力電圧に応じて選択的に出力する第1制御部と、

前記第1制御部から出力される第1信号及び第2信号の何れか一方と前記出力電圧の変動に応じて、前記スイッチング電源をスイッチングさせる第2制御部とを有することを特徴とする制御回路。

【請求項2】

前記第1制御部は、

前記出力電圧の変動を検出するための素子の応答速度に対応した基準の電圧と前記入力電圧との大小関係に応じて、前記第1信号及び前記第2信号の何れか一方を選択的に出力する

ことを特徴とする請求項1に記載の制御回路。

【請求項3】

前記第1制御部は、

前記基準の電圧に対して前記入力電圧が大きい場合に、前記第2信号を出力することを特徴とする請求項2に記載の制御回路。

【請求項4】

前記出力電圧に比例した電圧と基準電圧との差に応じた誤差電圧を出力する誤差信号生成回路と、

前記誤差電圧に基づいて、前記出力電圧の変動に応じてパルス幅を変更した制御信号のデューティを変更するPWM信号生成回路と、
を含むことを特徴とする請求項1～3のうちの何れか一項に記載の制御回路。

【請求項5】

インダクタの第1端子を入力電圧が入力される入力端と接地端とにそれぞれ接続する第1及び第2のスイッチと、前記インダクタの第2端子を接地端と出力電圧を出力する出力端とにそれぞれ接続する第3及び第4のスイッチとを有する出力部と、

前記スイッチをオンオフ制御する制御信号を生成する制御部と
を有し、

前記制御部は、

昇圧モードと降圧モードとを切り替えるための第1信号、及び入力電圧が印加される端子とインダクタとの間のスイッチのオン期間を制御するための第2信号の何れか一方を、前記入力電圧に応じて選択的に出力する第1制御部と、

前記第1制御部から出力される第1信号及び第2信号の何れか一方と前記出力電圧とに応じて、前記スイッチをスイッチングさせる第2制御部と
を有する昇降圧型のスイッチング電源。

【請求項6】

昇降圧型のスイッチング電源の制御方法であって、

昇圧モードと降圧モードとを切り替えるための第1信号、及び入力電圧が印加される端子とインダクタとの間のスイッチのオン期間を制御するための第2信号の何れか一方を、前記入力電圧に応じて第1制御部から選択的に出力させ、

前記第1制御部から出力される第1信号及び第2信号の何れか一方と前記出力電圧とに応じて、前記スイッチング電源をスイッチングさせる
ことを特徴とする制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

昇降圧型のスイッチング電源の制御回路、昇降圧型のスイッチング電源、及び昇降圧型のスイッチング電源の制御方法に関する。

【背景技術】

【0002】

直流入力電圧の供給に基づいて定電圧を出力する電源回路として、半導体のスイッチング素子を用いたスイッチング電源回路が、電子機器に広く利用されている。そして、バッテリー等により駆動される電子機器には、入力電圧に依存せず一定の出力電圧が得られる昇降圧型のスイッチング電源回路が用いられている。

【0003】

昇降圧DC/DCコンバータは、電圧出力端子と直列または並列にチョークコイルを接続し、スイッチング素子のオンオフ動作により入力側からチョークコイルにエネルギーを蓄積するステートと、チョークコイルから出力側にエネルギーを放出するステートとを交互に繰り返す。例えば、ステート1～ステート4を含む4つのステートを切り替えることにより、昇降圧動作を行うHブリッジ昇降圧DC/DCコンバータが知られている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-192312号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【0005】

スイッチング電源回路において、スイッチ素子のオン期間は、そのスイッチ素子をオンオフ制御する信号を出力する回路（例えば、コンパレータ）の応答時間に依存する。このため、スイッチ素子のオン期間を、回路素子の応答時間よりも短くすることができない。つまり、出力電圧を制御可能な入力電圧の範囲が制限される。

【課題を解決するための手段】

【0006】

本発明の一観点によれば、昇圧モードと降圧モードとを切り替えるための第1信号、及び入力電圧が印加される端子とインダクタとの間のスイッチのオン期間を制御するための第2信号の何れか一方を、前記入力電圧に応じて選択的に出力する第1制御部と、前記第1制御部から出力される第1信号及び第2信号の何れか一方と前記出力電圧とに応じて、前記昇降圧スイッチング電源をスイッチングさせる第2制御部とを有する。

10

【発明の効果】

【0007】

本発明の一観点によれば、出力電圧を制御可能な入力電圧の範囲を広くすることができる。

【図面の簡単な説明】

【0008】

【図1】昇降圧型スイッチング電源のブロック回路図である。

【図2】ステート制御回路の回路図である。

20

【図3】制御信号生成回路及び貫通防止回路の回路図である。

【図4】ステート制御回路の動作を示す波形図である。

【図5】ステート制御回路の動作を示す波形図である。

【図6】マスク信号に係る動作を示す波形図である。

【図7】マスク信号に係る動作を示す波形図である。

【図8】モード信号に係る動作を示す波形図である。

【図9】モード信号に係る動作を示す波形図である。

【図10】モード信号に係る動作を示す波形図である。

【図11】出力部の動作説明図である。

【図12】出力部の動作説明図である。

30

【図13】出力部の動作説明図である。

【図14】別のステート制御回路の回路図である。

【発明を実施するための形態】

【0009】

以下、一実施形態を図1～図13に従って説明する。

図1に示すように、昇降圧型のスイッチング電源10は、出力部11と制御部12を含む。

【0010】

出力部11は、4つのトランジスタ21～24、インダクタ25、コンデンサ26を含む。例えば、第1トランジスタ21及び第4トランジスタ24はPチャネルMOSトランジスタであり、第2トランジスタ22及び第3トランジスタ23はNチャネルMOSトランジスタである。第1トランジスタ21のソース端子は第1端子P1に接続されている。第1端子P1には入力電圧Vinが供給される。第1トランジスタ21のドレイン端子は第2トランジスタのドレイン端子に接続されている。第2トランジスタのソース端子はグランドGNDに接続されている。

40

【0011】

第1トランジスタ21と第2トランジスタとの間のノードN1はインダクタ25の第1端子に接続されている。インダクタ25の第2端子は第3トランジスタ23と第4トランジスタとの間のノードN2に接続されている。第3トランジスタ23のソース端子はグランドGNDに接続されている。第3トランジスタ23のドレイン端子は第4トランジスタ

50

24のドレイン端子に接続されている。第4トランジスタ24のソース端子は第2端子P2に接続されている。第2端子P2はコンデンサ26の第1端子に接続され、コンデンサ26の第2端子はグランドGNDに接続されている。

【0012】

第1トランジスタ21～第4トランジスタ24のゲート端子には制御部12から第1駆動信号DR1～第4駆動信号DR4がそれぞれ供給される。第1トランジスタ21～第4トランジスタ24は、駆動信号DR1～DR4にตอบสนองしてオンオフする。例えば、第1トランジスタ21及び第3トランジスタ23がオンされるとともに、第2トランジスタ22及び第4トランジスタ24がオフされる。この状態をステート1とする。このステート1では、電流I1が流れ、インダクタ25にエネルギーが蓄積される。また、第2トランジスタ22及び第4トランジスタ24がオンされるとともに、第1トランジスタ21及び第3トランジスタ23がオフされる。この状態をステート2とする。このステート2では、電流I2が流れ、インダクタ25に蓄積されたエネルギーが放出される。また、第1トランジスタ21及び第4トランジスタ24がオンされるとともに、第2トランジスタ22及び第3トランジスタ23がオフされる。この状態をステート3とする。このステート3では、電流I3が流れる。

10

【0013】

降圧モードでは、ステート2とステート3が交互に繰り返される。つまり、第3トランジスタ23はオフ固定されるとともに、第4トランジスタ24がオン固定される。そして、電流I2と電流I3が交互に流れ、コンデンサ26により平滑化された出力電圧Voutが出力される。昇圧モードでは、ステート1とステート3が交互に繰り返される。つまり、第2トランジスタ22はオフ固定されるとともに、第4トランジスタ24がオン固定される。そして、電流I1と電流I3が交互に流れ、コンデンサ26により平滑化された出力電圧Voutが出力される。そして、制御部12は、各モードにおいて、出力電圧Voutを目標電圧に維持するように、各トランジスタ21～24をオンオフする期間、即ちステート1～ステート3の期間を制御する。

20

【0014】

次に、制御部12の構成を説明する。

制御部12は、誤差信号生成回路31、PWM信号生成回路32、発振器33、ステート制御回路34、制御信号生成回路35、貫通防止回路36、を含む。

30

【0015】

誤差信号生成回路31は出力部11の第2端子P2に接続され、出力電圧Voutが供給される。

誤差信号生成回路31は、抵抗41, 42、アンプ43、基準電源44、コンデンサ45を含む。出力電圧Voutは抵抗41の第1端子に供給され、抵抗41の第2端子は抵抗42の第1端子に接続され、抵抗42の第2端子はグランドGNDに接続されている。両抵抗41, 42間のノードはアンプ43の反転入力端子に接続されている。アンプ43の非反転入力端子には基準電源44から基準電圧Vrefが供給される。アンプ43の出力端子は、位相補償用のコンデンサ45を介して同アンプ43の反転入力端子と接続されている。

40

【0016】

抵抗41, 42は、それぞれの抵抗値に応じた分圧比で出力電圧Voutを分圧した電圧Vfbを生成する。この電圧Vfbは、出力電圧Voutに比例した電圧である。アンプ43は、電圧Vfbと基準電圧Vrefとの差電圧を増幅した誤差電圧Verを出力する。抵抗41, 42の抵抗値と基準電圧Vrefは、出力電圧Voutを安定化する目標電圧に応じて設定されている。例えば、出力電圧Voutと同様に、抵抗41, 42の分圧比により目標電圧を分圧した電圧値が基準電圧Vrefとして設定される。言い換えれば、基準電圧Vrefを抵抗41と抵抗42の接続点に供給したときに、抵抗41の第1端子に生じる電圧が、出力電圧Voutを安定化する目標電圧となる。従って、誤差電圧Verは、出力電圧Voutと目標電圧の差電圧に比例した電圧となる。この誤差電圧V

50

e_r は PWM 信号生成回路 3 2 に供給される。また、基準電圧 V_{ref} はステート制御回路 3 4 に供給される。

【 0 0 1 7 】

PWM 信号生成回路 3 2 は、コンパレータ 5 1、RS フリップフロップ回路（以下、RS - FF 回路）5 2、スローブ電圧生成回路 5 3 を含む。コンパレータ 5 1 の反転入力端子には誤差電圧 V_{er} が供給される。コンパレータ 5 1 の反転入力端子には、スローブ電圧生成回路 5 3 からスローブ電圧 V_{s1} が供給される。

【 0 0 1 8 】

スローブ電圧生成回路 5 3 は、トランジスタ 5 4 とコンデンサ 5 5 を含む。トランジスタ 5 4 は例えば N チャネル MOS トランジスタであり、ソースがグランドに接続され、ドレインがコンデンサ 5 5 の第 1 端子に接続され、そのコンデンサ 5 5 の第 2 端子はグランドに接続されている。また、コンデンサ 5 5 の第 1 端子には、発振器 3 3 から定電流 I_{osc} が供給される。トランジスタ 5 4 のゲート端子には、ステート制御回路 3 4 から所定周期のクロック信号 P_{ck} が供給される。トランジスタ 5 4 は、クロック信号 P_{ck} に応答してオンオフする。トランジスタ 5 4 がオンすると、コンデンサ 5 5 に蓄積されている電荷が放電されるため、スローブ電圧 V_{s1} はグランドレベル（0 V）となる。トランジスタ 5 4 がオフすると、コンデンサ 5 5 に定電流 I_{osc} により電荷が蓄積され、スローブ電圧 V_{s1} が上昇する。従って、スローブ電圧 V_{s1} は、クロック信号 P_{ck} の周期と等しい周期の三角波となる。

【 0 0 1 9 】

コンパレータ 5 1 は、両電圧 V_{er} 、 V_{s1} を比較した結果に応じた信号 S_{cp} を出力する。例えば、コンパレータ 5 1 は、スローブ電圧 V_{s1} が誤差電圧 V_{er} より低い場合に L レベルの S_{cp} を出力し、スローブ電圧 V_{s1} が誤差電圧 V_{er} より高い場合に H レベルの信号 S_{cp} を出力する。出力電圧 V_{out} が上昇すると、誤差電圧 V_{er} が低下するため、信号 S_{cp} が H レベルである期間が長くなり、L レベルである期間が短くなる。一方、出力電圧 V_{out} が低下すると、誤差電圧 V_{er} が上昇するため、信号 S_{cp} が H レベルである期間が短くなり、L レベルである期間が短くなる。即ち、信号 S_{cp} のデューティは、出力電圧 V_{out} に応じて変化する。

【 0 0 2 0 】

信号 S_{cp} は、RS - FF 回路 5 2 のリセット端子に供給される。RS - FF 回路 5 2 のセット端子にはクロック信号 P_{ck} が供給される。RS - FF 回路 5 2 は、H レベルのクロック信号 P_{ck} に応答して端子 Q から H レベルの信号 S_{pwm} を出力し、コンパレータ 5 1 から出力される H レベルの信号 S_{cp} に応答して L レベルの信号 S_{pwm} を出力する。

【 0 0 2 1 】

従って、RS - FF 回路 5 2 は、クロック信号 P_{ck} の立ち上がりから比較信号 S_{cp} の立ち上がりまでの期間、H レベルの信号 S_{pwm} を出力する。つまり、信号 S_{pwm} は、原理的に、クロック信号 P_{ck} の立ち上がりから、スローブ電圧 V_{s1} が誤差電圧 V_{er} より高くなるまでの間、H レベルとなる。しかし、実際には、コンパレータ 5 1 から出力される信号 S_{cp} の変化は、そのコンパレータ 5 1 の応答時間だけ遅れる。従って、RS - FF 回路 5 2 から出力される信号 S_{pwm} のパルス幅（H レベルの期間）の最小値は、コンパレータ 5 1 の応答時間に依存する。つまり、信号 S_{pwm} のパルス幅は、コンパレータ 5 1 の応答時間以下にはならない。

【 0 0 2 2 】

発振器 3 3 は、所定周期のクロック信号 C_K を出力する。このクロック信号 C_K の周期は、スイッチング電源 1 0 のスイッチング周期（スイッチングサイクル）に対応する。例えば、発振器 3 3 は、スイッチング周期と等しい周期のクロック信号 C_K を出力する。このクロック信号 C_K は、ステート制御回路 3 4 に供給される。

【 0 0 2 3 】

ステート制御回路 3 4 には、上記基準電圧 V_{ref} と入力電圧 V_{in} が供給される。ス

10

20

30

40

50

テート制御回路34は、クロック信号CKに基づいて、同クロック信号CKと同じ周期と、所定のパルス幅を有するクロック信号Pckを出力する。また、ステート制御回路34は、入力電圧Vinと基準電圧Vrefとに基づいて、マスク信号Smkとモード信号Smdを生成する。

【0024】

図2に示すように、入力電圧Vinは抵抗61に供給される。抵抗61と、その抵抗61に直列接続された抵抗62は、それぞれの抵抗値の比に応じて入力電圧Vinを分圧した電圧Vidを生成する。この電圧Vidは、第1アンプ63の反転入力端子と第2アンプ64の非反転入力端子に供給される。第1アンプ63の非反転入力端子と第2アンプの反転入力端子には基準電圧Vrefが供給される。

10

【0025】

第1アンプ63は、電圧Vidと基準電圧Vrefとの差電圧を増幅した第1差電圧V1を出力する。第1アンプ63の出力電圧V1は、入力電圧Vinが安定していればほぼ定電圧となるが、入力電圧Vinが低下すると出力電圧V1が上昇する。第2アンプ64は、電圧Vidと基準電圧Vrefとの差電圧を増幅した第2差電圧V2を出力する。第2アンプ64の出力電圧V2は、入力電圧Vinが安定していればほぼ定電圧となるが、入力電圧Vinが低下すると出力電圧V2が低下する。

【0026】

第1アンプ63から出力される第1差電圧V1は第1コンパレータ65の反転入力端子に供給され、第2アンプ64から出力される第2差電圧V2は第2コンパレータ66の反転入力端子に供給される。両コンパレータ65, 66の非反転入力端子は三角波生成回路67に接続されている。三角波生成回路67は、コンデンサ68とトランジスタ69を含む。トランジスタ69は例えばNチャネルMOSトランジスタである。コンパレータ65, 66の非反転入力端子はコンデンサ68の第1端子に接続され、コンデンサ68の第2端子はグランドに接続されている。このコンデンサ68には、電流Ioscが供給される。

20

【0027】

コンデンサ68の第1端子にはトランジスタ69のドレイン端子が接続され、トランジスタ69のソース端子はグランドGNDに接続されている。トランジスタ69のゲート端子にはクロック信号Mckが供給される。このクロック信号Mckは、図1に示す発振器33から出力されるクロック信号CKに基づいて生成される。

30

【0028】

クロック信号CKは、インバータ回路70と遅延回路71に供給される。インバータ回路70はクロック信号CKを論理反転した信号を出力する。遅延回路71は、クロック信号CKを所定時間遅延させた信号を出力する。AND回路72は、インバータ回路70の出力信号と遅延回路71の出力信号を論理積処理した結果に応じたレベルのクロック信号Mckを出力する。このクロック信号Mckは、クロック信号CKと同じ周期を有し、遅延回路71の遅延時間と等しい時間Hレベルとなるパルス信号である。つまり、インバータ回路70と遅延回路71とAND回路72は、クロック信号Mckを生成するパルス信号生成回路に含まれる。

40

【0029】

従って、クロック信号CKがLレベルになるとクロック信号MckがHレベルとなってトランジスタ69がオンしてコンデンサ68の充電電荷が放電される。所定時間経過後にクロック信号MckがLレベルになるとトランジスタ69がオフし、コンデンサ68が電流Ioscで充電される。この結果、コンデンサ68の充電電圧V3は、クロック信号MckがHレベルになるとほぼグランドレベルとなる。そして、電圧V3は、クロック信号MckがLレベルになると徐々に増加する。従って、電圧V3は、トランジスタ69のオンオフに従ってコンデンサ68が放電及び充電を繰り返すことにより、三角波状に変化する。

【0030】

50

第1コンパレータ65は、第1差電圧V1と電圧V3とを比較した結果に応じた信号Sc1を出力する。例えば、第1コンパレータ65は、第1差電圧V1よりスロープ電圧V3が低いときにLレベルの信号Sc1を出力し、スロープ電圧V3が第1差電圧V1を越えると信号Sc1をHレベルに立ち上げる。

【0031】

第1コンパレータ65の出力信号Sc1は、第1RS-FF回路74のセット端子に供給される。第1RS-FF回路74のリセット端子には、クロック信号Mckが入力されるインバータ回路73の出力信号Mckxが供給される。第1RS-FF回路74は、信号Mckxと信号Sc1に基づいて、反転出力端子Qバーから出力する信号S11のレベルを変更する。例えば、第1RS-FF回路74は、Lレベルの信号Mckxに応答して信号S11をHレベルに立ち上げ、Hレベルの信号Sc1に応答して信号S11をLレベルに立ち下げる。

10

【0032】

RS-FF回路74の出力信号S11は、インバータ回路76と遅延回路77とD-FF回路81のリセット端子に供給される。インバータ回路76は、信号S11を論理反転した信号を出力する。遅延回路77は、信号S11を所定時間遅延した信号を出力する。AND回路78は、インバータ回路76の出力信号と遅延回路77の出力信号とを論理積演算した結果に応じたレベルのクロック信号Pckを出力する。このクロック信号Pckは第3RS-FF回路79のセット端子に供給される。

【0033】

20

第2コンパレータ66は、第2差電圧V2と電圧V3とを比較した結果に応じた信号Sc2を出力する。例えば、第2コンパレータ66は、第2差電圧V2よりスロープ電圧V3が低いときにLレベルの信号Sc2を出力し、スロープ電圧V3が第2差電圧V2を越えると信号Sc2をHレベルに立ち上げる。

【0034】

第2コンパレータ66の出力信号Sc2は、第2RS-FF回路75のセット端子に供給される。第2RS-FF回路75のリセット端子には信号Mckxが供給される。第2RS-FF回路75は、信号Mckxと信号Sc2に基づいて、出力端子Qから出力する信号S12のレベルを変更する。例えば、第2RS-FF回路75は、Lレベルの信号Mckxに応答して信号S12をHレベルに立ち上げ、Hレベルの信号Sc2に応答して信号S12をLレベルに立ち下げる。

30

【0035】

第2RS-FF回路75の出力信号S12は、インバータ回路80とD-FF回路81のクロック入力端子に供給される。インバータ回路80は、信号S12を論理反転した信号S13を出力する。この信号S13は第3RS-FF回路79のリセット端子に供給される。

【0036】

第3RS-FF回路79は、クロック信号Pckと信号S13に応答して出力端子Qから出力するマスク信号Smkのレベルを変更する。例えば、第3RS-FF回路79は、Hレベルの信号S13に応答してマスク信号SmkをLレベルに立ち下げ、Hレベルのクロック信号Pckに応答してマスク信号SmkをHレベルに立ち上げる。

40

【0037】

D-FF回路81のデータ入力端子は、プルアップされている。従って、D-FF回路81は、信号S11と信号S12に基づいて、出力端子Qから出力するモード信号Smdのレベルを変更する。例えば、D-FF回路81は、Lレベルの信号S11に応答してモード信号SmdをLレベルに立ち下げ、Hレベルの信号S12に応答してモード信号SmdをHレベルに立ち上げる。

【0038】

第1アンプ63から出力される第1差電圧V1と、第2アンプから出力される第2差電圧V2は、それぞれ入力電圧Vinに応じて変化する。従って、第1コンパレータ65が

50

出力信号 S_{c1} を H レベルに立ち上げるタイミングと、第 2 コンパレータ 66 が出力信号 S_{c2} を H レベルに立ち上げるタイミングは、第 1 差電圧 V_1 と第 2 差電圧 V_2 、つまり入力電圧 V_{in} に応じて変化する。

【0039】

本実施形態において、入力電圧 V_{in} が低くなると、第 1 差電圧 V_1 高くなり、第 2 差電圧 V_2 は低くなる。従って、入力電圧 V_{in} が低くなって第 1 差電圧 V_1 が高くなると、第 1 コンパレータ 65 が出力信号 S_{c1} を H レベルに立ち上げるタイミングが遅れる。一方、入力電圧 V_{in} が低くなって第 2 差電圧 V_2 が低くなると、第 2 コンパレータ 66 が出力信号 S_{c2} を H レベルに立ち上げるタイミングが早くなる。

【0040】

第 1 RS - FF 回路 74 は L レベルのクロック信号 M_{ck} に応答して信号 S_{11} を H レベルにリセットする。そして、第 1 RS - FF 回路 74 は、H レベルの信号 S_{c1} に応答して信号 S_{11} を L レベルにセットする。従って、図 4 に示すように、第 1 RS - FF 回路 74 から出力される信号 S_{11} は、クロック信号 M_{ck} の立ち下がり（反転クロック信号 M_{ckx} の立ち上がり）から、三角波電圧 V_3 が第 1 差電圧 V_1 を越えるまでの間、H レベルとなる。つまり、信号 S_{11} は、クロック信号 M_{ck} の立ち下がりから、入力電圧 V_{in} に応じた時間遅れて立ち下がる。この遅延時間を第 1 遅延時間 DL_1 とする。

【0041】

第 2 RS - FF 回路 75 は L レベルのクロック信号 M_{ck} に応答して信号 S_{12} を L レベルにリセットする。そして、第 2 RS - FF 回路 75 は、H レベルの信号 S_{c2} に応答して信号 S_{12} を H レベルにセットする。従って、図 4 に示すように、第 2 RS - FF 回路 75 から出力される信号 S_{12} は、クロック信号 M_{ck} の立ち下がり（反転クロック信号 M_{ckx} の立ち上がり）から、三角波電圧 V_3 が第 2 差電圧 V_2 を越えるまでの間、L レベルとなる。つまり、信号 S_{12} は、クロック信号 M_{ck} の立ち下がりから、入力電圧 V_{in} に応じた時間遅れて立ち上がる。この遅延時間を第 2 遅延時間 DL_2 とする。

【0042】

上記したように、入力電圧 V_{in} が低くなると、第 1 差電圧 V_1 は高くなり、第 2 差電圧 V_2 は低くなる。つまり、第 1 差電圧 V_1 と第 2 差電圧 V_2 は、互いに反比例の関係にある。従って、上記の第 1 遅延時間 DL_1 と第 2 遅延時間 DL_2 は、入力電圧 V_{in} に応じて、互いに反比例的に変化する。

【0043】

そして、インバータ回路 76 と遅延回路 77 と AND 回路 78 を含むパルス信号生成回路により、第 1 RS - FF 回路 74 の出力信号 S_{11} の立ち下がりタイミングから、遅延回路 77 の設定時間経過するまでの間、H レベルのクロック信号 P_{ck} が生成される。クロック信号 P_{ck} は第 3 RS - FF 回路 79 のセット端子に供給される。この第 3 RS - FF 回路 79 のリセット端子には、第 2 RS - FF 回路 75 の出力信号 S_{12} をインバータ回路 80 によって反転した信号 S_{13} が供給される。D - FF 回路 81 のデータ端子はプルアップされ、クロック端子に第 2 RS - FF 回路 75 の出力信号 S_{12} が供給され、リセット端子に第 1 RS - FF 回路 74 の出力信号 S_{11} が供給される。

【0044】

従って、図 4 に示すように、入力電圧 V_{in} が出力電圧 V_{out} より高くその差が大きい ($V_{in} > V_{out}$) の時、H レベルのクロック信号 P_{ck} 、つまり第 1 RS - FF 回路 74 が L レベルの信号 S_{11} を出力した後に、第 2 RS - FF 回路 75 から H レベルの信号 S_{12} が出力される。この場合、H レベルのクロック信号 P_{ck} が入力されてから H レベルの信号 S_{12} が出力されるまでの間、第 3 RS - FF 回路 79 から H レベルのマスク信号 S_{mk} が出力される。一方、D - FF 回路 81 は、第 2 RS - FF 回路 75 の出力信号 S_{12} が H レベルになる前に、第 1 RS - FF 回路 74 の出力信号 S_{11} が L レベルになるため、L レベルのモード信号 S_{md} を維持する。

【0045】

入力電圧 V_{in} が低下して出力電圧 V_{out} に近づく ($V_{in} > V_{out}$) と、図 5 に

10

20

30

40

50

示すように、Hレベルのクロック信号P c kが入力されるよりも信号S 1 3がLレベルになる、即ち第2 R S - F F回路7 5の出力信号S 1 2がHレベルになるタイミングが早くなる。この場合、第3 R S - F F回路7 9の出力信号S m kはセットされない、即ちLレベルが維持される。一方、D - F F回路8 1は、第2 R S - F F回路7 5の出力信号S 1 2がHレベルになった後に、第1 R S - F F回路7 4の出力信号S 1 1がLレベルになるため、その間、Hレベルのモード信号S m dを出力する。

【0046】

尚、図4，図5に示すクロック信号M c kのパルス幅は、図2に示す遅延回路7 1の遅延時間により決定される。また、図4，図5に示すクロック信号P c kのパルス幅は、図2に示す遅延回路7 7の遅延時間により決定される。

10

【0047】

上記したように、ステート制御回路3 4は、入力電圧V i nを分圧した電圧V i dと基準電圧V r e fとの比較結果に応じて、マスク信号S m k及びモード信号S m dの何れか一方を出力する。なお、信号の出力は、信号が供給される回路、ひいては出力部1 1のトランジスタ2 1～2 4の活性化（オンオフ制御）と非活性化（オン又はオフに固定）することを意味している。更に、ステート制御回路3 4は、出力信号（マスク信号S m k，モード信号S m d）のパルス幅を、入力電圧V i nを分圧した電圧V i dと基準電圧V r e fの差電圧に応じて変更する。

【0048】

基準電圧V r e fは、出力電圧V o u tを安定化する目標電圧に応じて設定されている。従って、ステート制御回路3 4は、入力電圧V i nと出力電圧V o u tの差電圧に応じてマスク信号S m k及びモード信号S m dを出力することができる。

20

【0049】

図1に示すように、P W M信号生成回路3 2から出力されるP W M制御信号S p w m、ステート制御回路3 4から出力されるマスク信号S m k，モード信号S m dは、制御信号生成回路3 5に供給される。

【0050】

図3は、制御信号生成回路3 5及び貫通防止回路3 6の一例を示す回路図である。

マスク信号S m kはインバータ回路9 1に入力される。インバータ回路9 1は、マスク信号S m kを論理反転したレベルの反転マスク信号S m k xを出力する。この反転マスク信号S m k xは、クロック信号P c kの立ち上がりタイミングでLレベルとなり、入力電圧V i nに応じた期間後にHレベルとなる信号である。A N D回路9 2には、P W M制御信号S p w mと反転マスク信号S m k xが入力される。A N D回路9 2は、両信号S p w m，S m k xを論理積演算した結果に応じたレベルの制御信号S p 2を出力する。

30

【0051】

O R回路9 3は、A N D回路9 2の出力信号S p 2とモード信号S m dを論理和演算した結果に応じたレベルの制御信号S d 1を出力する。従って、O R回路9 3は、モード信号S m dがHレベルのとき、出力信号S p 2に関わらずにHレベルの制御信号S d 1を出力する。一方、モード信号S m dがLレベルのとき、O R回路9 3は、制御信号S p 2のレベルと等しいレベルの制御信号S d 1を出力する。

40

【0052】

A N D回路9 4は、A N D回路9 2の出力信号S p 2とモード信号S m dを論理積演算した結果に応じたレベルの制御信号S d 3を出力する。従って、A N D回路9 4は、モード信号S m dがHレベルのとき、制御信号S p 2のレベルと等しいレベルの制御信号S d 3を出力する。一方、モード信号S m dがLレベルのとき、A N D回路9 4は、出力信号S p 2に関わらずにLレベルの制御信号S d 3を出力する。

【0053】

貫通防止回路3 6は、制御信号生成回路3 5の出力信号S d 1，S d 3に基づいて駆動信号D R 1～D R 4を生成する。貫通防止回路3 6は、第1トランジスタ2 1と第2トランジスタ2 2、あるいは第3トランジスタ2 3と第4トランジスタ2 4が同時にオンして

50

貫通電流が流れることを防止するものである。

【 0 0 5 4 】

制御信号 S d 1 は N A N D 回路 1 0 1 及びインバータ回路 1 0 2 に入力される。N A N D 回路 1 0 1 の出力信号はバッファ回路 1 0 3 に入力され、そのバッファ回路 1 0 3 から駆動信号 D R 1 が出力される。インバータ回路 1 0 2 の出力信号は A N D 回路 1 0 4 に入力され、その A N D 回路 1 0 4 にはバッファ回路 1 0 3 の出力信号（駆動信号 D R 1 ）が入力される。そして、A N D 回路 1 0 4 の出力信号はバッファ回路 2 6 1 0 5 に入力され、そのバッファ回路 1 0 5 から駆動信号 D R 2 が出力される。駆動信号 D R 2 はインバータ回路 1 0 6 に入力され、そのインバータ回路 1 0 6 の出力信号が N A N D 回路 1 0 1 に入力される。

10

【 0 0 5 5 】

制御信号 S d 3 は A N D 回路 1 0 7 及びインバータ回路 1 0 8 に入力される。A N D 回路 1 0 7 の出力信号はバッファ回路 1 0 9 に入力され、そのバッファ回路 1 0 9 から駆動信号 D R 3 が出力される。この駆動信号 D R 3 はインバータ回路 1 1 0 に入力され、そのインバータ回路 1 1 0 の出力信号が N A N D 回路 1 1 1 に入力される。N A N D 回路 1 1 1 の出力信号はバッファ回路 1 1 2 に入力され、そのバッファ回路 1 1 2 から駆動信号 D R 4 が出力される。この駆動信号 D R 4 は A N D 回路 1 0 7 に入力される。

【 0 0 5 6 】

バッファ回路 1 0 3 , 1 0 5 , 1 0 9 , 1 1 2 の動作遅延時間は、トランジスタ 2 1 ~ 2 4 の大きいゲート容量を駆動するため、他の A N D 回路、N A N D 回路、インバータ回路の動作遅延時間に比して大きい。

20

【 0 0 5 7 】

次に、貫通防止回路 3 6 による駆動信号 D R 1 , D R 2 の生成動作を説明する。

出力信号 S d 1 は、R S - F F 回路 5 2 の出力信号 S p w m とステート制御回路 3 4 の出力信号 S m d がともに L レベルとなる時 L レベルとなる。駆動信号 D R 1 は、信号 S d 1 の立ち下がりからバッファ回路 1 0 3 の動作遅延時間 t 1 だけ遅れて立ち上がり、信号 S d 1 の立ち上がりからバッファ回路 1 0 5 , 1 0 3 の動作遅延時間だけ遅れて立ち下がる。従って、駆動信号 D R 1 の H レベルのパルス幅は信号 S d 1 の L レベルのパルス幅より大きくなる。駆動信号 D R 2 は、駆動信号 D R 1 の立ち上がりからバッファ回路 1 0 5 の動作遅延時間だけ遅れて立ち上がり、信号 S d 1 の立ち上がりからバッファ回路 1 0 5 の動作遅延時間だけ遅れて立ち上がる。

30

【 0 0 5 8 】

このような動作により、駆動信号 D R 2 は駆動信号 D R 1 の立ち上がりの後に立ち上がり、駆動信号 D R 1 の立ち下がりに先立って立ち下がる。従って、ステート 2 とステート 3 でトランジスタ 2 1 , 2 2 がスイッチング制御される時、トランジスタ 2 1 , 2 2 が同時にオンすることによる貫通電流の発生が阻止される。

【 0 0 5 9 】

次に、貫通防止回路 3 6 による駆動信号 D R 3 , D R 4 の生成動作を示す。

出力信号 S d 3 は、R S - F F 回路 5 2 の出力信号 S p w m とステート制御回路 3 4 の出力信号 S m d がともに H レベルとなる時 H レベルとなる。駆動信号 D R 4 は、信号 S d 3 の立ち上がりからバッファ回路 1 1 2 の動作遅延時間 t 2 だけ遅れて立ち上がり、信号 S d 3 の立ち下がりからバッファ回路 1 0 9 , 1 1 2 の動作遅延時間だけ遅れて立ち下がる。従って、駆動信号 D R 4 の H レベルのパルス幅は信号 S d 3 の H レベルのパルス幅より大きくなる。駆動信号 D R 3 は、駆動信号 D R 4 の立ち上がりからバッファ回路 1 0 9 の動作遅延時間だけ遅れて立ち上がり、信号 S d 3 の立ち下がりからバッファ回路 1 0 9 の動作遅延時間だけ遅れて立ち下がる。

40

【 0 0 6 0 】

このような動作により、駆動信号 D R 3 は駆動信号 D R 4 の立ち上がりの後に立ち上がり、駆動信号 D R 4 の立ち下がりに先立って立ち下がる。従って、ステート 1 とステート 3 でトランジスタ 2 3 , 2 4 がスイッチング制御される時、トランジスタ 2 3 , 2 4 が

50

同時にオンすることによる貫通電流の発生が阻止される。

【0061】

次に、上記のマスク信号 S_{mk} による作用を説明する。

図6に示すように、スロープ電圧 V_{s1} は、クロック信号 P_{ck} に同期して三角波状に増減を繰り返す。PWM制御信号 S_{pwm} は、クロック信号 P_{ck} の立ち上がりにより立ち上げられる。そして、PWM制御信号 S_{pwm} は、原理的に、スロープ電圧 V_{s1} の電圧が誤差電圧 V_{er} よりも高くなるタイミングで立ち下げられる。しかし、実際には、コンパレータ51の出力信号 S_{cp} がその応答時間により遅れて変化するため、PWM制御信号 S_{pwm} は、図6に一点鎖線で示すように、上記のタイミングから遅れて立ち下がる。

10

【0062】

マスク信号 S_{mk} は、クロック信号 P_{ck} に同期して立ち上がり、PWM制御信号 S_{pwm} が立ち下がる前に立ち下がる。ステート制御回路34においては、このようなマスク信号 S_{mk} を出力するように調整されている。図3に示す制御信号生成回路35のAND回路92は、マスク信号 S_{mk} の反転マスク信号 S_{mkx} とPWM制御信号 S_{pwm} とを論理積演算した結果に応じた信号 S_{p2} を出力する。この信号 S_{p2} に基づいて生成される制御信号 S_{d1} 、 S_{d3} により、出力部11のトランジスタ21~24が制御される。例えば、降圧モードにおいて、信号 S_{d1} により第1トランジスタ21がオンオフ制御される。従って、PWM制御信号 S_{pwm} により第1トランジスタ21をオンオフ制御する場合に比して、第1トランジスタ21のオン時間を短くすることができる。

20

【0063】

更に、マスク信号 S_{mk} のパルス幅は、入力電圧 V_{in} に応じて変更される。例えば、入力電圧 V_{in} が高くなると、図7に示すように、マスク信号 S_{mk} のパルス幅が長くなる。従って、入力電圧 V_{in} に応じて、信号 S_{p2} のパルス幅を制御することができる。このため、例えば、降圧モードにおいて、信号 S_{p2} による第1トランジスタ21のオン時間を、入力電圧 V_{in} に応じて短くすることができる。そして、信号 S_{p2} のパルス幅を、コンパレータ51(図2参照)の応答時間よりも短くすることができる。このため、従来ではコンパレータ等の応答速度により制限された入力電圧 V_{in} の範囲を、拡大することができる。

【0064】

なお、図6及び図7は、マスク信号 S_{mk} による動作を説明するためのものであり、例えば誤差電圧 V_{er} とスロープ電圧 V_{s1} の対応関係のように、各信号の電圧などの設定は、実際のスイッチング電源回路の設定と異なる場合がある。また、上記の説明では、貫通防止回路36におけるデッドタイムを示していないが、このデッドタイムは、コンパレータ51等の応答時間に比べて小さいため、トランジスタ21~24に対する影響は少ない。

30

【0065】

次に、上記のモード信号 S_{md} による作用を説明する。

(動作モードに対する出力部の動作の説明)

図11~図13は、Hブリッジ昇降圧型のスイッチング電源回路の出力部を示す。

40

【0066】

この出力部は、スイッチ回路 $SW1$ ~ $SW4$ と、インダクタ L を含む。インダクタ L の一端であるノード $N1$ にはスイッチ回路 $SW1$ を介して入力電圧 V_{in} が供給される。また、ノード $N1$ はスイッチ回路 $SW2$ を介してグランド GND に接続される。インダクタ L の他端であるノード $N2$ はスイッチ回路 $SW3$ を介してグランド GND に接続され、スイッチ回路 $SW4$ を介して出力電圧 V_{out} を出力する。

【0067】

このような出力部による昇降圧モード、昇圧モード及び降圧モードの3ステートでの動作について説明する。例えば、出力電圧 V_{out} を $3.2V$ としたとき、入力電圧 V_{in} が $4.0V$ 以上で降圧モード、入力電圧 V_{in} が $2.8V < V_{in} < 4V$ で昇降圧モード

50

、入力電圧 V_{in} が 2.8 V 以下で昇圧モードで動作するように制御するものとする。

【0068】

昇降圧モードでは、図12に示すように、スイッチ回路 $SW1 \sim SW4$ を開閉制御してステート1～ステート3に順次制御する。まず、ステート1でスイッチ回路 $SW1$, $SW3$ がオンされ、スイッチ回路 $SW2$, $SW4$ がオフされて電流 I_1 が流れ、インダクタLにエネルギーが蓄積される。

【0069】

次いで、ステート2でスイッチ回路 $SW2$, $SW4$ がオンされ、同 $SW1$, $SW3$ がオフされて電流 I_2 が流れ、インダクタLに蓄積されたエネルギーが放出される。

次いで、ステート3でスイッチ回路 $SW1$, $SW4$ がオンされ、同 $SW2$, $SW3$ がオフされて電流 I_3 が流れ、このサイクルが繰り返される。そして、各ステート1～3のデューティを制御することにより昇降圧動作が行われる。

【0070】

降圧モードでは、図11に示すように、スイッチ回路 $SW1$, $SW2$ が交互にオンされ、スイッチ回路 $SW4$ がオン固定され、スイッチ回路 $SW3$ がオフ固定されて、ステート2とステート3が交互に繰り返される。そして、電流 I_2 , I_3 が交互に流れて出力電圧 V_{out} が降圧される。

【0071】

昇圧モードでは、図13に示すように、スイッチ回路 $SW3$, $SW4$ が交互にオンされ、スイッチ回路 $SW1$ がオン固定され、スイッチ回路 $SW2$ がオフ固定されて、ステート1とステート3が交互に繰り返される。そして、電流 I_1 , I_3 が交互に流れて出力電圧 V_{out} が昇圧される。そして、各モードではスイッチング制御されるスイッチ回路のデューティを制御することにより、出力電圧 V_{out} が 3.2 V に維持される。

【0072】

上記のように動作するHブリッジ昇降圧DC/DCコンバータでは、降圧モード及び昇圧モードでは、スイッチ回路 $SW1 \sim SW4$ のうち2つをスイッチングさせるため、4つのスイッチ回路をスイッチング制御する場合に比して、電力効率は向上する。一方、昇降圧モードではスイッチ回路 $SW1 \sim SW4$ がすべてスイッチング制御されるため、電力効率が悪い。また、ステート1でインダクタLに蓄積されたエネルギーはステート2で出力電圧 V_{out} にほとんど寄与することなく放出されるので、電力効率が悪い。そこで、昇圧モードと降圧モードとの間に昇降圧モードを介することなく、昇圧モードから降圧モードへ、あるいは降圧モードから昇圧モードへ連続的に移行すると、電力効率を改善することが可能となる。

【0073】

上記降圧モードでの入力電圧 V_{in} と出力電圧 V_{out} との比は、DC/DCコンバータのクロック周期を T とし、ステート2の時間を t_2 とすると、

$$V_{out} / V_{in} = (T - t_2) / T \quad \dots (1)$$

により表される。

【0074】

また、上記昇圧モードでの入力電圧 V_{in} と出力電圧 V_{out} との比は、DC/DCコンバータのクロック周期を T とし、ステート1の時間を t_1 とすると、

$$V_{out} / V_{in} = T / (T - t_1) \quad \dots (2)$$

により表される。

【0075】

上記(1)(2)式において、 t_2 , t_1 を限りなく0に近づければ、入力電圧 V_{in} と出力電圧 V_{out} が等しくなる。つまり、ステート2及びステート1の時間が極小となるように制御することができれば、入力電圧 V_{in} と出力電圧 V_{out} がほぼ等しくなるように制御できるので、昇降圧モードは必要なくなる。

【0076】

(本実施形態の説明)

10

20

30

40

50

上記したステート制御回路34は、入力電圧 V_{in} の電圧変化に基づいてモード信号 S_{md} のパルス幅を変更する。そして、モード信号 S_{md} は、図8～図10に示すように、入力電圧 V_{in} が低下するにつれて、その立ち上がりタイミングが早くなり、Hレベルのパルス幅が増大する。

【0077】

図8は、入力電圧 V_{in} が出力電圧 V_{out} より高い場合、すなわち降圧モードの動作を示す。このとき、図1に示すRS-FF回路52の出力信号 S_{pwm} とステート制御回路34から出力されるモード信号 S_{md} とがともにHレベルとなることはないので、図3に示すAND回路94からLレベルの信号 S_{d3} が出力される。従って、駆動信号 DR_3 、 DR_4 はLレベルに固定されるため、トランジスタ23がオフ状態に固定されるとともに、トランジスタ24がオン状態に固定される。

10

【0078】

図3に示すOR回路93から出力される信号 S_{d1} は、図1のRS-FF回路52の出力信号 S_{pwm} の立ち上がりに基づいてLレベルとなり、モード信号 S_{md} の立ち上がりに基づいてHレベルとなる。この信号 S_{d1} に基づき駆動信号 DR_1 が生成されるため、トランジスタ21がオンオフ駆動される。なお、トランジスタ22は、トランジスタ21と相補的にオンオフ駆動される。

【0079】

即ち、トランジスタ21がオンされ、トランジスタ22がオフされて、図1に示すステート3の状態となる。そして、トランジスタ21がオフされ、トランジスタ22がオンされて、図1に示すステート2の状態となる。

20

【0080】

このような降圧モードでは、出力電圧 V_{out} に対し入力電圧 V_{in} が高くなるほどLレベルのモード信号 S_{md} が出力される期間 t_d が長くなり、駆動信号 DR_1 がLレベルとなる時間が相対的に長くなり、ステート2となる時間が長くなる。一方、入力電圧 V_{in} が出力電圧に近づくほどLレベルのモード信号 S_{md} 出力される期間 t_d が短くなり、駆動信号 DR_1 がLレベルとなる時間が相対的に短くなり、ステート3となる時間が長くなる。

【0081】

そして、入力電圧 V_{in} が出力電圧 V_{out} に等しくなると、図9に示すように、モード信号 S_{md} の立ち上がりとRS-FF回路52の出力信号 S_{pwm} の立ち下がりタイミングが一致し、駆動信号 DR_1 はHレベルに固定される。また、駆動信号 DR_3 はLレベルに固定されている。図1に示す第1トランジスタ21はオン状態に維持されるとともに、第2トランジスタ22はオフ状態に維持される。また、第3トランジスタ23はオフ状態に維持され、第4トランジスタ24はオン状態に維持される。

30

【0082】

図9に示す状態から、入力電圧 V_{in} がさらに低下して出力電圧 V_{out} より低くなると、図10に示す昇圧モードとなる。このとき、モード信号 S_{md} がLレベルとなる期間 t_d がさらに短くなって、モード信号 S_{md} の立ち上がりタイミングが早くなる。

【0083】

すると、図1に示すRS-FF回路52の出力信号 S_{pwm} の立ち下がり先にモード信号 S_{md} が立ち上がり、出力信号 S_{pwm} とモード信号 S_{md} がともにHレベルとなるタイミングで図3に示すAND回路94の出力信号 S_{d3} がHレベルとなる。この信号 S_{d3} に基づき駆動信号 DR_3 が生成されるため、第3トランジスタ23がオンオフ駆動される。なお、第4トランジスタ24は、第3トランジスタ23に対して相補的にオンオフ駆動される。

40

【0084】

また、RS-FF回路52の出力信号 S_{pwm} とモード信号 S_{md} とがともにLレベルとなることはないので、図3に示すOR回路93からHレベルの信号 S_{d1} が出力される。従って、駆動信号 DR_1 、 DR_2 はHレベルに固定されるため、第1トランジスタ21

50

がオン固定されるとともに、第2トランジスタ22がオフ固定される。

【0085】

即ち、第3トランジスタ23がオンされ、第4トランジスタ24がオフされて、図1に示すステート1の状態となる。そして、第3トランジスタ23がオフされ、第4トランジスタ24がオンされて、図1に示すステート3の状態となる。

【0086】

このような昇圧モードでは、出力電圧 V_{out} に対し入力電圧 V_{in} が低くなるほどLレベルのモード信号 S_{md} が出力される期間 t_d が短くなり、駆動信号 $DR3$ がHレベルとなる時間が相対的に長くなり、ステート1となる時間が長くなる。一方、入力電圧 V_{in} が出力電圧 V_{out} に近づくほどLレベルのモード信号 S_{md} が出力される期間 t_d が長くなり、駆動信号 $DR3$ がHレベルとなる時間が相対的に短くなり、ステート3となる時間が長くなる。

10

【0087】

このような動作により、昇降圧モードを経ることなく、降圧モードから昇圧モードあるいは昇圧モードから降圧モードへ自動的に移行することが可能となる。従って、1つのサイクル中のステート数が2となる。このため、昇降圧モードにて動作するスイッチング電源回路に比してスイッチング動作が少なくなるため、電力損失が少なくなり、効率の低下を抑制することができる。

【0088】

なお、図8～図10は、モード信号 S_{md} による動作を説明するためのものであり、例えば誤差電圧 V_{er} とスロープ電圧 V_{s1} の対応関係のように、各信号の電圧などの設定は、実際のスイッチング電源回路の設定と異なる場合がある。

20

【0089】

図2に示すように、第1アンプ63は分圧電圧 V_{id} と基準電圧 V_{ref} とに基づいて第1差電圧 V_1 を出力する。同様に、第2アンプ64は、基準電圧 V_{ref} と分圧電圧 V_{id} とに基づいて第2差電圧 V_2 を出力する。そして、第1RS-FF回路74は、クロック信号 Mck から第1差電圧 V_1 に応じた遅延時間 $DL1$ 経過後に出力信号 S_{11} を立ち下げる。一方、第2RS-FF回路75は、クロック信号 Mck から第2差電圧 V_2 に応じた遅延時間 $DL2$ 経過後に出力信号 S_{12} を立ち上げる。

【0090】

そして、信号 S_{11} が立ち下がるタイミングが、信号 S_{12} が立ち上がるタイミングより早い、つまり遅延時間 $DL1$ が遅延時間 $DL2$ より短いとき、マスク信号 S_{mk} が出力される。一方、信号 S_{11} が立ち下がるタイミングが、信号 S_{12} が立ち上がるタイミングより遅い、つまり遅延時間 $DL1$ が遅延時間 $DL2$ より長いとき、モード信号 S_{md} が出力される。

30

【0091】

つまり、分圧電圧 V_{id} が基準電圧 V_{ref} より高いときにマスク信号 S_{mk} が出力され、分圧電圧 V_{id} が基準電圧 V_{ref} より低いときにモード信号 S_{md} が出力される。従って、基準電圧 V_{ref} は、入力電圧 V_{in} の変動に応じて、マスク信号 S_{mk} とモード信号 S_{md} のうちの何れか一方を選択的に出力する基準の電圧となる。この基準の電圧は、入力電圧 V_{in} と出力電圧 V_{out} に応じて設定されている。

40

【0092】

上記したように、マスク信号 S_{mk} は、図1に示すPWM信号生成回路32から出力されるPWM制御信号 S_{pwm} の一部をマスクする、例えばトランジスタ21のオン時間をPWM制御信号 S_{pwm} のパルス幅よりも短くすることにより、オン時間をコンパレータ51等の応答速度に依存しないようにするものである。トランジスタ21がオンする状態はステート3である。つまり、ステート3を極小な時間まで制御することができる。この動作は、入力電圧 V_{in} が出力電圧より高くそれらの差が大きい場合($V_{in} > V_{out}$)の場合に優れた効果を奏する。

【0093】

50

入力電圧 V_{in} が低下して出力電圧 V_{out} に近づいた場合 ($V_{in} > V_{out}$)、上記の応答速度による影響は少なくなる。モード信号 S_{md} は、ステート 1 の時間とステート 2 の時間を極小な時間まで制御するためのものである。そして、モード信号 S_{md} を有効にして昇圧モードと降圧モードを切り替えることで、スイッチング電源回路の効率向上を図ることができる。

【 0 0 9 4 】

従って、上記した基準の電圧は、入力電圧 V_{in} と出力電圧 V_{out} により、入力電圧 V_{in} が出力電圧 V_{out} より高いときにマスク信号 S_{mk} が出力され、入力電圧 V_{in} が出力電圧 V_{out} に近づいたときにモード信号 S_{md} が出力されるように設定されている。

10

【 0 0 9 5 】

更には、基準の電圧は、入力電圧 V_{in} が出力電圧 V_{out} より高く、コンパレータ 51 等の応答速度よりも短いパルス幅の制御信号 S_{p2} が必要となるときに、モード信号 S_{md} に変えてマスク信号 S_{mk} が出力されるように設定されればよい。つまり、基準の電圧は、PWM 制御信号 S_{pwm} を生成するために必要な回路素子の応答速度に応じて設定されればよい。

【 0 0 9 6 】

上記のステート制御回路 34 は、マスク信号 S_{mk} とモード信号 S_{md} の何れか一方を出力するように構成されている。これは以下の理由によるものである。

上記したように、図 3 に示す制御信号生成回路 35 は、信号 S_{p2} とモード信号 S_{md} に基づいて、制御信号 S_{d1} 、 S_{d3} を生成する。信号 S_{p2} は、出力電圧 V_{out} に応じて、トランジスタ 21 ~ 24 のオンオフ時間を設定する PWM 信号である。

20

【 0 0 9 7 】

モード信号 S_{md} が H レベルのとき、OR 回路 93 は、H レベルの制御信号 S_{d1} を出力する。また、AND 回路 94 は、PWM 信号 S_{p2} に基づいて制御信号 S_{d3} を出力する。従って、制御信号 S_{d1} に基づいて図 1 に示すトランジスタ 21、22 がオン又はオフに固定され、制御信号 S_{d3} に基づいてトランジスタ 23、24 がオンオフ制御される。これらトランジスタ 21 ~ 24 の状態、即ち出力部 11 の状態は、昇圧モードにおける状態である。

【 0 0 9 8 】

一方、モード信号 S_{md} が L レベルのとき、OR 回路 93 は、PWM 信号 S_{p2} に基づいて制御信号 S_{d1} を出力する。また、AND 回路 94 は、L レベルの制御信号 S_{d3} を出力する。従って、制御信号 S_{d1} に基づいて図 1 に示すトランジスタ 21、22 がオンオフ制御され、制御信号 S_{d3} に基づいてトランジスタ 23、24 がオン又はオフに固定される。これらトランジスタ 21 ~ 24 の状態、即ち出力部 11 の状態は、降圧モードにおける状態である。

30

【 0 0 9 9 】

つまり、モード信号 S_{md} は、降圧モードと昇圧モードとを切り替えるための信号であるといえる。そして、H レベルのクロック信号 P_{ck} により L レベルのモード信号 S_{md} 、つまり降圧モードとなり、入力電圧 V_{in} に応じた時間経過後に H レベルのモード信号 S_{md} 、つまり昇圧モードとなる。

40

【 0 1 0 0 】

図 1 に示す PWM 信号生成回路 32 から出力される L レベルの出力信号 S_{pwm} に対して、H レベルのモード信号 S_{md} は、それらに基づく制御信号 S_{d1} を強制的に H レベルにする、即ち第 4 トランジスタ 24 を強制的にオフする信号である。この第 4 トランジスタ 24 がオフした状態は、ステート 3 である。

【 0 1 0 1 】

一方、マスク信号 S_{mk} は、図 1 に示すコンパレータ 51 等の応答速度の影響を解決するため、クロック信号 P_{ck} から入力電圧 V_{in} に応じた期間、トランジスタ 21 をオフする、所謂 T_{on} 時間を短縮する信号である。降圧モードにおいて、トランジスタ 21 を

50

オフすることは、ステート 3 からステート 2 へと遷移させることである。

【 0 1 0 2 】

つまり、モード信号 S_{md} は、出力部 11 を強制的にステート 2 からステート 3 へと変更する。一方、マスク信号 S_{mk} は、出力部 11 を強制的にステート 3 からステート 2 へと変更する。この結果、クロック信号 P_{ck} による 1 サイクルにおいて、ステート 2 とステート 3 とが交互にそれぞれ 2 回行われる状態を作り出す。この状態は、スイッチング電源回路を、クロック信号 P_{ck} の周波数の 2 倍の周波数で動作させることと等価である。従って、マスク信号 S_{mk} とモード信号 S_{md} の何れか一方を出力するようにステート制御回路を構成することで、マスク信号 S_{mk} とモード信号 S_{md} により動作するスイッチング電源回路の誤動作を防止する。

10

【 0 1 0 3 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) ステート制御回路 34 は、入力電圧 V_{in} と基準電圧 V_{ref} とに基づいて、入力電圧 V_{in} が出力電圧より高い ($V_{in} > V_{out}$) のときにマスク信号 S_{mk} を出力する。制御信号生成回路 35 は、出力電圧 V_{out} に基づいて生成された PWM 制御信号 S_{pwm} のパルスの一部をマスク信号 S_{mk} によりマスクして PWM 制御信号 S_{pwm} より短いパルス幅の制御信号 S_{p2} を生成する。この制御信号 S_{p2} により、出力部 11 のトランジスタ 21 ~ 24 が、その時の動作モードに応じてオンオフ制御される。PWM 制御信号 S_{pwm} のパルス幅は、コンパレータ 51 等の応答速度による遅延時間を含む、即ち応答速度に依存する。これに対し、マスク信号 S_{mk} によりパルス幅の短い制御信号 S_{p2} を生成することで、この制御信号 S_{p2} のパルス幅は、コンパレータ 51 等の応答速度よりも短くなる。この結果、出力電圧 V_{out} を制御可能な入力電圧 V_{in} の範囲を広くすることができる。また、入力電圧 V_{in} の範囲を、マスク信号 S_{mk} を用いない場合と同じにすれば、スイッチング周波数を高くすることができる。

20

【 0 1 0 4 】

(2) 昇降圧動作の 1 サイクル中にステート 1 とステート 2 の動作がある昇降圧モードを経ることなく、昇圧モードから降圧モードへ、あるいは降圧モードから昇圧モードへ直接に移行させることができる。従って、入力電圧 V_{in} と出力電圧 V_{out} の電位差が小さいとき、昇降圧動作の電力効率を向上させることができる。

30

【 0 1 0 5 】

(3) ステート制御回路 34 は、入力電圧 V_{in} に応じて、マスク信号 S_{mk} とモード信号 S_{md} とのうちの何れか一方を選択的に出力する。つまり、1 つのスイッチングサイクルにおいて、マスク信号 S_{mk} 及びモード信号 S_{md} の何れか 1 つのみが存在する。この結果、1 つのスイッチングサイクルにマスク信号 S_{mk} とモード信号 S_{md} の双方が存在することによる誤作動を防止することができる。

【 0 1 0 6 】

(4) 入力電圧 V_{in} の変化に応じて、昇圧モードから降圧モードへ、あるいは降圧モードから昇圧モードへ連続的にかつ自動的に移行させることができる。

(5) 昇圧モード及び降圧モードでは、一つだけのトランジスタをオンオフ制御するので、スイッチング素子のオンオフ制御による電力損失を削減して、電力効率を向上させることができる。

40

【 0 1 0 7 】

(6) 入力電圧 V_{in} と出力電圧 V_{out} が等しいとき、トランジスタをオンオフ駆動することなく、ステート 3 を維持するので、スイッチング素子のオンオフ制御による電力損失を削減して、電力効率を向上させることができる。

【 0 1 0 8 】

尚、上記実施形態は、以下の態様で実施してもよい。

・上記実施形態のステート制御回路 34 は、入力電圧 V_{in} と基準電圧 V_{ref} とに基づいてマスク信号 S_{mk} とモード信号 S_{md} を選択的に出力する。これに対し、入力電圧 V_{in} と出力電圧 V_{out} に基づいてマスク信号 S_{mk} とモード信号 S_{md} を生成するよ

50

うにしてもよい。例えば、図14に示すステート制御回路34aは、入力電圧 V_{in} を抵抗61, 62の抵抗比により分圧した分圧電圧 V_{id} と、出力電圧 V_{out} を抵抗82, 83の抵抗比により分圧した分圧電圧 V_{od} とをアンプ63, 64に供給する。また、入力電圧 V_{in} を分圧し、その分圧電圧と出力電圧 V_{out} をアンプ63, 64に供給する構成としてもよい。

【0109】

・上記実施形態は同期整流方式のスイッチング電源回路であるが、非同期整流方式のスイッチング電源回路に具体化してもよい。例えば、図1に示すトランジスタ22をアノードがグランドGNDに接続されたダイオードとして動作させるように接続するとともに、トランジスタ24をアノードがノードN2に接続されたダイオードとして動作させるように接続する。また、トランジスタ22, 24に変えてダイオードを接続するとともに、貫通防止回路36を省略するとともに、制御信号生成回路35の出力信号 S_{d1} , S_{d3} を制御信号としてトランジスタ21, 23に供給する。このようにスイッチング電源回路を構成しても、上記実施形態と同様の効果が得られる。

10

【0110】

・トランジスタ21~24をMOSトランジスタとしたが、バイポーラトランジスタ、Bi-CMOSトランジスタを用いても良い。また、トランジスタ21~24の全てをPチャンネルMOSトランジスタとする、又はトランジスタ21~24の全てをNチャンネルMOSトランジスタとしてもよい。これらの変更に応じて制御部12(貫通防止回路36等)の構成が変更されることは言うまでもない。

20

【0111】

・トランジスタとしてトランジスタ21~24を用いたがトランジスタ21~24はそれぞれMOSトランジスタで構成したが、他のスイッチ素子を使用してもよい。

・図1に示すアンプ43に供給する基準電圧と、図2に示すアンプ63, 64に供給する基準電圧を、異なる基準電源を用いて生成するようにしてもよい。また、アンプ43に供給する基準電圧と、図2に示すアンプ63, 64に供給する基準電圧を、互いに異なる電圧に設定してもよい。

【符号の説明】

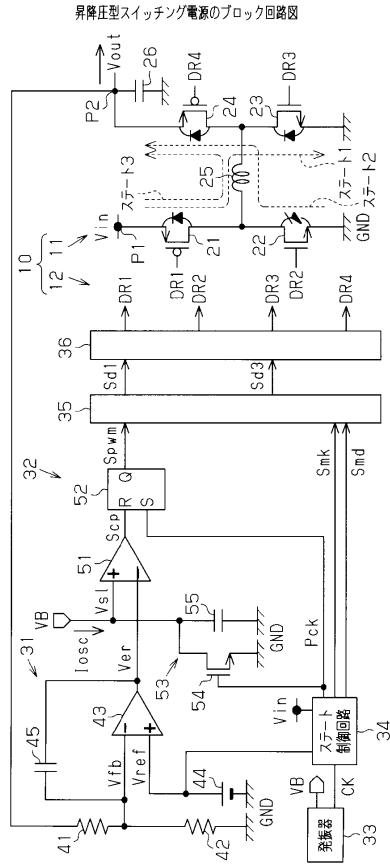
【0112】

- 11 出力部
- 12 制御部(制御回路)
- 21~24 トランジスタ(スイッチ)
- 25 インダクタ
- 31 誤差信号生成回路
- 32 PWM信号生成回路
- 33 発振器
- 34 ステート制御回路(第1制御部)
- 35 制御信号生成回路(第2制御部)
- 36 貫通防止回路(第2制御部)
- S_{md} モード信号(第1信号)
- S_{mk} マスク信号(第2信号)
- V_{in} 入力電圧
- V_{out} 出力電圧
- P1, P2 端子(入力端、出力端)

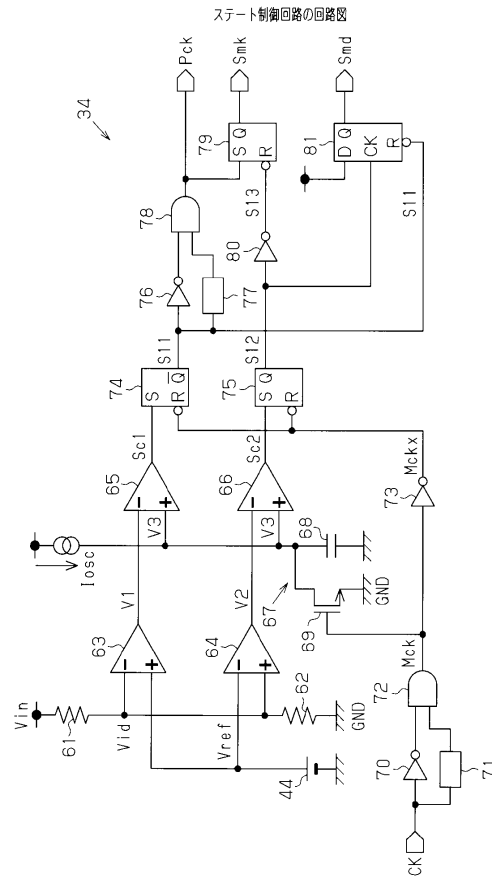
30

40

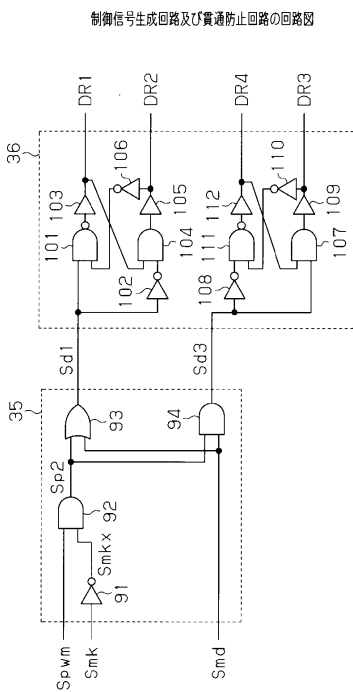
【図1】



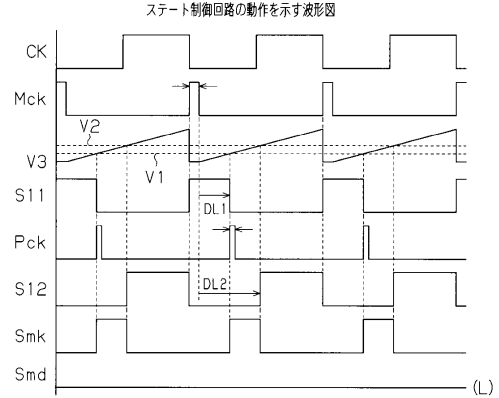
【図2】



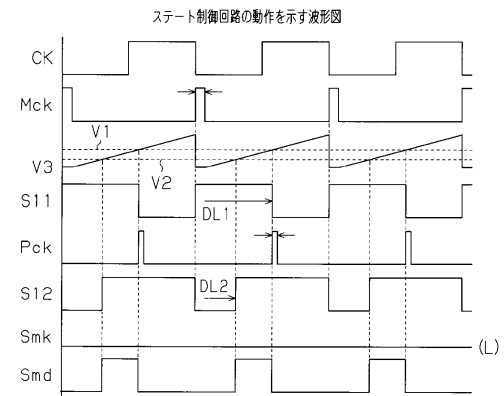
【図3】



【図4】

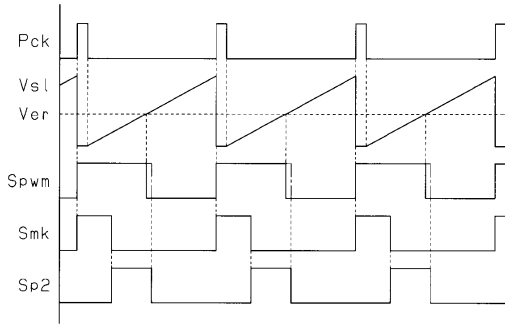


【図5】



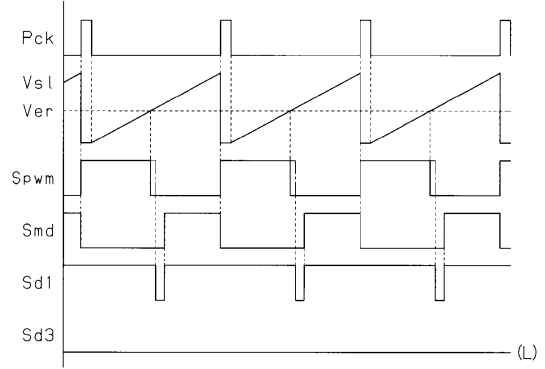
【図6】

マスク信号に係る動作を示す波形図



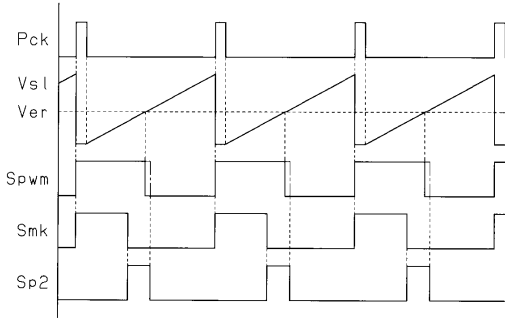
【図8】

モード信号に係る動作を示す波形図



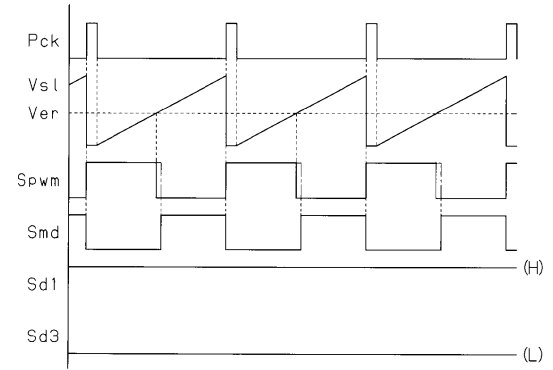
【図7】

マスク信号に係る動作を示す波形図



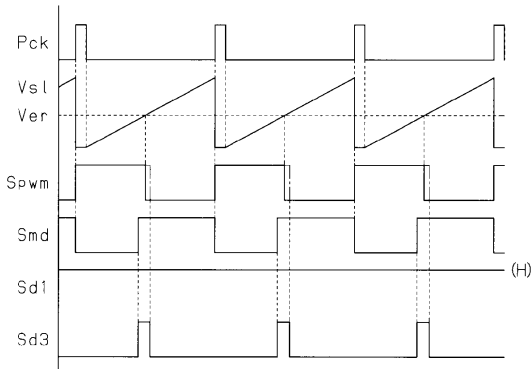
【図9】

モード信号に係る動作を示す波形図



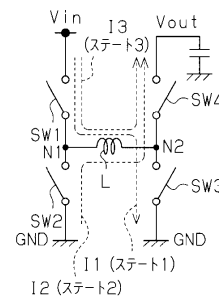
【図10】

モード信号に係る動作を示す波形図



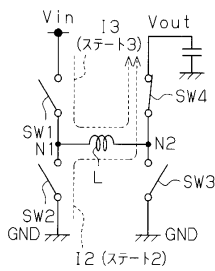
【図12】

出力部の動作説明図



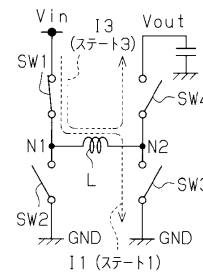
【図11】

出力部の動作説明図



【図13】

出力部の動作説明図



フロントページの続き

- (56)参考文献 特開2009-159703(JP,A)
特開2000-166223(JP,A)
特開2005-012921(JP,A)
特開2005-192312(JP,A)
特開2008-035683(JP,A)
特開2008-086143(JP,A)
米国特許出願公開第2008/0252276(US,A1)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/155