

公告本

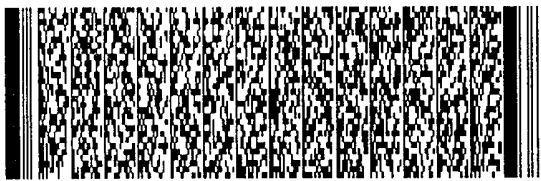
申請日期: *H. P. Y.* 案號: 88114463

類別: *HOIL 21/28*

(以上各欄由本局填註)

發明專利說明書 454252

發明名稱	中文	製造淺井金氧半導體場效電晶體結構之方法
	英文	METHOD OF MAKING SHALLOW WELL MOSFET STRUCTURE
發明人	姓名 (中文)	1. 克里斯多夫 波格斯樓 柯肯
	姓名 (英文)	1. CHRISTOPHER BOGUSLAW KOCON
	國籍	1. 美國
	住、居所	1. 美國賓州普蘭斯市葛瑞斯路16號
申請人	姓名 (名稱) (中文)	1. 美商賀利實公司
	姓名 (名稱) (英文)	1. HARRIS CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國佛羅里達州美爾鉢市那沙路1025號
	代表人姓名 (中文)	1. 威廉. A. 楚納
	代表人姓名 (英文)	1. WILLIAM A. TRONER



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/09/02 09/145,513

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明(1)

本發明有關一種半導體裝置及其製造方法，特別是有關製造一種淺井絕緣閘極場效半導體裝置，及一種由該方法製得之裝置，其電阻降低而且在通道頸區電流窄化。

淺井金氧半導體場效電晶體裝置之習用製造方法中，達到通道長度所需之井深視多晶矽閘極邊緣下之摻雜材料橫向與垂直擴散作用而定或以其表示。形成該裝置以減少深度或淺井裝置時，此種擴散依存度可能使所形成裝置有短通道效果及高度汲極-源極洩漏傾向。更特別的是，於習用淺井金氧半導體場效電晶體方法中，N-通道或P-井裝置之個別步驟示於分段圖示剖面圖1-7，N-外延層11最初遍佈沉積於下層N+矽基材13(圖1)上，沉積至達到預定厚度與預定擊穿電壓用之電阻係數。

其次，在該N-外延層11(圖2)上表面生長閘極絕緣(氧化物)層15，然後非選擇性沉積多晶矽層19(圖3)，其作為該裝置之閘極。然後選擇性蝕刻閘極氧化物15與多晶矽19(圖4)，以形成隨後井與源極移植用之自我排列掩模21。

如圖5所示，然後利用敷層或是P型雜質23之非選擇性移植在外延層11上形成P井區25，其中此等雜質具有在該閘極掩模21之側邊緣27旁產生P-井區25之能量與濃度。然後對該結構進行擴散/退火作用，其增加該P井區25之深度，並造成閘極掩模21下之經移植P-井雜質橫向擴散，如此在P-井區25與N-外延層11之間形成之PN接頭27會自井P-區底部29伸至該絕緣閘極結構下之位置31處。



五、發明說明 (2)

其次，如圖6所示，使用一種分離之光阻掩模與一種氧化物間隔物或是在P-井區25下之光阻掩模將N+源極選擇性植入閘極側邊緣27附近之井中，形成該源極區大小。現在形成直接位於閘極氧化物15而且介於N+源極區33與汲極11, 13間之範圍50，並界定為通道範圍。形成N+源極區33之後，另外進行P+移植，在該P-井區25內形成表面P+主體區35(圖7)。然後退火該結構以活化摻雜劑，並修復受損晶格位置。在最終裝置中，該基材背面作為汲極接點。

圖8圖示使用圖1-7習用處理順序所製得裝置之開啟狀態期間電流密度。如前述，因為通道50之長度係由閘極結構側邊緣27下摻雜材料之橫向與垂直擴散作用決定，位於該井移植處以形成相當淺井裝置(該範例實例中小於2微米)，所製成裝置有短通道效果及高度汲極-源極洩漏傾向，而且在大部分實例中擊穿電壓降低。

當該裝置於傳導或開啟狀態時，該短通道效果極明顯。在開啟狀態時，在控制施加於閘極電壓相對於施加於源極區電壓之下，電荷載體流經介於源極與汲極區之通道區。在具有P-型通道區50(其位於該N-型源極區33與汲極區11, 13之間)之範例裝置中，對於閘極19施加正電壓，將電子吸向該通道區表面。當該被吸引電子到達充分濃度時，於該基材表面附近之P-型通道區之狹窄部分傳導性形式轉換成N-型，形成一N-型傳導性之連續路徑，其自該源極區33經由通道區50至汲極區11與13，下至背面汲極接點。

所施加之閘極-源極電壓(其中大量電流開始流動)稱為



五、發明說明 (3)

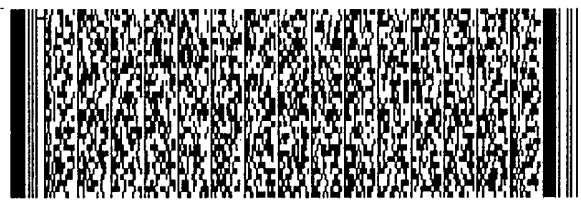
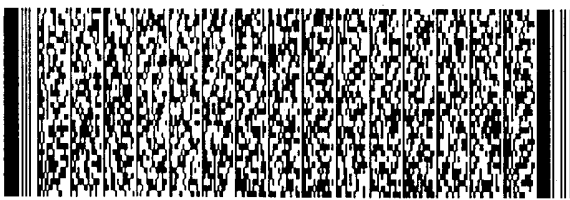
該裝置之臨界電壓。通常就非短通道裝置而言，該電壓與閘極長度和寬度無關。當該通道長度減少時，該源極與汲極接頭之乏層變得與通道長度相當。此時會發生衝穿作用。衝穿作用時，兩層乏層合併，而且該閘極無法再控制該電流。該裝置之臨界電壓降低而且多變。

臨界電壓控制係淺井金氧半導體場效電晶體裝置之基本需求。在關閉狀態或阻礙狀態時，預期該裝置可以承受所需之汲極-源極電壓。再者，當該通道長度減少時，該源極與汲極接頭之乏層變成與該通道長度相當。此時會發生衝穿作用，因此兩層乏層合併，而且該裝置無法再承受電壓。此種縮短通道所致對擊穿電壓過早降低會大幅降低該裝置之能力與用途。

本發明排除此等缺點。其中，於形成多晶矽閘極及隨後擴散步驟之前精確形成(淺)通道寬，而且其與此等步驟無依存關係。相較於上述習用方法，此製程形成於通道頭狹窄區具有降低電阻與電流窄化之淺井絕緣閘極場效半導體裝置，並提供提高之功率處理能力與效率。

本發明之淺井處理順序，於下層矽基材上最初沉積外延層之後，對於該外延層表面進行相反傳導性形式雜質之數層移植，形成極淺井區，其形成具有該外延層之PN接頭。其次，在該淺井區表面形成相當厚之場絕緣層。

然後選擇性蝕刻此厚場絕緣區，形成在該淺井區第一部分上之場絕緣掩模，並曝露其附近之淺井區第二部分。在接近該場絕緣層之淺井區曝露部分形成閘極絕緣層。形成



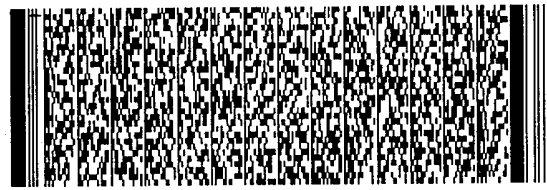
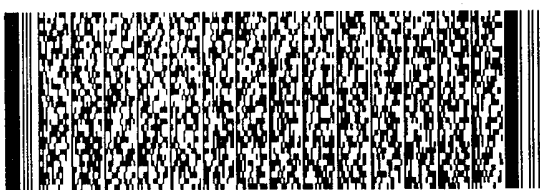
五、發明說明 (4)

該閘極絕緣層之後，於該場絕緣層與閘極絕緣層上非選擇性沉積一種多晶矽間隔層，其用以形成導電閘極層。因為形成該非選擇性間隔層之故，該井區表面覆蓋一種多重厚度移植掩模。

該掩模第一部分具有該場絕緣層與該多晶矽間隔層之合併厚度。該掩模第二部分包含間隔層之相當厚部分(其緊鄰該場絕緣層)與該閘極絕緣層之厚度。該掩模第二之寬度形成介於井區部分與PN接頭伸出部分之間的通道長度，其中該井區位於下方而且與該場絕緣層排列，該PN接頭係於井區後續移植步驟期間轉換成N型傳導性井區部分之間形成。該掩模第一與第二部分之厚度足以阻礙摻雜雜質之滲透作用。該掩模三分之二部分僅具有該矽間隔層與該閘極絕緣層之厚度，因此其厚度允許後續移植期間摻雜雜質滲透。

形成多晶矽層之後，對所形成結構表面進行一或多次高能雜質移植，如此使該淺井區第二部分之劑量過量，因此將該淺井區部分轉換成相反形式之傳導性-該外延層之傳導性形式。此使該PN接頭延伸高至該閘極絕緣層下之井區表面，形成介於該場氧化物層側邊緣與該延伸PN接頭間之通道長度。

然後在該多晶矽間隔層上形成非選擇性多晶矽平坦化層，隨後平坦化蝕刻，其用以平坦化並將該化合物多晶矽材料厚度降至多晶矽閘極層所需厚度，其厚度水準低於該場絕緣層厚度。平坦化蝕刻之後，剝除該場絕緣層，曝露



五、發明說明 (5)

出該閘極氧化物層及該多晶矽閘極層附近井區之部分，其形成隨後主體與源極移植用之自我排列掩模。

本發明包括一種絕緣閘極場效半導體裝置之製造方法，其包括步驟：

(a) 提供具有第一傳導性形式第一表面層以及下方第二傳導性形式第二層之半導體基材，並形成具有該第一表面層之PN接頭；

(b) 在該第一表面層第一一部分上選擇性形成閘極絕緣層；

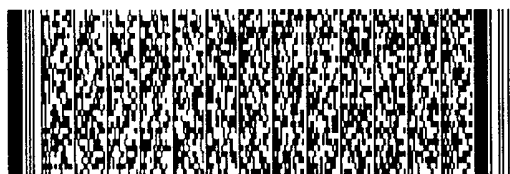
(c) 將該第一表面層第一一部分之第一處轉換成第二傳導性形式，該第一表面層第一一部分之第一處在該閘極絕緣層附近，而該第二傳導性形式之第二層位於第一表面層下方，如此該PN接頭伸至該閘極絕緣層；

(d) 在該閘極絕緣層上形成傳導性閘極材料層，其位於第一表面層第一一部分之第二處上，與第一處相鄰；及

(e) 在該第一表面層形成該第二傳導性形式區，其位於第一表面層第一一部分之第二處旁，其上覆蓋傳導性閘極材料層。

本發明亦包括一種絕緣閘極場效半導體裝置，其由包括下列步驟之方法製得：

(a) 將第一傳導性形式之雜質導入第二傳導性形式基材半導體表面，如此形成第一傳導性形式第一表面層，其自該半導體基材表面伸出，並形成一個具有第二層之PN接頭，以預定深度分離該第二層與該半導體基材表面；



五、發明說明 (6)

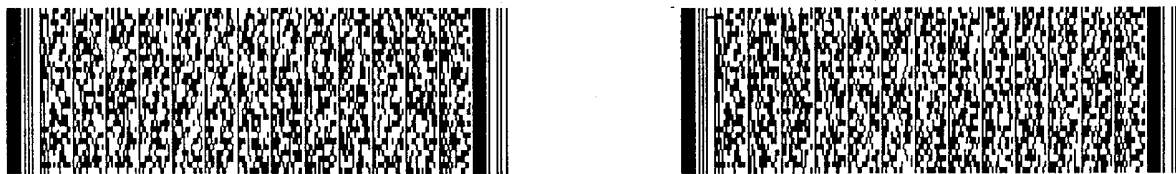
(b) 在該第一表面層經選擇部分選擇性形成第一厚度場絕緣層，其在第一部分旁，並且在第一表面層之第一部分選擇性形成第二厚度之閘極絕緣層，其厚度小於第一厚度；

(c) 在該場絕緣層與該閘極絕緣層上非選擇性形成一導電閘極材料層，作為一間隔材料層，如此該間隔材料層之第一部分覆蓋在第一表面第一部分之第二處上，其具有第一厚度，而間隔材料層之第二部分覆蓋有該第一表面層第一部分之第一處上，其具有小於第一厚度之第二厚度，並且以第二傳導性形式雜質植入所形成結構，如此該第二傳導性形式雜質通過覆蓋在第一表面層第一部分之第一處上之間隔材料層第二部分，並將該第一表面層第一部分之第一處轉換成第二傳導性形式，但是其受到間隔材料層第一部分阻礙，無法進入該經選擇部分與第一表面層第一部分之第一處；

(d) 在該間隔材料層上非選擇性形成該導電閘極材料之平坦化層，並回蝕該導電閘極材料層，至低於該場絕緣層水平為止，以及

(e) 在該第一表面層中形成一個第二傳導性形式區，其在該第一表面層第一部分之第二處旁，去除該場絕緣層使其上覆蓋導電閘極材料層，如此曝露出第一表面層之經選擇部分，並將第二導電閘極材料層之雜質導入該第一表面層經選擇部分之預定處。

現在將以實例方式描述本發明，並參考附圖，其中：



五、發明說明 (7)

圖1-7顯示習用淺井金氧半導體場效電晶體形成方法之個別步驟；

圖8圖示使用圖1-7習用處理順序所製得裝置之開啟狀態期間電流密度；

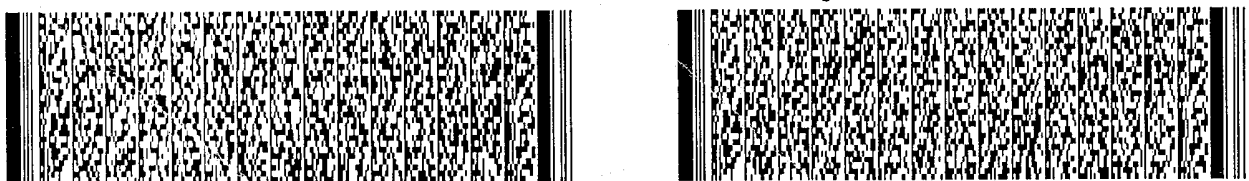
圖9-20顯示本發明淺井金氧半導體場效電晶體處理順序之個別步驟；及

圖21圖示使用圖9-20習用處理順序所製得裝置之開啟狀態期間電流密度。

現在將參考圖9-21敘述本發明淺井處理順序。所形成裝置係P-井(N-通道)淺井金氧半導體場效電晶體結構。不過，必須瞭解可交換各種材料與摻雜劑之傳導性形式，而且可以相同方式形成N-井或P-通道裝置。所有圖顯示一種淺井金氧半導體場效電晶體之分段圖示剖面圖，但是最終裝置通常為所顯示淺井金氧半導體場效電晶體及/或其鏡像之陣列。此外，個別步驟之參數範圍目的在於說明非限制實例。

如圖9所示，同圖1-7所示之習用方法，本發明之淺井處理順序在下層N+矽基材103上沉積遍佈之N-外延層101，沉積至預定厚度及預定擊穿電壓用之電阻係數(例如厚度範圍在3微米至24微米等級範圍內，而電阻係數操0.2歐姆至5歐姆等級)。

其次，如圖10所示，對該N-外延層101上表面進行P-型雜質之敷層移植，至預定深度(例如在自0.05至0.3微米等級範圍內)及劑量(例如自 8×10^{12} 原子/立方厘米至 1.2×10^{13}



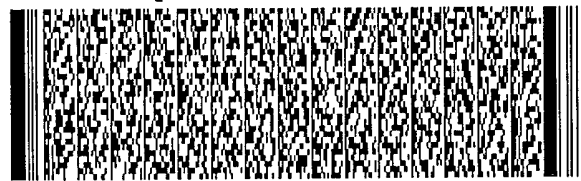
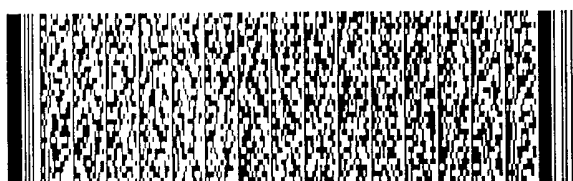
五、發明說明 (8)

原子/立方厘米範圍內)，如此形成極淺P區107(例如深度在0.6微米至1.0微米等級)。此移植形成具有N-外延層101之PN接頭109。

如圖11所示，然後在N-外延層101表面部分之淺P區107上表面110上形成相當厚之場絕緣(氧化物)層111(例如，其厚度在自8,000至12,000埃之等級)，如圖12所示，然後選擇性蝕刻形成場氧化物掩模113，其覆蓋淺P井區107之第一部分115，並曝露出位於第一表面部分115旁之淺P井區107第二部分117。

如圖13所示，在淺P井區107之曝露部分117上形成閘極絕緣層121，其厚度在200至1000埃之等級範圍內，而且在場氧化物層111附近。形成閘極絕緣層121之後，如圖14所示，將一種可用以形成導電閘極層之多晶矽間隔層125非選擇性沉積在场氧化物層111與該閘極絕緣層121上，其沉積厚度在3000埃至5000埃等級。

因為該非選擇性形成間隔層之故，該P井區107表面上覆蓋一種多重厚度之移植掩模130。該掩模第一部分131包含場氧化物層113與該場氧化物層113上之多晶矽間隔層125的組合厚度。該掩模第二部分133包含間隔層125之相當厚部分135與該閘極絕緣層121之厚度，該相當厚部分135緊鄰場氧化物層113之側面112。掩模第二部分135之寬度或水平大小形成介於井區部分與PN接頭伸出部分之間的通道長度，其中該井區位於下方而且與該場絕緣層113之側邊緣112排列，該PN接頭係於井區後續移植步驟期間轉換成N



五、發明說明 (9)

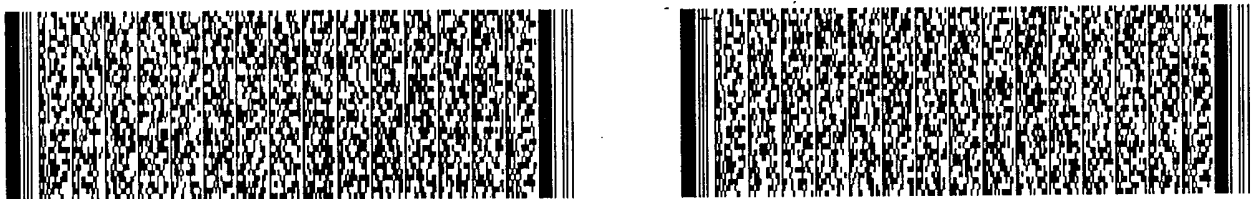
型傳導性井區部分之間形成，下文將作說明。

掩模層130之第一與第二部分厚度足以阻礙此移植步驟期間摻雜雜質滲透。掩模130之第三部分137僅包含矽間隔層125與閘極絕緣層121之厚度，因此其厚度變小使得後續移植步驟期間摻雜雜質可滲透。

形成多晶矽間隔層125之後，對於所形成結構表面進行一或多次高能N⁺雜質移植，示於圖15之141，使掩模130第三部分137下之淺P井區107第二部分117的118部分劑量過量，如此將該P-井區107部分轉換成N-型傳導性。此作用具有將PN接頭109延延伸高至閘極絕緣層121下方井區表面114處之效果。此方法使用多晶矽作為一種用於高能N⁺移植之未經蝕刻間隔物。其他顯著之選擇係非選擇性蝕刻多晶矽，如此產生一種經蝕刻多晶矽間隔物。

其次，如圖16所示，在多晶矽間隔層125上非選擇性形成多晶矽143之相當厚(例如0.3微米)平坦化層。此步驟後進行平坦化蝕刻，示於圖17，其同時用以平坦化並使該化合物多晶矽材料厚度降至多晶矽閘極層145所需厚度，其水平147低於場絕緣層113之厚度。該多晶矽閘極層145之厚度在自5000至8000埃等級範圍內，其係一非限制性實例。

平坦化蝕刻之後，如圖18所示，以一種氧化物蝕刻(諸如一種反應性離子乾式蝕刻)剝除該場氧化物層113，曝露出淺P井區107之108部分，其位於閘極氧化物層121與多晶矽閘極層145旁，其形成一種隨後主體與源極移植用之自



五、發明說明 (10)

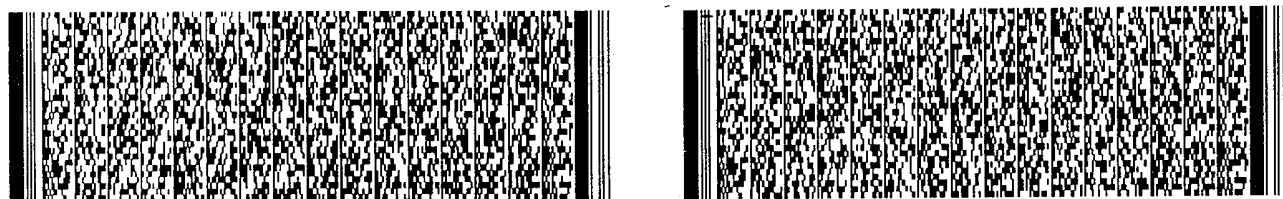
我排列掩模。

可以如上述參考圖1-7形成此等源極與汲極區。換言之，如圖19所示，可以使用一個覆蓋於淺P井區107上之分離光阻掩模，將一N+源極區151植入該多晶矽閘極層145之側邊緣153旁淺井中，形成N+源極區151之大小。該N+源極區151之雜質濃度可能在 5×10^{19} 原子/立方厘米至 2×10^{20} 原子/立方厘米等級，而且深度在0.1微米至0.3微米範圍內，此為非限制實例。該通道區成為矽區，其緊鄰位於源極邊緣155與P井區160末端間之閘極氧化物區。

形成N+源極區151之後，如圖20所示，另外進行P+主體移植，在P-井區107中形成P+主體區161表面此移植作用可能使用在 1×10^{15} 原子/立方厘米至 1×10^{16} 原子/立方厘米範圍內之劑量，而深度在自0.2微米至0.3微米等級之範圍內。然後使該結構退火以活化摻雜劑，並修復受損晶格位置。

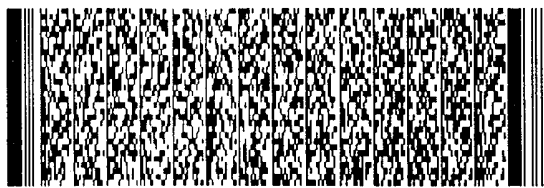
圖21圖示根據圖9-20處理順序所製得裝置之開啟狀態期間電流密度。如前文指出，因為淺P-井通道內之通道長度係由多晶矽間隔層厚度決定，而非如圖1-8習用裝置中由井摻雜材料橫向與垂直擴散作用決定，其形成一種電阻降低而且在通道頸區電流窄化之淺井絕緣閘極場效裝置，如此提高功率處理能力與效率。

對於一種包括外延層之淺井金氧半導體場效電晶體進行雜質之數層移植，如此形成極淺井區，其形成具有外延層之PN接頭。在該淺井區一部分上選擇性形成一場氧化物層，並在該場絕緣層附近之淺井區曝露部分形成一閘極絕



五、發明說明 (11)

緣層。將一種多晶矽間隔物-閘極層非選擇性沉積於該場絕緣層及該閘極絕緣層上，形成一種多重厚度移植掩模。對該結構進行一或多次高能雜質移植，使其劑量過量並將一種淺井區轉換成外延層之傳導性。此使該PN接頭延伸高至該閘極絕緣層下之井區表面，形成介於該場氧化物層側邊緣與該延伸PN接頭間之通道長度。然後在該間隔層上非選擇性形成多晶矽平坦化層，然後平坦化蝕刻，以形成該閘極層厚度。然後剝除該場絕緣層，形成源極與汲極區。

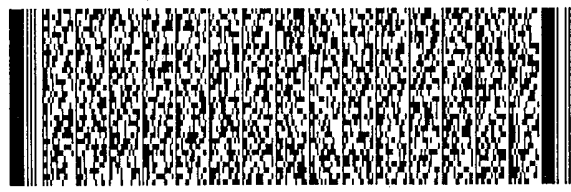
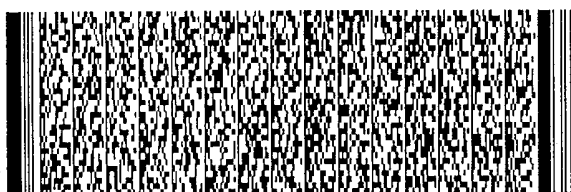


四、中文發明摘要 (發明之名稱：製造淺井金氧半導體場效電晶體結構之方法)

一種淺井金氧半導體場效電晶體結構，包括一層進行雜質敷層移植之外延層，如此形成極淺井區，其形成具有外延層之PN接頭。在該淺井區一部分選擇性形成場氧化物層，並在該場絕緣層附近之淺井區曝露部分形成一閘極絕緣層。多晶矽間隔物-閘極層係非選擇性沉積於該場絕緣層與該閘極絕緣層上，形成多重厚度移植掩模。對該結構進行一或多次高能量雜質移植，使之劑量過量並將一部分淺井區轉換成該外延層之傳導性。此使該PN接頭延伸高至該閘極絕緣層下之井區表面，形成介於該場氧化物層側邊緣與該延伸PN接頭間之通道長度。然後在該間隔層上非選擇性形成多晶矽平坦化層，然後平坦化蝕刻，以形成該閘極層厚度。然後剝除該場絕緣層，形成源極與汲極區。

英文發明摘要 (發明之名稱：METHOD OF MAKING SHALLOW WELL MOSFET STRUCTURE)

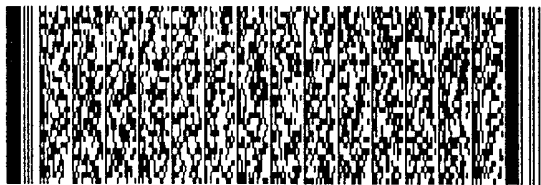
A shallow well MOSFET, including an epitaxial layer is subjected to a blanket implant of impurities, so as to form a very shallow well region that defines a PN junction with the epitaxial layer. A field oxide layer is selectively formed on a portion of the shallow well region, and a gate insulator layer is formed on the exposed portion of the shallow well region contiguous with the field insulator layer. A polycrystalline silicon spacer-gate layer is



四、中文發明摘要 (發明之名稱：製造淺井金氧半導體場效電晶體結構之方法)

英文發明摘要 (發明之名稱：METHOD OF MAKING SHALLOW WELL MOSFET STRUCTURE)

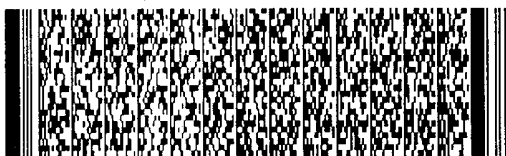
non-selectively deposited on the field insulator layer and the gate insulator layer, forming a multiple thickness implant mask. The structure is subjected to one or more high energy impurity implants, to overdose and convert a portion of the shallow well region to the conductivity of the epitaxial layer. This extends the PN junction up to the surface of the well region beneath the gate insulator layer, to define the length of the channel between the side edge of the field oxide



四、中文發明摘要 (發明之名稱：製造淺井金氧半導體場效電晶體結構之方法)

英文發明摘要 (發明之名稱：METHOD OF MAKING SHALLOW WELL MOSFET STRUCTURE)

layer and the extended PN junction. A polysilicon planarization layer is then non-selectively formed on the spacer layer, followed by a planarization etch, to define the thickness of the gate layer. The field insulator layer is then stripped, and source and drain regions are formed.



六、申請專利範圍

1. 一種絕緣閘極場效半導體裝置之製造方法，其包括步驟：

(a) 提供具有第一傳導性形式第一表面層以及下方第二傳導性形式第二層之半導體基材，並形成具有該第一表面層之PN接頭；

(b) 在該第一表面層第一部分上選擇性形成閘極絕緣層；

(c) 將該第一表面層第一部分之第一處轉換成第二傳導性形式，該第一表面層第一部分之第一處在該閘極絕緣層附近，而該第二傳導性形式之第二層位於第一表面層下方，如此該PN接頭伸至該閘極絕緣層；

(d) 在該閘極絕緣層上形成傳導性閘極材料層，其位於第一表面層第一部分之第二處上，與第一處相鄰；及

(e) 在該第一表面層形成該第二傳導性形式區，其位於第一表面層第一部分之第二處旁，其上覆蓋傳導性閘極材料層。

2. 根據申請專利範圍第1項之方法，其特徵係

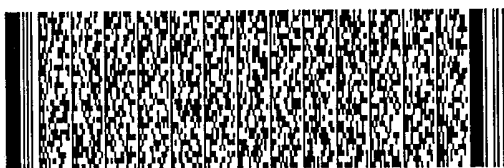
步驟(b)包括

(b1) 在該第一表面層之經選擇部分選擇性形成第一厚度之場絕緣層，其位於該第一部分旁，

(b2) 在該第一表面層第一部分上選擇性形成第二厚度之閘極絕緣層，該第二厚度小於第一厚度；而且其中

步驟(c)包括

(c1) 在該場絕緣層與閘極絕緣層上非選擇性形成間



六、申請專利範圍

隔材料層，如此該間隔材料層之第一部分覆蓋在第一表面層第一部分之第二處上，其具有第一厚度，而間隔材料層之第二部分覆蓋有該第一表面層第一部分之第一處上，其具有小於第一厚度之第二厚度，及

(c2) 以第二傳導性形式雜質植入步驟(c1)所形成結構，如此該第二傳導性形式雜質通過覆蓋在第一表面層第一部分之第一處上之間隔材料層第二部分，並將該第一表面層第一部分之第一處轉換成第二傳導性形式，但是其受到間隔材料層第一部分阻礙，無法進入該經選擇部分與第一表面層第一部分之第一處。

3. 根據申請專利範圍第2項之方法，其特徵係該間隔材料層包括該導電性閘極材料，而且其中步驟(d)包括

(d1) 在該間隔材料層上非選擇性形成該導電閘極材料之平坦化層，以及

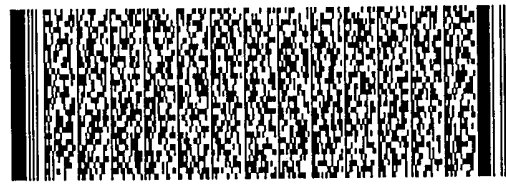
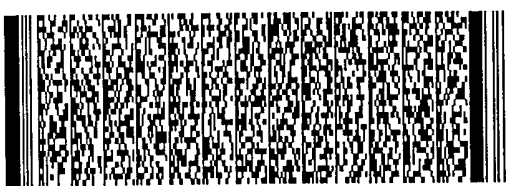
(d2) 回蝕該導電閘極材料層，至低於該場絕緣層水平為止。

4. 根據申請專利範圍第3項之方法，其特徵係步驟(e)包括

(e1) 去除該場絕緣層使其上覆蓋導電閘極材料層，如此曝露出第一表面層之經選擇部分，以及

(e2) 將第二導電閘極材料層之雜質導入該第一表面層經選擇部分之預定處。

5. 根據申請專利範圍第4項之方法，其中步驟(a)包括將第一傳導性形式之雜質導入第二傳導性形式基材半導體表



六、申請專利範圍

面，如此形成第一傳導性形式第一表面層，其自該半導體基材表面伸出，並形成一個具有第二層之PN接頭，以預定深度分離該第二層與該半導體基材表面。

6. 一種絕緣閘極場效半導體裝置之製造方法，其包括步驟：

(a) 將第一傳導性形式之雜質導入第二傳導性形式基材半導體表面，如此形成第一傳導性形式第一表面層，其自該半導體基材表面伸出，並形成一個具有第二層之PN接頭，以預定深度分離該第二層與該半導體基材表面；

(b) 在該第一表面層經選擇部分選擇性形成第一厚度場絕緣層，其在第一部分旁，並且在第一表面層之第一部分選擇性形成第二厚度之閘極絕緣層，其厚度小於第一厚度；

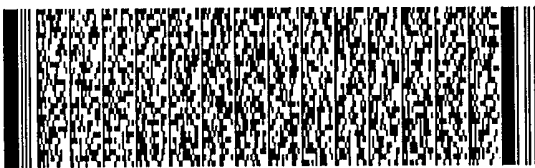
(c) 在該場絕緣層與該閘極絕緣層上非選擇性形成一導電閘極材料層，作為一間隔材料層，如此該間隔材料層之第一部分覆蓋在第一表面第一部分之第二處上，其具有第一厚度，而間隔材料層之第二部分覆蓋有該第一表面層第一部分之第一處上，其具有小於第一厚度之第二厚度，並且以第二傳導性形式雜質植入所形成結構，如此該第二傳導性形式雜質通過覆蓋在第一表面層第一部分之第一處上之間隔材料層第二部分，並將該第一表面層第一部分之第一處轉換成第二傳導性形式，但是其受到間隔材料層第一部分阻礙，無法進入該經選擇部分與第一表面層第一部分之第一處；



六、申請專利範圍

(d) 在該間隔材料層上非選擇性形成該導電閘極材料之平坦化層，並回蝕該導電閘極材料層，至低於該場絕緣層水平為止，以及

(e) 在該第一表面層中形成一個第二傳導性形式區，其在該第一表面層第一部分之第二處旁，去除該場絕緣層使其上覆蓋導電閘極材料層，如此曝露出第一表面層之經選擇部分，並將第二導電閘極材料層之雜質導入該第一表面層經選擇部分之預定處。



圖式

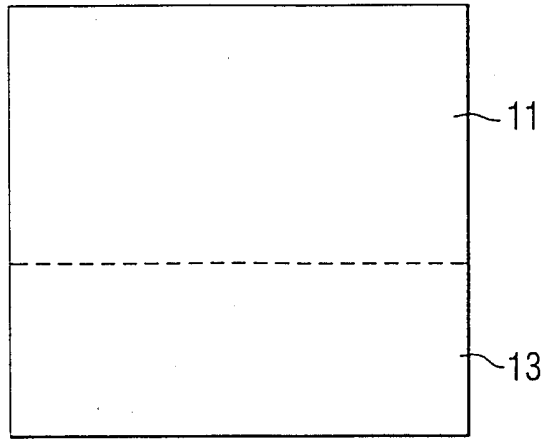


圖 1

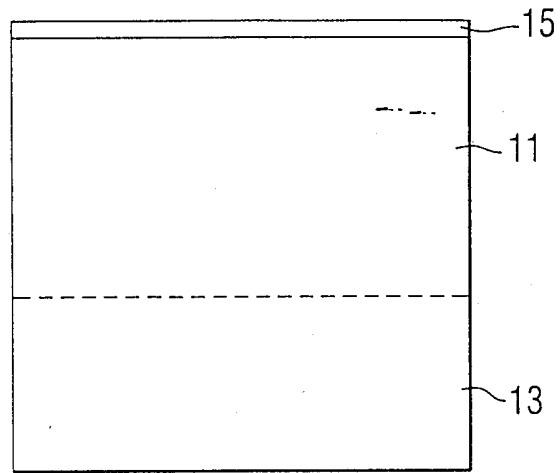


圖 2

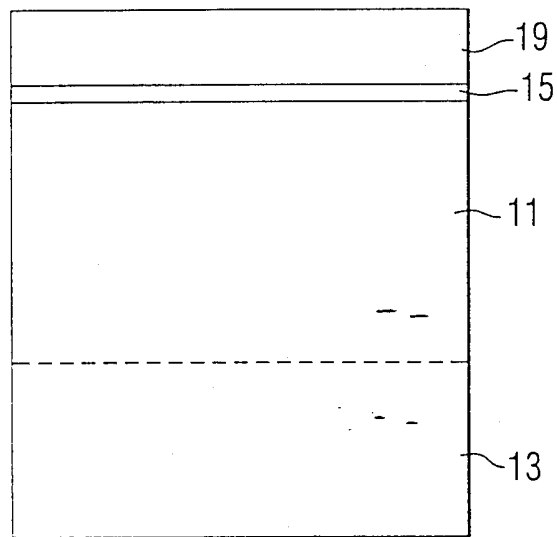


圖 3

圖式

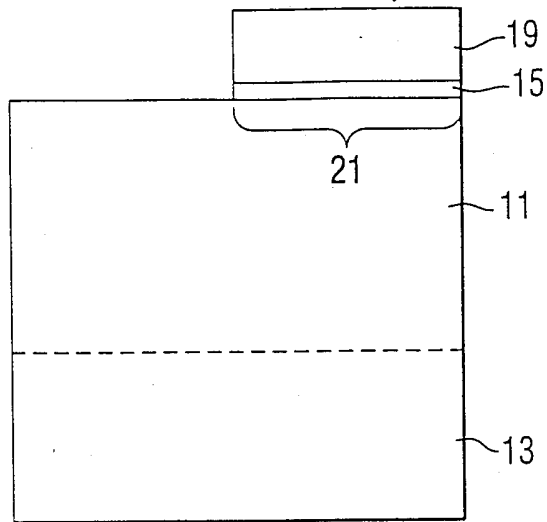


圖 4

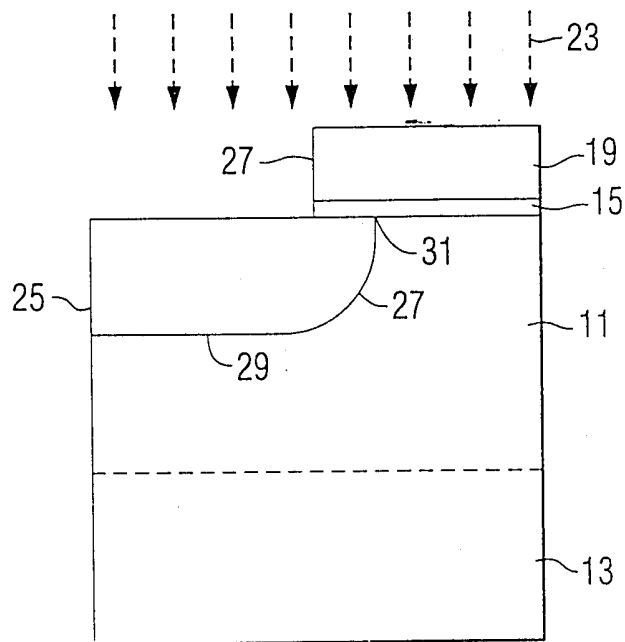


圖 5

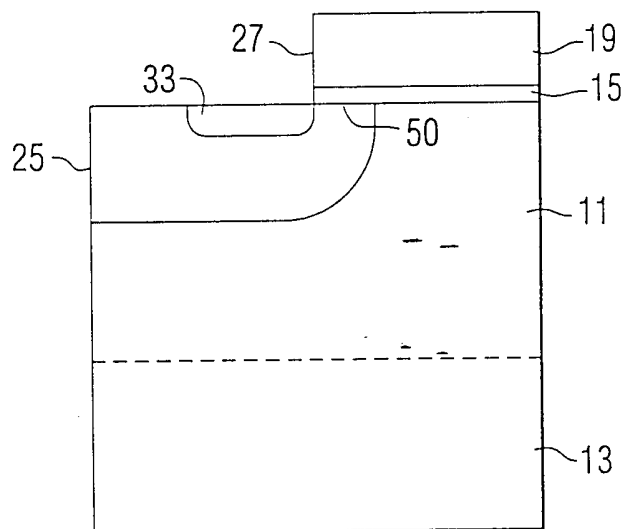


圖 6

圖式

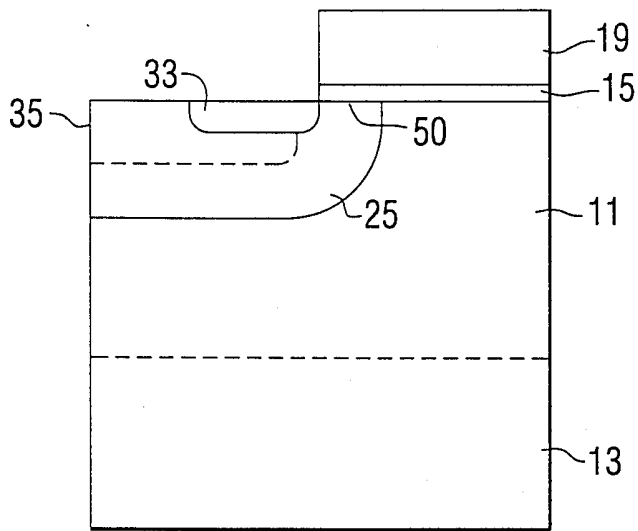


圖 7

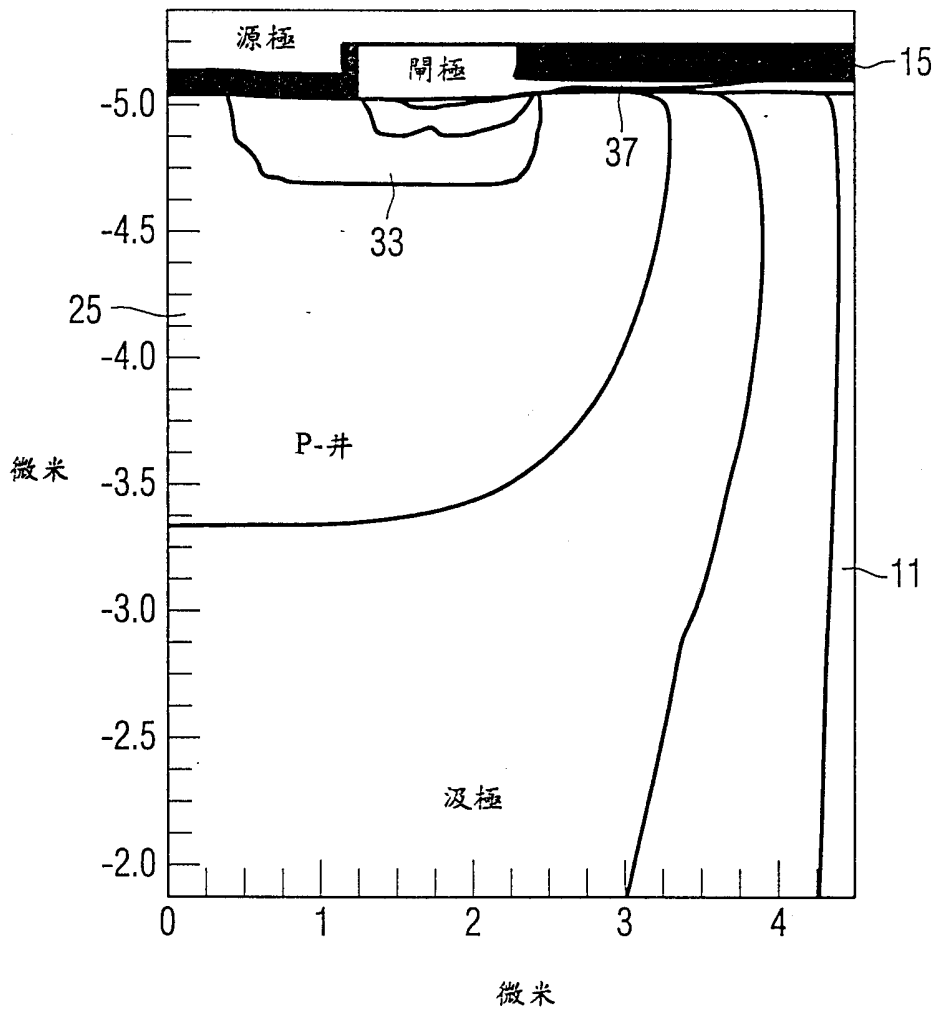


圖 8

圖式

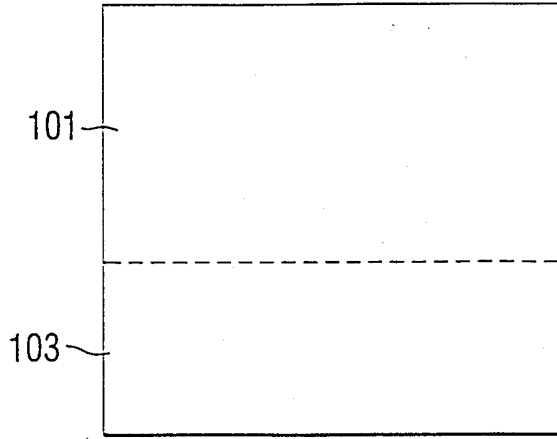


圖 9

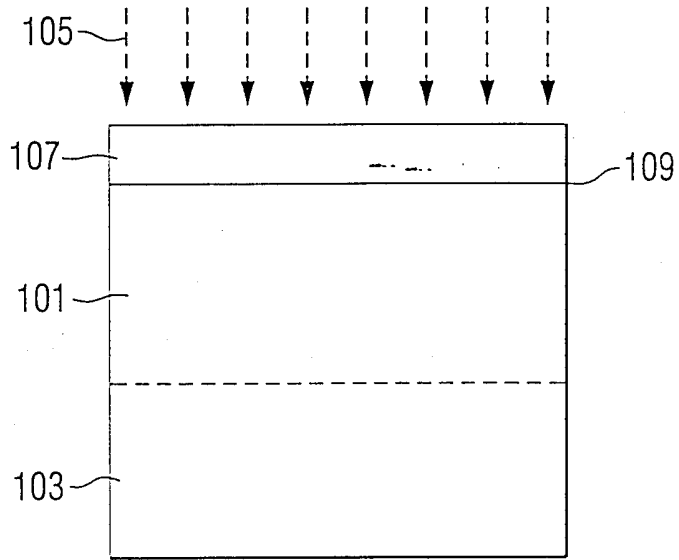


圖 10

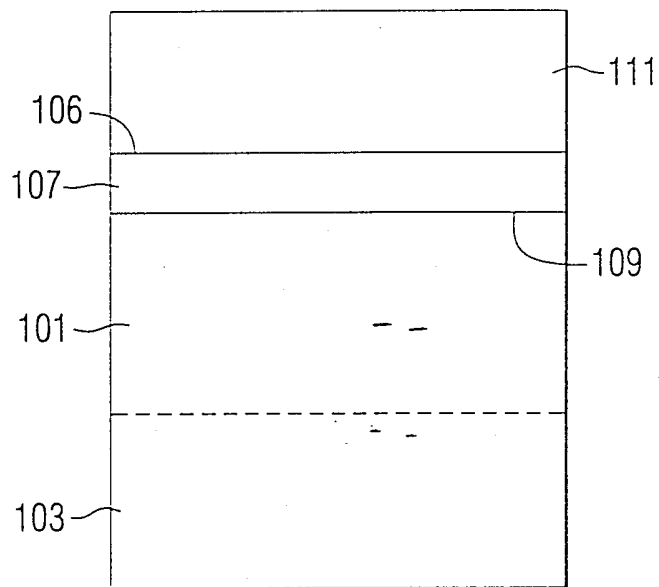


圖 11

圖式

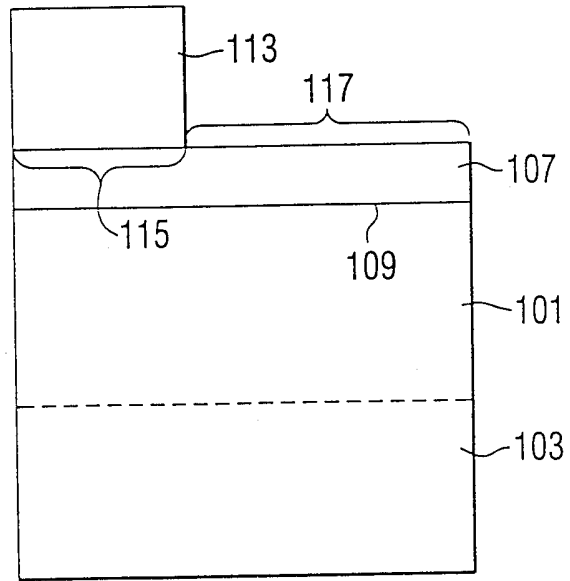


圖 12

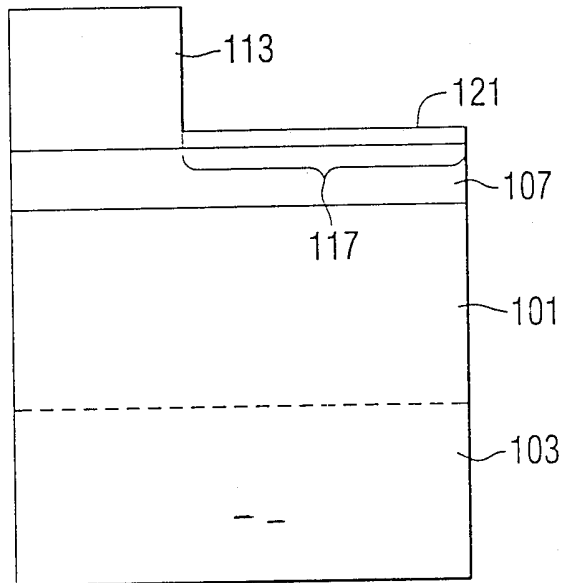


圖 13

圖式

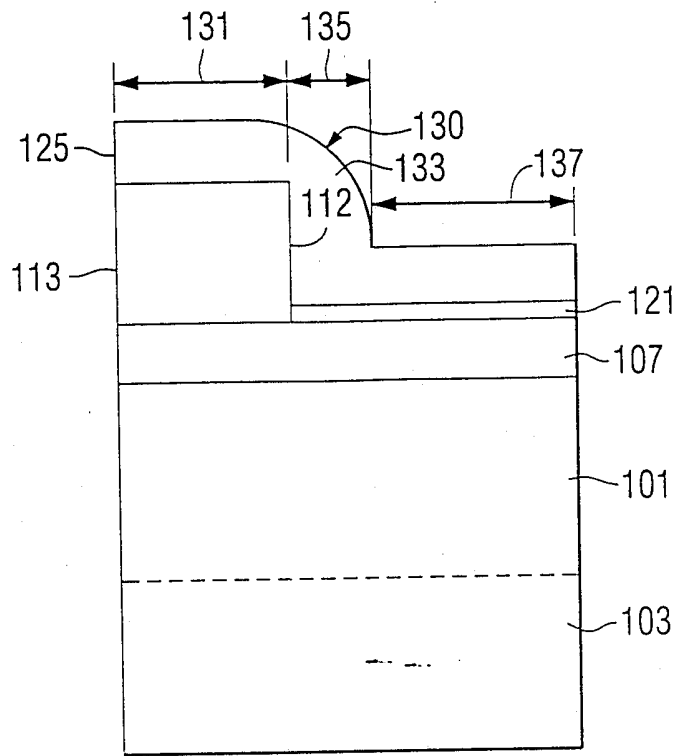


圖 14

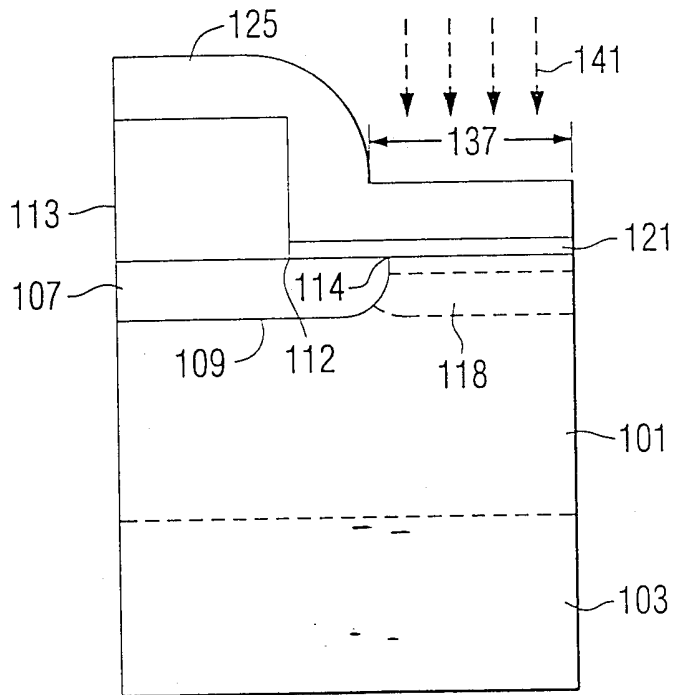


圖 15

圖式

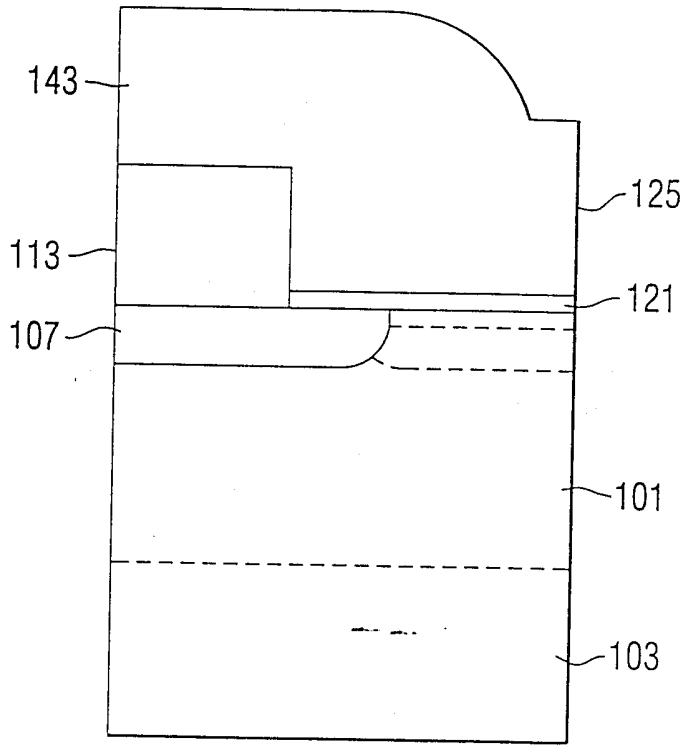


圖 16

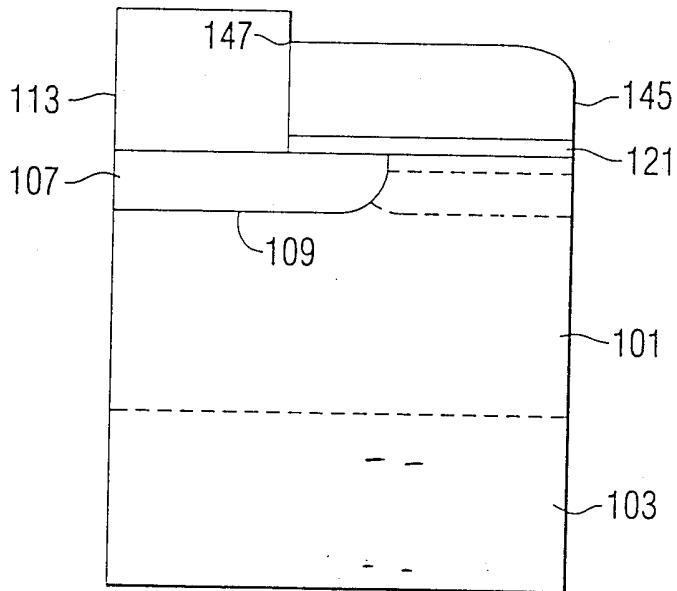


圖 17

圖式

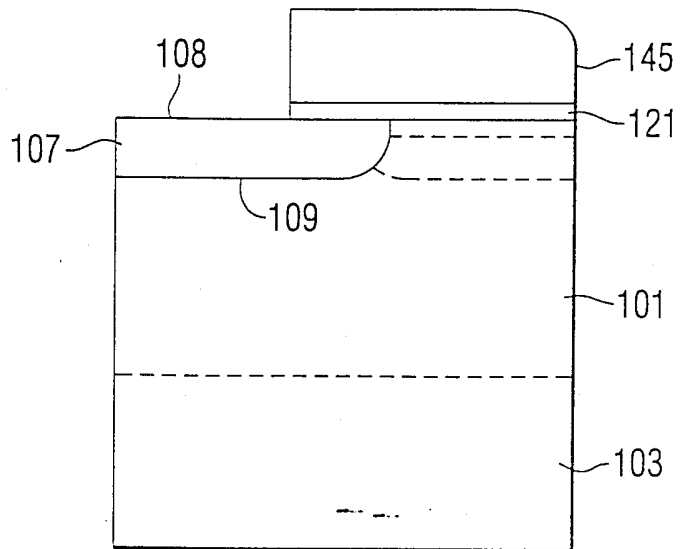


圖 18

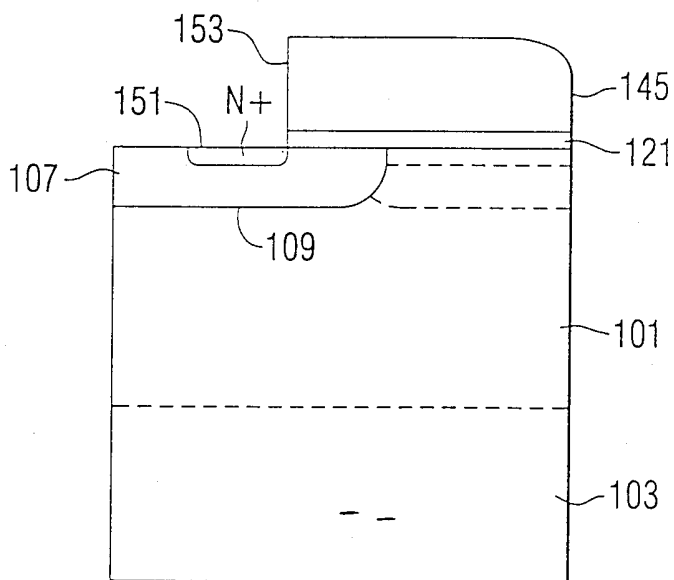


圖 19

圖式

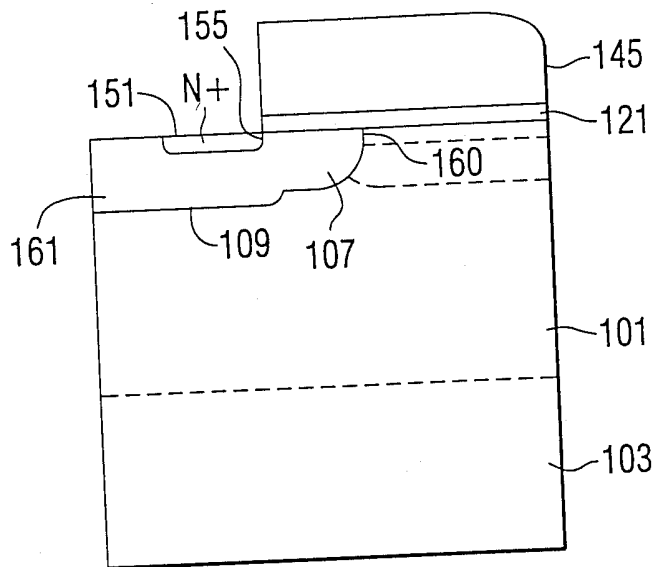


圖 20

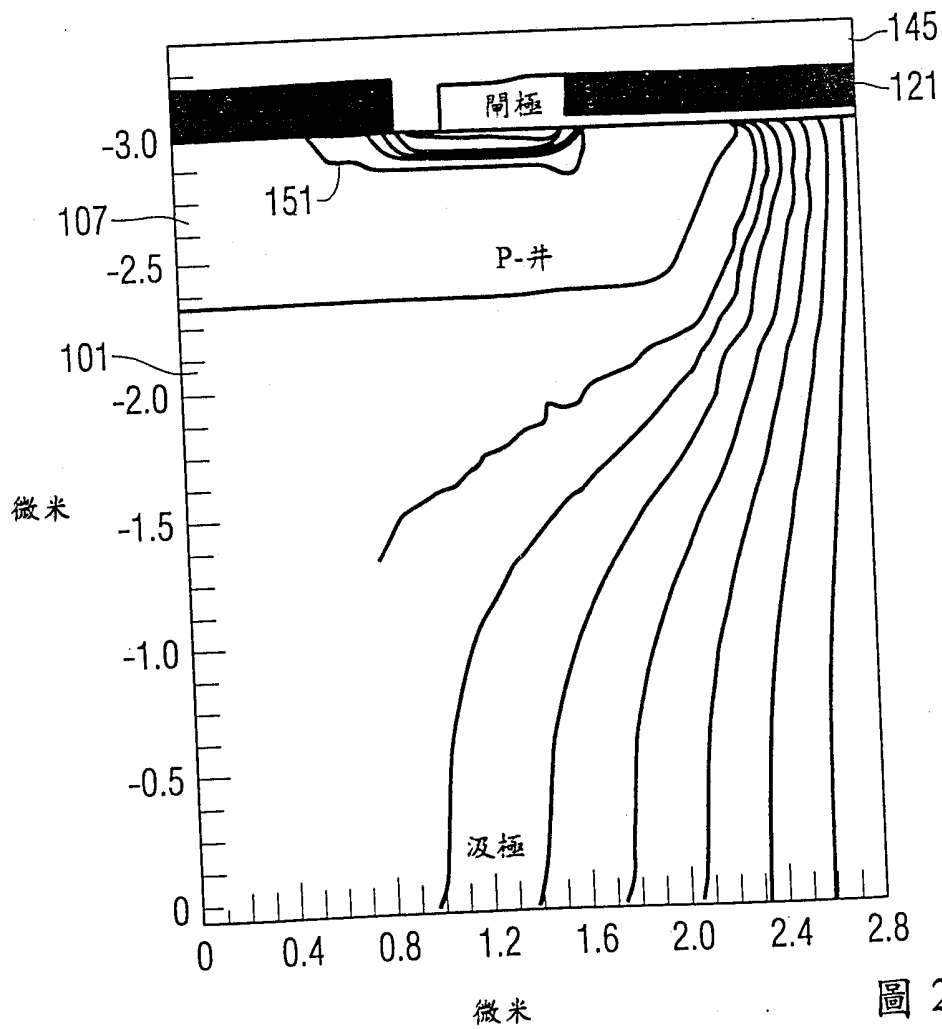


圖 21

六、申請專利範圍

1. 一種絕緣閘極場效半導體裝置之製造方法，其包括步驟：

(a) 提供具有第一傳導性形式第一表面層以及下方第二傳導性形式第二層之半導體基材，並形成具有該第一表面層之PN接頭；

(b) 在該第一表面層第一部分上選擇性形成閘極絕緣層；

(c) 將該第一表面層第一部分之第一處轉換成第二傳導性形式，該第一表面層第一部分之第一處在該閘極絕緣層附近，而該第二傳導性形式之第二層位於第一表面層下方，如此該PN接頭伸至該閘極絕緣層；

(d) 在該閘極絕緣層上形成傳導性閘極材料層，其位於第一表面層第一部分之第二處上，與第一處相鄰；及

(e) 在該第一表面層形成該第二傳導性形式區，其位於第一表面層第一部分之第二處旁，其上覆蓋傳導性閘極材料層。

2. 根據申請專利範圍第1項之方法，其特徵係

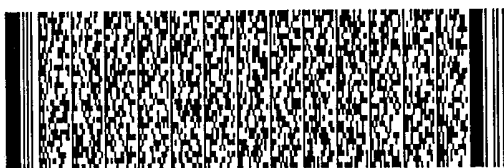
步驟(b)包括

(b1) 在該第一表面層之經選擇部分選擇性形成第一厚度之場絕緣層，其位於該第一部分旁，

(b2) 在該第一表面層第一部分上選擇性形成第二厚度之閘極絕緣層，該第二厚度小於第一厚度；而且其中

步驟(c)包括

(c1) 在該場絕緣層與閘極絕緣層上非選擇性形成間



六、申請專利範圍

隔材料層，如此該間隔材料層之第一部分覆蓋在第一表面層第一部分之第二處上，其具有第一厚度，而間隔材料層之第二部分覆蓋有該第一表面層第一部分之第一處上，其具有小於第一厚度之第二厚度，及

(c2) 以第二傳導性形式雜質植入步驟(c1)所形成結構，如此該第二傳導性形式雜質通過覆蓋在第一表面層第一部分之第一處上之間隔材料層第二部分，並將該第一表面層第一部分之第一處轉換成第二傳導性形式，但是其受到間隔材料層第一部分阻礙，無法進入該經選擇部分與第一表面層第一部分之第一處。

3. 根據申請專利範圍第2項之方法，其特徵係該間隔材料層包括該導電性閘極材料，而且其中步驟(d)包括

(d1) 在該間隔材料層上非選擇性形成該導電閘極材料之平坦化層，以及

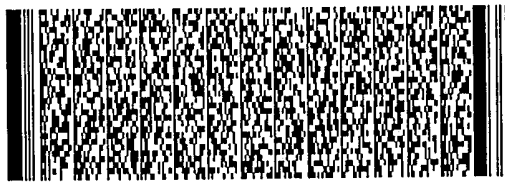
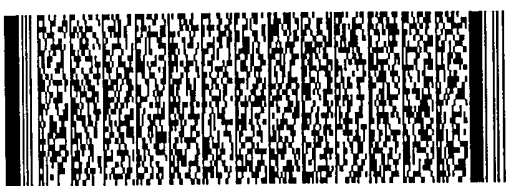
(d2) 回蝕該導電閘極材料層，至低於該場絕緣層水平為止。

4. 根據申請專利範圍第3項之方法，其特徵係步驟(e)包括

(e1) 去除該場絕緣層使其上覆蓋導電閘極材料層，如此曝露出第一表面層之經選擇部分，以及

(e2) 將第二導電閘極材料層之雜質導入該第一表面層經選擇部分之預定處。

5. 根據申請專利範圍第4項之方法，其中步驟(a)包括將第一傳導性形式之雜質導入第二傳導性形式基材半導體表



六、申請專利範圍

面，如此形成第一傳導性形式第一表面層，其自該半導體基材表面伸出，並形成一個具有第二層之PN接頭，以預定深度分離該第二層與該半導體基材表面。

6. 一種絕緣閘極場效半導體裝置之製造方法，其包括步驟：

(a) 將第一傳導性形式之雜質導入第二傳導性形式基材半導體表面，如此形成第一傳導性形式第一表面層，其自該半導體基材表面伸出，並形成一個具有第二層之PN接頭，以預定深度分離該第二層與該半導體基材表面；

(b) 在該第一表面層經選擇部分選擇性形成第一厚度場絕緣層，其在第一部分旁，並且在第一表面層之第一部分選擇性形成第二厚度之閘極絕緣層，其厚度小於第一厚度；

(c) 在該場絕緣層與該閘極絕緣層上非選擇性形成一導電閘極材料層，作為一間隔材料層，如此該間隔材料層之第一部分覆蓋在第一表面第一部分之第二處上，其具有第一厚度，而間隔材料層之第二部分覆蓋有該第一表面層第一部分之第一處上，其具有小於第一厚度之第二厚度，並且以第二傳導性形式雜質植入所形成結構，如此該第二傳導性形式雜質通過覆蓋在第一表面層第一部分之第一處上之間隔材料層第二部分，並將該第一表面層第一部分之第一處轉換成第二傳導性形式，但是其受到間隔材料層第一部分阻礙，無法進入該經選擇部分與第一表面層第一部分之第一處；



六、申請專利範圍

(d) 在該間隔材料層上非選擇性形成該導電閘極材料之平坦化層，並回蝕該導電閘極材料層，至低於該場絕緣層水平為止，以及

(e) 在該第一表面層中形成一個第二傳導性形式區，其在該第一表面層第一部分之第二處旁，去除該場絕緣層使其上覆蓋導電閘極材料層，如此曝露出第一表面層之經選擇部分，並將第二導電閘極材料層之雜質導入該第一表面層經選擇部分之預定處。

