



República Federativa do Brasil

Ministério do Desenvolvimento, Indústria,
Comércio e Serviços

Instituto Nacional da Propriedade Industrial



(11) PI 0908363-4 B1

(22) Data do Depósito: 10/02/2009

(45) Data de Concessão: 28/11/2023

(54) Título: MEIA-PONTE, CIRCUITO EM PONTE, E MÉTODO DE OPERAR UM CIRCUITO

(51) Int.Cl.: H02M 7/521; H02M 3/335.

(30) Prioridade Unionista: 09/02/2009 US 12/368,200; 12/02/2008 US 61/028,133.

(73) Titular(es): TRANSPHORM TECHNOLOGY, INC..

(72) Inventor(es): JAMES HONEA; YIFENG WU.

(86) Pedido PCT: PCT US2009033699 de 10/02/2009

(87) Publicação PCT: WO 2009/102732 de 20/08/2009

(85) Data do Início da Fase Nacional: 12/08/2010

(57) Resumo: CIRCUITO EM PONTES E SEUS COMPONENTES. Uma meia-ponte é descrita com pelo menos um transistor dotado de um canal que é capaz em um primeiro modo de operação de bloquear um voltagem substancial em pelo menos uma direção, em um segundo modo de operação de conduzir corrente substancial em uma direção através do cana e um terceiro modo de operação de conduzir corrente substancial em uma direção oposta através do canal. A meia-ponte pode ser dotada de dois circuitos com o referido transistor.

Relatório Descritivo da Patente de Invenção para "**MEIA-PONTE, CIRCUITO EM PONTE, E MÉTODO DE OPERAR UM CIRCUITO**".

CAMPO TÉCNICO

[001] A presente invenção refere-se a um circuito em pontes e os componentes dos quais os mesmos são compreendidos.

ANTECEDENTES

[002] Circuitos em ponte são usados em uma grande variedade de aplicações. Um típico circuito trifásico em ponte para uma transmissão de motor é mostrado na figura 1. Cada uma das três meias-pontes 15, 25, 35 em circuito 10 inclui dois comutadores (61 - 66), os quais são capazes de bloquear corrente em uma direção e são capazes de conduzir corrente em ambas as direções. Em virtude do fato dos transistores (41 - 46) comumente usados em circuitos de energia serem inerentemente incapazes de conduzir corrente na direção inversa, cada um dos comutadores 61 - 66 no circuito 10 compreende um transistor (41 - 46) conectado antiparalelo a um diodo de roda livre 51 - 56. Os transistores 41 - 46 são cada um dos quais, capaz de bloquear uma tensão pelo menos tão alta quanto a fonte de alta tensão (HV) do circuito 10 quando os mesmos são polarizados para o estado DESLIGADO, e os diodos 51 - 56 são cada um dos quais capaz de bloquear uma tensão pelo menos tão alta quanto a fonte de alta tensão (HV) do circuito 10 quando os mesmos são invertidamente polarizados. De modo ideal, os diodos 51 - 56 são dotados de boas características de comutação para minimizar correntes transitórias durante comutação, portanto diodos Schottky são comumente usados. Os transistores 41 - 46 podem ser de modo de intensificação (normalmente em desligado, $V_{th} > 0$), isto é modo E, ou modo de depleção (normalmente em ligado, $V_{th} < 0$), isto é dispositivos de modo D. Em circuitos de energia, dispositivos de modo

de intensificação são tipicamente usados para evitar ligação acidental de modo a evitar danos aos dispositivos ou outros componentes do circuito. Os nodos 17, 18, e 19 são todos acoplados um ao outro por meio de cargas indutivas, isto é, componentes indutivos tais como bobinas do motor (não mostrado na figura 1).

[003] A figura 2a mostra meia-ponte 15 da transmissão trifásica completa do motor na figura 1, junto com o enrolamento do motor (componente indutivo 21) entre nodos 17 e 18 e o comutador 64 cuja corrente do motor alimenta. Para esta fase de energia, o transistor 44 está continuamente em ligado ($V_{gs44} > V_{th}$) e o transistor 42 está continuamente em desligado ($V_{gs42} < V_{th}$, isto é, $V_{gs42} = 0V$ se transistores de modo de intensificação forem usados), embora o transistor 41 seja modulado com um sinal de modulação de largura de pulso (PWM) para alcançar a desejada corrente do motor. A figura 2b, que é uma versão simplificada do diagrama na figura 2a, indica o trajeto da corrente 27 durante o tempo no qual o transistor 41 é polarizado ligado. Para a referida polarização, a corrente do motor flui através de transistores 41 e 44, embora nenhuma corrente flua através de comutador 62 pelo fato de que o transistor 42 é polarizado desligado e o diodo 52 é polarizado inverso. Com referência à figura 2c, durante o tempo em que o transistor 41 é polarizado desligado, nenhuma corrente pode fluir através do transistor 41 ou do diodo 51, e assim a corrente do motor flui através do diodo 52. Durante esta parte da operação, o componente indutivo 21 força a tensão no nodo 17 a um valor suficientemente negativo para fazer com que o diodo 52 conduza.

[004] Atualmente, transistores bipolares de porta isolada (IGBTs) são tipicamente usados em circuito em pontes de alta energia, e transistores MOS de silício, também conhecidos como MOSFETs, são usados em aplicações de baixa energia. IGBTs tradicionais

inerentemente conduzem em apenas uma direção, e portanto, um diodo de roda livre é necessário para a operação adequada de um comutador com um IGBT. Um transistor MOS padrão inerentemente contém um diodo parasítico antiparalelo. Como visto na figura 3a, se a porta e a fonte de um dispositivo MOS 50 são polarizados na mesma tensão e o dreno é polarizado em uma tensão mais baixa, tal como ocorre no transistor 42 quando o transistor 41 é desligado (figura 2c), o diodo parasítico 60 evita que o MOS transistor intrínseco 71 ligue. Portanto, o trajeto da corrente inversa 37 é através do diodo parasítico 60. Pelo fato de que o diodo parasítico 60 inerentemente apresenta pobres características de comutação, o diodo parasítico 60 experimenta grandes transientes quando o dispositivo MOS 50 é comutado ligado ou desligado.

[005] Para completamente evitar ligar o diodo parasítico 60, a solução de três componentes ilustrada na figura 3b é com frequência empregada. Na figura 3b, o diodo 69 é adicionado ao comutador para evitar que qualquer corrente flua através do diodo parasítico 60, e um diodo Schottky 68 é adicionado para portar a corrente durante o tempo em que a referida corrente flui na direção mostrada na figura 3b, isto é, a partir do lado da fonte para o lado do dreno do dispositivo MOS 50.

SUMÁRIO

[006] Uma meia-ponte compreendendo pelo menos um transistor dotado de um canal que é capaz em um primeiro modo de operação de bloquear uma tensão substancial em pelo menos uma direção, em um segundo modo de operação de conduzir corrente substancial na pelo menos uma direção através do canal e em um terceiro modo de operação de conduzir corrente substancial em um sentido oposto através do canal é descrita.

[007] Um método de operar um circuito compreendendo um estágio de circuito de meia-ponte compreendendo um primeiro

transistor, um segundo transistor, e um componente indutivo, em que o componente indutivo é acoplado entre o primeiro transistor e segundo transistor, o primeiro transistor está entre uma fonte de tensão e o segundo transistor, e o segundo transistor está entre um terminal de terra e o primeiro transistor é descrito. O primeiro transistor é polarizado ligado e o segundo transistor é polarizado desligado, permitindo que a corrente flua através do primeiro transistor e do componente indutivo e bloqueando a tensão através do segundo transistor. O primeiro transistor é mudado a uma polarização desligado, permitindo que a corrente flua através do segundo transistor e do componente indutivo e fazendo com que o segundo transistor esteja em modo diodo.

[008] Um método de operar um circuito compreendendo um componente indutivo e uma meia-ponte compreendendo um primeiro transistor e um segundo transistor, em que o componente indutivo é acoplado entre o primeiro transistor e segundo transistor e o primeiro transistor é acoplado a uma fonte de tensão e o segundo transistor é acoplado ao terminal de terra é descrito. O primeiro transistor é polarizado desligado e o segundo transistor é polarizado ligado, permitindo que corrente percorra através do componente indutivo e através do segundo transistor, em que o primeiro transistor bloqueia uma primeira tensão. O segundo transistor é mudado a uma polarização desligado, fazendo com que o primeiro transistor opere em um modo diodo para portar corrente de roda livre (*freewheeling current*) e o segundo transistor para bloquear uma segunda tensão.

[009] Modalidades dos dispositivos e métodos descritos aqui podem incluir uma ou mais dos a seguir. A meia-ponte pode incluir pelo menos dois transistores e cada transistor pode ser configurado para desempenhar como um transistor de comutação e como um diodo antiparalelo. Um circuito em ponte pode ser formado das meias-pontes

descritas aqui. Um circuito de direcionamento de porta pode ser configurado para controlar de modo independente a tensão de porta de cada um dos transistores. O transistor pode ser um primeiro transistor de um componente de ponte, o componente de ponte pode adicionalmente incluir um segundo transistor. A porta do primeiro transistor pode ser eletricamente conectada a uma fonte do segundo transistor e uma fonte do primeiro transistor pode ser eletricamente conectada a um dreno do segundo transistor. O primeiro transistor pode ser um dispositivo de modo de depleção e o segundo transistor pode ser um dispositivo de modo de intensificação. O primeiro transistor pode ser um dispositivo de alta tensão e o segundo transistor pode ser um dispositivo de baixa tensão. O primeiro transistor pode ser configurado para bloquear uma tensão pelo menos igual a um circuito alta tensão. O segundo transistor pode ser configurado para bloquear uma tensão pelo menos igual a uma tensão limiar do primeiro transistor. O segundo transistor pode ser configurado para bloquear uma tensão de cerca de duas vezes a tensão limiar. O primeiro transistor pode ser um transistor de modo de depleção de alta tensão e o segundo transistor pode ser um transistor de modo de intensificação de baixa tensão. O primeiro transistor pode ser um III - N HEMT ou um SiC JFET. O segundo transistor pode ser um III - N HEMT. O segundo transistor pode ser um III - N HEMT de face de nitrogênio. O segundo transistor pode ser um com base em silício ou dispositivo com base em SiC. O segundo transistor pode ser um MOSFET de silício vertical ou um SiC JFET ou um SiC MOSFET. A meia-ponte pode incluir pelo menos dois dos componentes de ponte. O segundo transistor pode incluir um diodo parasítico e a meia-ponte pode incluir um diodo de baixa tensão conectado em paralelo ao diodo parasítico. O diodo de baixa tensão pode ser configurado para bloquear pelo menos tanta tensão quanto o segundo transistor. O

diodo de baixa tensão pode ser dotado de uma tensão de ativação mais baixa do que o diodo parasítico. A meia-ponte pode incluir um diodo de baixa tensão, em que o diodo de baixa tensão é configurado para bloquear uma tensão máxima que é menos do que uma alta tensão de circuito. Uma meia-ponte pode consistir de dois transistores, em que os transistores são cada a FET, HEMT, MESFET, ou JFET dispositivo. Os dois transistores podem ser transistores de modo de intensificação. Os transistores podem ser transistores III - N de modo de intensificação ou transistores SiC JFET. Os transistores podem ser HEMTs III-N de face de nitrogênio. Os dois transistores podem ser dotados de uma tensão limiar de pelo menos 2V. Os dois transistores podem ser dotados de uma barreira interna a partir de fonte para drenar de 0.5 a 2 eV. Os dois transistores podem ser dotados de uma resistência ligado de menos do que 5 mohm - cm⁻² e uma tensão de ruptura de pelo menos 600V. Os dois transistores podem ser dotados de uma resistência ligado de menos do que 10 mohm - cm⁻² e uma tensão de ruptura de pelo menos 1200V. Um nodo pode ser entre os dois transistores de cada meia-ponte e cada um dos nodos pode ser acoplado um ao outro por meio de uma carga indutiva. Um circuito em ponte incluindo as meias-pontes descritas aqui pode ser livre de diodos. A meia-ponte pode ser livre de diodos. O segundo transistor pode ser mudado para uma polarização ligado após mudar o primeiro transistor para uma polarização desligado. O tempo entre a etapa de mudar o primeiro transistor para uma polarização desligado e mudar o segundo transistor para uma polarização ligado pode ser suficiente para evitar a descarga de correntes a partir do fornecimento de alta tensão para o terminal de terra. O tempo entre a etapa de mudar o segundo transistor para uma polarização desligado e mudar o primeiro transistor para uma polarização ligado pode ser suficiente para evitar descarga de correntes a partir do fornecimento de alta tensão para o

terminal de terra.

[0010] Os dispositivos e métodos descritos aqui podem proporcionar uma ou mais das vantagens a seguir. Um comutador pode ser formado com apenas um único dispositivo transistor. O dispositivo transistor pode desempenhar ou como um transistor de comutação ou como um diodo. A habilidade do transistor de desempenhar um papel duplo pode eliminar a necessidade de um diodo antiparalelo separado no comutador. Um comutador incluindo apenas um único transistor é um dispositivo mais simples do que os dispositivos que também necessitam de um diodo para portar corrente de roda livre. O dispositivo pode ser operado de modo a manter a energia de dissipação a um mínimo. Ademais, a distribuição e a polarização ligado dos transistores podem permitir que um dispositivo, tal como um motor, formado de meias-pontes usando um único - dispositivo comutador opere de modo a reduzir a perda total de energia e ainda simultaneamente evita a descarga de correntes a partir de um fornecimento de alta tensão para o terminal de terra.

DESCRIÇÃO DOS DESENHOS

[0011] A figura 1 é um esquema de um circuito trifásico em ponte.

[0012] As figuras 2a - c mostram esquemas e trajetos de corrente quando o circuito trifásico em ponte é ligado.

[0013] As figuras 3a - b mostram esquemas do dispositivo MOSs e seus trajetos de corrente.

[0014] A figura 4 mostra um diagrama esquemático de um circuito em ponte com comutadores do dispositivo único.

[0015] As figuras 5a - d mostram esquemas de trajetos de corrente através de comutadores de transistor único.

[0016] A figura 6 mostra um diagrama de tempo para sinais de porta.

[0017] As figuras 7 - 9 mostram diagramas esquemáticos de

comutadores que podem ser usados no circuito em ponte da figura 4.

[0018] Símbolos de referência similares nos diversos desenhos indicam elementos similares.

DESCRIÇÃO DETALHADA

[0019] A figura 4 mostra um diagrama esquemático de um circuito em ponte, onde cada um dos seis comutadores inclui um único dispositivo transistor (81 - 86). Os transistores 81 - 86 podem ser dispositivos de modo de intensificação, onde a tensão limiar $V_{th} > 0$, ou dispositivos de modo de depleção, onde a tensão limiar $V_{th} < 0$. Em aplicações de maior potência, é desejável se usar dispositivos de modo de intensificação com voltagens limiars tão altas quanto possível, tais como $V_{th} > 2V$ ou $V_{th} > 3V$, uma alta barreira interna a partir de fonte para drenar em polarização 0 (tal como 0.5 - 2 eV), e uma alta condutividade de região de acesso (tal como resistência de camada < 750 ohms/quadrado) junto com alta tensão de ruptura (600/1200Volts) e baixa em resistência (< 5 ou < 10 mohm - cm^2 para 600/1200 V respectivamente). As tensões de porta $V_{gs81} - V_{gs86}$ são cada uma independentemente controlada por um circuito de direcionamento de porta. Os dispositivos 81 - 86 são cada um capaz de bloquear fluxo de corrente quando a tensão no terminal mais próximo do terminal de terra é mais baixa do que a tensão no terminal mais próximo da fonte de alta tensão DC. Em algumas modalidades, os dispositivos são capazes de bloquear corrente em ambas as direções. Os dispositivos 81 - 86 são também cada um capaz de conduzir corrente em ambas as direções através do mesmo trajeto / canal de condução. Os nodos 17, 18, e 19 são todos acoplados um ao outro por meio de cargas indutivas, isto é, componentes indutivos tais como bobinas do motor (não mostrado na figura 4).

[0020] As figuras 5a e 5b ilustram a operação de uma das três meias-pontes do circuito na figura 4 por um circuito em ponte

compreendendo dispositivos de modo de intensificação que vão de encontro às necessidades descritas acima. Para o objetivo deste exemplo, os dispositivos são assumidos ter uma tensão limiar $V_{th}=2V$. O dispositivo 84 é continuamente polarizado ligado, tal como ao ajustar $V_{gs84}>V_{th}$, tal como $V_{gs84}=5V$. O dispositivo 82 é continuamente polarizado desligado, tal como ao ajustar $V_{gs82}<V_{th}$, tal como $V_{gs82}=0V$. Como mostrado na figura 5a, durante o tempo no qual o dispositivo 81 é polarizado ligado, tal como ao ajustar $V_{gs81}>V_{th}$, tal como $V_{gs81}=5V$, a corrente flui ao longo do trajeto da corrente 27 através do dispositivo 81, através do componente indutivo (bobina do motor) 21, e através do dispositivo 84. Durante este tempo a tensão no nodo 17 é mais alta do que a tensão na fonte do dispositivo 82, mas jamais excede um valor de alta tensão (HV) a partir do fornecimento de alta tensão para o circuito. O dispositivo 82 é polarizado desligado e, portanto, bloqueia uma tensão V_a através do mesmo, onde V_a é a tensão no nodo 17. Como usado aqui, "bloquear uma tensão" se refere à capacidade de um transistor para evitar que significativa corrente, tal como corrente que é maior do que 0,001 vezes a corrente de operação durante condução regular, flua através do transistor quando uma tensão é aplicada através do transistor. Em outras palavras, enquanto um transistor está bloqueando uma tensão que é aplicada através do mesmo, a corrente total que passa através do transistor não será maior do que 0,001 vezes a corrente de operação durante a condução regular.

[0021] A figura 5b ilustra um trajeto da corrente 27 durante o tempo no qual o dispositivo 81 é desligado, tal como ao ajustar $V_{gs81}<V_{th}$, tal como $V_{gs81}=0V$. Durante este tempo a corrente do motor flui através do canal do dispositivo 82, através do componente indutivo (bobina do motor) 21, e através do dispositivo 84. Pelo fato de que a porta e os terminais da fonte do dispositivo 82 estão ambos a 0V,

quando a corrente flui através do dispositivo 82 na referida direção, o dispositivo 82 de fato atua como um diodo e é dito estar em "modo diodo". Ou seja, o dispositivo 82 conduz a corrente na direção mostrada na figura 5b mesmo quando a porta do dispositivo 82 é polarizada abaixo da tensão limiar do dispositivo 82, assim o mesmo se comporta do mesmo modo que um transistor tradicional equipado com um diodo de roda livre inverso. A tensão V_a no nodo 17 é negativa, aproximadamente uma tensão limiar (V_{th}) abaixo da fonte de tensão do dispositivo 82, e o dispositivo 81 deve agora bloquear uma tensão $HV + V_{th}$. Observar que a corrente / tensão bloqueando em uma direção e a ação do diodo na direção oposta é alcançado com o mesmo dispositivo (82).

[0022] O dispositivo 82 pode ser usado como um dispositivo comutado de fato para alcançar fluxo de corrente na direção oposta através do componente indutivo (bobina do motor) 21, como mostrado nas figuras 5c e 5d. Quando o dispositivo 82 está ligado (figura 5c), a corrente 27 flui através do dispositivo 82, e o dispositivo 81 bloqueia uma tensão $HV - V_a$, e quando o dispositivo 82 está desligado (figura 5d), o dispositivo 81 opera no modo diodo para portar a corrente de roda livre, embora o dispositivo 82 bloqueie uma tensão $HV + V_{th}$. Assim, no circuito completo, os dispositivos 81 - 86 desempenham a mesma função que os transistores unidirecionais tradicionais com diodos de roda livre antiparalelos (61 - 66 na figura 1).

[0023] Dependendo do nível da corrente e das voltagens limiares dos dispositivos 81 - 86 (ver a figura 4), a energia de dissipação nos dispositivos pode ser inaceitavelmente alta quando se opera no modo diodo. Neste caso, um modo de operação de energia mais baixa pode ser alcançado ao aplicar sinais de porta da forma mostrada na figura 6. Por exemplo, quando o dispositivo 81 é comutado como mostrado nas figuras 5a e 5b, durante o momento no qual o dispositivo 82 conduz a

corrente de roda livre (quando o dispositivo 81 é desligado), a porta do dispositivo 82 é orientada alta, permitindo que a tensão de fonte do dreno do dispositivo 82 seja simplesmente a resistência de estado ligado ($R_{ds} - \text{ligado}$) vezes a corrente do motor. Para evitar descarga de correntes a partir do fornecimento de alta tensão (HV) para o terminal de terra, algum tempo morto deve ser proporcionado entre - desligado do dispositivo 81 e - ligado do dispositivo 82 e de novo entre - desligado do dispositivo 82 e - ligado do dispositivo 81. Os tempos mortos são marcados "A" na figura 6. Durante os referidos tempos mortos, o dispositivo 82 opera no modo diodo descrita acima. Uma vez que este é um curto tempo em comparação com todo o ciclo de comutação, a energia de dissipação não é significativa. O tempo "B" proporciona o fator de perda dominante para o dispositivo 82, e isto corresponde ao modo de baixa energia quando o dispositivo 82 é completamente intensificado.

[0024] Com referência de volta à figura 4, o modo diodo de operação dos dispositivos 81 - 86 proporciona um trajeto da corrente em todas as vezes para a corrente de indução. Mesmo se as correntes transitórias e as impedâncias realistas forem consideradas, o circuito irá operar como desejado. Se, por exemplo, a capacitância do dreno de porta dos dispositivos 81 - 86 e a fonte resistência do circuito de direcionamento de porta são não-zero, a alta velocidade de varrimento no nodo 17 irá forçar o potencial na porta do dispositivo 82 abaixo do terminal de terra durante o tempo de decaimento de V_a . O resultado simplesmente será que V_a é induzido pelo componente indutivo 21 para uma tensão ainda mais baixa do que no caso ideal, mas o dispositivo 82 irá conduzir.

[0025] Os dispositivos 81 - 86 podem ser quaisquer transistores que possam conduzir a corrente substancial, tal como uma corrente pelo menos tão alta quanto a corrente operacional máxima do circuito

na qual os mesmos são usados, em ambas as direções através do mesmo canal primário e é capaz de bloquear uma tensão substancial, tal como uma tensão maior do que a alta tensão de circuito DC HV, em pelo menos uma direção. Cada dispositivo deve ser capaz de bloquear uma tensão em pelo menos uma direção que é pelo menos entre zero volts e uma tensão maior do que a HV, tais como HV + 1V, HV + 5V, ou HV + 10V. O valor de HV, e assim a faixa de voltagens que o dispositivo deve ser capaz de bloquear, depende da aplicação específica do circuito. Por exemplo, em algumas aplicações de baixa energia, HV pode ser 10V, e os dispositivos são cada um pelo menos capaz de bloquear voltagens entre 0V e 10V, assim como uma tensão maior do que 10V, tais como 11V, 20V, ou 30V. Em algumas aplicações de maior potência, HV pode ser 1000V, e assim os dispositivos são cada um pelo menos capaz de bloquear todas as voltagens entre 0V e 1000V, assim como uma tensão maior do que 1000V, tais como 1100V, 1150V, ou 1200V. Assim, selecionar um transistor adequado capaz de bloquear uma quantidade suficiente de tensão pode depender da aplicação do circuito. Um transistor que é capaz de bloquear uma quantidade suficiente de corrente pode permitir que alguma pequena quantidade de corrente vaze através do canal primário ou outras partes do dispositivo do que o canal primário. Entretanto, o transistor pode ser capaz de bloquear uma quantidade suficiente de corrente, que é um percentual significativo da corrente máxima que passa através do transistor durante operação regular, tais como >90%, >95%, >99% ou >99.9% da corrente máxima.

[0026] Exemplos dos dispositivos que vão de encontro aos referidos critérios são transistores de efeito de campo de metal semicondutor (MESFETs) de qualquer sistema de material, transistores de efeito de campo de junção (JFETs) de qualquer sistema de material, e transistores de mobilidade de alto elétron (HEMTs ou

HFETs) de qualquer sistema de material, incluindo dispositivos verticais tais como transistores de elétron vertical de abertura de corrente (CAVETs) assim como dispositivos nos quais a carga do canal é dotada de uma distribuição tridimensional, tal como transistores de efeito de campo de intensificação de polarização (POLFETs). Sistemas de material comuns para HEMTs e MESFETs incluem os $Ga_xAl_yIn_{1-x-y}N_mAs_nP_{1-m-n}$ ou os materiais III-V, tais como materiais III-N, materiais III-As, e materiais III-P. Materiais comuns para JFETs incluem os materiais III-V ateriais, SiC, e Si, isto é, silício que é substancialmente livre de carbono. Em algumas modalidades, os dispositivos são dispositivos de modo de intensificação (tensão limiar $V_{th}>0$), enquanto em outras os mesmos são dispositivos de modo de depleção ($V_{th}<0$).

[0027] Em algumas modalidades, os dispositivos 81 - 86 consistem em dispositivos de modo de intensificação III-nitrito (III-N) com voltagens limiares tão alta quanto possível, tais como $V_{th}>2V$ ou $V_{th}>3V$, uma alta barreira interna a partir de fonte para drenar em polarização 0 (tais como 0.5 - 2 eV), e uma alta condutividade de região de acesso (tal como resistência de camada < 750 ohms/quadrado) junto com alta tensão de ruptura (pelo menos 600 ou 1200 Volts) e baixa resistência ligado (<5 ou <10 mohm - cm^2 por 600/1200 V, respectivamente). Em algumas modalidades, os dispositivos são III-N HEMTs de face de nitrogênio, tais como aqueles descritos no pedido de patente US No. 11/856,687, depositado em 17 de setembro de 2007, e pedido de patente US No. 12/324,574, depositado em 26 de Novembro de 2008, ambos os quais se encontram aqui incorporados por referência. Os dispositivos podem também incluir qualquer dos a seguir: uma camada de passivação de superfície, tal como SiN, uma placa de campo, tal como uma placa de campo inclinada, e um isolante em baixo da porta. Em outras modalidades, os dispositivos consistem em SiC JFETs.

[0028] Em algumas modalidades, o dispositivo 91, ilustrada na figura 7, é usado em uma meia-ponte ou um circuito em ponte em lugar de qualquer ou de todos os dispositivos 81 - 86 da figura 4. O dispositivo 91 inclui um transistor de modo E de baixa tensão 92, tal como um transistor de modo E III-N, conectado como mostrado a um transistor de modo D de alta tensão 90, tal como um transistor de modo D III-N. Em algumas modalidades, o transistor de modo E 92 é um dispositivo III-N de face de nitrogênio, e o transistor de modo D 90 é um dispositivo III-N de face-III. Quando o transistor de modo E 92 conduz corrente em qualquer direção, substancialmente toda a corrente conduz através do mesmo canal de dispositivo primário do transistor 92. A porta de transistor de modo D 90 é eletricamente conectada à fonte de transistor de modo E 92, e a fonte de transistor de modo D 90 é eletricamente conectada ao dreno de transistor de modo E 92. Em algumas modalidades, a porta de transistor de modo D 90 não é diretamente conectada à fonte de transistor de modo E 92. Em vez disso, a porta de transistor de modo D 90 e a fonte de transistor de modo E 92 são cada uma eletricamente conectadas às extremidades opostas de um capacitor. O dispositivo 91 na figura 7 pode operar de modo similar a um único transistor de modo E de alta tensão com a mesma tensão limiar que aquela do transistor de modo E 92. Ou seja, um sinal de tensão de entrada aplicado para o nodo 96 relativa para o nodo 97 pode produzir um sinal de saída no nodo 94 que é o mesmo que o sinal de saída produzido no dreno terminal de um n transistor de modo E quando um sinal de tensão de entrada é aplicado à porta do transistor de modo E com relação a sua fonte. Os nodos 97, 96, e 94 são aqui referidos como a fonte, porta, e dreno, respectivamente, do dispositivo 91, análogo à terminologia usada para os três terminais de um único transistor. Quando dispositivo 91 está em modo de bloqueio, a maioria da tensão é bloqueada pelo transistor

de modo D 90, enquanto apenas uma pequena porção é bloqueada pelo transistor de modo E 92, como é descrita abaixo. Quando o dispositivo 91 conduz a corrente em qualquer direção, substancialmente toda a corrente conduz não só através do canal de transistor de modo E 92, mas também do canal de transistor de modo D 90.

[0029] O dispositivo 91 na figura 7 opera como a seguir. Quando o nodo 94 é mantido em uma tensão mais alta do que o nodo 97, a corrente flui a partir do nodo 94 para o nodo 97 quando uma tensão suficientemente positiva (isto é, uma tensão maior do que a tensão limiar de transistor de modo E 92) é aplicada para o nodo 96 com relação para o nodo 97, a corrente fluindo não só através do canal de transistor de modo E 92, mas também do canal de transistor de modo D 90. Quando a tensão no nodo 96 relativa para o nodo 97 é comutada a um valor menor do que a tensão limiar de transistor de modo E 92, tal como 0 V, o dispositivo 91 está em modo de bloqueio, bloqueando a tensão entre os nodos 97 e 94, e substancialmente nenhuma corrente flui através do dispositivo 91. Se a tensão no nodo 94 é agora comutada a um valor menor do que aquele nos nodos 97 e 96, que estão sendo mantidos na mesma tensão, dispositivo 91 comuta para o modo diodo, com toda a corrente substancialmente conduzindo não só através do canal de transistor de modo E 92, mas também do canal de transistor de modo D 90. Quando a alta tensão (HV) é aplicada para o nodo 94 relativo para o nodo 97, e nodo 96 é polarizado a 0 V relativo para o nodo 97, o transistor de modo E 92 bloqueia uma tensão que é quase igual a $|V_{th90}|$ ou relativamente maior, onde $|V_{th90}|$ é a magnitude da tensão limiar de transistor de modo D 90. Um valor para V_{th90} pode ser cerca de - 5 a - 10 V. A tensão no nodo 95 é portanto quase igual a $|V_{th90}|$ ou relativamente maior, portanto o transistor de modo D 90 é no estado desligado e bloqueia uma tensão que é igual a cerca de HV

menos $|V_{th90}|$, isto é, o transistor de modo D 90 bloqueia uma tensão substancial. Quando uma tensão positiva é aplicada para o nodo 94 relativa para o nodo 97, e o nodo 96 é polarizado a uma tensão maior do que a tensão limiar de transistor de modo E 92 $V_{th,92}$, tal como $2 * V_{th,92}$, a corrente flui a partir do nodo 94 para o nodo 97 não só através do canal de transistor de modo E 92 mas também através do canal de transistor de modo D 90, e uma queda de tensão V_F através de transistor de modo E 92 é muito menor do que $|V_{th90}|$, tal como menos do que cerca de 0.2 V. Sob as referidas condições, a tensão no nodo 95 relativa para o nodo 97 é V_F , e a tensão de fonte de porta V_{GS90} de transistor de modo D 90 é cerca de $-V_F$.

[0030] O transistor de modo D 90 pode ser um dispositivo de alta tensão capaz de bloquear grandes voltagens, tais como pelo menos 600V ou pelo menos 1200V ou outro bloqueio de tensão adequada necessária para as aplicações do circuito. O transistor de modo D é pelo menos capaz de bloquear uma tensão substancial, tal como uma tensão maior do que a alta tensão de circuito DC HV, quando o dispositivo 91 está em modo de bloqueio, como descrito acima. Adicionalmente, a tensão limiar V_{th90} do transistor de modo D 90 é suficientemente menor do que $-V_F$ de modo que quando o conjunto está no estado ligado, o transistor de modo D 90 conduz a uma corrente que flui a partir de nodo 94 para o nodo 97 com uma perda de condução suficientemente baixa para a aplicação de circuito no qual o mesmo é usado. Assim, a tensão de fonte de porta de transistor de modo D 90 é suficientemente maior do que V_{th90} de modo que as perdas de condução não são muito grandes para as aplicações do circuito. Por exemplo, V_{th90} pode ser menos do que - 3V, - 5V, ou - 7V, e quando a tensão de fonte de porta V_{GS90} de transistor de modo D 90 é cerca de $-V_F$, o transistor de modo D 90 é capaz de conduzir 10 A de corrente ou mais com menos do que 7 W de perda de condução.

[0031] O transistor de modo E 92 é pelo menos capaz de bloquear uma tensão maior do que $|V_{th90}|$, onde $|V_{th90}|$ é a magnitude da tensão limiar de transistor de modo D 90. Em algumas modalidades, o transistor de modo E 92 pode bloquear cerca de $2*|V_{th90}|$. Transistores III-N de modo D de alta tensão, tais como HEMTs III-N, ou SiC JFETs, podem ser usados para o transistor de modo D 90. Pelo fato de que a tensão limiar típica para os transistores III-N de modo D de alta tensão é cerca de - 5 a - 10 V, o transistor de modo E 92 pode ser capaz de bloquear cerca de 10 - 20 V ou mais. Em algumas modalidades, o transistor de modo E 92 é um transistor III-N, tal como um HEMT III-N. Em outras modalidades, o transistor de modo E 92 é um SiC transistor, tal como um SiC JFET.

[0032] Quando o dispositivo 91 na figura 7 é usado em lugar dos dispositivos 81 - 86 no circuito em ponte da figura 4, o circuito opera como a seguir. Os dispositivos 81 - 86 serão referidos como 81' - 86' quando o dispositivo 91 é usado em lugar dos referidos dispositivos. Em algumas modalidades, todos os dispositivos 81' - 86' são os mesmos iguais um ao outro. Mesmo se o dispositivo forem todos os mesmos, cada um deles é dotado de uma tensão limiar maior do que 0. Com referência à sequência de comutação mostrada nas figuras 5a e 5b, quando as voltagens de fonte de porta dos dispositivos 81' e 84' forem maiores do que a tensão limiar de transistor de modo E 92, e a tensão de fonte de porta do dispositivo 82' é menor do que a tensão limiar de transistor de modo E 92, tal como 0 V, a corrente flui através dos canais de ambos os transistores do dispositivo 81' e através dos canais de ambos os transistores do dispositivo 84' a partir da alta fonte de tensão para o terminal de terra. O dispositivo 82' bloqueia uma tensão V_a , onde de novo V_a é a tensão no nodo 17. Com referência à figura 5b, quando o dispositivo 81' é comutado desligado, o componente indutivo 21 força V_a , a tensão no nodo 17, a um valor

negativo e o dispositivo 81' agora bloqueia uma tensão HV menos V_a . O dispositivo 82' agora opera em modo diodo, com a corrente fluindo através do dispositivo 82' a partir do terminal de terra para o nodo 17. Substancialmente toda a corrente através do dispositivo 82' conduz não só através do canal de transistor de modo E 92, mas também do canal de transistor de modo D 90. Quando o circuito em ponte é operado sob as condições mostradas na figura 5c, ou seja, quando a corrente flui através do componente indutivo a partir de nodo 18 para o nodo 17, o dispositivo 81' é comutado desligado, e a tensão de fonte de porta do dispositivo 82' é maior do que a tensão limiar de transistor de modo E 92, a corrente flui através do dispositivo 82' a partir de nodo 17 para o terminal de terra. Substancialmente toda a corrente através do dispositivo 82' conduz não só através do canal de transistor de modo E 92, mas também do canal de transistor de modo D 90.

[0033] Assim, para o modo de operação mostrado na figura 5a, o transistor de modo D no dispositivo 82' bloqueia uma tensão substancial, para o modo de operação mostrado na figura 5b, o transistor de modo D do dispositivo 82' conduz a corrente substancial que flui a partir da fonte para drenar através do mesmo canal, e para o modo de operação mostrado na figura 5c, o transistor de modo D do dispositivo 82' conduz a corrente substancial que flui a partir d dreno para a fonte através do mesmo canal.

[0034] Com referência de volta à figura 7, quando o dispositivo 91 opera em modo diodo, a tensão no nodo 95 deve ser menor do que aquela no nodo 97. Portanto, a porta de transistor de modo D 90 está em uma tensão mais alta do que a fonte de transistor de modo D 90, e o canal de transistor de modo D 90 é intensificado. Entretanto, dependendo do nível da corrente e da tensão limiar de transistor de modo E 92, a energia de dissipação no transistor de modo E 92 pode ser inaceitavelmente alta quando os dispositivos 81' - 86' operam no

modo diodo. Neste caso, a modo de operação de energia mais baixa pode ser alcançado ao aplicar sinais de porta da forma mostrados na figura 6. Por exemplo, quando o dispositivo 81' é comutado como mostrado nas figuras 5a e 5b, durante o tempo no qual o dispositivo 82' conduz a corrente de roda livre (quando dispositivo 81' é desligado), a porta do dispositivo 82' é induzida alta, permitindo que a tensão de fonte do dreno do dispositivo 82' seja simplesmente a eficaz resistência de estado ligado ($R_{ds-Ligado}$) do dispositivo 82' vezes a corrente do motor. Para evitar descargas de corrente a partir do fornecimento de alta tensão (HV) para o terminal de terra, algum tempo morto deve ser proporcionado entre -desligado do dispositivo 81' e -ligado do dispositivo 82' e de novo entre -desligado do dispositivo 82' e -ligado do dispositivo 81'. Os tempos mortos são marcados "A" na figura 6. Durante os referidos tempos mortos, o dispositivo 82' opera no modo diodo descrita acima. Uma vez que o referido é um curto tempo em comparação com todo o ciclo de comutação, a energia de dissipação não é significativa. O tempo "B" proporciona o fator de perda dominante para o dispositivo 82', e o referido corresponde ao modo de baixa energia quando o transistor de modo E 92 é completamente intensificado.

[0035] Em algumas modalidades, o dispositivo 111, ilustrado na figura 8, é usado em uma meia-ponte ou um circuito em ponte em lugar de qualquer ou todos os dispositivos 81 - 86 da figura 4. O dispositivo 111 é similar ao dispositivo 91 da figura 7, exceto pelo fato de que o transistor de modo E 92 foi substituído por um transistor de modo E de baixa tensão, tal como um transistor de efeito de campo SiMOS vertical com base em (Si) silício (FET) referido aqui como o transistor Si MOS 103. Em algumas modalidades, o transistor de modo E de baixa tensão é um SiC JFET ou um SiC MOSFET. O transistor Si MOS 103 é dotado das mesmas necessidades de bloqueio de tensão

que o transistor de modo E 92 na figura 7. Ou seja, o transistor Si MOS 103 é pelo menos capaz de bloquear uma tensão maior do que $|V_{th90}|$, onde $|V_{th90}|$ é a magnitude da tensão limiar de transistor de modo D 90. Em algumas modalidades, o transistor Si MOS 103 pode bloquear cerca de $2*|V_{th90}|$. Transistores III-N de modo D de alta tensão podem ser usados para o transistor de modo D 90. Pelo fato de que a tensão limiar típica para os transistores III-N de modo D de alta tensão é cerca de -5 a -10 V, o transistor Si MOS 103 pode ser capaz de bloquear cerca de 10 - 20 V ou mais.

[0036] Os transistores Si MOS inerentemente contêm um diodo parasítico 101 antiparalelo ao transistor intrínseco 102, como indicado na figura 8. O transistor Si MOS 103 opera da mesma maneira que o transistor de modo E 92 quando o dispositivo 111 está em modo de bloqueio assim como durante no modo de condução para frente padrão (isto é, quando a corrente flui a partir de nodo 94 para o nodo 97). Ou seja, quando a alta tensão HV é aplicada para o nodo 94 relativa para o nodo 97 e a tensão de fonte de porta de transistor Si MOS 103 está abaixo do limiar, de modo que o dispositivo 111 está em modo de bloqueio, o transistor Si MOS 103 bloqueia uma tensão que é quase igual a $|V_{th90}|$ ou relativamente maior, com o restante da alta tensão sendo bloqueada pelo transistor de modo D 90, isto é, o transistor de modo D 90 bloqueia uma tensão substancial. Quando a tensão no nodo 94 é maior do que aquela no nodo 97 e a tensão de fonte de porta de transistor Si MOS 103 está acima do limiar, o dispositivo 111 está em modo de condução para frente padrão com a corrente fluindo a partir de nodo 94 para o nodo 97. Substancialmente toda a corrente conduz através do canal de transistor Si MOS 103 e através do canal de transistor de modo D 90. A diferença de tensão entre o nodo 95 e o nodo 97 está entre 0 V e $|V_{th90}|$, onde V_{th90} é a tensão limiar de transistor de modo D 90. No referido modo de

operação, o diodo parasítico 101 é polarizado invertido e bloqueia uma tensão menor do que $|V_{th90}|$.

[0037] A operação de transistor Si MOS 103 é diferente a partir daquela do transistor de modo E 92 quando o dispositivo 111 está em modo diodo. Quando dispositivo 111 opera em modo diodo, a tensão no nodo 94 é mais baixa do que aquela no nodo 97, a tensão de fonte de porta de transistor Si MOS 103 é abaixo do limiar, e a corrente flui a partir de nodo 97 para o nodo 94. Sob as referidas condições, a tensão no nodo 95 deve ser menor do que aquela no nodo 97. O diodo parasítico 101, que é polarizado para frente, se liga e evita que o transistor intrínseco 102 se ligue. Portanto, quando o dispositivo 111 está em modo diodo, a maior parte da corrente que flui através do transistor Si MOS 103 flui através do diodo parasítico 102 em vez do que através do canal de transistor Si MOS 103. Entretanto, substancialmente toda a corrente ainda conduz através do canal do transistor de modo D 90 quando o dispositivo 111 está em modo diodo.

[0038] Quando dispositivo 111 opera em modo diodo, a tensão no nodo 95 deve ser menor do que aquela no nodo 97. Portanto, a porta do transistor de modo D 90 está em uma tensão mais alta do que a fonte de transistor de modo D 90, e o canal de transistor de modo D 90 é intensificado. Dependendo do nível da corrente e das características de condução para frente do diodo parasítico 101, a energia de dissipação no diodo parasítico 101 pode ser inaceitavelmente alta quando o dispositivo 111 opera no modo diodo. Neste caso, o modo de operação de energia mais baixa pode ser alcançado ao aplicar sinais de porta da forma mostrada na figura 6. Como um exemplo, considerar o circuito em ponte da figura 4, mas com cada um dos dispositivos 81 - 86 substituídos pelo dispositivo 111. No referido exemplo, os dispositivos no circuito em ponte são referidos como dispositivos 81'' - 86''. Quando o dispositivo 81'' é comutado como

mostrado nas figuras 5a e 5b, durante o tempo o dispositivo 82'' conduz a corrente de roda livre (quando o dispositivo 81'' é desligado), a porta do dispositivo 82'' é induzida alta. Isto faz com que a corrente através de transistor Si 103 do dispositivo 82'' flua principalmente através do transistor intrínseco intensificado 102 em vez de através do diodo parasítico 101, permitindo que a tensão de fonte do dreno do transistor Si 103 seja simplesmente a resistência de estado ligado efetiva ($R_{ds} - \text{ligado}$) do transistor Si 103 vezes a corrente. Para evitar as descargas de corrente a partir do fornecimento de alta tensão (HV) para o terminal de terra, algum tempo morto deve ser proporcionado entre-desligado do dispositivo 81'' e -ligado do dispositivo 82'' e de novo entre-desligado do dispositivo 82'' e -ligado do dispositivo 81''. Os tempos mortos são marcados "A" na figura 6. Durante os referidos tempos mortos, o dispositivo 82'' opera no modo diodo descrita acima, com a corrente através do transistor Si 103 fluindo principalmente através do diodo parasítico 101.

[0039] Em algumas modalidades, o dispositivo 112, ilustrado na figura 9, é usado em uma meia-ponte ou um circuito em ponte em lugar de qualquer ou todos os dispositivos 81 - 86. O dispositivo 112 é similar ao dispositivo 111 da figura 8, mas adicionalmente inclui um diodo de baixa resistência ligado e baixa tensão 104 conectado em paralelo ao diodo parasítico 101. O diodo 104 é dotado das mesmas necessidades de bloqueio de tensão que o transistor Si MOS 103. Ou seja, o diodo 104 é pelo menos capaz de bloquear uma tensão maior do que $|V_{th90}|$, onde $|V_{th90}|$ é a magnitude da tensão limiar do transistor de modo D 90. Em algumas modalidades, o diodo 104 pode bloquear cerca de $2*|V_{th90}|$. Os transistores III-N de modo D de alta tensão podem ser usados para o transistor de modo D 90. Pelo fato de que a típica tensão limiar para os transistores III-N de modo D de alta tensão é cerca de -5 a -10 V, o diodo 104 pode ser capaz de bloquear cerca

de 10 - 20 V ou mais. Dispositivos de baixa tensão, tais como diodos de baixa tensão ou transistores, não são capazes de bloquear altas tensões, tais como 600V ou 1200V, as quais são aplicadas pelos fornecimentos de corrente DC em circuitos de alta tensão. Em algumas modalidades, a tensão máxima que pode ser bloqueada por um diodo de baixa tensão ou transistor de baixa tensão é cerca de 40V, 30V, 20V, ou 10V. Ademais, o diodo 104 é dotado de uma tensão de ativação mais baixa do que o diodo parasítico 101. Conseqüentemente, quando o dispositivo 112 é polarizado em modo diodo, a corrente principalmente flui através do diodo 104 em vez de através do diodo parasítico 101. Os diodos que podem ser usados para o diodo 104, tal como diodos Schottky de baixa tensão, podem ser dotados de comutação mais baixa e perdas de condução do que o diodo parasítico 101. Conseqüentemente, a condução e as perdas de comutação durante a operação do dispositivo podem ser menores para o dispositivo 112 do que para o dispositivo 111.

[0040] Dependendo do nível de corrente e das características de condução para frente do diodo 104, a energia de dissipação no diodo 104 pode ser inaceitavelmente alta quando o dispositivo 112 opera no modo diodo. De novo, um modo de operação de energia mais baixa pode ser alcançado ao aplicar sinais de porta da forma mostrada na figura 6. Quando a porta do dispositivo 112 é induzida lata enquanto o dispositivo 112 conduz a corrente de roda livre, a corrente flui principalmente através do transistor intrínseco intensificado 102 em vez de através do diodo 104, permitindo que a tensão de fonte do dreno de transistor Si MOS 103 seja simplesmente a resistência de estado ligado efetiva ($R_{ds} - \text{ligado}$) do transistor Si MOS 103 vezes a corrente.

[0041] Embora o dispositivo 112 na figura 9 não contenha um diodo, o diodo não precisa ser capaz de bloquear toda a tensão HV do

circuito DC, o mesmo precisa apenas bloquear uma tensão relativamente maior do que $|V_{th90}|$. Portanto, diodos de baixa tensão podem ser usados. Pode ser preferível o uso de diodos de alta tensão os quais são tipicamente incluídos nos circuitos em ponte, pelo fato de que diodos de baixa tensão podem ser produzidos de modo a serem dotados de baixa comutação e perdas de condução do que os diodos de alta tensão. Portanto, a perda de energia no circuito pode ser reduzida em comparação às meias-pontes e circuitos em ponte nos quais os diodos de alta tensão são usados.

[0042] Uma série de modalidades da presente invenção foi descrita. No entanto, deve ser entendido que diversas modificações podem ser feitas sem se desviar do espírito e âmbito da presente invenção. Por exemplo, uma meia-ponte pode incluir um comutador que usa um único transistor e nenhum diodo e um segundo comutador com um transistor e um diodo. Em algumas modalidades uma meia-ponte consiste em dois transistores e não inclui qualquer diodo. Em algumas modalidades, em vez da corrente que flui a partir de uma meia-ponte através de um indutor e sobre um transistor de outra meia-ponte, a corrente que flui para fora do indutor percorre para outro componente elétrico, tal como um capacitor, ou diretamente a um terminal de terra ou um fornecimento de tensão DC. Deste modo, outras modalidades se encontram inseridas no âmbito das reivindicações a seguir.

REIVINDICAÇÕES

1. Meia-ponte que compreende:

um primeiro transistor (81) e um segundo transistor (82) cada um tendo uma porta, uma fonte, um dreno, e um canal;

em que o segundo transistor (82) é um III-N HEMT de modo de intensificação, em que

uma fonte do primeiro transistor (81) é acoplada a um dreno do segundo transistor (82); em que

a meia-ponte sendo configurada de modo que um componente indutivo (21) possa ser acoplado a um nodo (17) entre o primeiro transistor (81) e o segundo transistor (82), o segundo transistor (82) sendo configurado para bloquear tensão aplicada em um primeiro sentido durante um primeiro modo de operação, para conduzir corrente no primeiro sentido pelo canal durante um segundo modo de operação, e para conduzir corrente em um sentido oposto pelo canal durante um terceiro modo de operação, em que no terceiro modo de operação, a porta do segundo transistor (82) é polarizada em relação à fonte do segundo transistor (82) em uma tensão não-negativa abaixo de uma tensão limite do segundo transistor (82);

caracterizada pelo fato de que o segundo transistor (82) é desprovido de um diodo configurado para conduzir uma corrente de roda livre inversa.

2. Meia-ponte, de acordo com a reivindicação 1, **caracterizada pelo fato de** o primeiro transistor (81) e o segundo transistor (82) são, cada um, configurados para desempenhar como um diodo antiparalelo.

3. Meia-ponte, de acordo com a reivindicação 1, **caracterizada pelo fato de** que o segundo transistor (82) é um III-N HEMTs de face de nitrogênio.

4. Meia-ponte, de acordo com a reivindicação 3,

caracterizada pelo fato de que o primeiro transistor (81) e o segundo transistor (82) são, cada um, transistores de modo de intensificação.

5. Meia-ponte, de acordo com a reivindicação 4, **caracterizada pelo fato de** que o primeiro transistor (81) e o segundo transistor (82) são, cada um, transistores III-N HEMT.

6. Meia-ponte, de acordo com a reivindicação 4, **caracterizada pelo fato de** que o primeiro transistor (81) e o segundo transistor (82) são, cada um, III-N HEMTs de face de nitrogênio.

7. Meia-ponte, de acordo com a reivindicação 4, **caracterizada pelo fato de** que o primeiro transistor (81) e o segundo transistor (82) tem, cada um, uma tensão limiar de pelo menos 2V.

8. Meia-ponte, de acordo com a reivindicação 4, **caracterizada pelo fato de** que o primeiro transistor (81) e o segundo transistor (82) tem, cada um, uma barreira interna a partir da fonte para drenar de 0,5 a 2 eV.

9. Meia-ponte, de acordo com a reivindicação 4, **caracterizada pelo fato de** que o primeiro transistor (81) e o segundo transistor (82) tem, cada um uma resistência ligado de menos do que 5 mohm-cm² e uma tensão de ruptura de pelo menos 600V.

10. Meia-ponte, de acordo com a reivindicação 4, **caracterizada pelo fato de** que o primeiro transistor (81) e o segundo transistor (82) tem, cada um uma resistência ligado de menos do que 10 mohm-cm² e uma tensão de ruptura de pelo menos 1200V.

11. Meia-ponte, de acordo com a reivindicação 1, **caracterizada pelo fato de** que a meia-ponte não compreende diodos de roda livre discretos.

12. Circuito em ponte **caracterizado pelo fato de** que compreende uma pluralidade de meias-pontes como definida na reivindicação 1.

13. Circuito em ponte, de acordo com a reivindicação 12,

caracterizado pelo fato de que ainda compreende um circuito de direcionamento de porta configurado para controlar de modo independente a tensão de porta de cada um dos transistores.

14. Circuito em ponte, de acordo com a reivindicação 12, **caracterizado pelo fato de** que o circuito em ponte não compreende diodos de roda livre discretos.

15. Método de operar um circuito compreendendo um estágio de circuito de meia-ponte que compreende um primeiro transistor (81), um segundo transistor (82), cada um tendo uma porta, uma fonte, um dreno, e um canal, e um componente indutivo (21), em que o segundo transistor é um III-N HEMT de modo de intensificação, em que o componente indutivo (21) é acoplado a um nodo (17) entre o primeiro transistor (81) e segundo transistor (82), em que um dreno do primeiro transistor (81) está acoplado a uma fonte de tensão e uma fonte do primeiro transistor (81) é acoplada a um dreno do segundo transistor (82), e uma fonte do segundo transistor (82) está acoplada a um terra, o método compreendendo as etapas de:

polarizar o primeiro transistor (81) ligado e polarizar o segundo transistor (82) desligado, permitindo que corrente flua através do primeiro transistor (81) e do componente indutivo (21) e bloqueando a tensão aplicada em um primeiro sentido através do segundo transistor (82); e

mudar o primeiro transistor (81) para uma polarização desligado, enquanto polariza a porta do segundo transistor (82) a uma tensão não-negativa mais baixa que uma tensão de limite do segundo transistor (82) em relação à fonte do segundo transistor (82) para permitir que a corrente flua através de um canal do segundo transistor (82) em um segundo sentido e o componente indutivo (21), e compreende ainda mudar o segundo transistor (82) para uma polarização ligado após mudar o primeiro transistor (81) para uma

polarização desligado, em que a corrente continua a fluir através do canal do segundo transistor (82) no segundo sentido;

caracterizado pelo fato de que o segundo transistor (82) é desprovido de um diodo configurado para conduzir uma corrente de roda livre inversa.

16. Método, de acordo com a reivindicação 15, **caracterizado pelo fato de** que o tempo entre a etapa de mudar o primeiro transistor (81) para uma polarização desligado e mudar o segundo transistor (82) para uma polarização ligado é suficiente para evitar descarga de correntes a partir do fornecimento de alta tensão para terra.

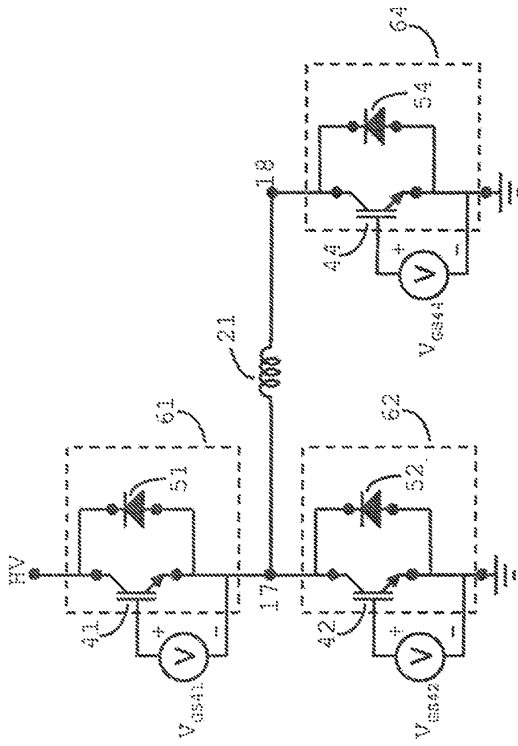


Fig 2(a) (Técnica Anterior)

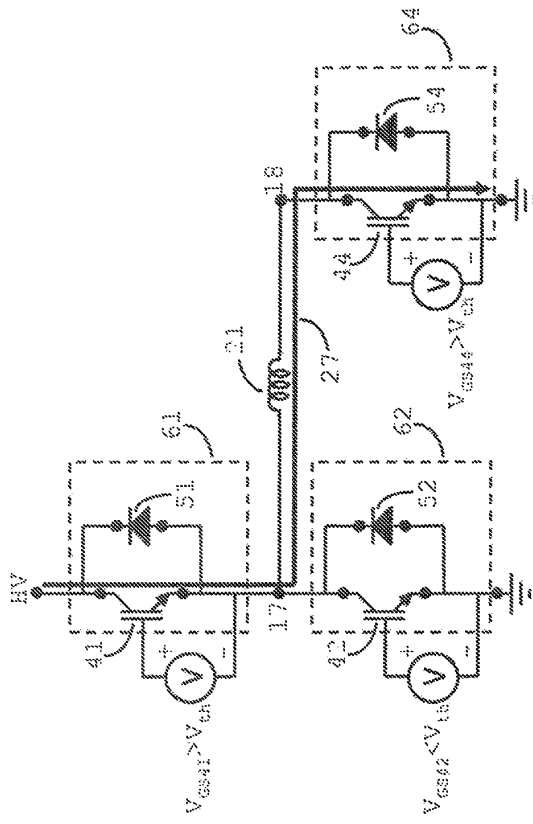


Fig 2(b) (Técnica Anterior)

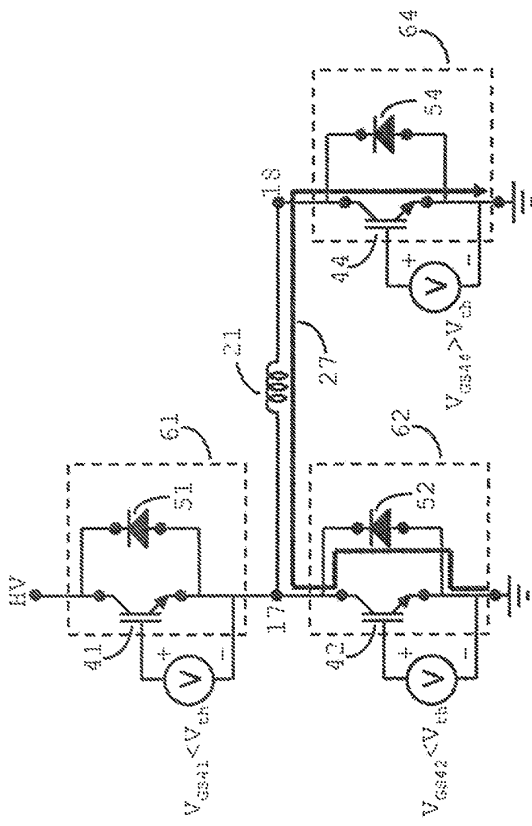


FIG 2(c) (Técnica Anterior)

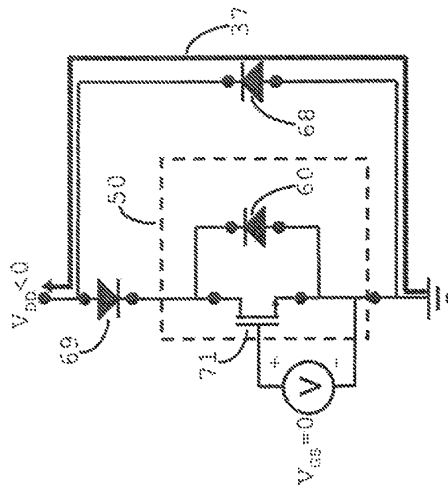


Fig. 3(b) (Técnica Anterior)

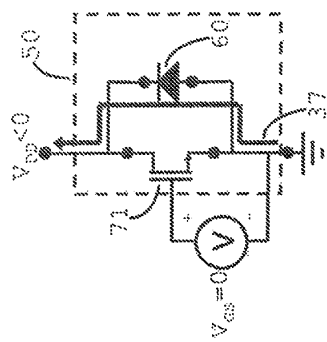


Fig. 3(a) (Técnica Anterior)

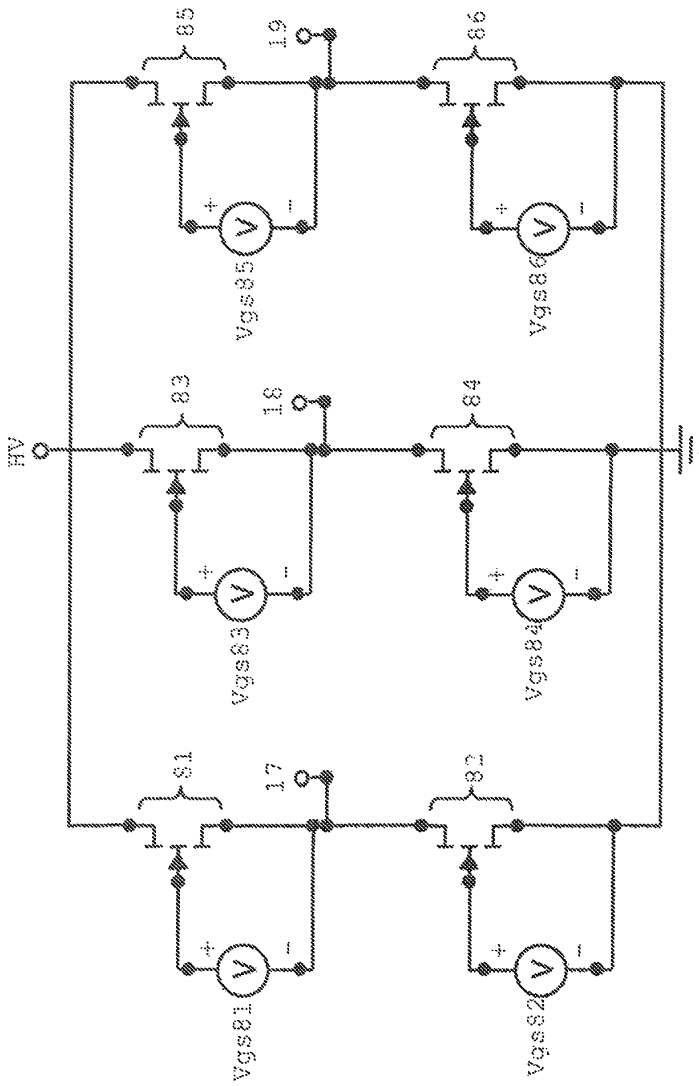


Fig. 4

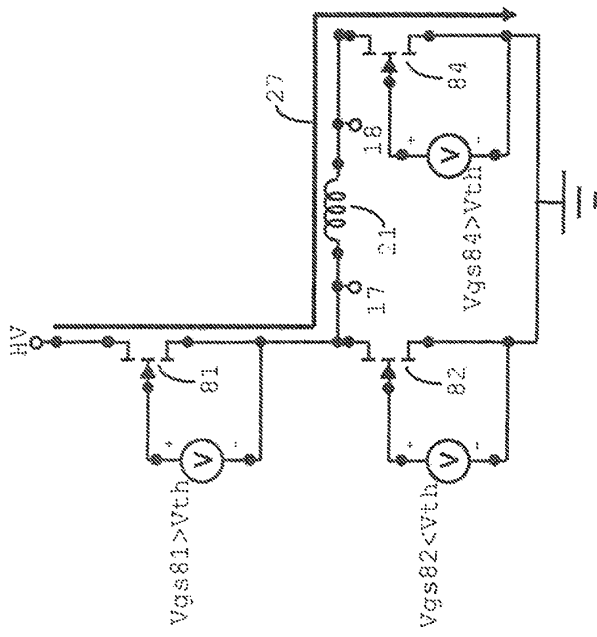


FIG 5(a)

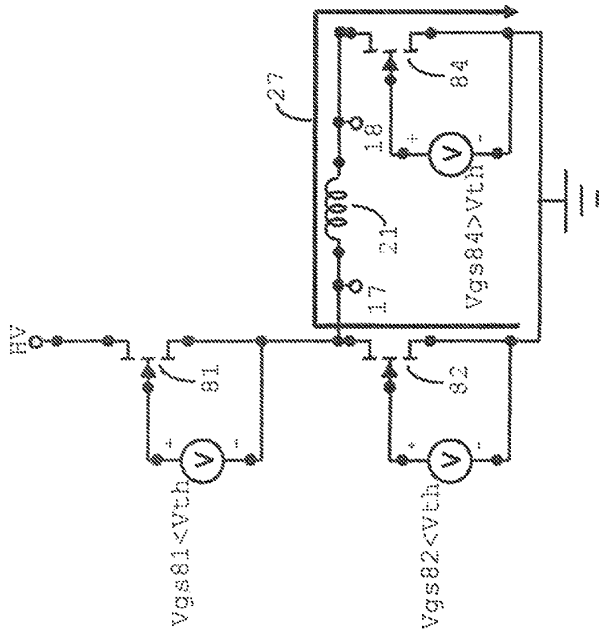


FIG 5(b)

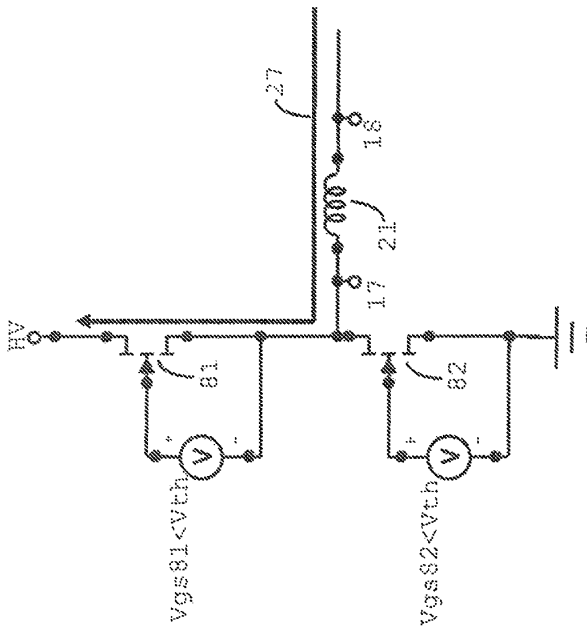


Fig 5(d)

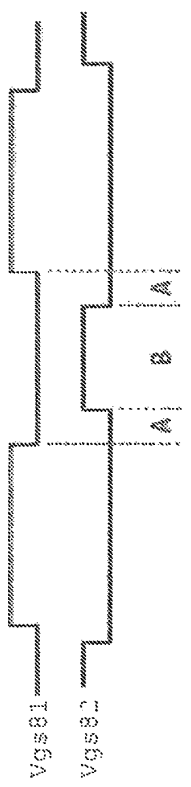


FIG 6

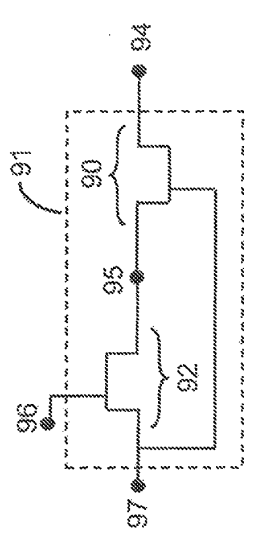


FIG 7

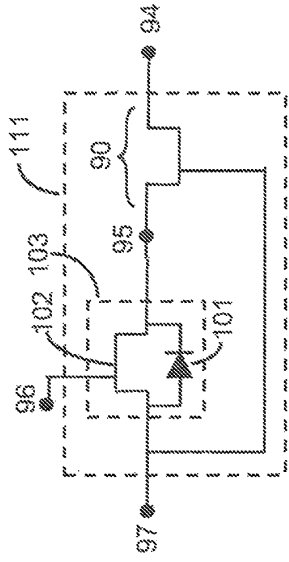


FIG 8

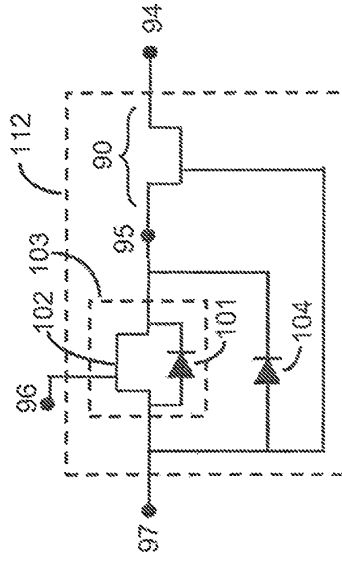


FIG 9