

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-512668
(P2010-512668A)

(43) 公表日 平成22年4月22日(2010.4.22)

(51) Int.Cl.	F 1	テーマコード (参考)
H01L 21/205 (2006.01)	H01L 21/205	5 F 004
H01L 29/78 (2006.01)	H01L 29/78 301S	5 F 045
H01L 21/302 (2006.01)	H01L 21/302 201A	5 F 048
H01L 21/8238 (2006.01)	H01L 27/08 321B	5 F 110
H01L 27/092 (2006.01)	H01L 29/78 616L	5 F 140

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2009-541506 (P2009-541506)	(71) 出願人	390040660 アプライド マテリアルズ インコーポレ イテッド A P P L I E D M A T E R I A L S, I N C O R P O R A T E D アメリカ合衆国 カリフォルニア州 95 054 サンタ クララ バウアーズ ア ベニュー 3050
(86) (22) 出願日	平成19年12月10日 (2007.12.10)	(74) 代理人	100088155 弁理士 長谷川 芳樹
(85) 翻訳文提出日	平成21年7月22日 (2009.7.22)	(74) 代理人	100094318 弁理士 山田 行一
(86) 國際出願番号	PCT/US2007/086984	(74) 代理人	100107456 弁理士 池田 成人
(87) 國際公開番号	W02008/073894		
(87) 國際公開日	平成20年6月19日 (2008.6.19)		
(31) 優先権主張番号	11/609,826		
(32) 優先日	平成18年12月12日 (2006.12.12)		
(33) 優先権主張国	米国(US)		

最終頁に続く

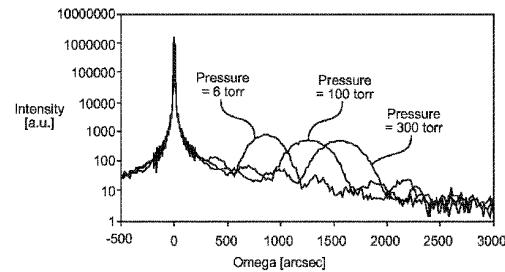
(54) 【発明の名称】シリコンと炭素を含有するインサイチュリンドープエピタキシャル層の形成

(57) 【要約】

【課題】 リンでドープされたシリコンと炭素を含有するエピタキシャル層を形成する方法を提供する。

【解決手段】 圧力は、堆積中 100 トール以上に維持される。方法は、置換型炭素を含む膜の形成を生じさせる。特定の実施形態は、半導体デバイス、例えば、金属酸化物半導体電界効果トランジスタ(MOSFET)デバイスにおけるエピタキシャル層の形成と処理に関する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に Si と C を含有するエピタキシャル層を形成する方法であって：
 プロセスチャンバ内に基板を配置するステップと；
 プロセスチャンバ内の圧力を約 200 トールより高く維持しつつ、該基板をシリコン源と、炭素源と、リン源にさらして、該基板の少なくとも一部にリンでドープされた Si : C エピタキシャル膜を形成するステップと；
 を含む、前記方法。

【請求項 2】

該プロセスチャンバ内の圧力が、少なくとも約 300 トールに維持される、請求項 1 に記載の方法。 10

【請求項 3】

該プロセスチャンバ内の温度が、約 700 以下である、請求項 1 に記載の方法。

【請求項 4】

得られた該エピタキシャル膜が、該膜中に含有される全炭素の少なくとも約 50 % である置換型炭素を含有する、請求項 1 に記載の方法。

【請求項 5】

該リン源が、ホスフィンを含み、該エピタキシャル膜における該リン濃度が、少なくとも約 1 E 20 原子 / cm³ である、請求項 1 に記載の方法。

【請求項 6】

該基板が、単結晶表面と、アモルファス表面、多結晶表面及びこれらの組み合わせより選ばれる少なくとも第二表面とを含み、ここで、エピタキシャル層が、該単結晶表面上に形成され、多結晶層が、該第二表面上に形成される、請求項 1 に記載の方法。 20

【請求項 7】

該基板が、続いて該基板をエッティングガスにさらすことによって更に処理される、請求項 6 に記載の方法。

【請求項 8】

該エッティングガスが、HCl を含む、請求項 7 に記載の方法。

【請求項 9】

約 700 未満の温度で該エッティングガスにさらされる、請求項 8 に記載の方法。 30

【請求項 10】

基板上に Si と C を含有するエピタキシャル層を形成する方法であって：
 単結晶表面と、アモルファス表面、多結晶表面及びこれらの組み合わせより選ばれる少なくとも第二表面とを含む基板をプロセスチャンバ内に配置するステップと；
 該プロセスチャンバ内の圧力を約 200 トールを超える圧力に維持しつつ、該基板をシリコン源と、炭素源と、リン源と、エッティング源にさらして、該第二表面上に成長させることなく、該単結晶表面上にリンでドープされた Si : C エピタキシャル膜を形成させるステップと；
 を含む、前記方法。

【請求項 11】

該第二表面が、誘電体表面を含み、該チャンバの温度が、約 700 未満に維持される、請求項 10 に記載の方法。 40

【請求項 12】

得られた該 Si : C エピタキシャル膜のリン濃度が、約 1 E 20 原子 / cm³ を超える、請求項 10 に記載の方法。

【請求項 13】

該 Si : C エピタキシャル膜が、トランジスタ製造プロセスの製造ステップ中に堆積され：

プロセスチャンバ内で基板上にゲート誘電体を形成するステップと；

該ゲート誘電体上にゲート電極を形成するステップと； 50

該電極の反対側の基板上にソース／ドレイン領域を形成し且つソース／ドレイン領域の間にチャンネル領域を画成するステップと；

該ソース／ドレイン領域上に直接リンでドープされたシリコンと炭素を含有する該エピタキシャル層を堆積させるステップと；
を含む、請求項 1 に記載の方法。

【請求項 1 4】

圧力が少なくとも約 300 トールに維持される、請求項 1 3 に記載の方法。

【請求項 1 5】

該プロセスチャンバ内の温度が、約 700 以下に維持される、請求項 1 3 に記載の方法。

10

【請求項 1 6】

得られた該エピタキシャル膜が、該膜中に含有される全炭素の少なくとも約 50 % である置換型炭素を含有する、請求項 1 3 に記載の方法。

【請求項 1 7】

該基板が、単結晶表面と、アモルファス表面、多結晶表面及びこれらの組み合わせより選ばれる少なくとも第二表面を含み、ここで、エピタキシャル層が、該単結晶表面上に形成され、多結晶層が、該第二表面上に形成される、請求項 1 3 に記載の方法。

【請求項 1 8】

該基板が、続いて該基板をエッティングガスにさらすことによって更に処理される、請求項 1 7 に記載の方法。

20

【請求項 1 9】

該エッティングガスが、HCl を含む、請求項 1 8 に記載の方法。

【請求項 2 0】

約 700 未満の温度で該エッティングガスにさらされる、請求項 1 9 に記載の方法。

【発明の詳細な説明】

【関連出願】

【0001】

[0001] 本出願は、2006年12月11日に出願した米国特許出願第 11/609,826 号の利益を主張し、その開示内容は本明細書に全体で援用されている。

30

【背景】

【0002】

[0002] 本発明の実施形態は、一般的には、シリコンと炭素を含有するインサイチュ (in-situ) リンドープエピタキシャル層の形成に関する。特定の実施形態は、半導体デバイス、例えば、金属酸化物半導体電界効果トランジスタ (MOSFET) デバイスにおけるこのようなエピタキシャル層の形成に関する。

【0003】

[0003] MOS トランジスタのチャネルを通って流れる電流量は、チャネル内のキャリアの移動度に正比例し、高移動度 MOS トランジスタの使用はより多くの電流が流れることを可能にし、その結果より高速の回路性能を可能にする。MOS トランジスタのチャネル内のキャリヤの移動度は、チャネル内に機械的応力を生じることによって増加させることができる。圧縮歪みを受けているチャネル、例えば、シリコン上に成長させたシリコン-ゲルマニウムチャネル層は、ホール移動度を著しく高めて、pMOS トランジスタを与える。引っ張り歪みを受けているチャネル、例えば、弛緩したシリコン-ゲルマニウム上に成長させたシリコンチャネル薄層は、電子移動度を著しく高めて、nMOS トランジスタを与える。

【0004】

[0004] 引っ張り歪みを受けている nMOS トランジスタチャネルは、一つ以上の炭素ドープシリコンエピタキシャル層を形成することによって与えることができ、pMOS トランジスタにおける圧縮歪みの SiGe チャネルに相補的でも可能である。従って、炭素ドープシリコン層とシリコン-ゲルマニウムエピタキシャル層を、それぞれ nMOS トラン

40

50

ジスタとpMOSトランジスタのソース／ドレイン上に堆積させることができる。ソース領域とドレイン領域は、選択的Siドライエッティングによって平らであるか或いは凹部でもよい。適切に製造された場合、炭素ドープSiエピタキシーで覆われたnMOSのソースとドレインは、チャネル内に引っ張り歪みを与え、nMOS駆動電流を増加させる。

【0005】

[0005]炭素ドープSiエピタキシーを用いた陥凹ソース／ドレインを持つnMOSトランジスタのチャネル内の電子移動度を高めるために、選択的堆積或いは堆積後処理によってソース／ドレイン上に炭素ドープシリコンエピタキシャル層を選択的に形成することが望ましい。更に、炭素ドープSiエピタキシャル層が置換型C原子を含有してチャネル内に引っ張り歪みを生じさせることも望ましい。より大きいチャネル引っ張り歪みは、炭素ドープシリコンのソースとドレイン内の置換型C含量の増加によって達成させることができる。

10

【0006】

[0006]一般に、100nm未満のCMOS（相補型金属酸化物半導体）デバイスは、接合深さが30nm未満であることを必要とする。選択的エピタキシャル堆積は、接合にシリコン含有物質（例えば、Si、SiGe、SiC）のエピタキシャル層（“エピ層”）を形成するためにしばしば用いられる。選択的エピタキシャル堆積は、シリコンモート上にエピ層の成長を可能にし、誘電体領域上に成長しない。選択的エピタキシーは、積み上げソース／ドレイン、ソース／ドレインエクステンション、コンタクトプラグ又はバイポーラデバイスのベース層堆積のような半導体デバイスの中に使用し得る。

20

【0007】

[0007]典型的な選択的エピタキシャルプロセスは、堆積反応とエッティング反応を含んでいる。堆積プロセス中、エピタキシャル層は、単結晶表面上に形成され、多結晶層は、既存の多結晶層及び／又はアモルファス層のような少なくとも第二層上に堆積される。堆積反応とエッティング反応は、エピタキシャル層と多結晶層に対して相対的に異なる反応速度で同時に行われる。しかしながら、堆積された多結晶層は、通常はエピタキシャル層より速い速度でエッティングされる。それ故、エッティングガスの濃度を変化させることによって、正味の選択的プロセスは、エピタキシー物質を堆積することになり、多結晶物質の限られた堆積か或いは全く堆積されない。例えば、選択的エピタキシープロセスは、単結晶シリコン表面上にシリコン含有物質のエピ層を形成することになるが、堆積はスペーサ上に全く残らない。

30

【0008】

[0008]シリコン含有物質の選択的エピタキシー堆積は、積み上げソース／ドレインやソース／ドレインエクステンションの特徴部の形成で、例えば、シリコン含有MOSFET（金属酸化物半導体電界効果トランジスタ）デバイスの形成で、有効な技術になっている。ソース／ドレインエクステンション特徴部は、シリコン表面をエッティングして、陥凹ソース／ドレイン特徴部を作り、その後エッティングされた表面をシリコングルマニウム（SiGe）物質のような選択的に成長したエピ層で充填することにより製造される。選択的エピタキシーは、インサイチドープしつつほぼ完全にドーパント活性化を可能にするので、ポストアニールプロセスが省略される。それ故、接合の深さは、シリコンエッティングと選択的エピタキシーによって正確に画成され得る。もう一方で、極浅いソース／ドレイン接合は、必然的に直列抵抗を増加させることになる。また、シリサイド形成中の接合の消耗は、更に直列抵抗を増加させる。接合の消耗を補償するために、積み上げソース／ドレインは接合上でエピタキシャル的且つ選択的に成長する。典型的には、積み上げソース／ドレイン層は非ドープシリコンである。

40

【0009】

[0009]シリコン含有層の堆積中に、ホウ素、ヒ素、リン、ガリウム又はアルミニウムのような元素ドーパントの供給源は、堆積ガス中に含まれ、エピタキシャル層のインサイチドープを生じさせてよい。ドーパントは、電子デバイスに必要とされる制御された且つ望ましい通路内に方向性のある電子の流れのような様々な導電特性を持つ堆積されたシ

50

リコン含有化合物を与える。

【0010】

[0010]現状の選択的エピタキシー処理は、通常、約800、1000以上の高い反応温度を必要とする。このような高い温度は、熱量の考慮により、製造プロセス中は望ましくなく、また、基板表面に制御不能な窒化物反応を可能にしてしまう。更に、より高いプロセス温度における典型的な選択的Si:Cエピタキシープロセスを通じて取り込まれるC原子のほとんどがシリコン格子の非置換型（即ち、格子間）位置を占める。成長温度を下げるこことによって、置換型炭素レベルのより高いもの（例えば、550の成長温度でほぼ100%）を達成し得るが、しかし、これらのより低い温度での遅い成長速度はデバイスの応用に対して望ましくなく、このような選択的処理は低温では不可能である。更に、リンでドープされたSi:C膜はなより低い成長速度を示す。

10

【0011】

[0011]それ故、リンのようなドーパントによってシリコンとシリコン含有化合物をエピタキシャル的に堆積させる方法を持つことが求められている。更に、前記方法は、速い堆積速度を示し、約800以下、好ましくは約700以下のようなプロセス温度を維持し、置換型炭素濃度が高くなければならない。このような方法は、トランジスタデバイスの製造において有効である。

【発明の概要】

【0012】

[0012]本発明の一実施形態は、シリコンと炭素とリンを含有するエピタキシャル層を形成し処理する方法に関する。他の実施形態は、シリコンと炭素とリンを含有するエピタキシャル層を含むトランジスタデバイスの製造方法に関する。本発明の実施形態によれば、置換型炭素含量はSi:C膜中で増加する。一つ以上の実施形態において、エピタキシャル成長速度とエッチャント活性もまた、堆積中の圧力が少なくとも約100トールに増加される場合に増加する。

20

【0013】

[0013]本発明の一実施形態によれば、基板上にSiとCを含有するエピタキシャル層を形成する方法であって、プロセスチャンバ内に基板を配置するステップと；プロセスチャンバ内の圧力を少なくとも約100トールに保持しつつ、基板をシリコン源と炭素源とリン源にさらして、基板の少なくとも一部にリンでドープされたSi:Cエピタキシャル膜を形成するステップとを含む、前記方法が提供される。ある実施形態において、プロセスチャンバ内の圧力は、少なくとも約200トールに維持される。特定の実施形態において、圧力は少なくとも約300トールに維持される。一実施形態において、プロセスチャンバの温度は、約700以下である。一つ以上の実施形態によれば、得られたエピタキシャル膜は、膜中に含有される全炭素の少なくとも約40%、例えば、50%である置換型炭素を含有する。ある実施形態において、リン源は、ホスフィンを含み、エピタキシャル膜中のリン濃度は、少なくとも約1E20原子/cm³である。

30

【0014】

[0014]ある実施形態によれば、基板は、単結晶表面と、アモルファス表面、多結晶表面及びこれらの組み合わせより選ばれる少なくとも第二表面とを含み、ここで、エピタキシャル層は、単結晶表面上に形成され、アモルファス或いは多結晶層は、第二表面上に形成される。一つ以上の実施形態において、基板は、続いて基板をエッチャングガスにさらすことによって更に処理されてもよい。エッチャングガスは、一つ以上の実施形態によればHC1を含んでもよく、約700以下の温度でエッチャングガスにさらされる。

40

【0015】

[0015]一つ以上の実施形態において、基板上にSiとCを含有するエピタキシャル層を形成する方法であって、プロセスチャンバ内に、単結晶表面と、アモルファス表面、多結晶表面及びこれらの組み合わせより選ばれる少なくとも第二表面とを含む基板を配置するステップと；プロセスチャンバ内の圧力を少なくとも約100、例えば、約200トールを超える圧力に維持しつつ基板をシリコン源と、炭素源と、リン源と、エッチャング源にさ

50

らして、第二表面上に成長させずに、単結晶表面上にリンでドープされたSi:Cエピタキシャル膜を形成するステップとを含む、前記方法を提供する。一つ以上の実施形態において、第二表面は誘電体表面を含む。

【0016】

[0016]本発明のプロセスは、トランジスタ製造プロセスの製造ステップとして用いることができる。従って、本発明の実施形態は、トランジスタの製造方法であって、プロセスチャンバ内で基板上にゲート誘電体を形成するステップと；ゲート誘電体上にゲート電極を形成するステップと；電極の反対側に第二導電性を持つ基板上にソース／ドレイン領域を形成し且つソース／ドレイン領域の間にチャネル領域を画成するステップと、プロセスチャンバ内の圧力を少なくとも約100トールに維持しつつ、ソース／ドレイン領域上に直接リンでドープされたシリコンと炭素を含有するエピタキシャル層を堆積させるステップとを含む、前記方法に関する。プロセス条件は、上記のように調整されてもよい。

10

【0017】

[0017]上記は、本発明のある種の特徴と技術的利点をかなり広範囲に示している。開示された特定の実施形態が本発明の範囲内の他の構造又はプロセスを変更又は設計するための基準として容易に用いることができることは当業者に理解されるべきである。このような等価な構成が添付の特許請求の範囲に示される本発明の精神と範囲から逸脱しないことも当業者に理解されるべきである。

20

【図面の簡単な説明】

【0018】

[0018]本発明の上記特徴がより理解され得るように、上で簡単にまとめられた本発明のより詳しい説明は実施形態によって参照することができ、その一部は添付の図面に示されている。しかしながら、添付の図面が本発明の典型的な実施形態のみを示しているので、本発明の範囲を制限するものとみなされるべきでなく、本発明は他の等しく有効な実施形態を許容してもよいことは留意されるべきである。

30

【図1】図1は、高圧下で製造されるシリコンと炭素を含有するエピタキシャル層の高分解能X線回折計(HR-XRD)スペクトルである。

【図2】図2は、本発明の実施形態の電界効果トランジスタ対の断面図である。

【図3】図3は、追加の層がデバイス上に形成された図1で示したN MOS電界効果トランジスタの断面図である。

30

【詳細な説明】

【0019】

[0022]本発明の実施形態は、一般的には、リンでドープされたシリコンと炭素を含有するエピタキシャル層を形成する方法を提供する。他の実施形態は、トランジスタを製造する方法に関する。一つ以上の実施形態によれば、エピタキシャル堆積中、プロセスチャンバの圧力は、少なくとも約100トールである。特定の実施形態において、圧力は、約200トール或いは少なくとも約300トールである。

【0020】

[0023]本明細書に用いられるエピタキシャル堆積は、基板上に単結晶層を堆積させることを意味するので、堆積された層の結晶構造は基板の結晶構造に適合する。従って、エピタキシャル層或いは膜は、基板の結晶構造に適合する結晶構造を持つ単結晶層或いは膜である。エピタキシャル層は、バルク基板と多結晶シリコン層とは区別される。

40

【0021】

[0024]本発明の実施形態によれば、エピタキシャル膜が堆積される基板は、典型的には、シリコン基板であり、それはパターン形成基板である。パターン形成基板は、基板表面の中に或いは上に形成される電子特徴部を含む基板である。パターン形成基板は、単結晶表面と、多結晶或いはアモルファス表面のような単結晶でない少なくとも一つの第二表面を含んでもよい。単結晶表面は、むき出しの結晶基板或いはシリコン、シリコンゲルマニウム又はシリコン炭素のような材料から通常作られる堆積された単結晶層を含む。多結晶或いはアモルファス表面は、酸化物或いは窒化物、詳しくは酸化シリコン或いは窒化シリ

50

コンのような誘電材料だけでなく、アモルファスシリコン表面を含んでもよい。

【0022】

[0025]シリコン炭素層は、Epi RP或いはCentura、いずれもカリフォルニア州サンタクララのApplied Materialsから入手可能である適切な処理チャンバ内でエピタキシャルプロセスを用いて堆積させることができる。一般に、プロセスチャンバは、エピタキシャルプロセスを通じて一定の温度に維持される。しかしながら、いくつかのプロセスは、種々の温度で行われてもよい。プロセスチャンバは、約250～約1,000、例えば、約500～約900の範囲の温度に保たれる。エピタキシャルプロセスを行うのに適当な温度は、シリコンと炭素を含有する物質を堆積し更に/又はエッチングするのに用いられる具体的な前駆物質に左右され、当業者によって決定される。プロセスチャンバは、通常は約0.1トール～600トールの圧力に維持される。圧力は、この堆積ステップ中やこの堆積ステップ間で変動するが、一般的には一定である。

10

【0023】

[0026]エピタキシャル堆積プロセス中、基板は堆積ガスにさらされて、第二表面上に多結晶層を形成しつつ单結晶表面上にエピタキシャル層を形成する。堆積プロセスの特定の曝露時間は、エッチングプロセス中の曝露時間だけでなく、プロセスに用いられる具体的な前駆物質と温度に関連して決定される。一般に、基板は、堆積中に容易にエッチングされてもよい多結晶の最小限の厚さを形成しつつ、エピタキシャル層の最大の厚さを形成するのに充分な長さで堆積ガスにさらされる。

20

【0024】

[0027]堆積ガスは、少なくともシリコン源と、キャリアガスと、炭素源を含有する。別の実施形態において、堆積ガスは、塩化水素又は塩素のような少なくとも一つのエッチャントを含んでもよい。

【0025】

[0028]シリコン源は、通常は約5sccm～約500sccm、例えば、約10sccm～約300sccm、詳しくは約50sccm～約200sccmの範囲にある、より詳しくは100sccmの流量でプロセスチャンバに供給される。シリコンと炭素を含有する化合物を堆積させるために堆積ガスに有効なシリコン源には、シラン、ハロゲン化シラン、オルガノシランが含まれる。シランには、シラン(SiH_4)や実験式 $Si_xH_{(2x+2)}$ を有する高級シラン、例えば、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)、テトラシラン(Si_4H_{10})等が含まれるが、これらに限定されない。ハロゲン化シランには、実験式 $X'ySi_xH_{(2x+2-y)}$ 、ここで、 $X' = F, Cl, Br$ 、又はIを有する化合物、例えば、ヘキサクロロジシラン(Si_2Cl_6)、テトラクロロシラン($SiCl_4$)、ジクロロシラン(Cl_2SiH_2)、トリクロロシラン(Cl_3SiH)が含まれる。有機シランには、実験式 $R_ySi_xH_{(2x+2-y)}$ 、ここで、 $R = メチル、エチル、プロピル又はブチルを有する化合物$ 、例えば、メチルシラン($(CH_3)SiH_3$)、ジメチルシラン($(CH_3)_2SiH_2$)、エチルシラン($(CH_3)_2SiH_5$)、ジメチルジシラン($(CH_3)_2Si_2H_4$)、ヘキサメチルジシラン($(CH_3)_6Si_2$)が含まれる。

30

【0026】

[0029]シリコン源は、通常はキャリヤガスと共にプロセスチャンバ内に供給される。キャリヤガスの流量は、約1slm(標準リットル毎分)～約100slm、例えば、約5slm～約75slm、より詳しくは約10slm～50slm、例えば、25slmである。キャリヤガスには、窒素(N_2)、水素(H_2)、アルゴン、ヘリウム、これらの組み合わせが含まれてもよい。不活性キャリヤガスが好ましく、窒素、アルゴン、ヘリウム又はこれらの組み合わせが含まれる。キャリヤガスは、エピタキシャルプロセス120中に用いられる前駆物質及び/又はプロセス温度に基づいて選ばれることになる。通常、キャリヤガスは、それぞれのステップを通して同じである。しかしながら、一部の実施形態は、具体的なステップにおいて異なるキャリヤガスを用いてもよい。

40

50

【0027】

[0030]シリコン炭素物質のようなシリコンと炭素を含有する化合物を形成するシリコン源とキャリアガスと共にステップ120でプロセスチャンバに供給される炭素源は、通常は約0.1sccm～約20sccm、例えば、約0.5sccm～約10sccm、より詳しくは約1sccm～約5sccmの範囲にある、例えば、約2sccmの流量でプロセスチャンバへ供給される。シリコンと炭素を含有する化合物を堆積させるのに有用な炭素源には、有機シラン、エチレン、プロピル、ブチルのアルキル、アルケン及びアルキンが含まれるが、これらに限定されない。このような炭素源には、メチルシラン(CH_3SiH_3)、ジメチルシラン($(\text{CH}_3)_2\text{SiH}_2$)、トリメチルシラン($(\text{CH}_3)_3\text{SiH}$)、エチルシラン($\text{CH}_3\text{CH}_2\text{SiH}_3$)、メタン(CH_4)、エチレン(C_2H_4)、エチレン(C_2H_2)、プロパン(C_3H_8)、プロペン(C_3H_6)、ブチン(C_4H_6)等が含まれる。エピタキシャル層の炭素濃度は、約200ppm～約5原子%、例えば、約1原子%～約3原子%の範囲にあり、より詳しくは少なくとも約2原子%或いは1.5原子%である。一実施形態において、炭素濃度は、エピタキシャル層の中で段階的でもよく、好ましくは、エピタキシャル層の上の部分よりエピタキシャル層の下の部分で炭素濃度がより高く段階的になってもよい。或いは、ゲルマニウム源と炭素源は、いずれも、シリコン源とキャリアガスと共にプロセスチャンバ内に添加されて、シリコンゲルマニウム炭素物質のようなシリコンと炭素を含有する化合物を形成してもよい。10

【0028】

[0031]堆積処理を終了させる。一例において、プロセスチャンバはバージガス或いはキャリアガスでフラッシュされ更に/又はプロセスチャンバは真空ポンプで排気される。バージ及び/又は排気のプロセスは、余分な堆積ガス、反応副生成物、他の汚染物を除去する。他の例において、堆積プロセスが終了すると、エッチングプロセスがプロセスチャンバをバージ及び/又は排気することなく直ちに開始される。20

【0029】

エッチング

[0032]選択的エッチングプロセスが行われてもよい。エッチングプロセスは、基板表面上のエピタキシャル層の一部を除去する。エッチングプロセスは、エピタキシャル或いは単結晶物質とアモルファス或いは多結晶物質のいずれも除去する。基板表面上に堆積される多結晶層は、もしあればエピタキシャル層より速い速度で除去される。エッチングプロセスの時間間隔は、基板の所要の領域に選択的に形成されるエピタキシャル層の正味の堆積となる堆積処理の時間間隔とバランスがとられる。それ故、堆積プロセスとエッチングプロセスの正味の結果は、多結晶物質の成長をもしあっても最小化しつつ選択的且つエピタキシャル的に成長したシリコンと炭素を含有する物質を形成する。30

【0030】

[0033]エッチングプロセス中、基板は、約10秒～約90秒、例えば、約20秒～約60秒、より詳しくは約30秒～約45秒間の範囲の時間エッチングガスにさらされる。エッチングガスは、少なくとも一つのエッチャントとキャリアガスを含む。エッチャントは、通常は約10sccm～約700sccm、例えば、約50sccm～約500sccmの範囲の流量でプロセスチャンバに供給される。エッチングガスに用いられるエッチャントには、塩素(Cl_2)、塩化水素(HCl)、三塩化ホウ素(BCl_3)、塩化メチル(CH_3Cl)、四塩化炭素(CCl_4)、三フッ化塩素(ClF_3)、これらの組み合わせが含まれてもよい。好ましくは、塩素或いは塩化水素がエッチャントとして用いられる。40

【0031】

[0034]エッチャントは、通常はキャリアガスと共にプロセスチャンバに供給される。キャリアガスの流量は、約1slm～約100slm、例えば、約5slm～約75slm、より詳しくは約10slm～約50slmの範囲にあり、例えば、約25slmである。キャリアガスには、窒素(N_2)、水素(H_2)、アルゴン、ヘリウム、これらの組み合わせが含まれてもよい。一部の実施形態において、不活性キャリアガスが好ましく、窒50

素、アルゴン、ヘリウム、これらの組み合わせが含まれる。キャリアガスは、エピタキシャルプロセス中に用いられる特定の前駆物質及び／又は温度に基づいて選択されてもよい。

【0032】

[0035]エッティングプロセスを終了させる。一例において、プロセスチャンバはバージガス或いはキャリアガスでフラッシュされてもよく更に／又はプロセスチャンバは真空ポンプで排気されてもよい。バージ及び／又は排気のプロセスは、余分なエッティングガス、反応副生成物、他の汚染物を除去する。他の例において、エッティングプロセスが終了すると、エピタキシャル層の厚さは、プロセスチャンバをバージ及び／又は排気することなく直ちに開始される。

10

【0033】

[0036]エピタキシャル層と多結晶層の厚さを決定することができる。所定の厚さが達成される場合には、エピタキシャルプロセスを終了させる。しかしながら、所定の厚さが達成されない場合には、堆積プロセスを望ましい厚さが達成されるまでサイクルとして繰り返す。エピタキシャル層の厚さは、通常は約10オングストローム～2000オングストロームの、例えば、約100オングストローム～約1500オングストローム、より詳しくは約400オングストローム～約1200オングストロームの範囲にあり、例えば、約800オングストロームであるように成長される。多結晶層は、もしあれば通常は原子層～約500オングストロームの範囲の厚さに堆積される。エピタキシャルのシリコンと炭素を含有する層或いは多結晶のシリコンと炭素を含有する層の望ましい或いは所定の厚さは具体的な製造プロセスに特有である。一例において、エピタキシャル層は、所定の厚さに達し得るが、多結晶層は厚くなりすぎる。

20

【0034】

ドーパント曝露

[0037]エピタキシャル堆積中、エピタキシャル層はドーパントにさらされる。典型的なドーパントには、ホウ素、ヒ素、リン、ガリウム又はアルミニウムのような元素ドーパント源を与える少なくとも一つのドーパント化合物が含まれてもよい。本発明の具体的な実施形態において、シリコンと炭素を含有する化合物は、約 10^{15} 原子/cm³～約 10^{21} 原子/cm³の範囲の濃度までリン及び／又はヒ素のようなものでn形にドープされる。

30

【0035】

[0038]ドーパント源は、通常はプロセスチャンバに供給される。ドーパント源には、実験式 $R_x PH_{(3-x)}$ 、ここで、R = メチル、エチル、プロピル又はブチル、X = 1、2又は3のようなアルシン(AsH_3)、ホスフィン(PH_3)、アルキルホスフィンが含まれる。アルキルホスフィンには、トリメチルホスフィン($(CH_3)_3P$)、ジメチルホスフィン($(CH_3)_2PH$)、トリエチルホスフィン($(CH_3CH_2)_3P$)、ジエチルホスフィン($(CH_3CH_2)_2PH$ が含まれる。

【0036】

[0039]本発明の特定の実施形態は、100トールを超える高圧でインサイチュリンドープされた選択的Si:Cエピタキシャル層を形成することに関する。100トールを超える高圧は、成長速度の増加と図1に示される置換型炭素濃度の増大を生じさせる。実験は、シリコンと炭素の前駆物質の温度と流量が一定に保たれる中で行った。圧力は次に別々の実験において6トール、100トール、300トールに変え、結果を図1に示す。図1に見られるように、より高い圧力はより高い置換型炭素濃度を生じさせた。詳しくは、その他のプロセス条件が一定で、例えば6トールで製造される試料については、置換型炭素は0.8%であり、100トールで製造される試料については、置換型炭素は1.1%であり、300トールで製造される試料については、置換型炭素は1.4%であった。

40

【0037】

[0040]選択的Si:Cエピタキシーにおける本発明の実施形態に従った適切なプロセスの一例は、以下の約2E20原子/cm³より大きいリンレベルと、約1.3原子%の炭

50

素レベルと、約 0.6 原子 % の置換型レベルを生じさせた。プロセスチャンバは、約 700 の温度、約 300 トールの圧力、10 s 1 m の水素キャリアガス流量、200 sccm のジクロロシラン源ガス流量、30 sccm の HCl 流量に維持可能である。メチルシラン (1%、水素に希釈した) が 240 sccm で流され、ホスフィン (1%、水素に希釈した) が 240 sccm で流される。すべてのプロセスガスは、プロセスチャンバに同時に流され、リンでドープされた炭素を含有シリコン層が基板上に形成される。より高い圧力で製造される試料は、高 HCl エッティング活性を示すことが観察された。こうして、本発明の実施形態によれば、より高い圧力プロセスは HCl 活性が約 700 未満のような弱い温度範囲でエッティングするのに用いることができる。リンドーピングで製造される例において、二次イオン質量分析 (SIMS) データは、100 トールを超える圧力が 2E20 原子 / s cm³ を超えるリン含量となることを示した。

10

【0038】

[0041] 上記の種類のプロセスは、堆積ガスとエッチガスがチャンバに同時に流され、誘電体表面上に成長せず、基板の単結晶表面上にリンでドープされた Si : C エピタキシャル膜を生じさせる選択的堆積プロセスに使用可能である。より高い圧力での HCl のより高い活性は、エッティングをより低い温度、例えば、約 700 未満で進行させることを可能にする。

【0039】

[0042] 本発明の実施形態に従うエピタキシャル膜は、更に、アニール、例えば、急速熱アニール、急速熱処理、レーザアニール、ミリセカンドアニール、及び / 又はスパイクアニール又はフラッシュアニール又はこれらの組み合わせのような急速熱プロセスによって処理される。アニール温度は、用いられるプロセスに左右されることになる。

20

【0040】

[0043] 本発明の一つ以上の実施形態は、相補型金属酸化物半導体 (CMOS) 集積回路デバイスを形成するのに特に有効な方法を提供し、これに関連して記載する。他のデバイスと用途も本発明の範囲内である。図 2 は、典型的な CMOS デバイスにおける FET 対を示す断面図の部分である。デバイス 100 は、ウェルを形成して、NMOS デバイスと PMOS デバイスのソース / ドレイン領域、ゲート誘電体、ゲート電極を得た後の半導体基板を備える。デバイス 100 は、従来の半導体プロセス、例えば、単結晶シリコンを成長させるプロセスやトレンチ開口内に誘電体を成長或いは堆積させることにより浅いトレンチ絶縁構造を形成させるプロセスを用いて形成することができる。これらの様々な構造を形成するための詳細な手順は当該技術において既知であり、本明細書に記載しない。

30

【0041】

[0044] デバイス 100 は、半導体基板 155、例えば、p 形物質でドープされたシリコン基板と、基板 155 上に p 形エピタキシャルシリコン層 165 と、エピタキシャル層 165 内に画成された p 形ウェル領域 120 と n 形ウェル領域 150 と、p-ウェル 120 内に画成された n 形トランジスタ (NMOSFET) 110 と、n-ウェル 150 内に画成された p 形トランジスタ (PMOSFET) 140 を備える。第一絶縁領域 158 は、NMOS 110 と PMOS 140 のトランジスタを電気的に絶縁し、第二絶縁領域 160 は、基板 155 上の他の半導体デバイスからトランジスタ 110 と 140 の対を電気的に絶縁する。

40

【0042】

[0045] 本発明の一つ以上の実施形態によれば、NMOS トランジスタ 110 は、ゲート電極 122 と、第一ソース領域 114 と、ドレイン領域 116 を備える。NMOS ゲート電極 122 の厚さは、拡張可能であり、デバイス性能に関係する問題に基づいて調整することができる。NMOS ゲート電極 122 は、n 形デバイスの仕事関数に対応する仕事関数を持つ。ソース・ドレイン領域は、ゲート電極 112 の反対側の n 形領域である。チャネル領域 118 は、ソース領域 114 とドレイン領域 116 の間に挟まれている。ゲート誘電体層 112 は、チャネル領域 118 とゲート電極 122 を分けている。NMOS ゲート電極 122 と誘電体層の形成するためのプロセスは、当該技術において既知であり、本

50

明細書に記載しない。

【0043】

[0046]一つ以上の実施形態によれば、PMOSトランジスタ140は、ゲート電極152と、ソース領域144と、ドレイン領域146を備える。PMOSゲート電極152の厚さは、拡張可能であり、デバイス性能に関係する問題に基づいて調整することができる。PMOSゲート電極152は、n形デバイスの仕事関数に対応する仕事関数を持つ。ソース・ドレイン領域は、ゲート電極152の反対側のp形領域である。チャネル領域148は、ソース領域144とドレイン領域146の間に挟まれている。ゲート誘電体層142は、チャネル領域148とゲート電極152を分けており、チャネル領域148からゲート電極152を電気的に絶縁する。図2に示されすぐ上に記載されるトランジスタ110と140の構造は単に例示であり、物質、層等の様々な変形例が本発明の範囲内であることは理解されるであろう。

10

【0044】

[0047]ここで図3を参照すると、図3は、スペーサ、ソース/ドレイン領域の上の層、例えば、シリサイド層の形成と、エッチング停止の形成後の図2のNMOSデバイス110の詳細を更に示す図である。図3に示されるPMOSデバイスが、以下に記載されるように、寸法及び/又は組成を調整してNMOSデバイスのチャネル内に生じる応力に影響を及ぼすことができる同様のスペーサと層を含有してもよいことは理解されるであろう。しかしながら、図示のために、NMOSデバイスのみが示され、詳細に記載されている。

20

【0045】

[0048]図3は、ゲート119の周りに組み込まれる適切な誘電物質から形成することができるスペーサ175を示す図である。スペーサ175の各々を囲んでいるオフセットスペーサ177が設けられてもよい。スペーサ175と177の形状、サイズ、厚さの形成のためのプロセスは当該技術において既知であり、本明細書に記載しない。ソース領域114とドレイン領域116の上に金属シリサイド層179が形成されてもよい。シリサイド層179は、スパッタリング或いはPVD(物理的気相成長)のようないかなる適切なプロセスによってもニッケル、チタン、又はコバルトのような適切な物質から形成することができる。シリサイド層179は、下に横たわる表面の部分に拡散してもよい。ドレイン領域116の上昇は矢印181によって示され、基板表面180からシリサイド層179の最上部までの距離として示されている。ソースドレイン領域のファセット183は、傾斜面として示されている。当業者が理解するように、上記例示的デバイスは、本明細書記載される方法によって更に変更することができるSi:Cエピタキシャル層を持つソース/ドレイン又はソース/ドレインエクステンションを含むように変更されてもよい。

30

【0046】

[0049]本明細書全体に“一実施形態”、“ある実施形態”、“一つ以上の実施形態”又は“実施形態”についての言及は、実施形態と共に記載される具体的な特徴、構造、物質、又は特性が本発明の少なくとも一つの実施形態に含まれることを意味する。従って、本明細書全体に様々な場所で“一実施形態において”、“ある実施形態において”、“一つ以上の実施形態において”又は“実施形態において”のような語句が出てくることは、必ずしも本発明の同一実施形態を意味しない。更に、具体的な特徴、構造、物質、又は特性は、一つ以上の実施形態において適切ないかなる方法においても組み合わせができる。上記方法の説明の順序は限定するものと考えるべきでなく、方法は記載された操作を順序でなく又は省略もしくは追加して用いることができる。

40

【0047】

[0050]上記説明は例示のためであり限定するものではないことは理解すべきである。他の多くの実施形態は、上記説明を見る際に当業者に明らかになるであろう。それ故、本発明の範囲は、添付の特許請求の範囲によって、このような特許請求の範囲が権利を与える等価物の全範囲と共に決定される。

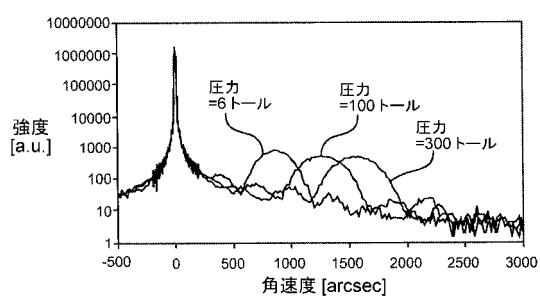
【符号の説明】

【0048】

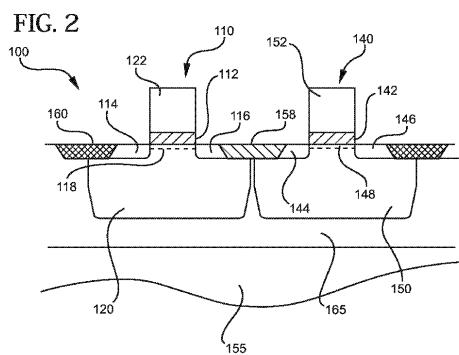
50

100...デバイス、110...n形トランジスタ、112...ゲート誘電体層、114...第一ソース領域、116...ドレイン領域、118...チャネル領域、119...ゲート、120...p形ウェル領域、122...ゲート電極、140...n形トランジスタ、142...ゲート誘電体、144...ソース領域、146...ドレイン領域、148...チャネル領域、150...n形ウェル領域、152...ゲート電極、155...基板、158...第一絶縁領域、160...第二絶縁領域、165...p形エピタキシャルシリコン層、175...スペーサ、177...オフセットスペーサ、179...金属シリサイド層、181...矢印、183...ファセット。

【図1】

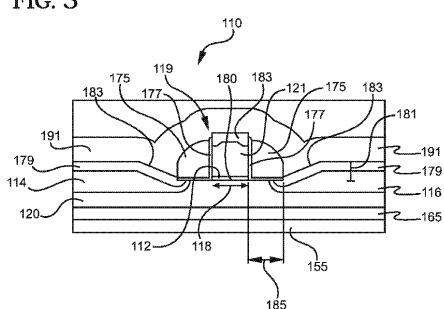


【図2】



【図3】

FIG. 3



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 07/86984												
A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - H01L 21/00 (2008.01) USPC - 438/5 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) USPC: 438/5														
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched														
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WEST (PGPB, USPT, USOC, EPAB, JPAB); Google Search Terms: epitaxial layer, silicon, substitutional carbon, phosphorus, substrate, doped, monocrystalline, polycrystalline, dielectric, transistor, electrode, source, drain, channel														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category*</th> <th style="width: 80%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 10%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2006/0234504 A1 (Bauer et al.) 19 October 2006 (19.10.2006) para [0011]; [0016]; [0021]; [0063]; [0065]-[0067]; [0073]-[0075]; [0084]; [0090]; [0106]</td> <td>1-4, 6-11 and 13-20</td> </tr> <tr> <td>Y</td> <td>US 2006/0148151 A1 (Murthy et al.) 6 July 2006 (06.07.2006) para [0052]; [0095]</td> <td>5 and 12</td> </tr> <tr> <td></td> <td></td> <td>5 and 12</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2006/0234504 A1 (Bauer et al.) 19 October 2006 (19.10.2006) para [0011]; [0016]; [0021]; [0063]; [0065]-[0067]; [0073]-[0075]; [0084]; [0090]; [0106]	1-4, 6-11 and 13-20	Y	US 2006/0148151 A1 (Murthy et al.) 6 July 2006 (06.07.2006) para [0052]; [0095]	5 and 12			5 and 12
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X	US 2006/0234504 A1 (Bauer et al.) 19 October 2006 (19.10.2006) para [0011]; [0016]; [0021]; [0063]; [0065]-[0067]; [0073]-[0075]; [0084]; [0090]; [0106]	1-4, 6-11 and 13-20												
Y	US 2006/0148151 A1 (Murthy et al.) 6 July 2006 (06.07.2006) para [0052]; [0095]	5 and 12												
		5 and 12												
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>														
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed														
Date of the actual completion of the international search 24 March 2008 (24.03.2008)		Date of mailing of the international search report 16 APR 2008												
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young  <small>PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774</small>												

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 21/336 (2006.01)	H 01 L 21/20	5 F 1 5 2
H 01 L 29/786 (2006.01)		
H 01 L 21/20 (2006.01)		

(81) 指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,D0,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72) 発明者 キム, イーワン

アメリカ合衆国, カリフォルニア州, ミルピタス, ヘヴンリー プレイス 825

F ターム(参考)	5F004 AA14 DA00 DA04 DA05 DA11 DA22 DA23 DA24 DA25 DA29
	5F045 AB02 AB06 AC01 AC05 AC07 AC13 AC14 AC19 AD09 AD10
	AE25 AF03 CA05 DA69 DB09 EE13 HA13
	5F048 AA07 AC03 BA01 BA02 BA14 BA16 BC01 BC06 BE03 BF06
	BG13 DA30
	5F110 AA01 AA30 BB04 CC02 DD05 EE31 GG01 GG02 GG06 HJ01
	HJ04 HJ17 HJ22 HK05 HK33 HM02 HM07 HM14 NN02 NN65
	5F140 AA01 AB03 AC28 BA01 BA02 BA05 BA16 BF01 BG09 BH06
	BH27 BH49 BJ08 BK18 BK20 BK29 CB04 CB08
	5F152 LL02 LN21 LN29 MM04 NN03 NN04 NN05 NN22 NN23 NQ02