



등록특허 10-2174120



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년11월05일
(11) 등록번호 10-2174120
(24) 등록일자 2020년10월29일

- (51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) *H01L 23/00* (2006.01)
H01L 23/544 (2006.01) *H01L 25/00* (2014.01)
- (52) CPC특허분류
H01L 25/0657 (2013.01)
H01L 23/544 (2013.01)
- (21) 출원번호 10-2016-7010168
- (22) 출원일자(국제) 2014년09월24일
심사청구일자 2019년06월26일
- (85) 번역문제출일자 2016년04월19일
- (65) 공개번호 10-2016-0074494
- (43) 공개일자 2016년06월28일
- (86) 국제출원번호 PCT/US2014/057237
- (87) 국제공개번호 WO 2015/060978
국제공개일자 2015년04월30일
- (30) 우선권주장
14/059,302 2013년10월21일 미국(US)

- (56) 선행기술조사문현
US20120049376 A1
KR1020100002858 A
KR1020130094805 A

전체 청구항 수 : 총 20 항

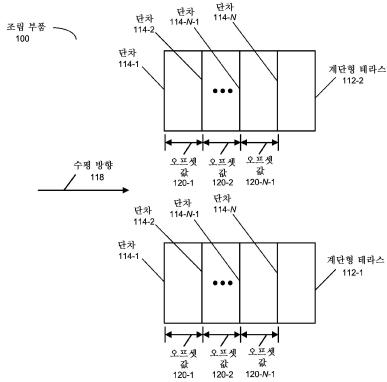
심사관 : 안경민

(54) 발명의 명칭 스택되는 다이들의 위치들을 제어하는 기술

(57) 요약

조립 부품(100) 및 조립 부품을 이용하여 칩 패키지를 조립하는 기술이 설명된다. 이 칩 패키지는 수직 방향으로 스택 내에 배열되는 반도체 다이들(310-1 내지 310-N)의 세트를 포함하는데, 반도체 다이들은 수직 스택의 일측에 계단형 테라스(112-1)를 정의하도록 수평 방향에서 서로 오프셋된다. 또한, 칩 패키지는 조립 부품(100)을 이용하여 조립될 수 있다. 특히, 조립 부품은 대략 칩 패키지의 계단형 테라스를 대략 미러링하는 계단형 테라스들(112-1, 112-2)의 쌍을 포함할 수 있고, 이 경사형 테라스들의 쌍은 칩 패키지의 조립 동안 수직 스택으로 반도체 다이들의 세트를 배치하는 조립 도구에 대해 수직 위치 레퍼런스를 제공한다.

대 표 도



(52) CPC특허분류

H01L 24/16 (2013.01)
H01L 24/17 (2013.01)
H01L 24/72 (2013.01)
H01L 24/75 (2013.01)
H01L 24/81 (2013.01)
H01L 25/0652 (2013.01)
H01L 25/50 (2013.01)
H01L 2223/54426 (2013.01)
H01L 2225/06517 (2013.01)

명세서

청구범위

청구항 1

조립 부품으로서,

단차들의 수직 스택을 갖는 계단형 테라스들의 쌍을 포함하고, 상기 수직 스택에 있어서의 주어진 단차는 상기 계단형 테라스들의 쌍을 정의하기 위해 단차들의 평면에서 인접한 단차로부터 오프셋되고, 상기 계단형 테라스들의 쌍에서의 단차들은 경사-스택(ramp-stack) 칩 패키지의 조립 동안 조립 도구의 수직 위치들을 제약하는 수직 레퍼런스 위치들을 제공하도록 구성되고,

상기 경사-스택 칩 패키지 내의 반도체 다이들의 세트는 수직 스택으로 배열되고, 상기 수직 스택에 있어서의 주어진 반도체 다이는 계단형 테라스를 정의하기 위해 반도체 다이들의 세트의 평면에서 인접한 반도체 다이로부터 오프셋되고,

상기 경사-스택 칩 패키지의 조립 동안, 상기 계단형 테라스들의 쌍이 상기 조립 도구의 수직 위치를 제약하는 동안, 상기 조립 도구는 상기 주어진 반도체 다이의 최상위 표면에 기계적으로 결합되고, 상기 주어진 반도체 다이의 최하위 표면은 상기 경사-스택 칩 패키지에 기계적으로 결합되는, 조립 부품.

청구항 2

제1항에 있어서,

상기 반도체 다이들의 세트는 N 개의 반도체 다이들을 포함하고,

상기 수직 스택을 따르는 수직 방향에서 상기 경사-스택 칩 패키지 내의 상기 반도체 다이들의 세트의 위치 오차들은 상기 경사-스택 칩 패키지 내의 수직 위치와 독립적인, 조립 부품.

청구항 3

제2항에 있어서,

N은 40 초과인, 조립 부품.

청구항 4

제2항에 있어서,

상기 위치 오차들은 각각 $\pm 20 \mu\text{m}$ 미만인, 조립 부품.

청구항 5

제1항에 있어서, 상기 조립 부품은 상기 반도체 다이들의 세트, 및 반도체 다이들 사이의 접착제 층들과 연관된 위치 오차들의 합계 미만인 상기 수직 스택을 따르는 수직 방향에서 상기 반도체 다이들의 세트에 걸쳐 누적된 위치 오차를 가진 상기 경사-스택 칩 패키지의 조립을 용이하게 하는, 조립 부품.

청구항 6

제5항에 있어서,

상기 누적된 위치 오차는 상기 반도체 다이들의 두께 변동 및 상기 접착제 층들의 두께 변동 중 하나와 연관되는, 조립 부품.

청구항 7

제1항에 있어서,

상기 주어진 반도체 다이는 상기 최상위 표면에 솔더 패드들 및 범프들을 포함하고,

상기 조립 도구는 상기 솔더 패드들 및 상기 범프들이 위치한 곳과는 다른 상기 최상위 표면의 영역에서 상기 주어진 반도체 다이를 집어드는, 조립 부품.

청구항 8

제1항에 있어서, 상기 계단형 테라스는 상기 계단형 테라스들의 쌍의 미리 이미지인, 조립 부품.

청구항 9

제1항에 있어서, 상기 주어진 반도체 다이는 공칭 두께를 가지며,

상기 계단형 테라스 내의 상기 주어진 단차의 수직 변위는 상기 공칭 두께보다 큰, 조립 부품.

청구항 10

제1항에 있어서,

상기 조립 부품은 상기 경사-스택 칩 패키지에 대한 경사 부품의 단단한 기계적 결합을 용이하게 하고,

상기 경사 부품은 상기 수직 스택의 일 측에 배치되고,

상기 경사 부품은 상기 계단형 테라스를 따르는 방향과 평행하고, 상기 계단형 테라스를 따르는 방향은 상기 반도체 다이들의 세트의 평면에서의 수평 방향과 상기 수직 스택을 따르는 수직 방향 사이에 있는, 조립 부품.

청구항 11

경사-스택 칩 패키지의 조립 방법으로서,

상기 경사-스택 칩 패키지 내의 반도체 다이의 최상위 표면에 접착제를 도포하는 단계 - 상기 경사-스택 칩 패키지에 있어서의 반도체 다이들의 세트는 수직 스택으로 배열되고, 상기 수직 스택에 있어서의 주어진 반도체 다이는 계단형 테라스를 정의하도록 상기 반도체 다이들의 세트의 평면에서 인접한 반도체 다이로부터 오프셋됨 -,

조립 도구를 사용하여, 제2 반도체 다이를 상기 제2 반도체 다이의 최상위 표면에서 집어드는 단계; 및

상기 경사-스택 칩 패키지의 양측에 배열되는 계단형 테라스들의 쌍을 가진 조립 부품에서 주어진 단차에 의해 상기 조립 도구의 수직 위치가 제약되는 동안 상기 제2 반도체 다이의 최하위 표면을 상기 반도체 다이의 최상위 표면 상의 접착제 상에 배치하는 단계

를 포함하고,

상기 계단형 테라스들의 쌍에서의 단차들은 수직 레퍼런스 위치들을 제공하는, 방법.

청구항 12

제11항에 있어서, 상기 도포하는 단계, 상기 집어드는 단계, 및 상기 배치하는 단계는 상기 경사-스택 칩 패키지를 조립하기 위해 반도체 다이들의 세트 내의 추가의 반도체 다이들에 대해 반복되고,

상기 경사-스택 칩 패키지가 조립될 때 상기 계단형 테라스들의 쌍 내의 단차들에 의해 상기 조립 도구의 수직 위치들이 제약되는, 방법.

청구항 13

제12항에 있어서, 반도체 다이들의 세트는 N개의 반도체 다이들을 포함하고,

상기 수직 스택을 따르는 수직 방향에서 상기 경사-스택 칩 패키지 내의 반도체 다이들의 세트의 위치 오차들은 상기 경사-스택 칩 패키지 내의 위치와 독립적인, 방법.

청구항 14

제13항에 있어서, N은 40 초과인, 방법.

청구항 15

제13항에 있어서, 상기 위치 오차들은 각각 $\pm 20 \mu\text{m}$ 미만인, 방법.

청구항 16

제11항에 있어서, 상기 조립 부품은 상기 반도체 다이들의 세트, 및 반도체 다이들 사이의 접착제 층들과 연관된 위치 오차들의 합계 미만인 상기 수직 스택을 따르는 수직 방향에서 상기 반도체 다이들의 세트에 걸쳐 누적된 위치 오차를 가진 상기 경사-스택 칩 패키지의 조립을 용이하게 하는, 방법.

청구항 17

제11항에 있어서, 상기 반도체 다이는 상기 최상위 표면에 솔더 패드들 및 범프들을 포함하고,

상기 조립 도구는 상기 솔더 패드들 및 상기 범프들이 위치한 곳과는 다른 상기 최상위 표면의 영역에서 상기 반도체 다이를 집어드는, 방법.

청구항 18

제11항에 있어서, 상기 계단형 테라스는 상기 계단형 테라스들의 쌍의 미러 이미지인, 방법.

청구항 19

제11항에 있어서, 상기 주어진 반도체 다이는 공칭 두께를 가지며,

상기 계단형 테라스 내의 상기 주어진 단차의 수직 변위는 상기 공칭 두께보다 큰, 방법.

청구항 20

제11항에 있어서, 상기 조립 부품은 상기 경사-스택 칩 패키지에 대한 경사 부품의 단단한 기계적 결합을 용이하게 하고,

상기 경사 부품은 상기 수직 스택의 일 측에 배치되고,

상기 경사 부품은 상기 계단형 테라스를 따르는 방향과 평행하고, 상기 계단형 테라스를 따르는 방향은 상기 반도체 다이들의 세트의 평면에서의 수평 방향과 상기 수직 스택을 따른 수직 방향 사이에 있는, 방법.

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 반도체 칩 패키지의 제조 공정에 관한 것이다. 더 구체적으로, 본 개시는 조립 부품 및 칩 패키지를 조립하기 위한 연관된 기술에 관한 것이고, 칩 패키지는 계단형 테라스를 정의하기 위해 수직 스택에서 서로 오프셋된 칩들의 그룹을 포함한다.

배경 기술

[0002] 스택된 반도체 칩들을 포함하는 칩 패키지들은, 인쇄 회로 보드에 접속되는 종래의 개별적으로 패키징된 칩들에 비해 매우 더 높은 성능을 제공할 수 있다. 이러한 칩 패키지들은 또한 스택의 상이한 칩들에서 상이한 프로세스들을 사용하기 위한, 더 높은 밀도의 로직과 메모리를 결합시키기 위한, 그리고 더 적은 전력을 이용하여 데이터를 전송하기 위한 능력과 같은, 특정 장점들을 제공한다. 예를 들어, DRAM(dynamic random access memory, 다이나믹 랜덤 액세스 메모리)을 구현하는 칩들의 스택은 입력/출력(I/O) 및 컨트롤러 기능들을 구현하기 위해 베이스 칩 내의 높은-금속-층-수(high-metal-layer-count)의 고성능 로직 프로세스를 사용할 수 있고, 더 낮은-금속-층-수(lower-metal-layer-count)의 DRAM-특화 처리된 칩들의 세트는 스택의 나머지를 위해 사용될 수 있다. 이러한 방법으로 결합되는 칩들의 세트는, DRAM 프로세스를 이용하여 제조된 I/O 및 컨트롤러 기능들을 포함하는 단일 칩, 논리 프로세스를 이용하여 제조된 메모리 회로들을 포함하는 단일 칩, 및/또는 논리 및 메모리 둘리 구조 양쪽 모두를 만들기 위해 단일 프로세스를 이용하려고 시도하는 것보다 더 나은 성능과 낮은 비용을 가질 수 있다.

[0003] 그러나, 스택된 반도체 칩들을 포함하는 칩 패키지들을 조립하는 것은 어려울 수 있다. 특히 기존의 조립 기술들은 시간 소모적일 수 있으며 낮은 수율들을 가질 수 있다(칩 패키지의 비용을 증가시킬 수 있다). 예를 들면, 기존의 많은 조립 기술들에서 반도체 칩들의 스택에 걸쳐 총 수직 위치 오차는 반도체 칩들 각각과 연관

된 수직 위치 오차들의 합계이다. 따라서, 여러 반도체 칩들을 포함하는 스택들에 대한 전체 수직 위치 오차는 엄청나게 커질 수 있다. 이로 인해 개별적인 수직 위치 오차들을 감소시키기 위하여 제조 허용 오차가 엄격해 질 수 있으며(이것은 반도체 다이들의 비용을 증가시킬 수 있음), 그리고/또는 스택 내에 조립될 수 있는 반도체 칩의 수를 제약할 수 있다(이것은 성능을 제한할 수 있음).

[0004] 그러므로, 전술한 문제점들이 없이 칩들의 스택을 조립하기 위한 기술이 필요하다.

발명의 내용

[0005] 본 개시의 일 실시예는 단차들의 수직 스택을 갖는 계단형 테라스들의 쌍을 포함하고, 주어진 단차는 상기 계단형 테라스들의 쌍을 정의하기 위해 단차들의 평면에서 인접한 단차로부터 오프셋되는 조립 부품을 제공한다. 상기 계단형 테라스들의 쌍에서의 단차들은 경사-스택 칩 패키지의 조립 동안 조립 도구의 수직 위치들을 제약하는 수직 레퍼런스 위치들을 제공하고, 반도체 다이들의 세트는 수직 스택으로 배열된다. 또한, 상기 경사-스택 칩 패키지 내의 주어진 반도체 다이는 계단형 테라스를 정의하기 위해 반도체 다이들의 세트의 평면에서 인접한 반도체 다이로부터 오프셋된다. 상기 경사-스택 칩 패키지의 조립 동안에, 상기 계단형 테라스들의 쌍이 상기 조립 도구의 수직 위치를 제약하는 동안, 상기 조립 도구는 상기 주어진 반도체 다이의 최상위 표면에 기계적으로 결합되고, 상기 주어진 반도체 다이의 최하위 표면은 상기 경사-스택 칩 패키지에 기계적으로 결합된다.

[0006] 상기 반도체 다이들의 세트는 (40개 초과의 반도체 다이들과 같은) N 개의 반도체 다이들을 포함할 수 있고, 상기 수직 스택을 따르는 수직 방향에서 상기 경사-스택 칩 패키지 내의 상기 반도체 다이들의 세트의 위치 오차들은 상기 경사-스택 칩 패키지 내의 수직 위치와 독립적일 수 있다는 것을 유의한다. 예를 들어, 상기 위치 오차들은 각각 $\pm 20 \mu m$ 미만일 수 있다. 또한, 상기 조립 부품은 상기 반도체 다이들의 세트, 및 반도체 다이들 사이의 접착제 층들과 연관된 수직 위치 오차들의 합계 미만인 상기 수직 스택을 따르는 수직 방향에서 상기 반도체 다이들의 세트에 걸쳐 누적된 위치 오차를 가진 상기 경사-스택 칩 패키지의 조립을 용이하게 할 수 있다. 상기 누적된 위치 오차는 상기 반도체 다이들의 두께 변동 및 상기 접착제 층들의 두께 변동과 연관될 수 있다.

[0007] 또한, 상기 주어진 반도체 다이는 상기 최상위 표면에 솔더 패드들 및 범프들을 포함할 수 있고, 상기 조립 도구는 상기 솔더 패드들 및 상기 범프들이 위치한 곳과는 다른 상기 최상위 표면의 영역에서 상기 주어진 반도체 다이를 집어들 수 있다.

[0008] 일부 실시예들에서, 상기 계단형 테라스는 상기 계단형 테라스들의 쌍의 미러 이미지이다.

[0009] 상기 주어진 반도체 다이는 공칭 두께를 가질 수 있으며, 상기 계단형 테라스 내의 상기 주어진 단차의 수직 변위는 상기 공칭 두께보다 클 수 있다는 것을 유의한다.

[0010] 또한, 상기 조립 부품은 상기 경사-스택 칩 패키지에 대한 경사 부품의 단단한 기계적 결합을 용이하게 할 수 있다. 이 경사 부품은 상기 수직 스택의 일 측에 배치될 수 있고, 상기 계단형 테라스를 따르는 방향과 대략 평행할 수 있고, 상기 계단형 테라스를 따르는 방향은 상기 반도체 다이들의 세트의 평면에서의 수평 방향과 상기 수직 스택을 따르는 수직 방향 사이에 있다.

[0011] 다른 실시예는 경사-스택 칩 패키지의 조립 방법을 제공한다. 이 방법 동안, 상기 경사-스택 칩 패키지 내의 반도체 다이의 최상위 표면에 접착제가 도포되고, 상기 경사-스택 칩 패키지에 있어서 반도체 다이들의 세트는 수직 스택으로 배열되고, 상기 수직 스택에 있어서 주어진 반도체 다이는 계단형 테라스를 정의하도록 상기 반도체 다이들의 세트의 평면에서 인접한 반도체 다이로부터 오프셋된다. 그 후, 조립 도구를 사용하여, 제2 반도체 다이가 상기 제2 반도체 다이의 최상위 표면에서 집어들어 진다. 그 다음, 상기 경사-스택 칩 패키지의 양측에 배열되는 계단형 테라스들의 쌍을 가진 조립 부품에서 주어진 단차에 의해 상기 조립 도구의 수직 위치가 제약되는 동안 상기 제2 반도체 다이의 최하위 표면이 상기 반도체 다이의 최상위 표면 상의 접착제 층에 배치되고, 상기 계단형 테라스들의 쌍에서의 단차들은 수직 레퍼런스 위치들을 제공한다.

[0012] 상기 도포하는 단계, 상기 집어드는 단계, 및 상기 배치하는 단계는 상기 경사-스택 칩 패키지를 조립하기 위해 반도체 다이들의 세트 내의 추가의 반도체 다이들에 대해 반복되고, 상기 경사-스택 칩 패키지가 조립될 때 상기 계단형 테라스들의 쌍 내의 단차들에 의해 상기 조립 도구의 수직 위치들이 제약된다는 것을 유의한다.

도면의 간단한 설명

[0013]

도 1은 본 개시의 실시예에 따라 칩 패키지를 조립하기 위한 조립 부품의 평면도를 도시하는 블록도이다.

도 2는 본 개시의 실시예에 따른 도 1의 조립 부품의 측면도를 도시하는 블록도이다.

도 3은 본 개시의 실시예에 따라 도 1 및 도 2의 조립 부품을 이용하는 칩 패키지의 조립의 측면도를 설명하는 블록도이다.

도 4는 본 개시의 실시예에 따라 도 1 및 도 2의 조립 부품을 이용하는 칩 패키지의 조립의 정면도를 도시하는 도면이다.

도 5는 본 개시의 실시예에 따라 조립된 칩 패키지의 측면도를 도시하는 블록도이다.

도 6은 본 개시의 실시예에 따라 조립된 칩 패키지의 평면도를 도시하는 블록도이다.

도 7은 본 개시의 실시예에 따라 도 1 및 도 2의 조립 부품을 이용하여 칩 패키지를 조립하기 위한 방법을 설명하는 흐름도이다.

도면 전반에 걸쳐 유사한 참조 번호들은 대응하는 부분들을 지칭함을 유의한다. 또한, 동일한 부분에 대한 복수의 경우들이 공통 접두어에 대시로 사례 번호를 분리하여 지정된다.

발명을 실시하기 위한 구체적인 내용

[0014]

조립 부품, 및 조립 부품을 이용하여 칩 패키지를 조립하기 위한 방법의 실시예들이 기술된다. 이 칩 패키지는 수직 방향으로 스택으로 배열되는 반도체 다이들의 세트를 포함하고, 이들은 수직의 스택의 일 측에서 계단형 테라스를 정의하기 위해 수평 방향으로 서로 오프셋된다. 더욱이, 칩 패키지는 수직 스택의 일 측에 배치되는 경사 부품을 포함하고, 이것은 계단형 테라스를 따르는 방향과 대략 평행하다. 이 칩 패키지는 조립 부품을 이용하여 조립될 수 있다. 특히, 조립 부품은 칩 패키지의 계단형 테라스를 대략 미러링하는 한 쌍의 계단형 테라스들을 포함할 수 있고, 이들은 칩 패키지의 조립 동안 수직 스택에 반도체 다이들의 세트를 배치하는 조립 도구를 위해 수직 위치 레퍼런스들을 제공한다.

[0015]

칩 패키지의 조립을 용이하게 함으로써, 조립 부품과 조립 기술들은 (고 대역폭 상호 접속부를 갖는 칩 패키지와 같은) 고성능 칩 패키지의 저비용, 고 처리량 제조를 가능하게 할 수 있다. 특히, 이러한 실시예들은 칩 패키지의 조립 동안 기계적 오차의 감소를 용이하게 할 수 있고, 칩 패키지 내의 부품들의 크기들 및 위치들의 기계적 변동들을 더 잘 견디는 칩 패키지를 용이하게 할 수 있다. 예를 들어, 이 실시예들을 이용하여 반도체 다이들의 세트는, 반도체 다이들과, 반도체 다이들 사이의 접착제 층들에 연관된 수직 위치 오차들(이것은 가끔 '수직 오차들'로서 언급됨) 미만인 스택에 걸친 전체 수직 위치 오차를 가진 칩 패키지로 조립될 수 있다. 이것은 (조립 동안 스택의 소정의 반도체 다이에 대해 직전 반도체 다이를 기계적으로 참조시키는 것 대신에) 칩 패키지에 각각의 반도체 다이를 배치하는 조립 도구에 대해 조립 부품을 독립적으로 참조시킴으로써 달성된다. 그러므로, 조립 부품, 및 연관된 조립 기술은 개별적 수직 위치 오차들이 합성되는 것을 방지할 수 있다.

[0016]

이제 우리는 조립 부품 및 칩 패키지의 실시예들을 설명한다. 도 1은 (가끔 '경사-스택 칩 패키지'로서 지칭되는 도 5 및 도 6의 칩 패키지(500)와 같은) 칩 패키지의 조립 동안 반도체 다이들(또는 칩들)을 배치 및 고정하기 위해 사용될 수 있는 조립 부품(100)(이것은 가끔 '제조 정착물'로서 지칭됨)의 평면도를 도시하는 블록도를 제시한다. 이 조립 부품은 한 쌍의 계단형 테라스들(112)을 포함하고, 이들은 분쇄기를 이용하여 제조될 수 있다. 이러한 계단형 테라스들은 조립 중인 경사-스택 칩 패키지의 양측에 있을 수 있다. 더욱이, (계단형 테라스(112-1)와 같은) 주어진 계단형 테라스는 수직 방향(116)으로 단차들(114)의 시퀀스를 포함한다(도 2). 단차(114-1)마다 단차들(114)의 시퀀스 중의 직전 단차로부터 오프셋 값들(120) 중 연관된 오프셋만큼 수평 방향(118)으로 오프셋된다는 것을 유의한다. 게다가, 오프셋 값들(120) 각각은 단차들(114)의 시퀀스에 대해 대략 일정한 값을 가질 수 있거나, 또는 단차들(114)의 시퀀스에 걸쳐 변화할 수 있다(즉, 한 쌍의 계단형 테라스들(112)에 있어서 상이한 단차들(114)에 대한 오프셋 값들이 상이할 수 있다).

[0017]

부가적으로, 조립 부품(100)의 측면도를 도시하는 블록도를 제시하는 도 2에 도시된 바와 같이, (단차(114-1) 또는 단차(114-N)에 대한 것과는 다른) 단차들(114)의 시퀀스와 연관된 수직 변위들(122) 각각은 대략 일정한 값을 가질 수 있거나, 또는 단차들(114)의 시퀀스에 걸쳐 변화할 수 있다(즉, 계단형 테라스들(112)에 있어서 상이한 단차들(114)에 대한 수직 변위들이 상이할 수 있다).

[0018]

이 조립 부품을 이용하는 칩 패키지의 조립의 측면도를 도시하는 블록도를 제시하는 도 3에 도시된 바와 같이, 계단형 테라스들의 쌍은 반도체 다이들(310)의 세트가 수직 방향(116)으로 스택(312)으로 배열되도록 반도체 다

이들(310)의 세트(예를 들어, 50개의 반도체 다이들(310))를 배치하는 조립 도구(308)와 결합하도록 구성될 수 있다. 수직 방향(116)은 스택(312) 내의 반도체 다이(310-1)와 (그리고, 따라서, 수평 방향(118)과도) 실질적으로 수직임을 유의한다. 또한, 반도체 다이(310-1) 이후의 각각의 반도체 다이는 스택(312) 내의 직전의 반도체 다이로부터 오프셋 값들(314) 중 연관된 값만큼 수평 방향(118)으로 오프셋될 수 있으며, 이에 의해 스택(312)의 일 측에서 계단형 테라스를 정의한다. 이러한 오프셋 값들은 반도체 다이들(310)의 세트에 대해 대략 일정한 값을 가질 수 있거나, 또는 반도체 다이들(310)의 세트에 걸쳐 변화할 수 있다(즉, 계단형 테라스(112-1)의 상이한 단차들에 대한 오프셋 값들은 상이할 수 있다).

[0019] 칩 패키지의 조립 동안, 계단형 테라스들의 쌍은, 소정의 쌍의 단차들(114)과 결합하는 조립 도구(308)의 수직 위치를 제약하는 동안(도 1 및 도 2), 조립 도구(308)는 소정의 반도체 다이의 최상위 표면에 기계적으로 결합되고(예를 들어, 소정의 반도체 다이는 진공을 이용하여 적소에 유지될 수 있음), 소정의 반도체 다이의 최하위 표면은 칩 패키지에 기계적으로 결합된다(예를 들어, 아교와 같은 접착제를 이용하여). 소정의 반도체 다이의 최하위 표면이 레퍼런스로서 이용되는 기준의 조립 기법들과는 달리, 최상위 표면을 레퍼런스로서 이용함으로써 이 조립 기법은 스택(312) 내의 위치 오차들을 야기할 수 있는 (평坦하지 않은 박막화와 연관된 두께(320)에 있어서의 변동들과 같은) 반도체 다이들(310)의 두께들의 변동들에 덜 민감할 수 있다. 특히, 계단형 테라스들의 쌍의 소정의 단차들의 쌍과 최상위 표면은 소정의 반도체 다이의 최하위 표면이 올바른 위치에 있도록 보장한다.

[0020] 소정의 반도체 다이는 최상위 표면에 솔더 패드들과 범프들을 포함할 수 있다는 것을 유의한다. 따라서, 반도체 다이들(310)을 정면이 아래로 되게 스택(312)으로 배치시킴으로써 칩 패키지를 조립하는 것은, 이것이 솔더 패드들 및 범프들을 손상시킬 수 있기 때문에, 가능하지 않을 수 있다(비록 이 배열이 또한 반도체 다이들(310)의 두께 변동들에 덜 민감할 것이라도). 그 대신에, 조립 도구(308)는 솔더 패드와 범프들이 위치하는 곳과는 다른 최상위 표면의 영역에서 소정의 반도체 다이를 집어들 수 있다. 게다가, 조립 도구(308)는 소정의 반도체 다이가 계단형 테라스들의 쌍을 접촉하지 않게 보장할 수 있다. 특히, 조립 도구(308)는 하나 이상의 에지들 상에 반도체 다이들(310)을 걸칠 수 있다. 이러한 (윙(328-1)과 같은) 소위 '윙들'은 계단형 테라스들의 쌍의 단차들에 대항하여 배치될 수 있는 강성 구조들일 수 있다. 이러한 단차들은 조립 도구(308)의 위치, 및 그러므로, 소정의 반도체 다이의 최상위 표면을 제어하는 강성 저지체들로서 작용한다. 이것은 칩 패키지(410)에 대한 조립 공정의 정면도를 도시하는 도면을 제시하는 도 4에 도시된다. 도 4에서, (아교와 같은) 접착제 충들(322)로 충전되는 반도체 다이들(310) 사이에 의도적인 캡들이 있을 수 있고, 이것은 반도체 다이들(310)의 두께의 변동을 용인할 수 있어서 그것이 최종 배치 정밀도 또는 위치 오차에 영향을 미치지 않도록 한다는 것을 유의한다. 그러나, 이 조립 기술은 이 반도체 다이가 계단형 테라스들의 쌍을 유지하는 정착물 상에 놓일 수 있기 때문에, 스택(312) 내의 반도체 다이(310-1)의 두께에 민감할 수 있다. 이 문제에 대한 하나의 해결책은 반도체 다이(310-1)에 대한 '더미' 다이를 이용하는 것이고, 이것은 스택(312) 내의 실제 반도체 다이들(310)을 낭비시키지 않고서 스택(312) 내의 제1 위치가 희생되게 해줄 것이다. 이 경우에, 스택(312)의 전체 높이는, 스택(312)이 동일 개수의 실제 반도체 다이들(310)을 포함하도록, 조절될 수 있다.

[0021] 추가적 반도체 다이들(310)이 배치될 때, 조립 도구(308)는, 수평 방향으로 오프셋을 가진 동평면 단차들의 새로운 세트 상에 놓일 때마다, 계단형 테라스들의 각각의 쌍을 따라 위로 그리고 뒤로 이동할 수 있다. 반도체 다이를 스택(312)으로 배치시키기 전에, 접착제 충이 스택(312) 내의 이전 반도체 다이의 최상위 표면 상에 피착될 수 있다. 기존의 조립 기법들과 대조적으로, 이러한 접착제 충들은 단지 칩 패키지를 조립할 때 한번 세팅될 필요만 있을 수 있다는 것을 유의한다.

[0022] 조립된 칩 패키지(500)의 측면도를 도시하는 블록도를 제시하는 도 5에 도시된 바와 같이, 조립 부품(100)(도 1 및 도 2)은 다음과 같은 점들에서 칩 패키지(500)의 조립을 용이하게 할 수 있다: 고-대역폭 경사 부품(512)이 단단하게 기계적으로 그리고 전기적으로 반도체 다이들(310)과 결합됨에 의해, 반도체 다이들(310) 사이의 통신을 용이하게 하고 반도체 다이들(310)에 전력을 공급한다; 경사 부품(512)이 스택(312)(도 3)의 일 측에 배치된다; 그리고 경사 부품(512)이 계단형 테라스(112-1)(도 3)를 따라, 수평 방향(118)과 수직 방향(116) 사이인, (각도(516)의) 방향(514)과 대략 평행하다.

[0023] 도 3을 다시 참조하면, 조립을 용이하게 하기 위해, 계단형 테라스들의 쌍은 대략 계단형 테라스(112-1)의 미리 이미지일 수 있다. 또한, 반도체 다이들의 세트(310) 내의 소정의 반도체 다이는 공칭 두께(320)를 가질 수 있으며, 단차들의 시퀀스(114) 내의 소정의 단차의 수직 변위는(도 1 및 도 2) 공칭 두께(320)보다 클 수 있다(또는 그것은 반도체 다이들(310) 중 임의의 것의 최대 두께보다 클 수 있다). 그러나, 일부 실시예들에서, 스택(312) 내의 반도체 다이들(310) 중 적어도 일부의 두께는 상이할 수 있음을 유의한다(예를 들면, 스택(312)에

걸쳐 두께가 변화할 수 있다).

[0024] 예시적 실시예에서, 수직 변위들(122)(도 2) 각각은 공칭 두께(320) $150 \pm 5 \mu\text{m}$ 에 대하여 $160 \mu\text{m}$ 이다. (그러나, 기타 실시예들에서 두께(320)는 $90 \mu\text{m}$ 과 같은, 30과 $250 \mu\text{m}$ 사이일 수 있다). 두께(320)에 대해 상대적이 추가적 수직 변위는 접착제 층들(322)의 접착제가 조립 동안 퍼지게 해줄 수 있다. 공칭 두께(320) $150 \mu\text{m}$ 에 대해, 각도(516)(도 5)는 15° 와 20° 사이일 수 있다는 것을 유의한다. 일반적으로, 공칭 두께(320)는 스택(312) 내의 반도체 다이들(310)의 개수에 부분적으로 의존한다. 게다가, 접착제 층들(322)의 공칭 두께(324)는 $10 \mu\text{m}$ 일 수 있다는 것을 유의한다. 그러나, 기타 실시예들에서 접착제 층들(322)의 두께는 스택(312) 내의 수직 방향(116)에 따라 변화할 수 있다. (접착제 층들(322)은 스택(312) 내의 수직 위치 오차들에 대한 용인을 제공할 수 있다는 것을 유의한다).

[0025] 또한, 계단형 테라스들(112)의 쌍(도 1 및 도 2) 내의 주어진 단차에서의 오프셋 값은 계단형 테라스(112-1) 내의 연관된 오프셋 값 이상일 수 있다. 일반적으로, 오프셋 값들(120)(도 1 및 도 2) 및 오프셋 값들(314)은 도 5의 방향(514)(또는 각도(516)) 및 경사 부품(512)(도 5)을 반도체 다이들의 세트(310)에 단단하게 기계적으로 결합시키기 위해 이용되는 (도 5의 솔더 볼(518)과 같은) 솔더의 공칭 두께에 기초하여 결정될 수 있다. 솔더의 두께는 스택에 걸쳐 대략 일정할 수 있거나, 또는 스택에 걸쳐 (즉, 수직 방향(116)을 따라) 변화할 수 있다는 것을 유의한다.

[0026] 조립 부품(100)(도 1 및 도 2)이 (두께(320)와 같은) 반도체 다이들(310)의 두께들의 변동들에 대한 칩 패키지의 민감도를 감소시키기 때문에, 조립 부품(100)(도 1 및 도 2)은, 반도체 다이들(310)의 세트와 반도체 다이들(310) 사이의 (150° 에서 10° 만에 경화되는 에폭시 또는 아교와 같은) 접착제 층들(322)과 연관된 수직 오차들의 합 미만인, 수직 방향(116)의 반도체 다이들(310)의 세트에 걸쳐 누적된 위치 오차(즉, 스택(312)에 걸쳐 반도체 다이들의 수직 위치들의 누적된 위치 오차)를 가진 반도체 다이들(310)의 세트의 조립을 용이하게 할 수 있다. 예를 들어, 누적된 수직 위치 오차는 다음과 연관될 수 있다: 반도체 다이들(310)의 두께 변동, 접착제 층들(322)의 두께 변동, 및/또는 접착제 층들(322)의 적어도 일부에서의 (압축된 그라파이트 파이버들과 같은) 옵션적 열-확산 물질(326)의 두께 변동. 일부 실시예들에서, 누적된 수직 위치 오차는 ($1 \mu\text{m}$ 미만과 같은) 몇 미크론일 수 있고, $0 \mu\text{m}$ 만큼 작을 수 있다. 예시적 실시예에 있어서, 소정의 반도체 다이의 수직 위치 오차는 ± 10 내지 $20 \mu\text{m}$ 이다. 일부 실시예들에서, 이것은 도 1 및 도 2의 조립 부품(100) 및/또는 반도체 다이들(310) 상의 (기준 마커들과 같은) 광학적 얼라인먼트 마커들과 함께 칩 패키지(500)(도 5)를 조립하기 위해 (픽-앤판-플레이스 머신(pick-and-place machine)에 결합될 수 있는) 조립 도구를 이용하여 달성될 수 있다. 대안적으로 또는 부가적으로, 일부 실시예들에서, 도 1 및 도 2의 조립 부품(100)은 폴리이미드를 이용하여 제조된 기계적 저지체들과 같은 기계적 저지체들을 포함하고, 조립 도구는 도 5의 칩 패키지(500)의 조립 동안 이 기계적 저지체들에 대고 밀어질 수 있으며, 이에 의해 수평 방향(118) 및/또는 수직 방향(116)으로 원하는 허용 오차들을 용이하게 할 수 있다.

[0027] 일부 실시예들에서, 위치 오차들은 수직 및/또는 수평 레퍼런스들을 제공하는 로컬 위치결정 시스템을 이용하여 조립 부품(100)(도 1 및 도 2)에 대해 조립 도구를 수평하게 함으로써 더 감소된다. 또한, 도 1의 일부 실시예들에서, 계단형 테라스들(112)의 쌍과 동일 평면에 있는 제3 계단형 테라스가 있지만, 이것은 계단형 테라스들(112)의 쌍으로부터 수평으로 오프셋된다. 계단형 테라스들(112)의 쌍과 관련하여, 이 제3 계단형 테라스는 삼-포인트 평면을 제공할 수 있고, 이 평면 상에 조립 도구가 놓이고, 조립 도구가 자체-수평화할 때 이 평면을 레퍼런스로서 이용하여, 이에 의해 도 5의 경사-스택 칩 패키지(500)가 조립될 때 반도체 다이들(310)의 위치 정밀도를 향상시킨다.

[0028] 다시 도 5를 참조하여, 수직 방향(116)의 기계적 얼라인먼트 오차들을 수용하기 위해, 솔더 범프들 또는 패드들(예컨대, 솔더 패드(522-1) 및/또는 솔더 패드(522-2)) 및/또는 솔더 볼(518)의 높이와 피치는 수직 방향(116)을 따라 반도체 다이들(310) 중 적어도 일부의 사이에서 변화할 수 있음을 유의한다. 예를 들어, 거리(520)(즉, 반도체 다이(510-1)를 위한 소우 레인(saw lane)의 중심에 대한 솔더 패드(522-1)의 위치)는 $60 \mu\text{m}$ 일 수 있고, 솔더 패드들(522)은 각각 $80 \mu\text{m}$ 의 폭을 가질 수 있다. 또한, (예를 들어, 솔더 볼(518)과 같은) 솔더 볼들은 리플로우 또는 용융 전에 $120 \mu\text{m}$ 의 직경을 가질 수 있고, 용융 후에는 대략 40 과 $60 \mu\text{m}$ 사이의 대략적인 두께를 가질 수 있다. 일부 실시예들에서, 두 행 이상의 솔더 볼들이 경사 부품(512)을 소정의 반도체 다이에 단단하게 결합시킬 수 있다.

[0029] 도 6은 스택(312)(도 3)이 네 개의 반도체 다이들(310)을 포함하는 조립된 칩 패키지(500)의 평면도를 도시하는 블록도를 제시한다. 칩 패키지(500)의 이러한 뷰는, 일부 실시예들에서, 솔더 패드들(610)이 직사각형이 아닐

수 있다는 것을 도시한다. 예를 들면, 솔더 패드들(610)은 $80\mu\text{m}$ 폭과 $120\mu\text{m}$ 길이인 것들과 같은 타원 형태를 가질 수 있다. 반도체 다이들(310) 및/또는 경사 부품(512) 상의 이러한 솔더 패드 형태들은 일부 수평 및/또는 수직 위치 오차들을 용인할 수 있다.

[0030] 일부 실시예들에서, 솔더 패드들은 경사 부품(512)의 에지로 이동될 수 있다. 이것은 수직 배향을 용이하게 할 수 있다(즉, 각도(516)는 도 5에서 0° 일 수 있음). 이 구성은 입력/출력(I/O) 신호 라인들 및 전력 라인들과 연관된 콘택트들 또는 패드들이 ('척추'를 따라 대신에) 경사 부품의 에지에 있는 메모리 모듈을 용이하게 할 수 있다. 이러한 방식으로, 경사 부품 내의 확산 층들의 개수가 감소될 수 있다. 예를 들어, 이 메모리 모듈 내의 경사 부품(512)의 에지를 따라 60개의 콘택트들 또는 패드들이 있을 수 있다.

[0031] 칩 패키지(500)의 조립 동안의 스택 공정이 (도 3의 스택(312)의 바로 이전의 반도체 다이와 대향하는) 도 1 및 도 2의 조립 부품(100)을 참조하게 해줌으로써, 이 조립 부품은 칩 패키지(500) 내의 부품들의 크기들 및 두께들의 기계적 변동들과 연관된 수평 및/또는 수직 위치 오차들을 효과적으로 감소시킬 수 있다. 예를 들어, 반도체 다이들(310)의 수직 위치 오차들은 각각 $\pm 20 \mu\text{m}$ 미만일 수 있다. 따라서, 도 1 및 도 2의 조립 부품(100)은 칩 패키지(500)의 고도로 정밀한 그리고 고수율의 조립을 용이하게 할 수 있다. 또한, 이 조립 부품은 (픽-앤파-플레이스 머신과 같은) 대용량 및 저비용의 제조 기술들의 이용을 용이하게 하기 때문에, 칩 패키지(500)의 비용을 크게 감소시킬 수 있다.

[0032] 또한, 저비용 고수율의 칩 패키지들을 조립하는 능력은 고성능 디바이스들을 용이하게 할 수 있다. 예를 들면, 일부 실시예들에서, 경사-스택 칩 패키지(예컨대, 칩 패키지(500))는 듀얼 인-라인 메모리 모듈에 포함된다. 예를 들어, 경사-스택 칩 패키지에는 (다이내믹 랜덤 액세스 메모리 또는 다른 타입의 메모리 저장 디바이스와 같은) 최대 80개의 메모리 디바이스가 있을 수 있다. 필요하다면, '불량' 또는 고장 메모리 디바이스들이 무력하게 될 수 있다. 그러므로, (80개 중에서) 72개의 메모리 디바이스들이 이용될 수 있다. 게다가, 메모리 소자들 중 임의의 것에 액세스할 때 거의 또는 전혀 대기 시간 지연이 없도록 하기 위해, 이 구성은 메모리 모듈 내의 메모리 디바이스들의 전체 대역폭을 노출할 수 있다.

[0033] 대안적으로, 듀얼 인-라인 메모리 모듈은 각각이 경사-스택 칩 패키지를 포함할 수 있는 여러 필드를 포함할 수 있다. 예를 들어, 듀얼 인-라인 메모리 모듈에 (각각이 9개의 메모리 디바이스를 포함하는) 4개의 경사-스택 칩 패키지들이 존재할 수 있다.

[0034] 일부 실시예들에서, 이러한 듀얼 인-라인 메모리 모듈들 중 하나 이상은 (이것은 하나 이상의 경사-스택 칩 패키지들을 포함할 수 있는) 프로세서에 결합될 수 있다. 예를 들어, 프로세서는 용량적으로 결합된 신호들의 용량 근접 통신(PxC)을 이용하여 하나 이상의 듀얼 인-라인 메모리 모듈들에 결합될 수 있다. 차례로, 프로세서는 C4 솔더 볼들을 이용하여 기판에 실장될 수 있다.

[0035] 일부 실시예들에서, 반도체 다이들의 평면에서 움직임을 허용하지 않으면서, 조립 도구는 수직적으로 이동하기 위한 능력과 텁트 커플라이언스를 갖는다. 대안적으로, (컵에 앉은 로드의 단부의 단단한 구와 같은) 볼 조인트가 이용될 수 있다. 이 볼 조인트는 모든 세 개의 회전 축들에 대한 어떤 회전을 고려한 조인트를 제공할 수 있지만, 평행 이동을 허용하지 않는다. 조립 도구를 위해, 로드는 픽-앤파-플레이스 머신에 부착하는 장착 샤프트일 수 있고, 컵은 피벗 포인트가 반도체 다이에 가능한 한 가깝도록 픽 표면(pick surface) 내부에 배치될 수 있다. 이 배열은 픽-앤파-플레이스 머신의 표면이 조립 도구와 만나도록 경사지도록 해줄 수 있지만, 이것은 평행 이동을 지원하지 않을 수 있다. 볼 조인트가 수직 방향으로 어떤 커플라이언스도 갖지 않을 수 있다는 것을 유의한다. 그러나, 조립 도구가 장착 샤프트를 중심으로 회전할 수 있도록 하기 위해, 볼 조인트는 모든 세 개의 회전 축들을 따라 회전을 허용할 수 있다. 또 다른 가능성은 구면 베어링이고, 이것은 픽-앤파-플레이스 머신의 표면 상의 작은 컵 내부에 볼을 트랩하는 것 대신에, 픽-앤파-플레이스 머신의 전체 표면이 더 큰 구면 내부에 있을 수 있다는 것을 제외하고, 볼 조인트와 유사하다. 이 구면은 심지어 더 큰 구면 내부에 포함될 수 있고, 이것은 두 개의 구면들이 서로에 대해 회전하도록 허용할 수 있다. 볼 조인트와 마찬가지로, 구면 베어링은 모든 세 개의 회전 축들을 따라 원하는 회전을 허용하지만, 조립 도구의 바람직하지 않은 평행 이동을 허용하지 않는다.

[0036] 이제 우리는 조립 기술들의 실시예들을 설명한다. 도 7은 조립 부품(100)(도 1 및 도 2)을 이용하여 칩 패키지를 조립하기 위한 방법(700)을 도시하는 흐름도를 제시한다. 이 방법 동안, 접착제는 반도체 다이들의 세트가 수직 스택으로 배열되는 경사-스택 칩 패키지의 반도체 다이의 최상위 표면에 도포되고(동작 710), 여기서 수직 스택 내의 소정의 반도체 다이는 계단형 테라스를 정의하기 위해 반도체 다이들의 세트의 평면 내에서 인접한 반도체 다이로부터 오프셋된다. 그 후, 조립 도구를 이용하여, 제2 반도체 다이가 제2 반도체 다이의 최상위

표면에서 꾹입된다(동작 712). 다음으로, 제2 반도체 다이의 최하위 표면은 반도체 다이의 최상위 표면 상의 접착제 상에 배치되면서, 조립 도구의 수직 위치가 경사-스택 칩 패키지의 양측에 배열되는 한 쌍의 계단형 테라스들을 가진 조립 부품의 소정의 단차에 의해 제약되고(동작 714), 여기서 계단형 테라스들의 쌍에서의 단차들은 수직 기준 위치들을 제공한다.

[0037] 방법(700)의 일부 실시예들에서, 추가적이거나 더 적은 동작들이 있을 수 있다. 예를 들면, 스택은 반도체 다이 서브세트를 포함하는 부분들로 조립될 수 있으며, 이 부분들은 나중에 폴 스택으로 결합된다. 또한, 경사 부품은 반도체 다이 및 제2 반도체 다이에 단단히 기계적으로 결합될 수 있고, 여기서 경사 부품은 수직 스택의 일 층 상에 배치되고, 여기서 경사 부품은 수평 방향과 수직 방향 사이에 있는 계단형 테라스를 따르는 방향과 대략 평행하다.

[0038] 게다가, 단단하게 기계적으로 경사 부품을 반도체 다이 및 제2 반도체 다이에 결합하는 것은, 경사 부품 및/또는 반도체 다이 및 제2 반도체 다이 상의 솔더를 용융하는 것을 수반할 수 있다. 솔더를 리플로우할 때, 경사 부품이 스택 상에 배치될 수도 있고, 그 역으로도 될 수 있다. 이것은 경사 부품(또는 반도체 다이들의 스택)의 중량이 솔더의 표면 장력을 극복하는 것을 돋게 해줄 수 있다.

[0039] 경사 부품을 반도체 다이 및 제2 반도체 다이에 단단하게 기계적으로 결합할 때, 수직 방향으로 압축력이 인가될 수 있음을 유의한다. 이것은 조립된 칩 패키지가 원하는 높이를 갖는 것을 보장할 수 있다. 일부 실시예들에서, 압축력은 경사 부품에 수직으로 인가된다. 이 압축력들 중 어느 것이든 예를 들면, 칩 패키지 내의 부품들 간의 캡들을 충전하거나 줄임으로써, 스택 내의 열 전달을 향상시킬 수 있다.

[0040] 게다가, 도 7의 동작들의 순서가 변경될 수 있고/있거나 두 개 이상의 동작들이 단일 동작으로 결합될 수 있다.

[0041] 조립 부품(100)(도 1 및 도 2)과 칩 패키지(500)(도 5 및 도 6)는 더 적은 부품들 또는 추가 부품들을 포함할 수 있음을 유의한다. 예를 들어, 경사 부품 상의 반도체 다이들 중 하나 이상을 위한 솔더 패드들을 포함하지 않음으로써, 경사-스택 칩 패키지 내의 반도체 다이들의 스택에서 정의되는 브레이크들이 존재할 수 있다. 또한, 이러한 디바이스들 및 시스템들은 다수의 별개의 아이템들을 갖는 것으로 예시되지만, 이러한 실시예들은 본 명세서에 설명되는 실시예들의 구조적 도식이 아니라, 제시될 수 있는 다양한 특징들의 기능적 설명이 되도록 의도된다. 따라서, 이러한 실시예들에서, 두 개 이상의 부품들이 단일 부품으로 결합될 수 있고/있거나 하나 이상의 부품들의 위치가 변경될 수 있다.

[0042] 앞선 실시예들은 칩 패키지 내의 (실리콘과 같은) 반도체 다이를 사용하지만, 다른 실시예들에서는, 반도체가 아닌 상이한 물질이 이러한 칩들 중 하나 이상의 기판 물질로서 사용될 수 있다. 그러나, 실리콘이 사용되는 실시예들에서, 반도체 다이들(310)(도 3 내지 도 6)은 표준 실리콘 처리를 사용하여 제조될 수 있다. 이러한 반도체 다이들은 로직 및/또는 메모리 기능성을 지원하는 실리콘 영역을 제공할 수 있다.

[0043] 또한, 도 5 및 도 6에서 경사 부품(512)은, 반도체 다이들(310)에 전기적 결합하기 위해 금속 트레이스들을 갖는 플라스틱 기판과 같은 수동 부품일 수 있다. 예를 들어, 경사 부품(512)은 사출-성형 플라스틱을 이용하여 제조될 수 있다. 대안적으로, 경사 부품(512)은 리소그래피로 정의되는 배선들 또는 신호 라인들을 가진 다른 반도체 다이일 수 있다. 경사 부품(512)이 반도체 다이를 포함하는 실시예들에서, 한계 증폭기들과 같은, 능동 디바이스들이 신호 라인들 간의 크로스토크를 감소시키기 위해 포함될 수 있다. 추가로, 차동 시그널링(differential signaling)을 이용하여 능동 또는 수동 경사 부품(512) 중 어느 것에서 크로스토크를 감소시킬 수 있다.

[0044] 일부 실시예들에서, 경사 부품(512)은 (솔더 볼(518)과 같은) 솔더 볼들을 통해 반도체 다이들(310) 간에 데이터와 전력 신호들을 왕복이송하는 트랜지스터들과 배선들을 포함한다. 예를 들어, 경사 부품(512)은 고전압 신호들을 포함할 수 있다. 이러한 신호들은, 강압 레귤레이터(예컨대 커페시터-대-커페시터 강압 레귤레이터) 뿐만 아니라 반도체 다이들(310)에 결합되기 위한 커페시터 및/또는 인덕터 개별 부품들을 이용하여 반도체 다이들(310)에서 사용하기 위해 강압될 수 있다.

[0045] 또한, 경사 부품(512)은 메모리용 버퍼 또는 로직 칩 및/또는 외부 디바이스(들) 및/또는 시스템(들)에 대한 I/O 커넥터를 포함할 수 있다. 예를 들어, I/O 커넥터들은, 외부 디바이스에 결합하기 위한 볼 본드들, 와이어 본드들, 에지 커넥터들, 및/또는 PxC 커넥터들 중 하나 이상을 포함할 수 있다. 일부 실시예들에서, 이러한 I/O 커넥터들은 경사 부품(512)의 후면 상에 있을 수 있으며, 경사 부품(512)은 I/O 커넥터들을 솔더 패드(522-2)와 같은 솔더 패드들에 결합하는 하나 이상의 TSV들(through-silicon vias)을 포함할 수 있다.

[0046] 일부 실시예들에서, 칩 패키지(500) 내의 경사 부품(512)과 반도체 다이들(310)은 옵션적인 기판(예컨대 인쇄

회로 기판 또는 반도체 다이) 상에 실장된다. 이 옵션적 기판은, 외부 디바이스에 결합하기 위한 볼 본드들, 와이어 본드들, 에지 커넥터들, 및/또는 PxC 커넥터들을 포함할 수 있다. 이러한 I/O 커넥터들이 옵션적인 기판의 후면 상에 있다면, 옵션적인 기판은 하나 이상의 TSV들(through-silicon vias)을 포함할 수 있다.

[0047] 앞선 실시예들에서 경사 부품(512)과 반도체 다이들(310)의 전기적 및 기계적 결합의 예로서 솔더 볼들이 사용되지만, 다른 실시예들에서 이러한 부품들은, 마이크로-스프링들, (아래에 기술되는 구멍-내의-볼 구성에서) 마이크로스피어들 및/또는 (가끔 '이방성 도전 필름'으로서 지칭되는 이방성 탄성 필름과 같은) 이방성 필름과 같은 다른 기법들을 이용하여 전기적으로 그리고/또는 기계적으로 결합될 수 있다.

[0048] 칩 패키지들 내의 부품들이 (예컨대 다음의 것들 사이의 PxC와 같은: 경사 부품(512)과 반도체 다이들(310), 경사 부품(512)과 외부 디바이스, 경사 부품(512)과 옵션적 기판, 옵션적 기판과 반도체 다이들(310), 및/또는 옵션적 기판과 외부 디바이스) 전자기적 결합 신호들의 PxC로 통신하는 실시예들에서, PxC는, 용량적으로 결합된 신호들의 통신(이것이 '전기적 근접 통신'으로서 지칭됨), 광학적으로 결합된 신호들의 통신(이것이 '광학적 근접 통신'으로서 지칭됨), 전자기적 결합 신호들의 통신(이것이 '전자기 근접 통신'으로서 지칭됨), 유도적으로 결합된 신호들의 통신 및/또는 도전적으로 결합된 신호들의 통신을 포함할 수 있다.

[0049] 일반적으로, 결과적인 콘택트들의 임피던스는 도전성 및/또는 용량성일 수 있고, 즉, 동일-위상 부품 및/또는 다른-위상 부품을 포함하는 복소 임피던스를 가질 수 있다. (솔더, 마이크로스프링, 이방성 층 등과 같은) 전기 콘택트 메커니즘과 관계없이, 콘택트들에 연관된 임피던스가 도전성인 경우, 종래의 송신 및 수신 I/O 회로들이 칩 패키지(500) 내의 부품들에 이용될 수 있다. 그러나, 복소(및, 아마도, 가변) 임피던스를 갖는 콘택트들의 경우, 송신 및 수신 I/O 회로들은 2009년 4월 17일자로 출원되고, 대리인 관리 번호가 SUN09-0285이고, 발명의 명칭이 "Receive Circuit for Connectors with Variable Complex Impedance"이며, 출원인 Robert J. Drost 등에 의한 미국 특허출원 제12/425,871호에 설명되는 하나 이상의 실시예들을 포함할 수 있으며, 그 내용들은 참조로서 본 명세서에 포함된다.

[0050] 패키지화 및 어셈블리 전에 대규모 테스트에 대한 높은 비용 또는 낮은 반도체 다이 수율들에 직면한 경우, 일부 재작업을 허용하는 패키징 기법들이 더 비용 효율적이라는 점에 유의한다. 따라서, 반도체 다이들(310)과 경사 부품(512) 사이의 기계적 및/또는 전기적 결합이 재결합 가능한(remateable) 실시예들에서, 칩 패키지(500)의 수율은 (조립, 테스트, 또는 번-인 동안 식별되는 불량 칩을 대체하는 것과 같은) 재작업을 허용함으로써 증가할 수 있다. 이러한 점에서, 재결합 가능한 기계적 또는 전기적 결합은 재작업 또는 가열(솔더 경우와 같은)을 필요로 하지 않고 반복적으로(즉, 2회 이상) 확립 및 파괴될 수 있는 기계적 또는 전기적 결합이라고 해석하여야 한다. 일부 실시예들에서, 재결합 가능한 기계적 또는 전기적 결합은 (함께 결郃 잡기는 부품들과 같은) 서로 결합하도록 설계된 수(male) 부품과 암(female) 부품을 수반한다.

[0051] 도 5 및 도 6이 칩 패키지(500)의 특정 구성을 나타내지만, 조립 부품(100)(도 1 및 도 2)을 이용하거나 이용하지 않는 기계적 얼라인먼트 및 조립을 구현하기 위해 다수의 기법들 및 구성들이 이용될 수 있다. 예를 들면, 반도체 다이들(310) 및/또는 경사 부품(512)은 구멍-내의-볼 얼라인먼트 기법(및 더 일반적으로, 포지티브-피쳐-인-네거티브-피쳐(positive-feature-in-negative-feature) 얼라인먼트 기법)을 이용하여 서로에 대해 상대적으로 배치될 수 있다. 특히, 볼들은 스택(312)(도 3) 내의 반도체 다이들(310)과 같은 부품들을 상대적으로 얼라인하기 위해 애치 구멍들(etch pits)에 배치될 수 있다. 포지티브 피쳐들의 다른 예들은 반구형의 범프들을 포함한다. 그러나, 칩 패키지(500) 내의 부품들 상에 포지티브 표면 피쳐와 네거티브 표면 피쳐를 기계적으로 잡그는 임의의 결합이 칩 패키지(500)를 얼라인 및/또는 조립하기 위해 이용될 수 있다.

[0052] 도 3을 참조하면, 일부 실시예들에서 앞서 언급한 바와 같이 옵션적인 열 확산 물질(326)(및 더 일반적으로는, 높은 열전도성을 갖는 반도체 다이들(310) 사이의 중간 물질)이, 하나 이상의 반도체 다이들(310) 및/또는 경사 부품(512)(도 5 또는 도 6) 상의 회로들의 동작 중에 발생되는 열을 제거하는 것을 도울 수 있다. 이 열 관리는 다음의 열 경로들 중 임의의 것을 포함할 수 있다: 반도체 다이들(310)의 평면 내의 제1 열 경로; 접착제 층들(322)의 평면 내의 제2 열 경로; 및/또는 옵션적 열-확산 물질(326)의 평면 내의 제3 열 경로. 특히, 이러한 열 경로들과 연관되는 열 플럭스(thermal flux)는 칩 패키지의 에지에서의 열 결합(thermal coupling)을 통해 서로 독립적으로 관리될 수 있다. 이 열 관리는 위상 변화 냉각, 침지 냉각 및/또는 냉각 플레이트의 사용을 포함할 수 있다는 것을 유의한다. 또한, 칩 패키지의 에지에서의 단면 영역을 통해 확산되는 제1 열 경로와 연관되는 열 플럭스는 공칭 두께(320)의 함수임을 유의한다. 그러므로, 열 관리는 반도체 다이들(310)의 더 크거나 더 작은 공칭 두께들을 가진 칩 패키지들에서 상이할 수 있다.

[0053] 칩 패키지(500)(도 5 및 도 6)의 적어도 일부 주위로 옵션적인 캡슐화가 있을 수 있음을 유의한다. 또한, 열

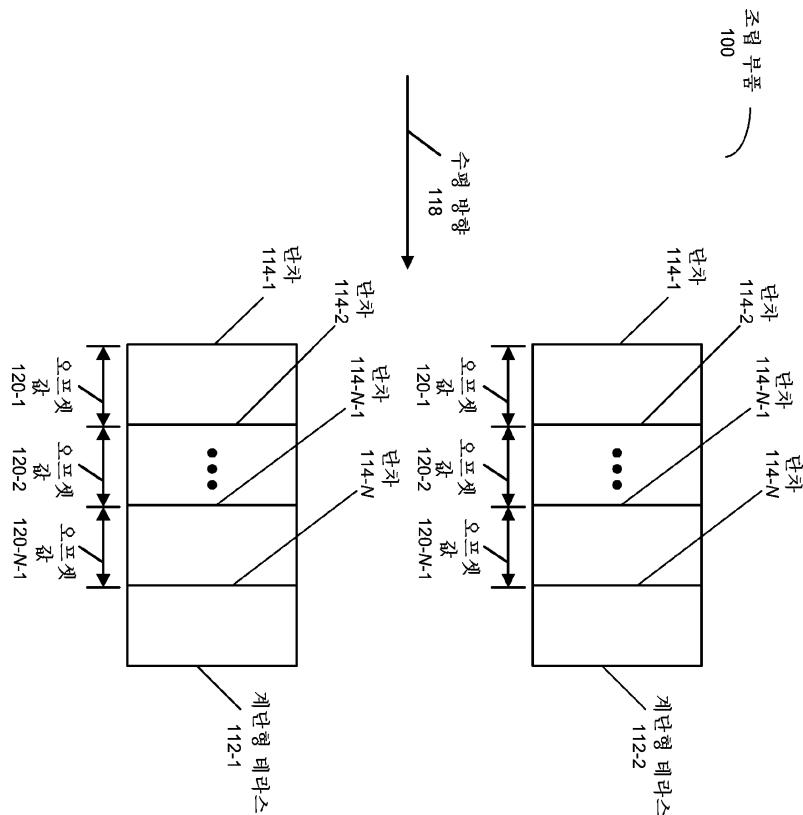
제거를 개선하기 위해 칩 패키지(500)(도 5 및 도 6) 내의 부품들 사이의 에어 캡들이 언더필될 수 있다. 이것은 도 5에서의 각도(516)를 감소시킴으로써 용이해질 수 있으며, 즉, 반도체ダイ들(310)은 수직 방향(116)을 향하여 더 기울여질 수 있다.

[0054]

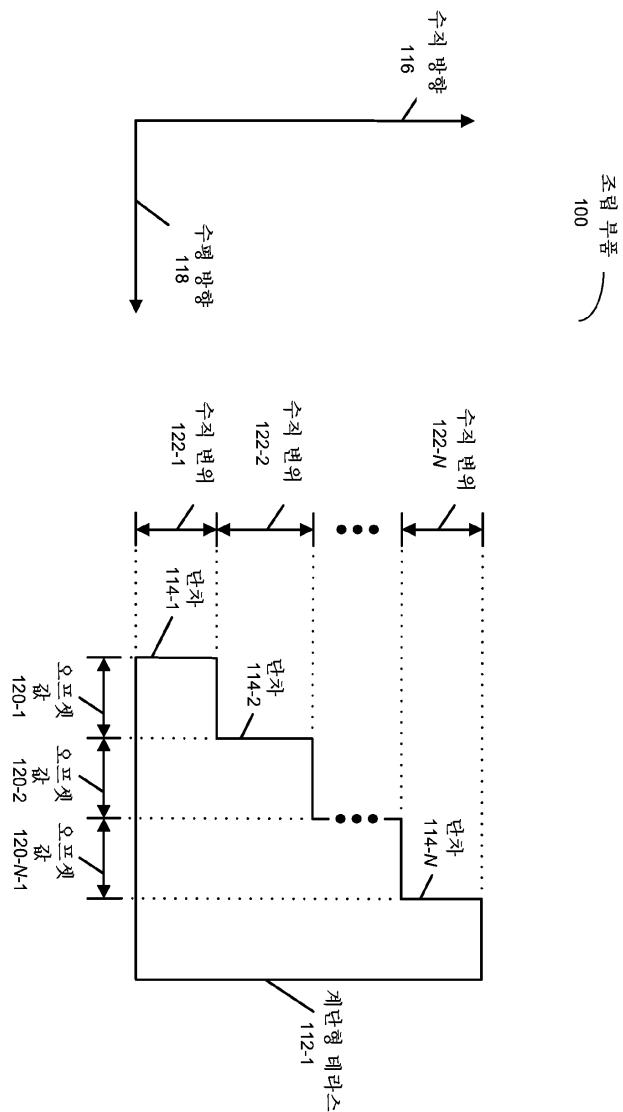
전술한 설명은 본 분야의 통상의 기술자가 본 개시를 만들고 이용할 수 있게 하기 위해 의도되고, 특정 응용 및 그것의 요건들과 관련하여 제공된다. 더욱이, 본 개시의 실시예들의 전술한 설명들은 단지 예시 및 설명을 위해 제시되었다. 그들은 총망라적이거나, 또는 본 개시를 개시된 형태들로 제한하고자 의도되지 않는다. 따라서, 많은 수정들과 변형들이 본 분야의 통상의 기술자들에게 명백할 것이고, 본 명세서에서 정의되는 일반적인 원리들은 본 개시의 사상과 범위로부터 벗어나지 않고서 다른 실시예들 및 응용에 적용될 수 있다. 또한, 앞선 실시예들의 논의는 본 개시를 제한하고자 의도되지 않는다. 그러므로, 본 개시는 나타내어진 실시예들로 제한되도록 의도되지 않지만, 본 명세서에 개시된 원리들 및 특징들과 부합하는 최대 범위가 부여되어야 한다.

도면

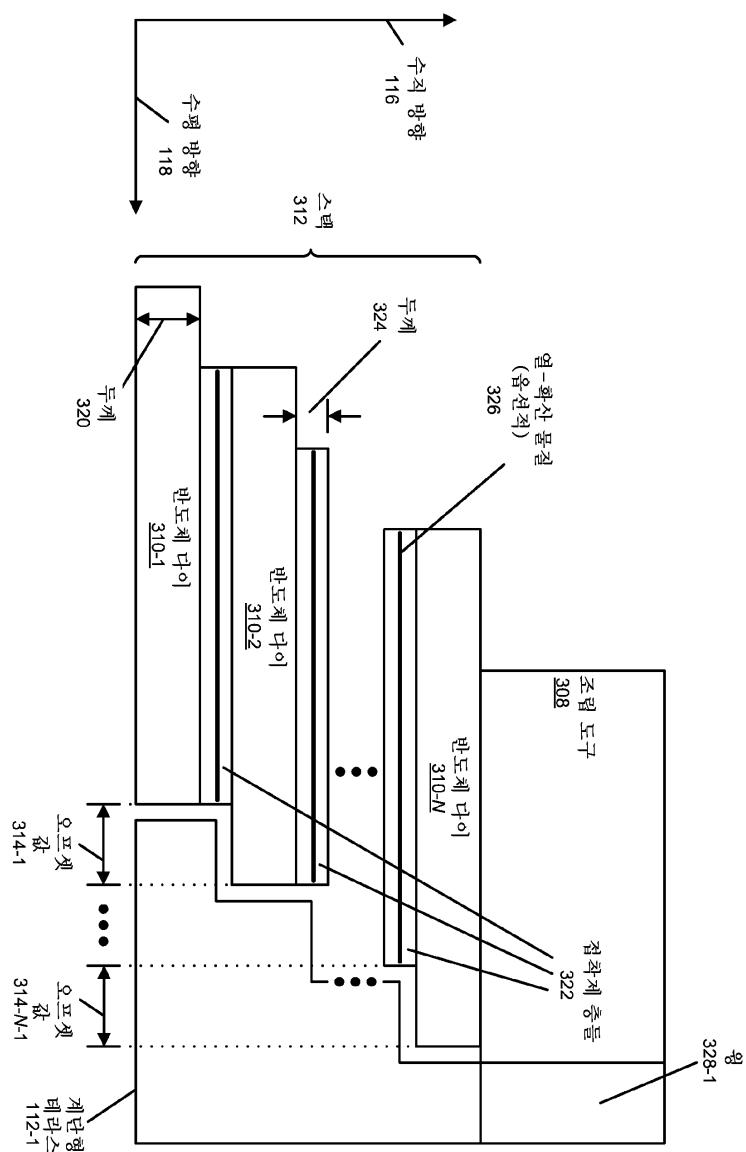
도면1



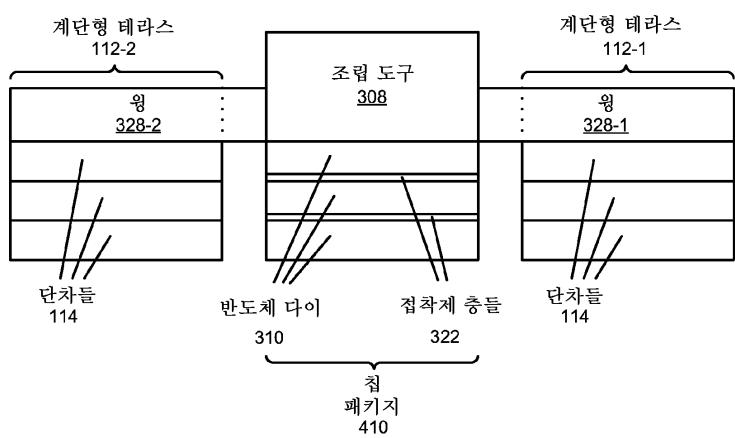
도면2



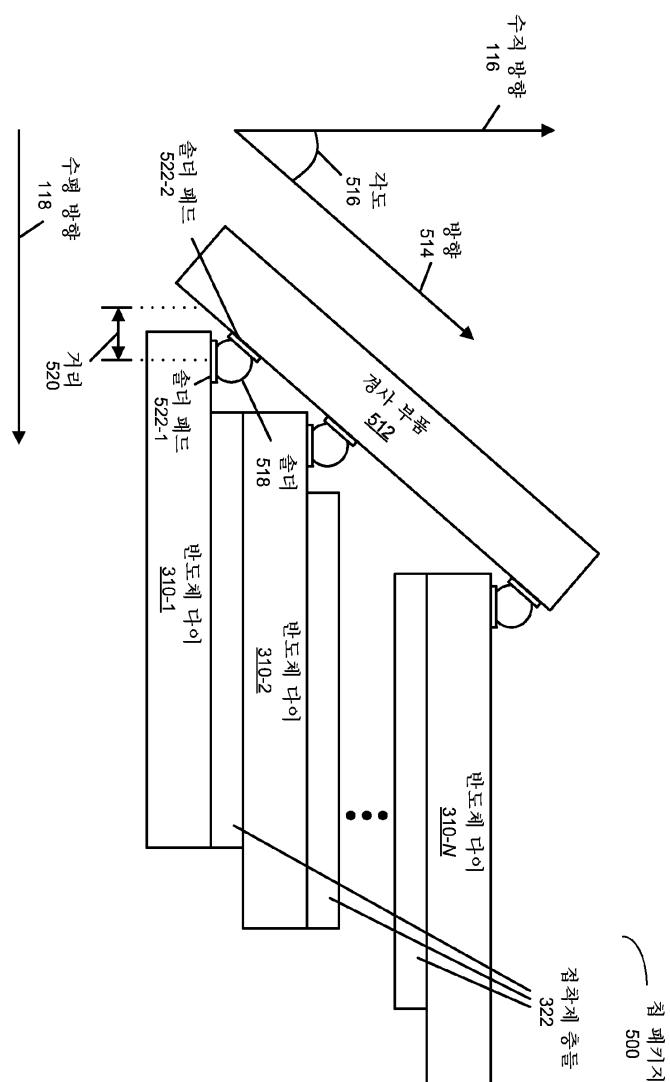
도면3



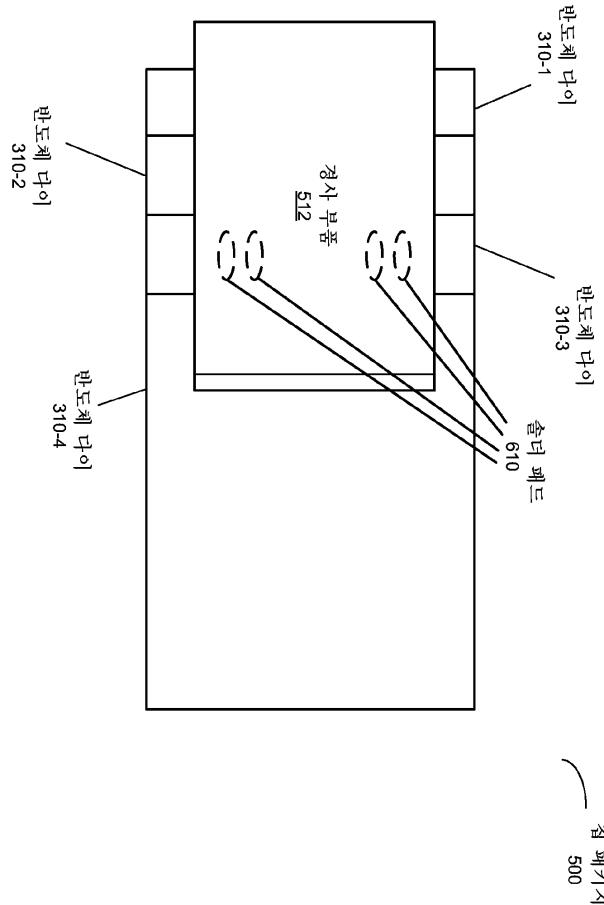
도면4



도면5



도면6



도면7

