



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0049370
(43) 공개일자 2018년05월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0842 (2013.01)

(21) 출원번호 10-2016-0143997

(22) 출원일자 2016년10월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
임명기

경기도 안산시 상록구 반석로 44 107동 1803호 (본오동, 신안1차아파트)

우경돈

경기도 파주시 한빛로 67 210동 1103호 (야당동, 한빛마을2단지휴먼빌레이크팰리스)

(뒷면에 계속)

(74) 대리인

특허법인로알

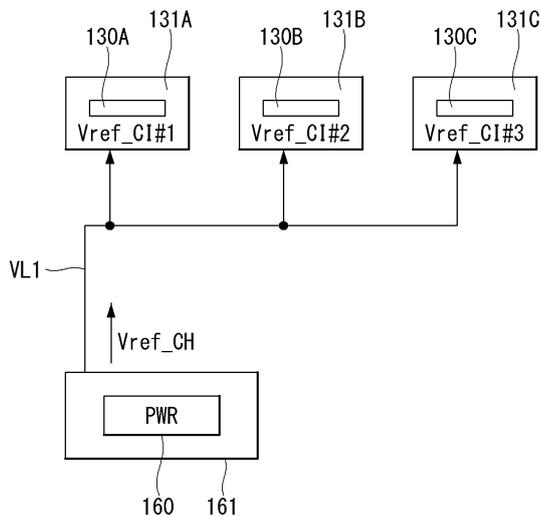
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 데이터 구동부 및 이를 이용한 표시장치

(57) 요약

본 발명은 표시패널, 데이터 구동부 및 전원 공급부를 포함하는 표시장치를 제공한다. 표시패널은 영상을 표시하며 데이터라인과 센싱라인을 갖는다. 데이터 구동부는 표시패널을 구동한다. 전원 공급부는 데이터 구동부에 연결된 배선을 통해 구동용 레퍼런스 전압을 전달한다. 데이터 구동부는 데이터라인에 데이터신호를 공급하고 센싱라인을 통해 구동용 레퍼런스 전압을 공급하고, 자신의 내부에서 생성된 센싱용 레퍼런스 전압을 기반으로 센싱라인을 센싱하여 적분한다.

대표도 - 도12



(52) CPC특허분류

G09G 2320/043 (2013.01)

G09G 2330/028 (2013.01)

(72) 발명자

홍석현

경기도 수원시 권선구 금호로15번길 15 101동 120
2호 (금곡동, 신미주아파트)

김혁준

경기도 고양시 일산동구 무궁화로 7-45 (장항동,
양우로데오시티플러스) 429호

명세서

청구범위

청구항 1

영상을 표시하며 데이터라인과 센싱라인을 갖는 표시패널;

상기 표시패널을 구동하는 데이터 구동부; 및

상기 데이터 구동부에 연결된 배선을 통해 구동용 레퍼런스 전압을 전달하는 전원 공급부를 포함하고,

상기 데이터 구동부는 상기 데이터라인에 데이터신호를 공급하고 상기 센싱라인을 통해 상기 구동용 레퍼런스 전압을 공급하고, 자신의 내부에서 생성된 센싱용 레퍼런스 전압을 기반으로 상기 센싱라인을 센싱하여 적분하는 표시장치.

청구항 2

제1항에 있어서,

상기 데이터 구동부는

자신의 내부 전원을 기반으로 상기 센싱용 레퍼런스 전압을 생성하는 전압 생성부를 포함하는 표시장치.

청구항 3

제1항에 있어서,

상기 데이터 구동부는

상기 센싱용 레퍼런스 전압을 기반으로 상기 센싱라인을 센싱하기 위한 적분 회로부와,

상기 구동용 레퍼런스 전압을 레퍼런스로 이용하여 상기 적분 회로부와 함께 상기 센싱용 레퍼런스 전압의 편차를 보정하는 오프셋 보정부를 포함하는 표시장치.

청구항 4

제3항에 있어서,

상기 적분 회로부는

상기 오프셋 보정부의 제1단자에 제1단자가 연결된 앰프 회로와,

상기 앰프 회로의 제2단자에 일단이 연결되고 상기 앰프 회로의 출력단자에 타단이 연결된 적분용 커패시터와,

상기 앰프 회로의 제2단자에 일단이 연결되고 상기 앰프 회로의 출력단자에 타단이 연결된 초기화용 스위치를 포함하는 표시장치.

청구항 5

제4항에 있어서,

상기 오프셋 보정부는

오프셋 제거를 위한 전압을 저장하는 오프셋제거용 커패시터와,

외부로부터 입력된 전압과 상기 앰프 회로에 대한 오프셋을 상기 오프셋제거용 커패시터에 저장하기 위한 스위칭 동작을 수행하는 제1스위칭 그룹과,

상기 오프셋을 상기 센싱용 레퍼런스 전압에 반영하기 위한 스위칭 동작을 수행하는 제2스위칭 그룹을 포함하는 표시장치.

청구항 6

제5항에 있어서,

상기 제1스위치 그룹은

상기 오프셋 보정부의 제2단자에 일단이 연결되고 상기 오프셋제거용 커패시터의 일단에 타단이 연결된 제1-1스위치와,

상기 오프셋 보정부의 제1단자에 일단이 연결되고 상기 오프셋 보정부의 제4단자에 타단이 연결된 제1-2스위치와,

상기 오프셋제거용 커패시터의 타단에 일단이 연결되고 상기 오프셋 보정부의 제3단자에 타단이 연결된 제1-3스위치를 포함하는 표시장치.

청구항 7

제6항에 있어서,

상기 제2스위치 그룹은

상기 제1-3스위치의 일단 및 상기 오프셋제거용 커패시터의 타단에 일단이 연결되고 상기 오프셋 보정부의 제1단자 및 상기 제1-2스위치의 일단에 타단이 연결된 제2-1스위치와,

상기 오프셋제거용 커패시터의 일단 및 상기 제1-1스위치의 타단에 일단이 연결되고 상기 오프셋 보정부의 제4단자 및 상기 제1-2스위치의 타단에 타단이 연결된 제2-2스위치를 포함하는 표시장치.

청구항 8

제5항에 있어서,

상기 적분 회로부의 상기 초기화용 스위치가 턴온 상태일 때,

상기 제1스위치 그룹과 상기 제2스위치 그룹은 상호 반전 구동하는 표시장치.

청구항 9

외부로부터 구동용 레퍼런스 전압을 공급하고, 자신의 내부에서 생성된 센싱용 레퍼런스 전압을 기반으로 자신의 외부에 배치된 센싱라인을 센싱라인을 센싱하여 적분하는 적분 회로부와,

상기 구동용 레퍼런스 전압을 레퍼런스로 이용하여 상기 적분 회로부와 함께 상기 센싱용 레퍼런스 전압의 편차를 보정하는 오프셋 보정부를 포함하는 데이터 구동부.

청구항 10

제9항에 있어서,

상기 적분 회로부는

상기 오프셋 보정부의 제1단자에 제1단자가 연결된 앰프 회로와,

상기 앰프 회로의 제2단자에 일단이 연결되고 상기 앰프 회로의 출력단자에 타단이 연결된 적분용 커패시터와,

상기 앰프 회로의 제2단자에 일단이 연결되고 상기 앰프 회로의 출력단자에 타단이 연결된 초기화용 스위치를 포함하고,

상기 오프셋 보정부는

오프셋 제거를 위한 전압을 저장하는 오프셋제거용 커패시터와,

외부로부터 입력된 전압과 상기 앰프 회로에 대한 오프셋을 상기 오프셋제거용 커패시터에 저장하기 위한 스위칭 동작을 수행하는 제1스위치 그룹과,

상기 오프셋을 상기 센싱용 레퍼런스 전압에 반영하기 위한 스위칭 동작을 수행하는 제2스위치 그룹을 포함하는 데이터 구동부.

발명의 설명

기술 분야

[0001] 본 발명은 데이터 구동부 및 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기 전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 유기전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다. 유기전계발광표시장치는 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0004] 표시패널은 기관 상에 증착 방식으로 형성된 박막 트랜지스터 등의 소자를 기반으로 서브 픽셀들을 구현한다. 박막 트랜지스터 등의 소자는 문턱 전압 등의 고유의 특성이 달라 초기에도 균일한 휘도 특성을 표시하기 위한 보상이 필요하며 또한 장시간 동안 구동 시, 문턱전압이 이동하거나 수명이 저하되는 형태로 열화가 일어난다. 소자가 열화 되면 이를 기반으로 영상을 표시하는 표시패널의 휘도 특성 또한 변하게 된다.

[0005] 종래에는 소자의 특성을 보상하기 위해 표시패널의 표시 구간 동안 특정 레벨의 레퍼런스 전압을 센싱라인에 인가하고, 표시패널의 센싱 구간 동안 센싱라인을 센싱하여 소자의 특성 보상이나 휘도 레벨을 맞추는 등의 보상 방식이 제안된 바 있다. 그런데 종래에 제안된 방식은 노이즈에 의한 영향 때문에 센싱 정확도의 감소가 유발되는바 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 센싱용 레퍼런스 전압을 데이터 구동부의 내부에서 자체적으로 생성하여 노이즈를 최소화하고, 센싱용 레퍼런스 전압의 전압 편차를 보정하여 전압 정밀도 및 센싱의 정밀도를 향상함과 더불어 소자의 특성 보상이나 휘도 레벨을 맞추는 등의 보상을 수행할 때 보상의 정확도를 증가시키는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 표시패널, 데이터 구동부 및 전원 공급부를 포함하는 표시장치를 제공한다. 표시패널은 영상을 표시하며 데이터라인과 센싱라인을 갖는다. 데이터 구동부는 표시패널을 구동한다. 전원 공급부는 데이터 구동부에 연결된 배선을 통해 구동용 레퍼런스 전압을 전달한다. 데이터 구동부는 데이터라인에 데이터신호를 공급하고 센싱라인을 통해 구동용 레퍼런스 전압을 공급하고, 자신의 내부에서 생성된 센싱용 레퍼런스 전압을 기반으로 센싱라인을 센싱하여 적분한다.

[0008] 데이터 구동부는 자신의 내부 전원을 기반으로 센싱용 레퍼런스 전압을 생성하는 전압 생성부를 포함할 수 있다.

[0009] 데이터 구동부는 센싱용 레퍼런스 전압을 기반으로 센싱라인을 센싱하기 위한 적분 회로부와, 구동용 레퍼런스 전압을 레퍼런스로 이용하여 적분 회로부와 함께 센싱용 레퍼런스 전압의 편차를 보정하는 오프셋 보정부를 포함할 수 있다.

[0010] 적분 회로부는 오프셋 보정부의 제1단자에 제1단자가 연결된 앰프 회로와, 앰프 회로의 제2단자에 일단이 연결되고 앰프 회로의 출력단자에 타단이 연결된 적분용 커패시터와, 앰프 회로의 제2단자에 일단이 연결되고 앰프 회로의 출력단자에 타단이 연결된 초기화용 스위치를 포함할 수 있다.

[0011] 오프셋 보정부는 오프셋 제거를 위한 전압을 저장하는 오프셋제거용 커패시터와, 외부로부터 입력된 전압과 앰프 회로에 대한 오프셋을 오프셋제거용 커패시터에 저장하기 위한 스위칭 동작을 수행하는 제1스위치 그룹과,

오프셋을 센싱용 레퍼런스 전압에 반영하기 위한 스위칭 동작을 수행하는 제2스위치 그룹을 포함할 수 있다.

- [0012] 제1스위치 그룹은 오프셋 보정부의 제2단자에 일단이 연결되고 오프셋제거용 커패시터의 일단에 타단이 연결된 제1-1스위치와, 오프셋 보정부의 제1단자에 일단이 연결되고 오프셋 보정부의 제4단자에 타단이 연결된 제1-2스위치와, 오프셋제거용 커패시터의 타단에 일단이 연결되고 오프셋 보정부의 제3단자에 타단이 연결된 제1-3스위치를 포함할 수 있다.
- [0013] 제2스위치 그룹은 제1-3스위치의 일단 및 오프셋제거용 커패시터의 타단에 일단이 연결되고 오프셋 보정부의 제1단자 및 제1-2스위치의 일단에 타단이 연결된 제2-1스위치와, 오프셋제거용 커패시터의 일단 및 제1-1스위치의 타단에 일단이 연결되고 오프셋 보정부의 제4단자 및 제1-2스위치의 타단에 타단이 연결된 제2-2스위치를 포함할 수 있다.
- [0014] 적분 회로부의 초기화용 스위치가 턴온 상태일 때, 제1스위치 그룹과 제2스위치 그룹은 상호 반전 구동할 수 있다.
- [0015] 다른 측면에서 본 발명은 적분 회로부와, 오프셋 보정부를 포함하는 데이터 구동부를 제공한다. 적분 회로부는 외부로부터 구동용 레퍼런스 전압을 공급하고, 자신의 내부에서 생성된 센싱용 레퍼런스 전압을 기반으로 자신의 외부에 배치된 센싱라인을 센싱하여 적분한다. 오프셋 보정부는 구동용 레퍼런스 전압을 레퍼런스로 이용하여 적분 회로부와 함께 센싱용 레퍼런스 전압의 편차를 보정한다.
- [0016] 적분 회로부는 오프셋 보정부의 제1단자에 제1단자가 연결된 앰프 회로와, 앰프 회로의 제2단자에 일단이 연결되고 앰프 회로의 출력단자에 타단이 연결된 적분용 커패시터와, 앰프 회로의 제2단자에 일단이 연결되고 앰프 회로의 출력단자에 타단이 연결된 초기화용 스위치를 포함하고, 오프셋 보정부는 오프셋 제거를 위한 전압을 저장하는 오프셋제거용 커패시터와, 외부로부터 입력된 전압과 앰프 회로에 대한 오프셋을 오프셋제거용 커패시터에 저장하기 위한 스위칭 동작을 수행하는 제1스위치 그룹과, 오프셋을 센싱용 레퍼런스 전압에 반영하기 위한 스위칭 동작을 수행하는 제2스위치 그룹을 포함할 수 있다.

발명의 효과

- [0018] 본 발명은 센싱용 레퍼런스 전압을 데이터 구동부의 내부에서 자체적으로 생성하여 노이즈를 최소화(노이즈에 강함)할 수 있는 효과가 있다. 또한, 본 발명은 데이터 구동부들에서 생성된 센싱용 레퍼런스 전압들 간의 전압 편차를 보정하여 전압 정밀도 및 센싱의 정밀도를 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 센싱용 레퍼런스 전압의 노이즈 감소로 인하여 소자의 특성 보상이나 휘도 레벨을 맞추는 등의 보상을 수행할 때 보상의 정확도를 증가시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 본 발명의 실시예에 따른 서브 픽셀의 상세 회로 구성도.
- 도 4는 본 발명의 실시예에 따른 표시 패널의 단면 예시도.
- 도 5는 본 발명의 실시예에 따른 보상 방식을 설명하기 위한 블록도.
- 도 6은 실험예에 따른 데이터 구동부들과 전원 공급부의 구성을 나타낸 도면.
- 도 7은 제1데이터 구동부에 포함된 일부 구성을 나타낸 도면.
- 도 8 및 도 9는 이상적인 동작시의 센싱 파형을 설명하기 위한 도면들.
- 도 10 및 도 11은 노이즈 성분이 작용하였을 때의 센싱 파형을 설명하기 위한 도면들.
- 도 12는 본 발명의 제1실시예에 따른 데이터 구동부들과 전원 공급부의 구성을 나타낸 도면.
- 도 13은 제1데이터 구동부에 포함된 일부 구성을 나타낸 도면.
- 도 14는 보정전의 센싱용 레퍼런스 전압 편차를 보여주는 도면.

도 15는 본 발명의 제2실시예에 따른 오프셋 보정부의 상세도.

도 16 및 도 17은 오프셋 보정부의 동작 설명을 위한 도면들.

도 18은 오프셋 보정부의 구동 파형도.

도 19는 오프셋 보정 전후와 실험예/제2실시예를 비교 설명하기 위한 파형도.

도 20은 본 발명의 제2실시예에 따른 개선점을 설명하기 위한 시뮬레이션 파형도.

도 21은 본 발명의 제2실시예에 따른 센싱 동작시의 센싱 파형을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0021] 본 발명에 따른 표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰 등으로 구현된다. 그리고 본 발명에 따른 표시장치는 유기전계발광표시장치를 일례로 한다. 그러나 이는 하나의 예시일 뿐, 레퍼런스 전압들을 이용하여 보상을 하는 형태라면 다른 방식의 표시장치에도 적용 가능하다.
- [0022] 아울러, 이하에서 설명되는 박막 트랜지스터는 게이트전극을 제외하고 타입에 따라 소오스전극과 드레인전극 또는 드레인전극과 소오스전극으로 명명될 수 있는바, 이를 한정하지 않기 위해 제1전극과 제2전극으로 설명함을 참조한다.
- [0023] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 본 발명의 실시예에 따른 서브 픽셀의 상세 회로 구성도이고, 도 4는 본 발명의 실시예에 따른 표시 패널의 단면 예시도이며, 도 5는 본 발명의 실시예에 따른 보상 방식을 설명하기 위한 블록도이다.
- [0024] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0025] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0026] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0027] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치한다. 데이터 구동부(130)는 내부 또는 외부에 마련된 프로그래머블 감마부와 연동하여 디지털 형태의 데이터신호(DATA)를 아날로그 형태의 데이터신호로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0028] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0029] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0030] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다. 서브 픽셀들(SP)은 백색의 유기 발광층과 적색, 녹색 및 청색의 컬러필터를 기반으로 백색과 더불어 적색, 녹색 및 청색을 표현할 수 있으나 이에 한정되지 않는다.

- [0031] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 스토리지 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0032] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 스토리지 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 스토리지 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0033] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대해 예시를 설명하면 다음과 같다.
- [0034] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 레퍼런스 전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0035] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 스토리지 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0036] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.
- [0037] 광차단층(LS)은 외광을 차단하는 역할을 하기 위해 존재한다. 광차단층(LS)이 금속성 재료로 형성될 경우 기생 전압이 충전되는 문제가 유발된다. 때문에, 광차단층(LS)은 구동 트랜지스터(DR)의 소오스전극에 접속된다. 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 한편, 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 다른 전극이나 라인과의 연결을 도모하고, 스토리지 커패시터 등을 구성하는 전극으로 활용할 수 있다.
- [0038] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0039] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 스토리지 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0040] 도 4에 도시된 바와 같이, 제1기관(150a)의 표시영역(AA) 상에는 도 3에서 설명된 회로를 기반으로 서브 픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브 픽셀들은 보호필름(또는 보호기관)(150b)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다.
- [0041] 서브 픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브 픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브 픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.
- [0042] 앞서 설명된 표시패널은 기관 상에 증착 방식으로 형성된 박막 트랜지스터 등의 소자를 기반으로 서브 픽셀들을 구현한다. 박막 트랜지스터 등의 소자는 장시간 동안 구동 시, 문턱전압이 이동하거나 수명이 저하되는 형태로

열화가 일어난다. 소자가 열화 되면 이를 기반으로 영상을 표시하는 표시패널의 휘도 특성 또한 변하게 된다.

- [0043] 본 발명과 같은 유기전계발광표시장치는 소자의 특성 보상이나 휘도 레벨을 맞추는 등의 보상을 수행하기 위해 다음의 도 5와 같이 구성된다.
- [0044] 도 5에 도시된 바와 같이, 데이터 구동부(130)는 서브 픽셀(SP)의 데이터라인(DL1)과 센싱라인(VREF)에 연결된다. 데이터 구동부(130)는 데이터라인(DL1)을 통해 데이터전압(Vdata)(또는 데이터신호)을 공급함과 더불어 센싱라인(VREF)을 통해 레퍼런스 전압(Vref)을 공급한다.
- [0045] 데이터 구동부(130)는 타이밍 제어부(120)로부터 출력된 데이터신호(DATA)를 기반으로 데이터전압(Vdata)을 출력한다. 또한, 데이터 구동부(130)는 센싱라인(VREF)을 통해 센싱된 센싱결과(SEND)를 타이밍 제어부(120)에 전달하고, 타이밍 제어부(120)로부터 출력된 보상 데이터신호(CDATA)를 기반으로 데이터전압(Vdata)을 출력한다. 데이터 구동부(130)는 실시간(표시 기간, 센싱 기간, 비표시 기간 포함), 센싱 기간, 영상의 비표시 기간 또는 N 프레임(N은 1 이상 정수)기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과(SEND)를 생성할 수 있게 된다.
- [0046] 데이터 구동부(130)는 표시패널의 표시 구간 동안 특정 레벨의 구동용 레퍼런스 전압을 센싱라인에 인가하고, 표시패널의 센싱 구간 동안 센싱라인을 센싱하여 소자의 특성 보상이나 휘도 레벨을 맞추기 위한 보상 동작을 수행한다.
- [0047] 데이터 구동부(130)는 외부로부터 공급된 구동용 레퍼런스 전압을 센싱라인에 인가한다. 그리고 데이터 구동부(130)는 외부로부터 공급된 센싱용 레퍼런스 전압을 기반으로 센싱라인의 전압이나 전류를 센싱 및 샘플링한다. 이와 같이, 구동용 레퍼런스 전압과 센싱용 레퍼런스 전압을 외부로부터 공급받는 경우, 이 전압들이 노이즈에 의한 영향을 받게 되어 결국 센싱 정확도 감소를 유발하게 되는바 이의 개선이 요구된다.
- [0048] 이하에서는 실험예와 이를 개선하기 위한 본 발명의 실시예들에 대해 설명한다.
- [0049] <실험예>
- [0050] 도 6은 실험예에 따른 데이터 구동부들과 전원 공급부의 구성을 나타낸 도면이고, 도 7은 제1데이터 구동부에 포함된 일부 구성을 나타낸 도면이며, 도 8 및 도 9는 이상적인 동작시의 센싱 파형을 설명하기 위한 도면들이고, 도 10 및 도 11은 노이즈 성분이 작용하였을 때의 센싱 파형을 설명하기 위한 도면들이다.
- [0051] 도 6에 도시된 바와 같이, 실험예에 따르면 컨트롤보드(161) 상에는 전원 공급부(160)가 배치되고, 소오스보드들(131A ~ 131C) 상에는 데이터 구동부들(130A ~ 130C)이 각각 하나씩 배치된다.
- [0052] 제1 내지 제3데이터 구동부들(130A ~ 130C)은 전원 공급부(160)의 제1출력단에 공통으로 연결된 제1배선(VL1)과 제2출력단에 공통으로 연결된 제2배선(VL2)을 통해 구동용 레퍼런스 전압(Vref_CH)과 센싱용 레퍼런스 전압(Vref_CI)을 각각 공급받는다. 즉, 실험예는 구동에 필요한 구동용 레퍼런스 전압(Vref_CH)과 센싱에 필요한 센싱용 레퍼런스 전압(Vref_CI)을 모두 데이터 구동부의 외부에 위치하는 전원 공급부(160)로부터 받는 구조이다. 구동용 레퍼런스 전압(Vref_CH)과 센싱용 레퍼런스 전압(Vref_CI) 간의 레벨 관계는 $Vref_CH < Vref_CI$ 이다.
- [0053] 데이터 구동부들(130A ~ 130C)의 내부에 구성된 회로의 일부를 설명하면 다음의 도 7과 같다. 제2 및 제3데이터 구동부들(130B ~ 130C) 또한 도 7과 같으므로 이를 참고한다.
- [0054] 도 7에 도시된 바와 같이, 실험예에 따른 제1데이터 구동부(130A)는 전류 적분 회로부(CI AMP, Cf, ISW)와 더불어 각종 스위치들(SSW, DSW, SAM)을 포함한다. 제1데이터 구동부(130A)는 전원 공급부로부터 출력된 구동용 레퍼런스 전압(Vref_CH)과 센싱용 레퍼런스 전압(Vref_CI)을 기반으로 구동(전압 충전)과 센싱을 한다.
- [0055] 제1데이터 구동부(130A)는 구동용 스위치(DSW)를 턴온하고 외부로부터 공급된 구동용 레퍼런스 전압(Vref_CH)을 출력할 수 있다. 제1데이터 구동부(130A)는 센싱이 완료되면 초기화용 스위치(ISW)를 턴온하여 전류 적분 회로부(CI AMP, Cf, ISW)의 적분용 커패시터(Cf)를 초기화할 수 있다.
- [0056] 도 8에 도시된 바와 같이, 실험예에 따른 제1데이터 구동부(130A)는 센싱용 스위치(SSW)를 턴온하고 전류 적분 회로부(CI AMP, Cf, ISW)를 이용하여 센싱 동작을 수행하고 센싱결과를 적분한다. 제1데이터 구동부(130A)는 센싱용 레퍼런스 전압(Vref_CI)을 기반으로 전류 센싱을 하고, 샘플링용 스위치(SAM)를 턴온하여 센싱된 전류를 샘플링한다. 전류 적분 회로부(CI AMP, Cf, ISW)의 출력단자(Vout)의 이상적인 전압 변화를 보면 다음의 도 9와 같다.
- [0057] 초기화 구간(Initial 구간) 동안 전류 적분 회로부(CI AMP, Cf, ISW)의 출력단자(Vout)에는 일정한 전압이 형성

된다. 센싱 구간(Sensing 구간) 동안 전류 적분 회로부(CI AMP, Cf, ISW)의 출력단자(Vout)에는 시간(t)에 대응하여 선형(또는 비선형)으로 감소하는 센싱전압이 형성된다.

- [0058] 하지만, 앞서 설명하였듯이, 제1데이터 구동부(130A)를 포함한 모든 데이터 구동부들은 외부에 배치된 전원 공급부로부터 구동용 레퍼런스 전압(Vref_CH)과 센싱용 레퍼런스 전압(Vref_CI)을 공급받는다.
- [0059] 이 때문에, 전류 적분 회로부(CI AMP, Cf, ISW)의 출력단자(Vout)의 전압은 다음의 도 10 및 도 11에 도시된 바와 같이, 노이즈(Noise)의 영향을 받게 된다. 그 결과, 센싱 구간(Sensing 구간) 동안 전류 적분 회로부(CI AMP, Cf, ISW)의 출력단자(Vout)에는 시간(t)에 대응하여 선형(또는 비선형) 형태로 일정하게 감소하는 전압이 아닌 원치않는(또는 비정상적인) 형태로 감소하는 전압이 형성된다. 도 11의 시뮬레이션 조건에 따르면, 노이즈가 40mV, 50KHz로 발생하면, 센싱 데이터들에 약 290mV의 편차가 발생하는 것으로 나타났다.
- [0060] 이와 같은 문제가 발생하는 이유는 크게 다음의 두 가지인 것으로 나타났다. (1) 센싱용 레퍼런스 전압이 노이즈에 의한 영향을 받게 되어 전류 적분 회로부(CI AMP, Cf)의 출력단자(Vout)에 해당 노이즈 성분이 반영되었기 때문이다. (2) 또한, 센싱용 레퍼런스 전압이 증폭되어 전류 적분 회로부(CI AMP, Cf, ISW)의 출력단자(Vout)에 반영되었기 때문이다.
- [0061] 이와 같이 센싱용 레퍼런스 전압에 노이즈 성분이 형성되면 센싱 정확도(Sensing Accuracy)가 감소하게 되어 소자의 특성 편차 보상 시 오류 증가, 정확도 저하, 균일도 저하 등을 유발할 수 있다.
- [0062] <제1실시예>
- [0063] 도 12는 본 발명의 제1실시예에 따른 데이터 구동부들과 전원 공급부의 구성을 나타낸 도면이고, 도 13은 제1데이터 구동부에 포함된 일부 구성을 나타낸 도면이며, 도 14는 보정전의 센싱용 레퍼런스 전압 편차를 보여주는 도면이다.
- [0064] 도 12에 도시된 바와 같이, 본 발명의 제1실시예에 따르면 컨트롤보드(161) 상에는 전원 공급부(160)가 배치되고, 소오스보드들(131A ~ 131C) 상에는 데이터 구동부들(130A ~ 130C)이 각각 하나씩 배치된다.
- [0065] 제1 내지 제3데이터 구동부들(130A ~ 130C)은 전원 공급부(160)의 제1출력단에 공통으로 연결된 제1배선(VL1)을 통해 구동용 레퍼런스 전압(Vref_CH)을 공급받는다. 제1 내지 제3데이터 구동부들(130A ~ 130C)은 내부 전원을 기반으로 센싱용 레퍼런스 전압들(Vref_CI#1 ~ Vref_CI#3)을 각각 생성한다. 즉, 제1실시예는 구동에 필요한 구동용 레퍼런스 전압(Vref_CH)만 데이터 구동부의 외부에 위치하는 전원 공급부(160)로부터 받는 구조이다. 구동용 레퍼런스 전압(Vref_CH)과 센싱용 레퍼런스 전압(Vref_CI) 간의 레벨 관계는 $Vref_CH < Vref_CI$ 이다.
- [0066] 데이터 구동부들(130A ~ 130C)의 내부에 구성된 회로의 일부를 설명하면 다음의 도 13과 같다. 제2 및 제3데이터 구동부들(130B ~ 130C) 또한 도 13과 같으므로 이를 참고한다.
- [0067] 도 13에 도시된 바와 같이, 제1실시예에 따른 제1데이터 구동부(130A)는 전류 적분 회로부(CI AMP, Cf, ISW), 각종 스위치들(SSW, DSW, SAM) 및 전압 생성부(135)를 포함한다. 각종 스위치들(SSW, DSW, SAM)은 센싱회로부에 포함되는 구성이다.
- [0068] 제1데이터 구동부(130A)는 전원 공급부로부터 출력된 구동용 레퍼런스 전압(Vref_CH)과 내부 전원(VI)을 기반으로 생성된 센싱용 레퍼런스 전압(Vref_CI)을 기반으로 구동(전압 충전)과 센싱을 한다.
- [0069] 전압 생성부(135)는 내부 전원(VI)을 기반으로 센싱용 레퍼런스 전압(Vref_CI)을 생성한다. 전압 생성부(135)는 내부 전원(VI)을 강압하는 강압 회로(Buck converter)나 승압하는 승압 회로(Boost converter) 등으로 구현될 수 있다. 내부 전원(VI)은 제1데이터 구동부(130A)의 내부 장치를 구동하기 위한 전원들(예: VCC, VDD, HVDD 등) 중 하나로 선택된다.
- [0070] 제1데이터 구동부(130A)는 구동용 스위치(DSW)를 턴온하고 외부로부터 공급된 구동용 레퍼런스 전압(Vref_CH)을 출력한다. 제1데이터 구동부(130A)는 센싱용 스위치(SSW)를 턴온하고 전류 적분 회로부(CI AMP, Cf, ISW)를 이용하여 센싱 동작을 수행한다. 제1데이터 구동부(130A)는 센싱용 레퍼런스 전압(Vref_CI)을 기반으로 전류 센싱을 하고, 샘플링용 스위치(SAM)를 턴온하여 센싱된 전류를 샘플링한다. 제1데이터 구동부(130A)는 센싱이 완료되면 초기화용 스위치(ISW)를 턴온하여 전류 적분 회로부(CI AMP, Cf)의 적분용 커패시터(Cf)를 초기화한다.
- [0071] 도 14의 (a)에 도시된 바와 같이, 제1실시예에 따른 제1 내지 제3데이터 구동부들(130A ~ 130C)은 내부 전원을 기반으로 센싱용 레퍼런스 전압들(Vref_CI#1 ~ Vref_CI#3)을 각각 생성한다.

- [0072] 제1 내지 제3데이터 구동부들(130A ~ 130C)에 포함된 내부 전원이나 내부 전원을 기반으로 센싱용 레퍼런스 전압을 생성하는 전압생성 블록이 이상적인 출력을 나타낼 경우, 이들로부터 출력되는 센싱용 레퍼런스 전압들은 유사/동일한 레벨을 갖는다.
- [0073] 그러나 만약, 제1 내지 제3데이터 구동부들(130A ~ 130C)에 포함된 내부 전원이나 내부 전원을 기반으로 센싱용 레퍼런스 전압을 생성하는 전압생성 블록이 이상적인 출력을 나타내지 못할 경우, 도 14의 (b)에 도시된 바와 같은 전압 편차가 발생할 수 있다. 제1 내지 제3데이터 구동부들(130A ~ 130C) 간에 센싱용 레퍼런스 전압에 편차가 발생하면 표시패널 상에 블록딤(블록 형태의 휘도 저하) 등의 표시 불량이가 야기될 수 있다.
- [0074] 도 14의 (b)에서는 제2센싱용 레퍼런스 전압(Vref_CI#2) > 제1센싱용 레퍼런스 전압(Vref_CI#1) > 제3센싱용 레퍼런스 전압(Vref_CI#3)의 관계로 제1 내지 제3데이터 구동부들(130A ~ 130C)에서 생성된 센싱용 레퍼런스 전압들(Vref_CI#1 ~ Vref_CI#3) 간에 편차가 나타나는 것을 일례로 하였지만 이는 단지 예시일뿐이다.
- [0075] 제1 내지 제3데이터 구동부들(130A ~ 130C)에서 생성된 센싱용 레퍼런스 전압들(Vref_CI#1 ~ Vref_CI#3)에 도 14의 (b)와 같은 문제가 발생할 수 있는 이유는 내부 전원이나 내부 전원을 기반으로 전압을 생성하는 전압 생성부 간에 전압 편차가 있을 수 있기 때문이다.
- [0076] 이하, 제1실시예에서 예상될 수 있는 전압 편차 문제를 개선할 수 있는 제2실시예에 대해 설명한다. 제2실시예는 제1실시예를 기반으로 하므로 제1데이터 구동부들(130A)의 내부에 구성된 회로에 대해서만 설명한다. 그리고 제2 및 제3데이터 구동부들(130B ~ 130C) 또한 이하의 제2실시예와 같으므로 이를 참고한다.
- [0077] <제2실시예>
- [0078] 도 15는 본 발명의 제2실시예에 따른 오프셋 보정부의 상세도이며, 도 16 및 도 17은 오프셋 보정부의 동작 설명을 위한 도면들이고, 도 18은 오프셋 보정부의 구동 파형도이며, 도 19는 오프셋 보정 전후와 실험예/제2실시예를 비교 설명하기 위한 파형도이고, 도 20은 본 발명의 제2실시예에 따른 개선점을 설명하기 위한 시뮬레이션 파형도이며, 도 21은 본 발명의 제2실시예에 따른 센싱 동작시의 센싱 파형을 설명하기 위한 도면이다.
- [0079] 도 15에 도시된 바와 같이, 제2실시예에 따른 제1데이터 구동부(130A)는 전류 적분 회로부(CI AMP, Cf, ISW), 각종 스위치들(SSW, DSW, SAM), 전압 생성부(135) 및 오프셋 보정부(137)를 포함한다. 각종 스위치들(SSW, DSW, SAM)은 센싱회로부에 포함되는 구성이다.
- [0080] 제1데이터 구동부(130A)는 전원 공급부로부터 출력된 구동용 레퍼런스 전압(Vref_CH)과 내부 전원(VI)을 기반으로 생성된 센싱용 레퍼런스 전압(Vref_CI)을 기반으로 구동(전압 충전)과 센싱을 한다.
- [0081] 제1데이터 구동부(130A)는 구동용 스위치(DSW)를 턴온하고 외부로부터 공급된 구동용 레퍼런스 전압(Vref_CH)을 출력한다. 제1데이터 구동부(130A)는 센싱용 스위치(SSW)를 턴온하고 전류 적분 회로부(CI AMP, Cf, ISW)를 이용하여 센싱 동작을 수행한다. 제1데이터 구동부(130A)는 센싱용 레퍼런스 전압(Vref_CI)을 기반으로 전류 센싱을 하고, 샘플링용 스위치(SAM)를 턴온하여 센싱된 전류를 샘플링한다. 제1데이터 구동부(130A)는 센싱이 완료되면 초기화용 스위치(ISW)를 턴온하여 전류 적분 회로부(CI AMP, Cf, ISW)의 적분용 커패시터(Cf)를 초기화한다.
- [0082] 전압 생성부(135)는 내부 전원(VI)을 기반으로 센싱용 레퍼런스 전압(Vref_CI)을 생성한다. 전압 생성부(135)는 내부 전원(VI)을 강압하는 강압 회로(Buck converter)나 승압하는 승압 회로(Boost converter) 등으로 구현될 수 있다. 내부 전원(VI)은 제1데이터 구동부(130A)의 내부 장치를 구동하기 위한 전원들(예: VCC, VDD, HVDD 등) 중 하나로 선택된다.
- [0083] 전류 적분 회로부(CI AMP, Cf, ISW)는 앰프 회로(CI AMP), 적분용 커패시터(Cf) 및 초기화용 스위치(ISW)를 포함한다. 앰프 회로(CI AMP)의 제1단자(+)는 오프셋 보정부(137)의 제1단자(A)에 연결된다. 앰프 회로(CI AMP)의 제2단자(-)는 센싱용 스위치(SSW)의 타단에 연결된다. 앰프 회로(CI AMP)의 출력단자(O)는 샘플링용 스위치(SAM)의 일단에 연결된다. 적분용 커패시터(Cf)는 앰프 회로(CI AMP)의 제2단자(-)에 일단이 연결되고 앰프 회로(CI AMP)의 출력단자(O)에 타단이 연결된다. 초기화용 스위치(ISW)는 앰프 회로(CI AMP)의 제2단자(-)에 일단이 연결되고 앰프 회로(CI AMP)의 출력단자(O)에 타단이 연결된다.
- [0084] 센싱용 스위치(SSW)는 제1데이터 구동부(130A)의 출력채널(CHO)에 일단이 연결되고 앰프 회로(CI AMP)의 제2단자(-) 및 오프셋 보정부(137)의 제2단자(B)에 타단이 연결된다. 구동용 스위치(DSW)는 제1데이터 구동부(130A)의 출력채널(CHO)에 일단이 연결되고 제1데이터 구동부(130A)의 입력채널(CHI) 및 오프셋 보정부(137)의 제3단자(C)에 타단이 연결된다. 샘플링용 스위치(SAM)는 앰프 회로(CI AMP)의 출력단자(O)에 일단이 연결되고 센싱회

로(또는 AD변환회로 등)(미도시)에 타단이 연결된다.

- [0085] 오프셋 보정부(137)는 외부에서 입력되는 구동용 레퍼런스 전압(Vref_CH)을 레퍼런스로 이용하여 전류 적분 회로부(CI AMP, Cf, ISW)와 함께 센싱용 레퍼런스 전압(Vref_CI)의 편차를 제거 또는 보정하는 역할을 한다.
- [0086] 오프셋 보정부(137)는 스위치들(AZ_INIT_B1~3, AZ_INIT1~2)과 오프셋제거용 커패시터(Cc)를 포함한다. 스위치들(AZ_INIT_B1~3, AZ_INIT1~2)은 입력된 전압과 앰프 회로(CI AMP)에 대한 오프셋을 오프셋제거용 커패시터(Cc)에 저장할 위한 스위칭 동작을 수행하는 제1스위치 그룹(AZ_INIT_B1~3)과 입력된 전압과 앰프 회로(CI AMP)에 대한 오프셋을 센싱용 레퍼런스 전압(Vref_CI)에 반영하기 위한 스위칭 동작을 수행하는 제2스위치 그룹(AZ_INIT1~2)으로 구분된다.
- [0087] 제1스위치 그룹(AZ_INIT_B1~3)에 포함된 스위치들은 제1제어신호에 대응하여 동시에 턴온 또는 턴오프된다. 제2스위치 그룹(AZ_INIT1~2)에 포함된 스위치들은 제2제어신호에 대응하여 동시에 턴온 또는 턴오프된다. 제1스위치 그룹(AZ_INIT_B1~3)이 턴온 상태일 때 제2스위치 그룹(AZ_INIT1~2)은 턴오프 상태가 된다. 제1스위치 그룹(AZ_INIT_B1~3)과 제2스위치 그룹(AZ_INIT1~2)은 상호 반전 구동한다.
- [0088] 제1스위치 그룹(AZ_INIT_B1~3)은 제1-1스위치(AZ_INIT_B1), 제1-2스위치(AZ_INIT_B2), 제1-3스위치(AZ_INIT_B3)를 포함한다. 제2스위치 그룹(AZ_INIT1~2)은 제2-1스위치(AZ_INIT1) 및 제2-2스위치(AZ_INIT2)를 포함한다.
- [0089] 제1-1스위치(AZ_INIT_B1)는 오프셋 보정부(137)의 제2단자(B)에 일단이 연결되고 오프셋제거용 커패시터(Cc)의 일단 및 제2-2스위치(AZ_INIT2)의 일단에 타단이 연결된다. 제1-1스위치(AZ_INIT_B1)의 일단은 오프셋 보정부(137)의 제2단자(B)를 통해 센싱용 스위치(SSW)의 타단에 연결된다.
- [0090] 제1-2스위치(AZ_INIT_B2)는 제2-1스위치(AZ_INIT1)의 타단 및 오프셋 보정부(137)의 제1단자(A)에 일단이 연결되고 제2-2스위치(AZ_INIT2)의 타단 및 오프셋 보정부(137)의 제4단자(D)에 타단이 연결된다. 제1-2스위치(AZ_INIT_B2)의 타단은 오프셋 보정부(137)의 제4단자(D)를 통해 전압 생성부(135)의 출력단에 연결된다.
- [0091] 제1-3스위치(AZ_INIT_B3)는 제2-1스위치(AZ_INIT1)의 일단 및 오프셋제거용 커패시터(Cc)의 타단에 일단이 연결되고 오프셋 보정부(137)의 제3단자(C)에 타단이 연결된다. 제1-3스위치(AZ_INIT_B3)의 타단은 오프셋 보정부(137)의 제3단자(C)를 통해 제1데이터 구동부(130A)의 입력채널(CHI)에 연결된다.
- [0092] 제2-1스위치(AZ_INIT1)는 제1-3스위치(AZ_INIT_B3)의 일단 및 오프셋제거용 커패시터(Cc)의 타단에 일단이 연결되고 오프셋 보정부(137)의 제1단자(A) 및 제1-2스위치(AZ_INIT_B2)의 일단에 타단이 연결된다. 제2-1스위치(AZ_INIT1)의 타단은 오프셋 보정부(137)의 제1단자(A)를 통해 앰프 회로(CI AMP)의 제1단자(+)에 연결된다.
- [0093] 제2-2스위치(AZ_INIT2)는 오프셋제거용 커패시터(Cc)의 일단 및 제1-1스위치(AZ_INIT_B1)의 타단에 일단이 연결되고 오프셋 보정부(137)의 제4단자(D) 및 제1-2스위치(AZ_INIT_B2)의 타단에 타단이 연결된다. 제2-2스위치(AZ_INIT2)의 타단은 오프셋 보정부(137)의 제4단자(D)를 통해 전압 생성부(135)의 출력단에 연결된다.
- [0094] 이하, 본 발명의 제2실시예에 따른 오프셋 보정부의 동작 설명을 하면 다음의 도 16 내지 도 18과 같다. 도 18에서, isw는 초기화용 스위치(ISW)를 제어하기 위한 초기화신호이고, az_init는 제2스위치 그룹(AZ_INIT1~2)을 제어하기 위한 제2제어신호이고, az_init_b는 제1스위치 그룹(AZ_INIT_B1~3)을 제어하기 위한 제1제어신호이다.
- [0095] 한편, 도 18에서는 제1 및 제2제어신호를 따로 도시하였다. 그러나 제1스위치 그룹(AZ_INIT_B1~3)과 제2스위치 그룹(AZ_INIT1~2)은 상호 반전 구동하도록 구현되므로 사실상 하나의 신호로 구성될 수 있음을 참조한다. 즉, 제1스위치 그룹(AZ_INIT_B1~3)은 n타입 스위치로 구성되고 제2스위치 그룹(AZ_INIT1~2)은 p타입 스위치로 구성될 수 있다.
- [0096] <오프셋 저장 동작>
- [0097] 초기화신호(isw)에 의해 초기화용 스위치(ISW)가 턴온을 유지하는 제1기간 동안 제1스위치 그룹(AZ_INIT_B1~3)과 제2스위치 그룹(AZ_INIT1~2)은 상호 반전 구동을 한다. 제1기간 동안, 제1스위치 그룹(AZ_INIT_B1~3)이 턴온 동작을 하게 된다. 이때, 제2스위치 그룹(AZ_INIT1~2)은 턴오프 동작을 하게 된다. 오프셋 저장 동작에 따른 각 단의 전압 변화를 살펴보면 다음과 같다.
- [0098] 앰프 회로(CI AMP)의 제1단자(+)에는 센싱용 레퍼런스 전압(Vref_CI)과 센싱용 레퍼런스 전압(Vref_CI)의 오프셋전압(Voffset_power)이 입력전압(VIN)으로 인가된다. 이는 $VIN = Vref_CI + Voffset_power$ 의 식으로 표현된다.

- [0099] 앰프 회로(CI AMP)의 제2단자(-)에는 센싱용 레퍼런스 전압(Vref_CI), 센싱용 레퍼런스 전압(Vref_CI)의 오프셋 전압(Voffset_power) 및 앰프에 의한 오프셋전압(Voffset_AMP)이 출력전압(Vout)으로 출력된다. 이는 $Vout = Vref_CI + Voffset_power + Voffset_AMP$ 의 식으로 표현된다.
- [0100] 제1스위치 그룹(AZ_INIT_B1~3) 및 앰프 회로(CI AMP)의 동작으로 인하여, 오프셋용 커패시터(Cc)의 양단에는 다음과 같은 전압이 걸린다. 오프셋용 커패시터(Cc)의 제1단자(Va)에 걸린 전압은 $Va = Vref_CI + Voffset_power + Voffset_AMP$ 의 식으로 표현된다. 그리고 오프셋용 커패시터(Cc)의 제2단자(Vb)에 걸린 전압은 $Vb = Vref_CH$ 의 식으로 표현된다.
- [0101] 이처럼 제1기간 동안, 앰프 회로(CI AMP)는 버퍼로서 동작하게 되고, 오프셋 보정부(137)의 스위칭 동작에 의해 오프셋용 커패시터(Cc)에는 양단의 차전압이 저장된다.
- [0102] <오프셋 반영 동작>
- [0103] 초기화신호(isw)에 의해 초기화용 스위치(ISW)가 턴온을 유지하는 제2기간 동안 제2스위치 그룹(AZ_INIT1~2)과 제1스위치 그룹(AZ_INIT_B1~3)은 상호 반전 구동을 한다. 제2기간 동안, 제2스위치 그룹(AZ_INIT1~2)이 턴온 동작을 하게 된다. 이때, 제1스위치 그룹(AZ_INIT_B1~3)은 턴오프 동작을 하게 된다. 오프셋 반영 동작에 따른 각 단의 전압 변화를 살펴보면 다음과 같다.
- [0104] 앰프 회로(CI AMP)의 제1단자(+)에는 구동용 레퍼런스 전압(Vref_CH)에서 앰프에 의한 오프셋전압(Voffset_AMP)을 뺀 값이 입력전압(VIN)으로 인가된다. 이는 $VIN = Vref_CH - Voffset_AMP$ 의 식으로 표현된다.
- [0105] 앰프 회로(CI AMP)의 제2단자(-)에는 구동용 레퍼런스 전압(Vref_CH)이 출력전압(Vout)으로 출력된다. 이는 $Vout = Vref_CH$ 의 식으로 표현된다.
- [0106] 제2스위치 그룹(AZ_INIT1~2) 및 앰프 회로(CI AMP)의 동작으로 인하여, 오프셋용 커패시터(Cc)의 양단에는 다음과 같은 전압이 걸린다. 오프셋용 커패시터(Cc)의 제1단자(Va)에 걸린 전압은 $Va = Vref_CH + Voffset_power$ 의 식으로 표현된다. 그리고 오프셋용 커패시터(Cc)의 제2단자(Vb)에 걸린 전압은 $Vb = Vref_CH - Voffset_AMP$ 의 식으로 표현된다.
- [0107] 이처럼 제2기간 동안, 센싱용 레퍼런스 전압(Vref_CI)과 앰프 회로(CI AMP)의 전압 레벨은 오프셋 보정부(137)의 스위칭 동작에 의해 제어되어 출력된다.
- [0108] 위의 설명에 따르면, 본 발명의 제2실시예는 데이터 구동부의 내부에서 각각 생성되는 센싱용 레퍼런스 전압(Vref_CI)의 편차를 제거하기 위해 외부에서 공통으로 입력되는 구동용 레퍼런스 전압을 레퍼런스로 이용한다.
- [0109] 도 19의 (a)에 도시된 바와 같이, 보정 전의 제1 내지 제3센싱용 레퍼런스 전압(Vref_CI#1 ~ Vref_CI#3)은 장치적 특성으로 인한 전압 편차가 눈에 띄게 나타난다. 하지만, 보정 후의 제1 내지 제3센싱용 레퍼런스 전압(Vref_CI#1 ~ Vref_CI#3)을 통해 알 수 있듯이, 제1 내지 제3데이터 구동부의 내부에 오프셋 보정부(137)를 마련하면 전압 편차를 현저히 낮출 수 있다.
- [0110] 도 19의 (b)에 도시된 바와 같이, 외부로부터 공통으로 공급된 센싱용 레퍼런스 전압(Vref_CI)을 이용할 경우 노이즈에 의한 영향으로 전압 레벨의 흔들림이 눈에 띄게 나타난다. 하지만, 제2실시예와 같이 보정 후의 제1 내지 제3센싱용 레퍼런스 전압(Vref_CI#1 ~ Vref_CI#3)을 이용하면, 외부 전압을 이용하는 것보다 노이즈 성분을 더욱 낮출 수 있다.
- [0111] 도 15 및 도 20을 통해 알 수 있듯이, 외부로부터 공통으로 공급된 센싱용 레퍼런스 전압(외부 Vref_CI)은 노이즈에 약하므로 그 영향으로 인한 리플(ripple)이 내부 Vref_CI 대비 큰 폭으로 나타난다. 이와 달리, 제2실시예에 따른 센싱용 레퍼런스 전압(내부 Vref_CI)은 노이즈에 강하므로 그 영향으로 인한 리플(ripple)이 외부 Vref_CI 대비 작은 폭으로 나타난다.
- [0112] 제2실시예는 노이즈에 강하므로 도 21과 같이 센싱 구간(Sensing 구간) 동안 전류 적분 회로부(CI AMP, Cf, ISW)의 출력단자(Vout)에는 시간(t)에 대응하여 선형(또는 비선형) 형태로 일정하게 감소하는 전압이 정상적으로 형성된다.
- [0113] 그러므로 제2실시예는 노이즈에 강함은 물론 데이터 구동부의 내부 전원 편차에 의해 나타날 수 있는 센싱 에러(Sensing Error) 그리고 내부 전원 편차에 의한 구동 트랜지스터의 전류 변경으로 인한 더 큰 에러 또한 방지할 수 있게 된다.

[0114] 이상 본 발명은 센싱용 레퍼런스 전압을 데이터 구동부의 내부에서 자체적으로 생성하여 노이즈를 최소화(노이즈에 강함)할 수 있는 효과가 있다. 또한, 본 발명은 데이터 구동부들에서 생성된 센싱용 레퍼런스 전압들 간의 전압 편차를 보정하여 전압 정밀도 및 센싱의 정밀도를 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 센싱용 레퍼런스 전압의 노이즈 감소로 인하여 소자의 특성 보상이나 휘도 레벨을 맞추는 등의 보상을 수행할 때 보상의 정확도를 증가시킬 수 있는 효과가 있다.

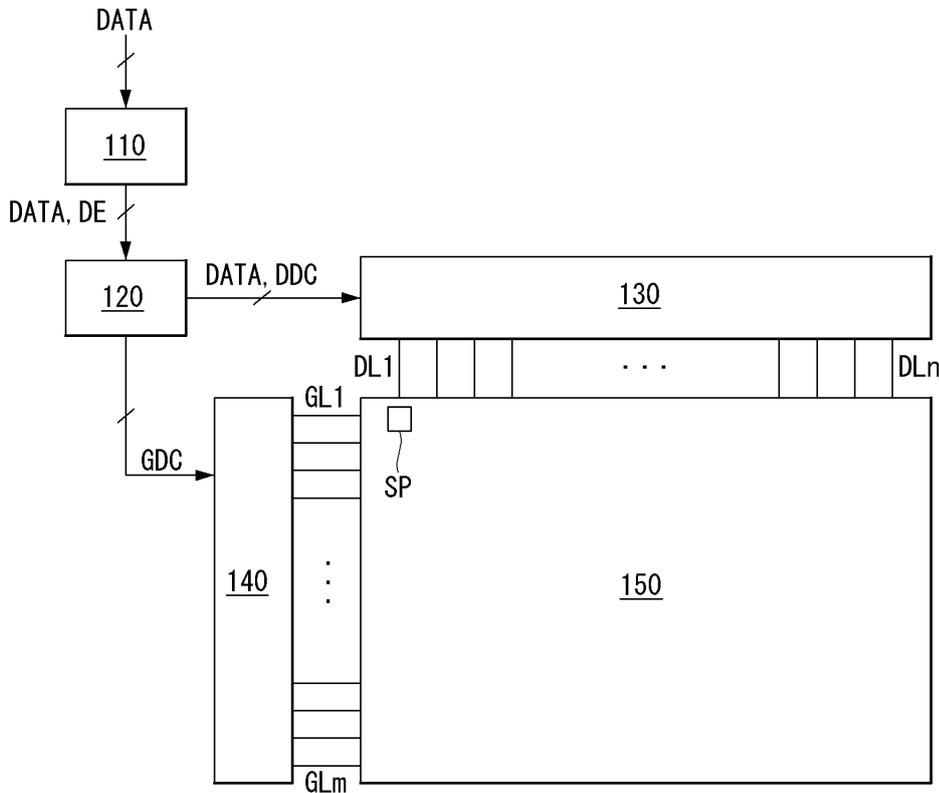
[0115] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

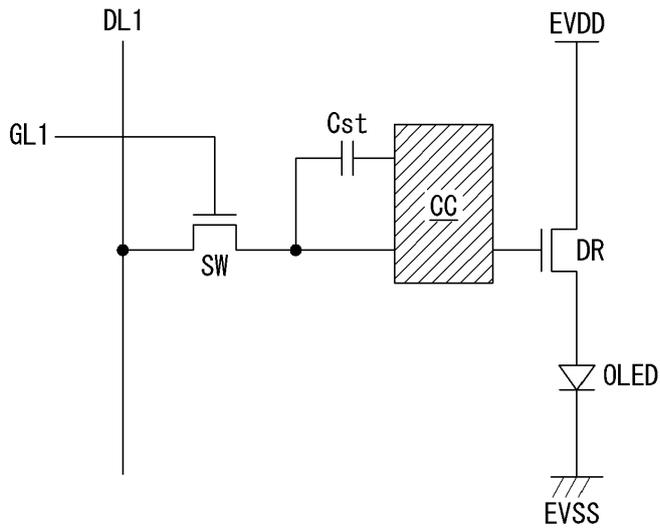
- [0116] 161: 컨트롤보드 160: 전원 공급부
- 131A ~ 131C: 소오스보드들 130A ~ 130C: 데이터 구동부들
- CI AMP, Cf: 전류 적분 회로부 SSW, DSW, SAM, ISW: 각종 스위치들
- 135: 전압 생성부 137: 오프셋 보정부
- CI AMP: 앰프 회로 AZ_INIT_B1~3: 제1스위치 그룹
- AZ_INIT1~2: 제2스위치 그룹 Cc: 오프셋용 커패시터

도면

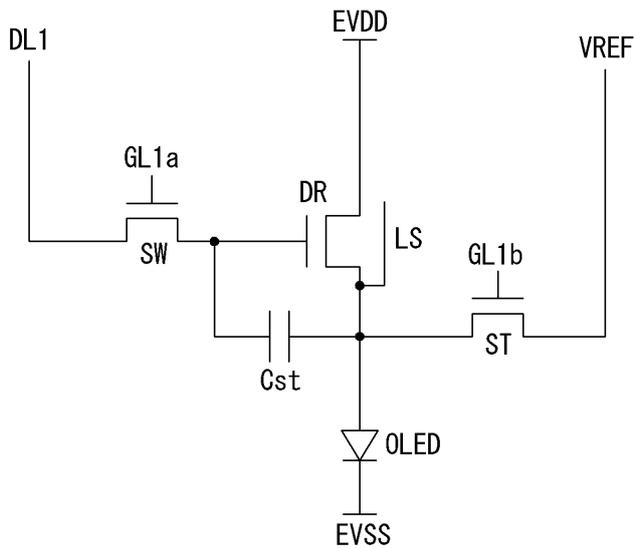
도면1



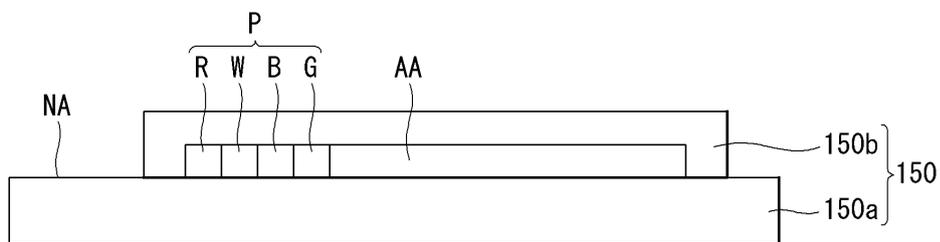
도면2



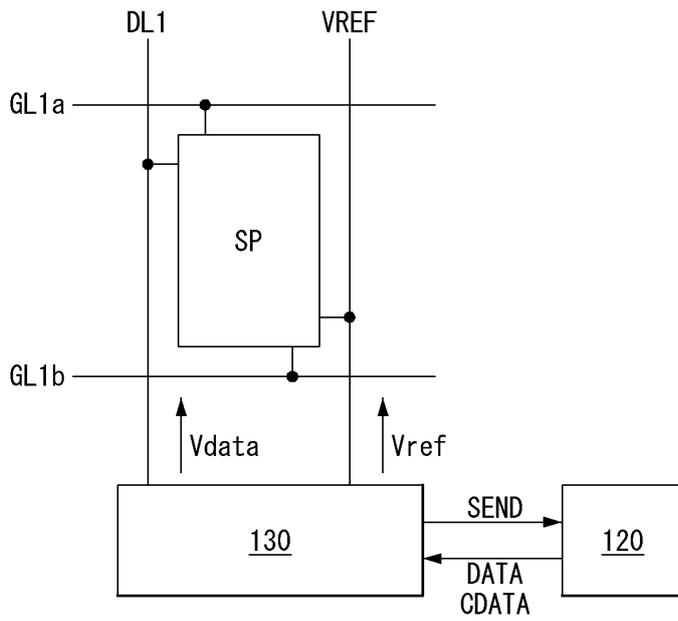
도면3



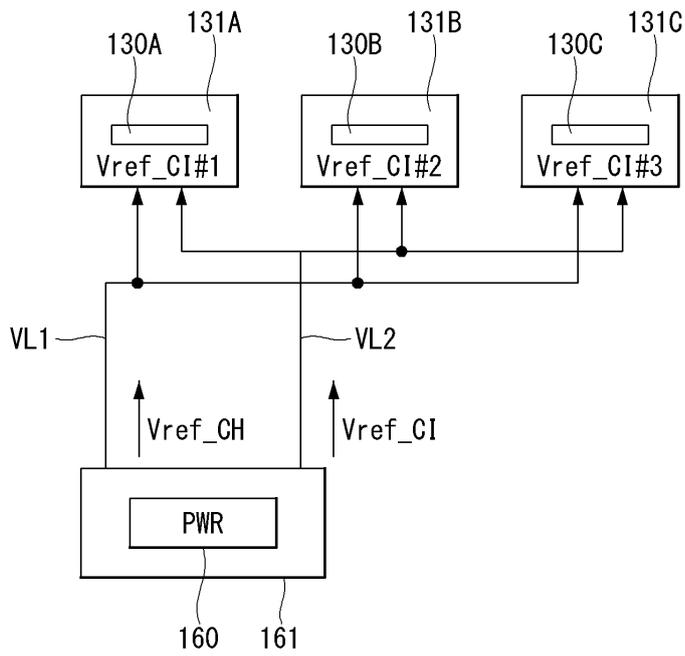
도면4



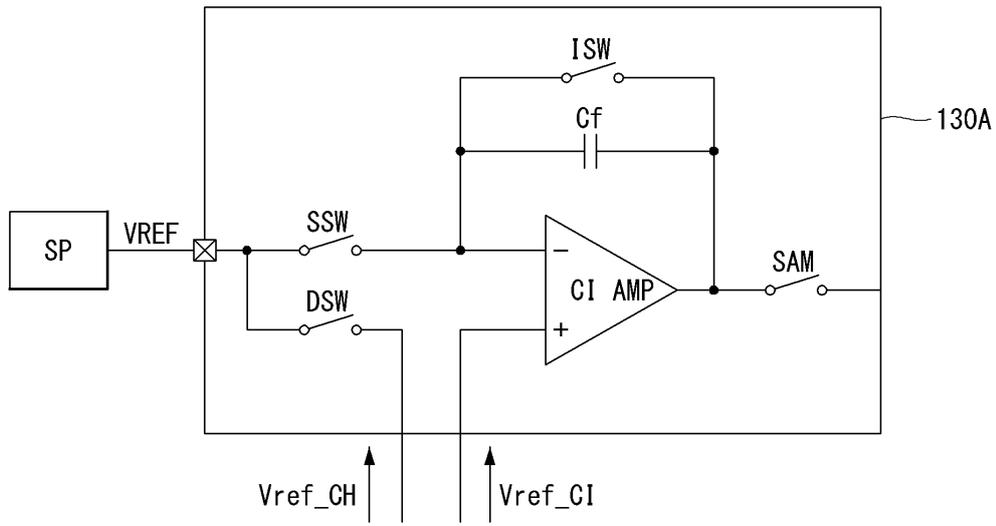
도면5



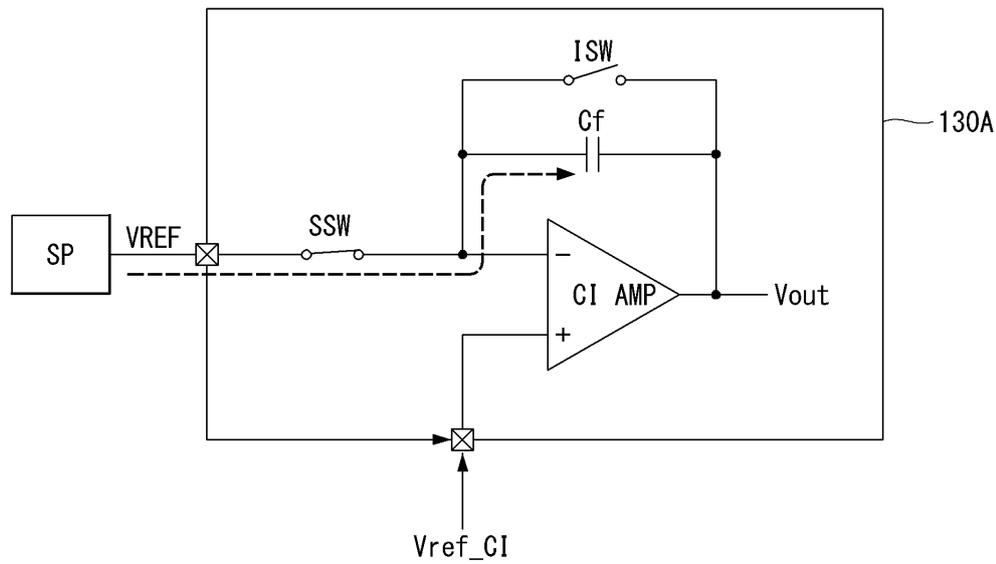
도면6



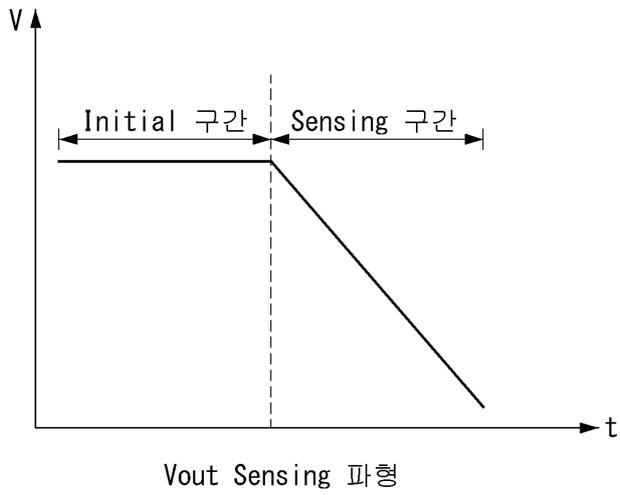
도면7



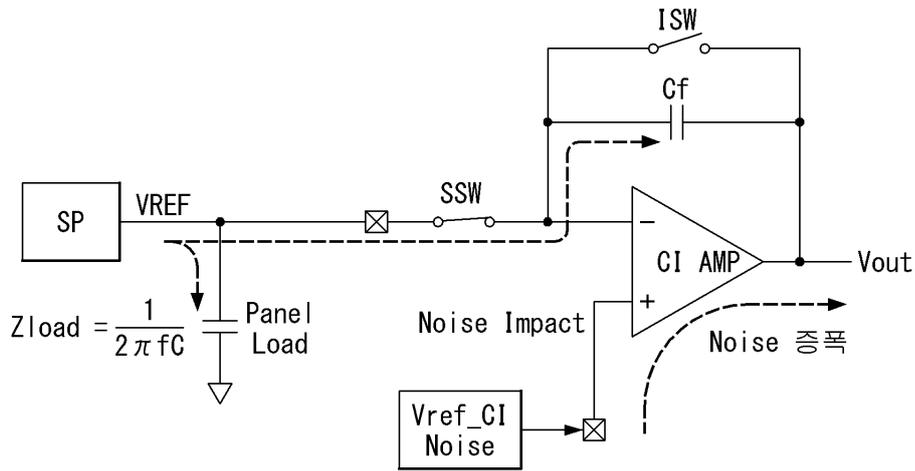
도면8



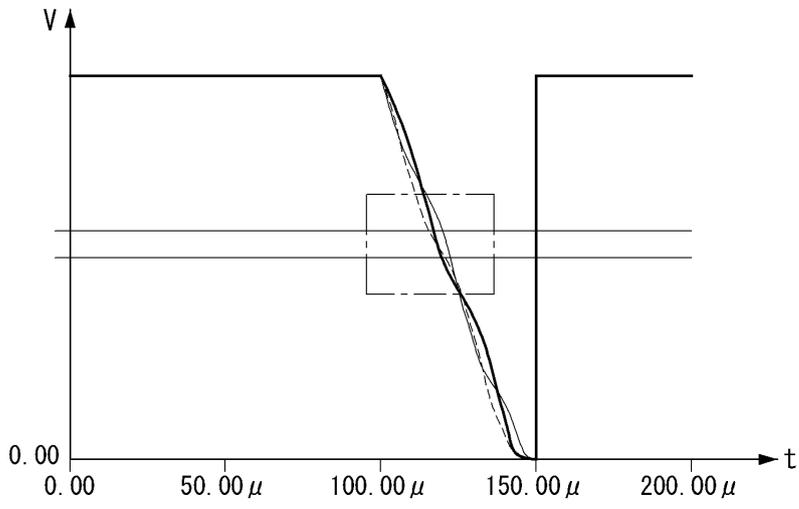
도면9



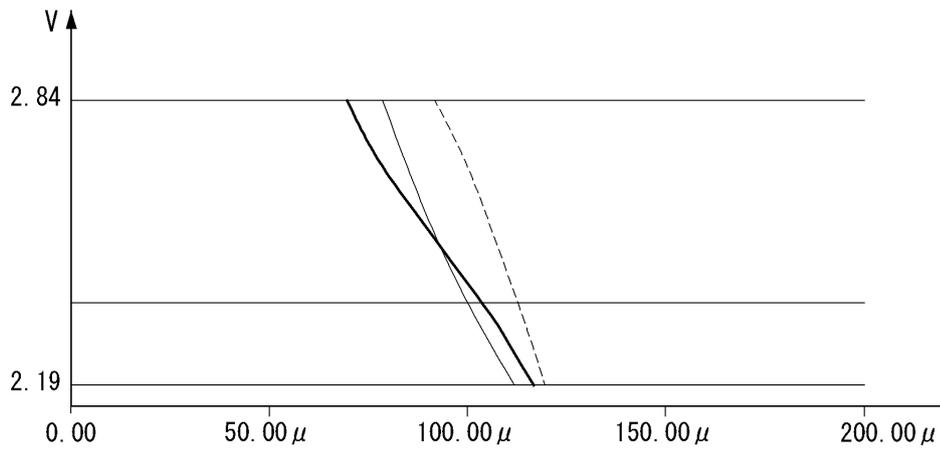
도면10



도면11

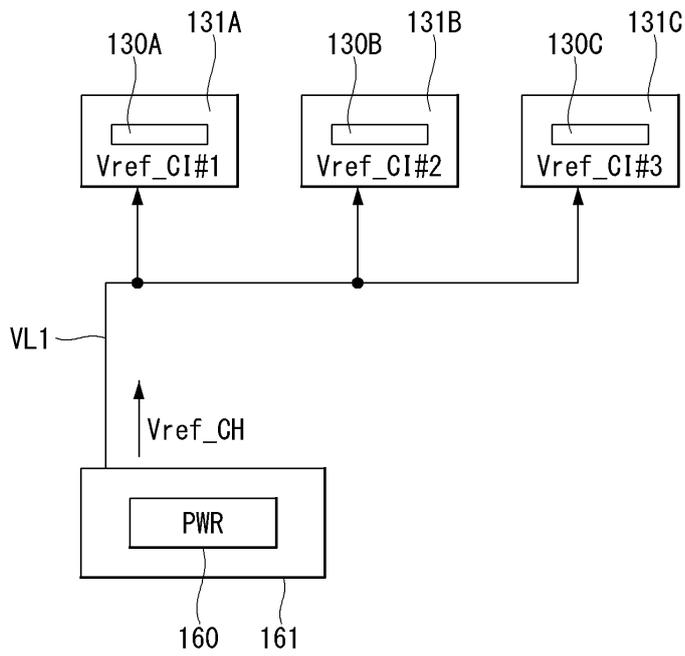


(a)

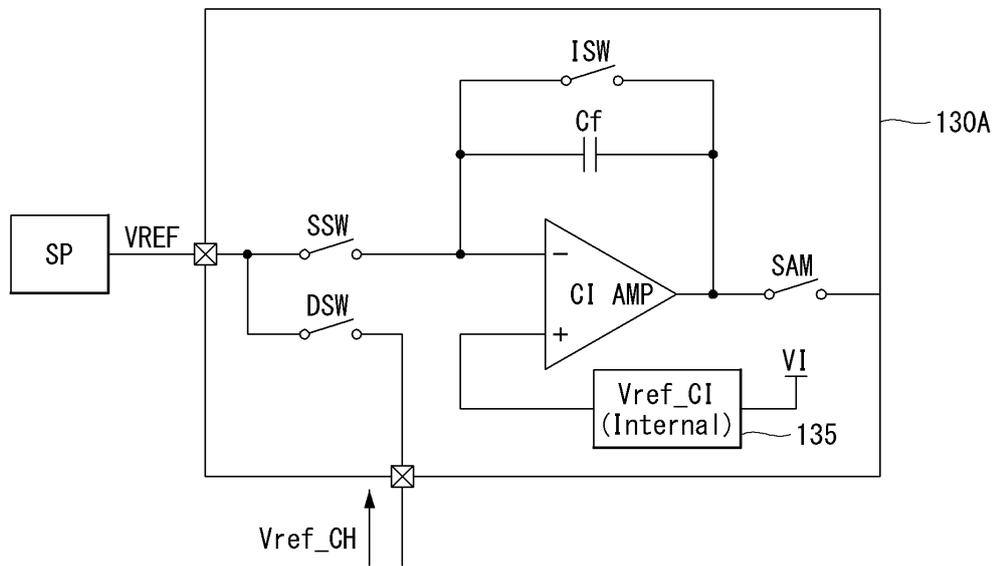


(b)

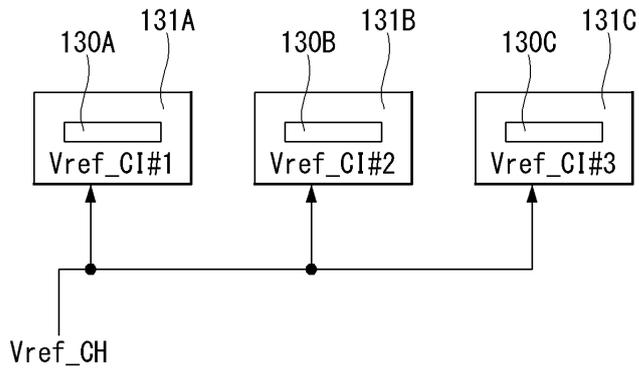
도면12



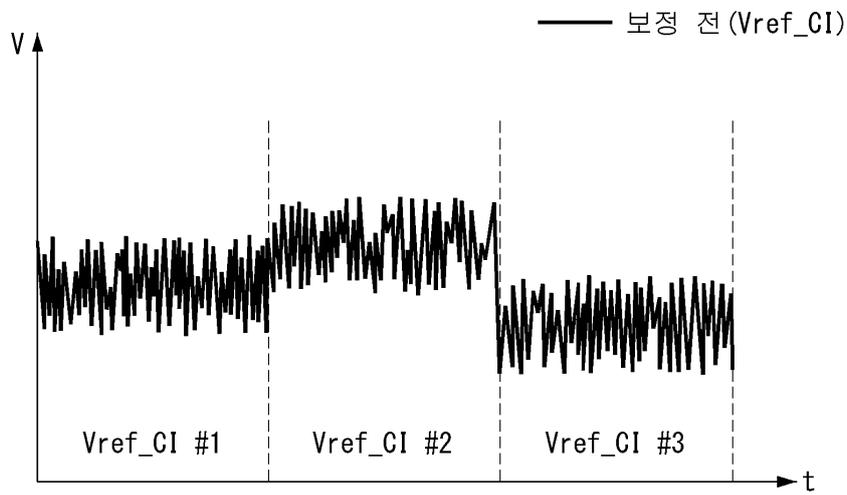
도면13



도면14

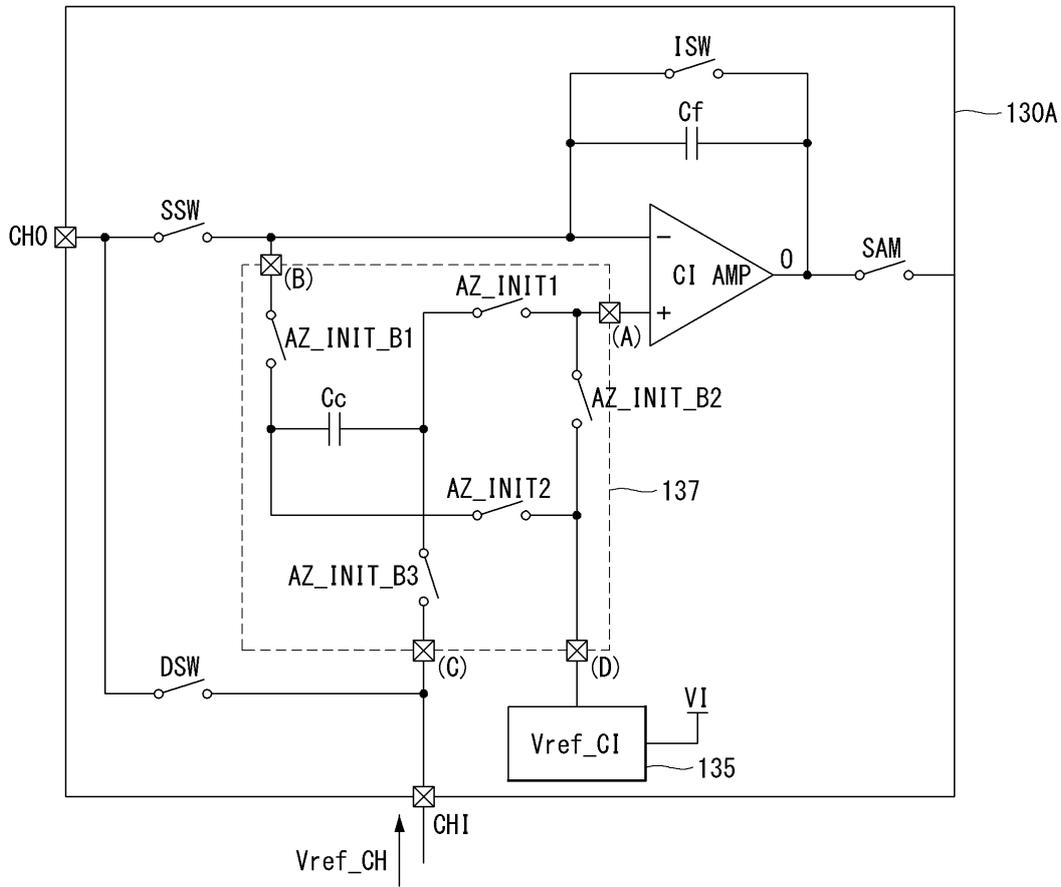


(a)

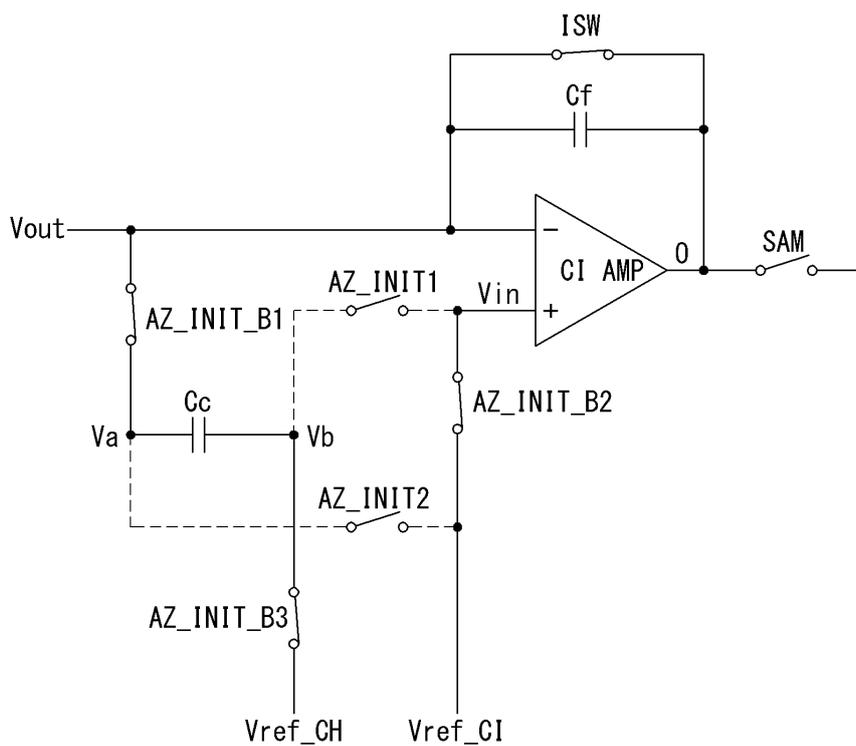


(b)

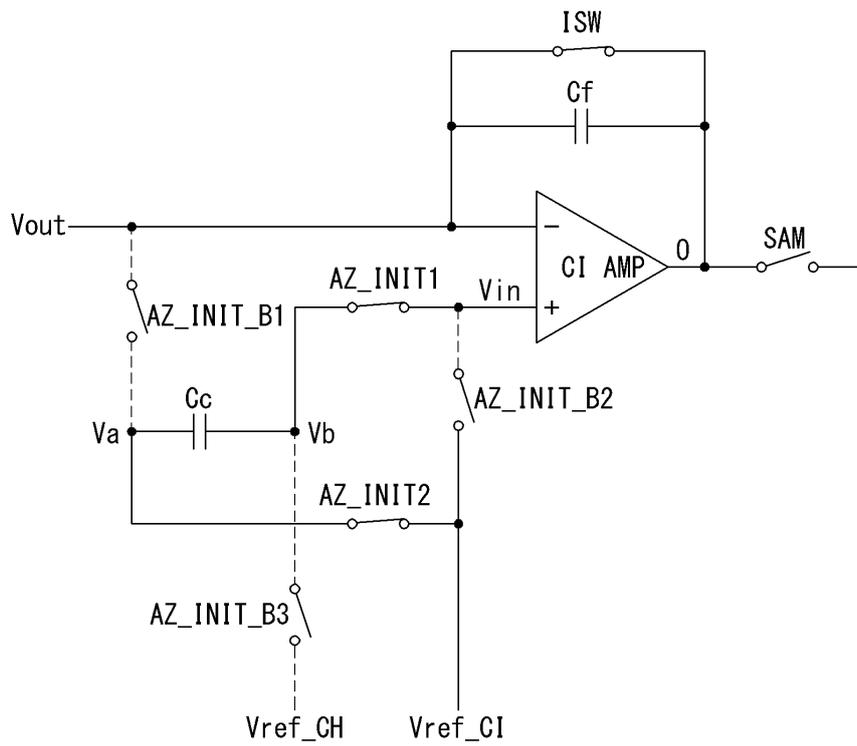
도면15



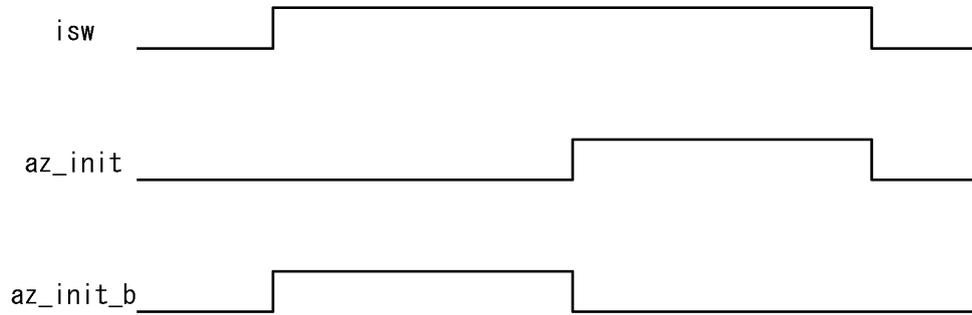
도면16



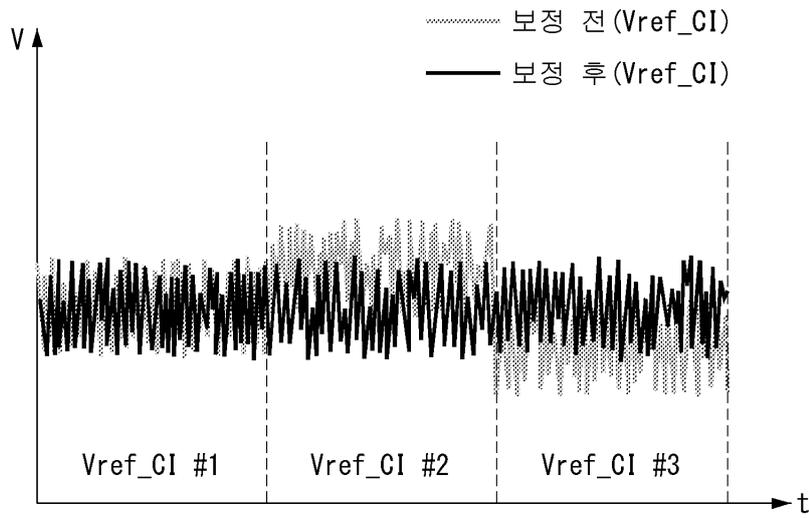
도면17



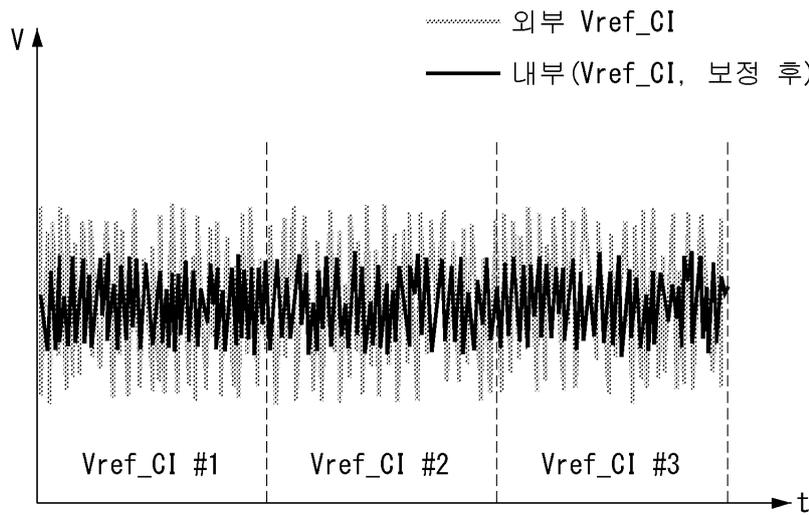
도면18



도면19

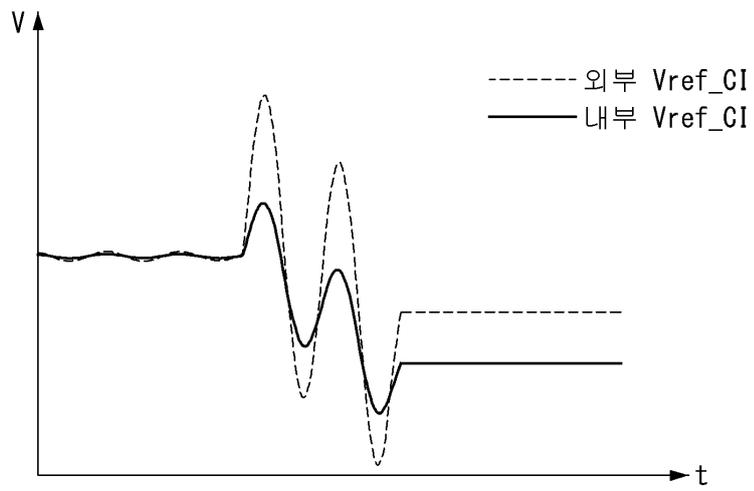


(a)



(b)

도면20



도면21

