(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 5/208

(45) 공고일자 2000년01월15일
(11) 등록번호 10-0238989
(24) 등록일자 1999년10월18일

(21) 출원번호 10-1996-0000113
(22) 출원일자 1996년01월05일
(65) 공개번호 특1996-0030667
(43) 공개일자 1996년08월17일

(30) 우선권주장 602/1995 1995년01월13일 프랑스(FR)
602/1995 1995년01월13일 프랑스(FR)

(73) 특허권자 에스지에스 톰슨 마이크로일렉트로닉스 소시에 떼아노님 삐에로 까뽀셀리
프랑스공화국 젱띨리 아브뉘 갈리에니 7번지
(72) 발명자 마크 에이. 슐츠
프랑스공화국 비비에 슈멩 뒤 뵈프 234
마크 씨. 엘버트
미합중국 메릴랜드 프레드릭 이스트 세컨드 스트리트 215
(74) 대리인 박장원

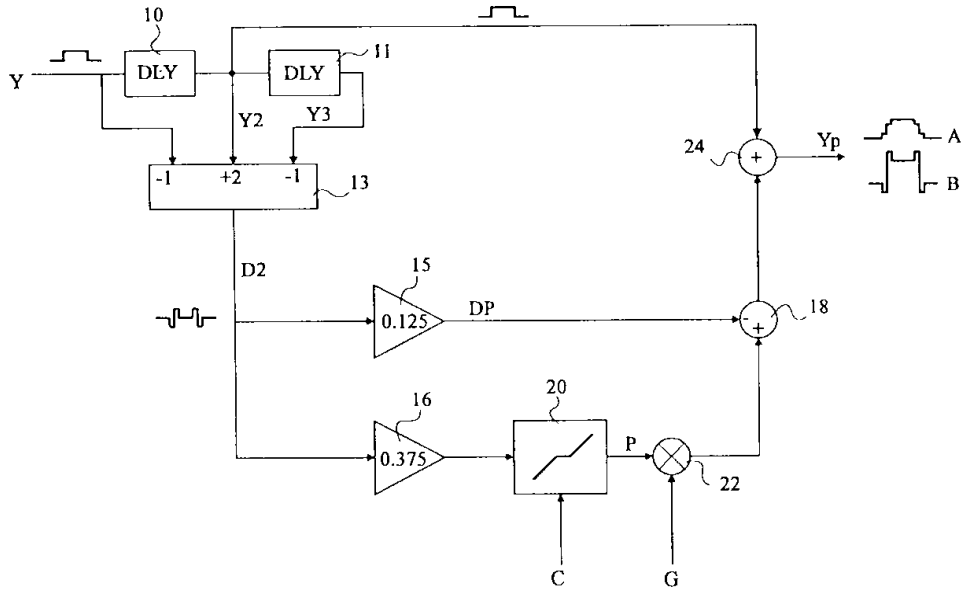
심사관 : 김창범

(54) 코링 및 피킹회로

요약

반대 위상의 2개의 구성원을 가지는 차동 입력전류의 형태인 입력신호를 위한 코링회로. 제 1 기준전압으로 바이어스된 제 1 쌍의 캐스코드 트랜지스터는 제 1 및 제 2 저항 각각에 차동전류의 구성원 각각의 제 1 부분을 인가한다. 제 1 기준전압으로 바이어스된 제 2 쌍의 캐스코드 트랜지스터는 코링회로의 차동전류 출력과 제 1 및 제 2 저항을 통하는 전압을 또한 수신하는 차동단의 제 1 및 제 2 브렌치에 차동전류의 구성원 각각의 제 2 부분을 제공한다. 2개의 코링 전류원은 각각 차동단의 제 1 및 제 2 전류를 서플라이 전압에 접속하고 제 3 저항을 통해 서로 접속된다.

대표도



명세서

[발명의 명칭]

코링 및 피킹회로

[도면의 간단한 설명]

제1도는 피킹/디피킹회로(peaking/depeaking circuit)의 통상적인 기능도.

제2도는 본 발명의 일실시예에 따른 코링회로(ccoring circuit)의 일실시예를 도시한 도면.

제3도는 제2도의 회로의 동작을 예시한 전이 다이어그램.

제4도는 피킹/디피킹회로를 구현하기 위하여 제2도의 코링회로에 부가한 회로를 도시한 도면.

제5도는 본 발명의 실시예의 회로에 의해 요구되는 전류신호를 제공하는 회로의 실시예를 나타낸 도면.

〈도면의 주요부분에 대한 부호의 설명〉

10, 11 : 지연회로	15, 16 :감쇠기
18 : 감산기	20 : 코링회로
22 : 곱셈기	24 : 가산기
30, 31, 36, 54 : 저항	Q1-Q21 : 트랜지스터
33, 34, 40, 41, 43, 46, 48, 49, 52, 53 : 전류원	

[발명의 상세한 설명]

본 발명은 텔레비젼 영상에서 물체의 윤곽을 강조하거나 반대로, 윤곽을 흐리게 하기 위한 피킹/디피킹회로에 관한 것이다. 본 발명은 특히, 프로세스에 대한 신호의 레벨이 너무 낮을 경우 피킹을 디스에이블하기 위한 코링회로에 관한 것이다.

제 1 도는 통상적인 피킹/디피킹회로의 기능도이다. 이러한 회로에 있어서, 신호(Y), 일반적으로 텔레비젼 휘도신호(luminance signal)는 지연회로(10)에 의해 1번, 지연회로(11)에 의해 2번 지연된다. 회로(13)는 신호(D2)를 제공하는 바, 신호(D2)는 지연회로(10) 마이너스 신호(Y) 및 지연회로(11)의 출력(Y3)의 2배이다. 제 1 도에 나타낸 바와 같이, 신호(Y)가 사각 펄스(square pulse)이면, 신호(D2)는 사각펄스의 앞부분에서, 네거티브 펄스, 곧 이어서 포지티브 펄스를 가지며, 사각펄의의 끝부분에서, 포지티브 펄스, 곧 이어서 네거티브 펄스를 가진다.

신호(D2)는 신호(D)에 계수 0.125를 곱하는 감쇠기(15)의 입력에 인가되고, 신호(D2)에 계수 0.375를 곱하는 감쇠기(16)의 입력에 인가된다. 감쇠기(15)의 출력(DP)은 감쇠기(16)의 출력에서 신호(DP)를 빼는 감산기(18)에 제공된다. 감쇠기(16)의 출력은 이미 코링회로(20)와 곱셈기(22)에 의해 처리된 것이다. 코링회로(20)는 이 신호가 코링신호(C)에 의해 고정된 예정된 레벨을 초과하는 경우에만 그 출력(P)에서 감쇠기(16)의 출력을 전송한다. 곱셈기(22)는 코링회로(20)의 출력(P)에 이득신호(G)에 의해 고정된 계수를 곱한다.

가산기(24)는 감산기(18)의 출력과 지연된 휘도신호(Y2)를 수신하여 처리된 신호(Yp)를 제공한다.

디피킹신호인, 신호(DP)는 신호(Y2)에서 영구적으로 감산되고, 반면에, 피킹신호인, 신호(P)는 곱셈기(22)에 제공된 이득신호(G)에 따라, 그 이상 또는 그 이하로 증폭되어 신호(Y2)와 합산된다. 곱셈기(22)의 곱셈계수가 1/3 미만이면, 신호(DP)의 감산이 우세하고, 신호(Yp)는 A로 나타낸 바와 같이, 점진적인 계단형태의 상승 및 하강에지를 가진다. 반대로, 곱셈기(22)의 곱셈계수가 1/3을 초과하면, 신호(P)의 가산이 우세하다. 그러면, 신호(Yp)는 B로 나타낸 바와 같이, 상승에지에 앞서 네거티브 펄스 그리고 이어서 오버슈트 및, 하강에지에 앞서 오버슈트 그리고 이어서 네거티브 펄스를 가진다.

지금까지 제 1 도의 블록도의 기능을 전압모드에서 동작하는 소자로 성취하였다.

본 발명의 일목적은 피킹/디피킹회로 특히, 특별하게 간단한 구조의 코링회로를 제공하는데 있다.

본 발명의 일실시예에 있어서, 제 1 도에서 보인 몇몇 기능은 전류모드에서 동작하는 소자로 형성된 특정한 구조에 의해, 특별하게 간단한 방식으로 성취된다.

본 발명의 실시예는 특히, 차동 입력전류의 형태의 입력신호를 위한 반대 위상의 2개의 구성소자를 가지는 코링회로에 관한 것이다. 코링회로는 2개의 개별적인 제 1 저항에 차동 전류의 구성원(component)의 제 1 부분을 인가하는, 동일한 기준 전압으로 바이어스되는 제 1 쌍의 캐스코드(cascode) 트랜지스터, 제 1 저항을 통해 전압을 수신하는 차동단(differential stage)의 개별적인 2개의 브렌치와 회로의 차동 출력에 이러한 차동 전류의 구성원의 제 2 부분을 제공하는, 상기 기준전압으로 바이어스된 제 2 쌍의 캐스코드 트랜지스터 및, 서플라이 전압에 차동단을 형성하는 2개의 트랜지스터를 각각 접속하고, 제 2 저항을 통해 상호접속된 2개의 코링 전류원으로 구성된다.

본 발명의 일실시예에 따라서, 제 2 저항의 값과 제 1 저항의 값사이에 비율은 제 1 및 제 2 부분의 비율의 2배이다.

본 발명의 일실시예에 따른 피킹/디피킹회로는 상술한 코링회로, 전류미러(current mirror)의 출력 브렌치와 입력 브렌치에 각기 차동전류의 구성원의 제 3 부분을 삽입하는 기준전압에 의해 바이어스된 제 3 쌍의 캐스코드 트랜지스터 및, 코링회로의 차동 전류출력과 차동곱셈전압을 수신하는 차동 곱셈기로 구성되며, 곱셈기의 2개의 출력 브렌치는 전류미러의 브렌치에 각각 접속된다.

본 발명의 일실시예에 따라서, 코링회로의 차동 입력전류는 입력전압, 한번 지연된 입력전압 및, 두번 지연된 입력전압에 의해 구해진다. 차동단은 한번 지연된 입력전압과 전류미러의 출력 브렌치의 전압을 수신한다. 이러한 차동단의 2개의 브렌치는 전류미러의 입력과 출력 브렌치에 각각 접속된다. 전류미러의 출력 브렌치의 전압은 피킹/디피킹회로의 출력신호를 구성한다.

본 발명의 일실시예에 따라서, 코링회로의 차동 입력전류는 2개의 차동단의 2개의 병렬접속 출력 브렌치

에 제공되며, 그중 하나는 입력전압과 한번 지연된 입력전압을 수신하고, 나머지 하나는 한번 지연된 입력전압과 2번 지연된 입력전압을 수신한다.

본 발명의 상기 및 그 밖의 목적, 특징, 양상 및 장점은 첨부된 도면을 참고로 하는 본 발명의 예시적인 실시예의 후속하는 상세한 설명으로 부터 더욱 명백해질 것이다.

본 발명에 따라서, 제 1 도의 신호(D2)는 구성원(D2+, D2-)을 갖춘 차동전류의 형태이다. 이러한 신호(D2-/D2+)로 부터, 모든 다른 신호는 출력전압(Yp)이 제공될때까지 차동전류로서 제공된다.

제 2 도는 본 발명에 따른 코링회로의 실시예를 나타낸다. 특히, 본 발명에 따른 코링회로의 특정한 구조는 피킹/디피킹회로의 더욱 간단한 구조를 제공한다.

제 1 쌍의 PNP 캐스코드 트랜지스터(Q1, Q2)는 차동전류(D2-/D2+)의 부분을 2개의 저항(30, 31)에 전송한다. 트랜지스터(Q1, Q2)의 베이스는 일정한 기준전압(Vr)으로 바이어스된다. 트랜지스터(Q1, Q2)는 에미터에서 구성원(D2-, D2+)을 각각 수신하고, 그 콜렉터는 저항(30, 31)을 통해 각각 접지(GND)에 접속된다.

제 2 쌍의 PNP 캐스코드 트랜지스터(Q3, Q4)는 2개의 NPN 트랜지스터(Q5, Q6)에 의해 형성된 차동단의 개별적인 브렌치에 차동전류(D2-/D2+)의 일부분을 전송한다. 트랜지스터(Q3, Q4)는 그 에미터와 베이스에 의해 트랜지스터(Q1, Q2)에 병렬로 접속된다. 트랜지스터(Q5, Q6)의 콜렉터는 트랜지스터(Q3, Q4)의 콜렉터에 각각 접속되어 제 1 도의 피킹신호(P)에 대응하는 차동전류의 구성원(P-, P+)을 각각 제공한다. 트랜지스터(Q5, Q6)의 베이스는 트랜지스터(Q1, Q2)의 콜렉터에 각각 접속된다. 차동단(Q5, Q6)은 낮은 이득단이며, 이러한 목적을 위하여, 트랜지스터(Q5, Q6)의 에미터는 각각의 전류원(33, 34)을 통해 접지에 접속되고, 저항(36)을 통해 서로 접속된다. 전류원(33, 34)의 전류(Ic) 즉, 신호(C)에 의해 조정될 수 있는 코링전류는 신호(D2+/D2-)의 코링범위의 폭 즉, 회로의 출력(P+/P-)이 0인 그 이하의 신호(D2+/D2-)의 진폭을 결정한다.

한쌍의 PNP 캐스코드 트랜지스터(Q7, Q8)는 제 1 도의 디피킹신호에 대응하는 차동전류(DP-/DP+)와 같이 차동전류(D2-/D2+)의 일부분을 전송한다. 트랜지스터(Q7, Q8)는 그 베이스와 에미터에 의해 트랜지스터(Q1, Q2)에 각각 병렬로 접속되고, 트랜지스터(Q7, Q8)의 콜렉터는 구성원(DP-, DP+)을 제공한다. 캐스코드 트랜지스터(Q1-14, Q7, Q8)는 이러한 트랜지스터의 크기의 기능으로 구성원(D2-, D2+)의 전류를 분배한다. 따라서, 제 1 도의 감쇠고(15, 16)의 감쇠계수는 트랜지스터(Q7, Q8) 보다 3배 큰 트랜지스터(Q3, Q4)와 트랜지스터(Q7, Q8) 보다 4배 큰 트랜지스터(Q1, Q2)를 선택함으로써 구해진다. 이러한 트랜지스터의 상대적인 크기는 제 2 도의 괄호로 나타내었다.

따라서, 구성원(D2-, D2+)이 각각 값(8(I-i), 8(I+i))을 가진다면, (여기서, I는 신호(D2)의 대표적인 가변적인 전류값이다.) 전류(4(I-i), 4(I+i), 3(I-i), 3(I+i), 8(I-i), 8(I+i), I-i 및 I+i)는 트랜지스터(Q1-Q4, Q7, Q8)의 콜렉터에서 각각 측정한다. 트랜지스터(Q1, Q2)의 콜렉터 전류는 저항(30, 31)을 통해 전압을 발생한다. 저항(30, 31)을 지나는 전압사이의 차는 저항(36)의 단자에 인가된다. 제 2 도의 예에 있어서, 저항(30, 31)은 값(3R)을 가지고, 저항(36)은 값(8R)을 가진다. 이러한 값의 경우, 이러한 전류(3i)가 전류원(33, 34)의 전류(Ic) 미만이라면, 저항(36)에 전류(3i)가 있다. 그러면 트랜지스터(Q5)의 콜렉터 전류는 Ic+3i 의 값을 가진다. 그 결과, 구성원(P-, P+)은 i에 독립적인, 값(3I-Ic)을 각각 가지며, 차동전류(P+/P-)는 어떤 i의 값이라도 0이다. 이러한 동작모드는 "코링" 범위내에서 구해진다.

일반적으로, 차동전류(P+/P-)는 트랜지스터(Q1(또는 Q2))와 트랜지스터(Q3(또는 (Q4))사이에 크기비의 2배와 같은 저항(30, 31)의 값과 저항(36)의 값사이에 비율을 선택함으로써 코링범위내에서 상쇄된다. 반대로, 차동전류(P+/P-)는 약간의 포지티브 또는 네거티브 기울기를 가지고 변할 것이다.

이제, 저항(36)내의 전류(3i)가 값(Ic)(코링범위의 밖인)을 초과한다면, 초과전류는 전류원(33)에 의해 흡수될 수 없다. 따라서, 제 2 도의 실시예에 있어서, 트랜지스터(Q5)의 콜렉터전류는 0이며, 트랜지스터(Q6)의 콜렉터전류는 전류가 Ic/3 이라면, 전류(I)의 값과는 별개로, 2Ic로 설정된다. 그러면, 구성원(P-)은 3(I-i)로 설정되고, 구성원(P+)은 3(I+I)-2Ic 로 설정된다.

제 3 도는 전류(i)의 함수로서 차동전류(P+/P-)의 변동량을 예시한 것이다. 전류(i)(코링범위내)의 값(-Ic/3, Ic3) 사이에는, 전류(P+/P-)는 0이다. 값(Ic/3) 이상에서, 전류(P+/P-)는 점(-2Ic)에서의 수직축을 가로지르는 직선에 따라 가변한다. 값(-Ic/3) 이하에서, 전류(P+/P-)는 점(2Ic)에서 수직축을 가로지르는 직선에 따라 가변한다.

저항(36)의 값과 저항(30, 31)의 값 사이에 비율이 트랜지스터(Q1, Q3(또는 Q2, Q4)) 사이에 크기비율의 2배와 다르다면, 코링범위내에 신호(P+/P-)의 기울기는 바람직스럽지 않은, 0대신에 포지티브 또는 네가티브가 된다. 위와 같은 기울기 변동량은 온도가 변하거나 제조기술이 변하는 경우 본 발명에 따른 회로에서 발생할 수 없다. 왜냐하면 상기 언급한 비율은 제조기술 또는 온도의 함수와 같은 이상적인 변동량 특성을 가지는 동일한 특성(저항 또는 트랜지스터)의 소자에 의해 결정되기 때문이다. 그 밖에, 이는 집적기술로 정확하게 성취될 수 있다.

제 4 도는 본 발명에 따른 피킹/디피킹회로를 구현하기 위하여 제 2 도의 회로를 사용하는 실시예를 나타낸 것이다. 트랜지스터(Q7, Q8)의 콜렉터에서 나온 구성원(DP+, DP-)은 PNP 트랜지스터(Q9, Q10)를 포함하는 전류미러의 입력 브렌치와 출력 브렌치에 각각 제공된다. 트랜지스터(Q9, Q10)의 에미터는 높은 서플라이 전압(Vcc)에 접속된다. 전류미러의 입력 및 출력 브렌치를 형성하는 이들 트랜지스터의 콜렉터는 동일한 값의 개별적인 전류원(40, 41)을 통해 접지(GND)에 접속된다. 트랜지스터(Q9, Q10)의 베이스는 서로 접속되고 트랜지스터(Q9)의 콜렉터에 접속된다.

구성원(P-, P+)은 곱셈기를 형성하는 2개의 개별적인 차동단의 2개의 바이어스 브렌치에 삽입된다. 한 단은 2개의 NPN 트랜지스터(Q11, Q12)로 구성되고, 나머지 단은 2개의 NPN 트랜지스터(Q13, Q14)로 구성된다. 구성원(P-)을 수신하는, 트랜지스터(Q11, Q12)의 에미터는 전류원(43)을 통해 접지(GND)에 접속된다. 구성원(P+)을 수신하는, 트랜지스터(Q13, Q14)의 에미터는 전류원(43)과 동일한 값의 전류원(44)을 통해 접지(GND)에 접속된다. 트랜지스터(Q12, Q13)의 콜렉터는 전압(Vcc)에 접속되고, 그 베이스는 곱셈기의

곱셈계수를 결정하는 차동 제어전압(G+/G-)의 구성원(G+)을 수신한다. 트랜지스터(Q11, Q14)는 베이스에서 구성원(G-)을 수신하고, 그 콜렉터는 전류미러(Q9, Q10)의 출력 브렌치 및 입력 브렌치에 각각 접속된다.

이러한 구성에서, 차동전류(DP+/DP-)와 곱셈기의 차동 출력전류(트랜지스터(Q11, Q14)의 콜렉터에 의해 제공된) 사이에 차이는 전류미러(Q9, Q10)의 입력 및 출력 브렌치에서 구해진다. 따라서, 제 1 도의 감산기와 곱셈기(22)의 기능이 성취된다.

그 밖에, 피킹/디피킹회로의 출력전압(Yp)은 그 베이스에서 전류미러(Q9, Q10)의 출력 브렌치의 전압(즉, 트랜지스터(Q10)의 콜렉터 전압을 수신하는 종(從) 트랜지스터(Q15)에 의해 제공된다. 트랜지스터(Q15)에서 콜렉터는 전압(Vcc)에 접속되고, 전압(Yp)을 제공하는 에미터는 전류원(46)을 통해 접지에 접속된다. 전압(Yp) 및 제 1 도의 지연신호(Y2)에 대응하는, 전압(Y2)은 낮은 이득의 차동단을 형성하는 트랜지스터(Q16, Q17)의 베이스에 인가된다. 트랜지스터(Q16, Q17)의 에미터는 동일한 값의 개별적인 전류원(48, 49)에 의해 접지에 접속되고 또한 저항(50)을 통해 서로 접속된다. 트랜지스터(Q16, Q17)의 콜렉터는 전류미터(Q9, Q10)의 입력 브렌치와 출력 브렌치에 접속된다. 차동단은 제 1 도의 가산기(24)의 기능을 제공한다.

트랜지스터(Q7, Q8)(제 2 도)가 일정하게 전도성인 것을 보장하기 위하여, 전압(Vr)으로 바이어스된 NPN 캐스코드 트랜지스터(도시하지 않음)는 트랜지스터(Q9, Q10)와 단자(DP+, DP-) 사이에서 접속될 수 있다. 이것은 또한 트랜지스터(Q7, Q8)로 부터 곱셈기(Q11-Q14)를 절연하고, 따라서, 차동전압을 가진 곱셈기를 바이어스하도록 한다.

제 5 도는 제 1 도는 전압(Y, Y2, Y3)으로 부터 차동전류(D2+/D2-)를 제공하는 회로의 실시예를 나타낸다. 2개의 낮은 이득의 차동단의 출력 브렌치는 병렬로 접속되어 구성원(D2+, D2-)을 각각 제공한다. 차동단중 하나는 PNP 트랜지스터(Q18, Q19)로 구성되며, 그 에미터는 동일한 값을 가지는 각각의 전류원(52, 53)을 통해 전압(Vcc)에 접속되고, 저항(54)을 통해 서로 접속된다. 나머지 차동단은 PNP 트랜지스터(Q20, Q21)로 구성되며, 그 에미터는 전류원(52, 53)과 마찬가지로, 동일한 값을 가지는 각각의 전류원(56, 57)을 통해 전압(Vcc)에 접속되고, 저항(54)과 동일한 값의 저항(58)을 통해 서로 접속된다. 트랜지스터(Q18, Q21)의 콜렉터는 구성원(D2+)을 제공하고 트랜지스터(Q19, Q20)의 콜렉터는 구성원(D2-)을 제공한다. 트랜지스터(Q18, Q21)의 베이스는 전압(Y, Y3)을 수신하고, 트랜지스터(Q19, Q20)의 베이스는 모두 전압(Y2)을 수신한다.

전류모드로 동작하는 소자로 부터 성취되는, 본 발명에 따른 완전한 피킹/디피킹회로는 대략 55개의 트랜지스터와 41개의 저항으로 구성되는 반면, 전압모드로 동작하는 소자를 사용하고 디피킹기능을 구성하지 않는 종래의 회로는 대략 75개의 트랜지스터와 48개의 저항을 포함한다.

본 기술분야에서 숙련된 자는 본 발명의 적어도 하나의 예시 실시예를 가지고 본 발명의 다양한 변형물, 수정물 및 개선물을 쉽게 제조할 수 있다. 위와 같은 다양한 변형물, 수정물 및 개선물은 본 발명의 정신 및 범위내에 포함된다. 따라서, 본 발명의 상기 설명은 단지 예시를 목적으로 하며, 이에 제한되지는 않는다. 본 발명은 후속하는 청구범위와 그 등가물에 정의된 바에 의해서만 한정된다.

(57) 청구의 범위

청구항 1

서로 반대 위상(D2+, D2-)인 2개의 성분을 갖는 차동 입력 전류 형태인 입력신호(D2)를 위한 코링회로로서, 상기 차동전류의 성분 각각의 제1 부분을 제1 및 제2 저항(30, 31)에 각각 인가하는, 제1 기준전압(Vr)으로 바이어스 되는 제1 쌍의 캐스코드 트랜지스터(Q1, Q2)와; 상기 차동전류의 성분 각각의 제2 부분을 상기 코링회로의 차동전류 출력(P+, P-)에 제공함과 아울러 상기 제1 및 제2 저항(30, 31) 양단의 전압을 수신하는 차동단(Q5, Q6)의 제1 및 제2 브렌치에 각각 제공하는, 상기 제1 기준전압으로 바이어스 되는 제2 쌍의 캐스코드 트랜지스터(Q3, Q4)와; 그리고 상기 차동단(Q5, Q6)의 제1 및 제2 출력에 각각 연결되며, 제3 저항(36)을 통해 서로 연결되는 2개의 코링 전류원(33, 34을 구비하는 것을 특징으로 하는 코링회로.

청구항 2

제1항에 있어서, 상기 제3 저항(36)의 값과 상기 제1 저항(30, 31)의 값 간의 + 비율은 상기 제1 부분과 상기 제2부분 간의 비율의 두배인 것을 특징으로 하는 코링회로.

청구항 3

서로 반대 위상(D2+, D2-)인 2개의 성분을 갖는 차동 입력 전류 형태인 입력신호(D2)를 위한 것으로, 상기 차동전류의 성분 각각의 제1 부분을 제1 및 제2 저항 (30, 31)에 각각 인가하는 제1 기준전압(Vr)으로 바이어스 되는 제1 쌍의 캐스코드 트랜지스터(Q1, Q2)와, 상기 차동전류의 성분 각각의 제2부분을 상기 코링회로의 차동전류 출력(P+, P-)에 제공함과 아울러 상기 제1 및 제2 저항(30, 31)양단의 전압을 수신하는 차동단(Q5, Q6)의 제1 및 제2 브렌치에 각각 제공하는, 상기 제1 기준전압으로 바이어스 되는 제2 쌍의 캐스코드 트랜지스터(Q3, Q4)와, 그리고 상기 차동단(Q5, Q6)의 제1 및 제2 출력에 각각 연결되며, 제3 저항(36)을 통해 서로 연결되는 2개의 코링 전류원(33, 34)을 구비하는 코링회로와; 상기 차동전류 성분 각각의 제3 부분을 전류미러(Q9, Q10)의 입력 브렌치 및 출력 브렌치에 각각 제공하는, 상기 기준전압(Vr)으로 바이어스되는 제3 쌍의 캐스코드 트랜지스터(Q7, Q8)와; 그리고 상기 코링회로의 차동전류출력(P+, P-) 및 차동 곱셈 전압(G+, G-)을 수신하며, 자신의 2개의 출력 브렌치가 상기 전류미러의 브렌치에 각각 접속되는 차동 곱셈기(Q11, Q14)를 구비하는 것을 특징으로하는 피킹/디피킹 회로.

청구항 4

제3항에 있어서, 상기 코링회로의 상기 차동 입력전류(D2+, D2-)는 입력전압(Y), 1번 지연된 입력전압

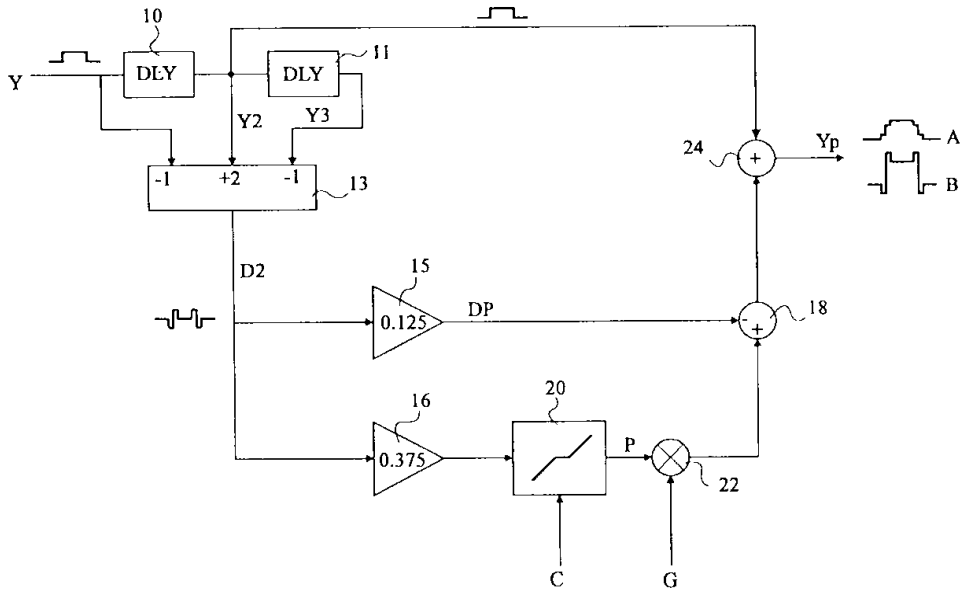
(Y2) 및 2번 지연된 입력전압(Y3)으로부터 구해지고; 상기 전류미러(Q9, Q10)의 출력 브렌치의 전압과 그리고 상기 한번 지연된 입력전압(Y2)을 수신하고 자신의 2개의 출력 브렌치가 상기 전류미러의 입력 및 출력 브렌치 각각에 연결되는 차동단(Q16, Q17)을 구비하며; 상기 전류미러의 출력 브렌치의 전압이 피킹/디피킹회로의 출력신호(Yp)를 구성하는 것을 특징으로하는 피킹/디피킹 회로.

청구항 5

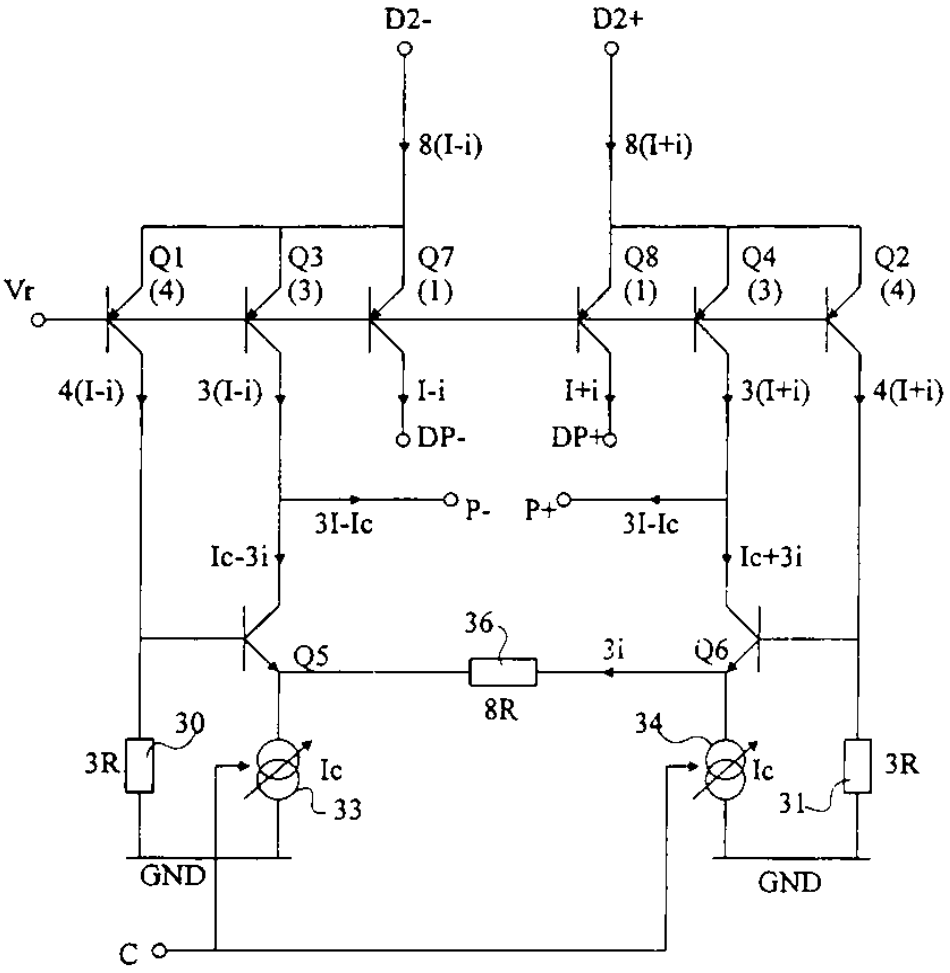
제4항에 있어서, 상기 코링회로의 상기 차동입력전류(D2+, D2-)는 2개의 차동단의 2개의 병렬접속된 출력 브렌치에 의해 제공되고, 그 중 하나의 차동단은 입력전압(Y)과 1번 지연된 입력전압(Y2)을 수신하고, 다른 하나의 차동단은 1번 지연된 입력전압(Y2)과 2번 지연된 입력전압(Y3)을 수신하는 것을 특징으로하는 피킹/디피킹 회로.

도면

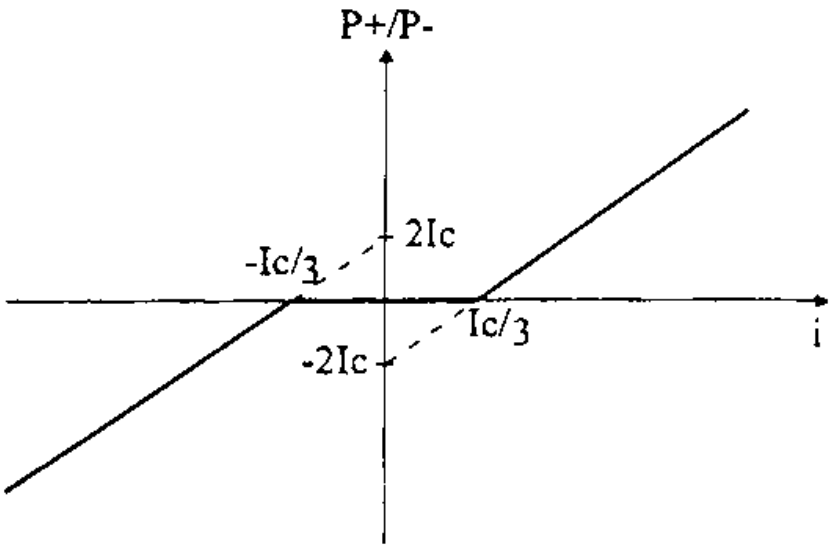
도면1



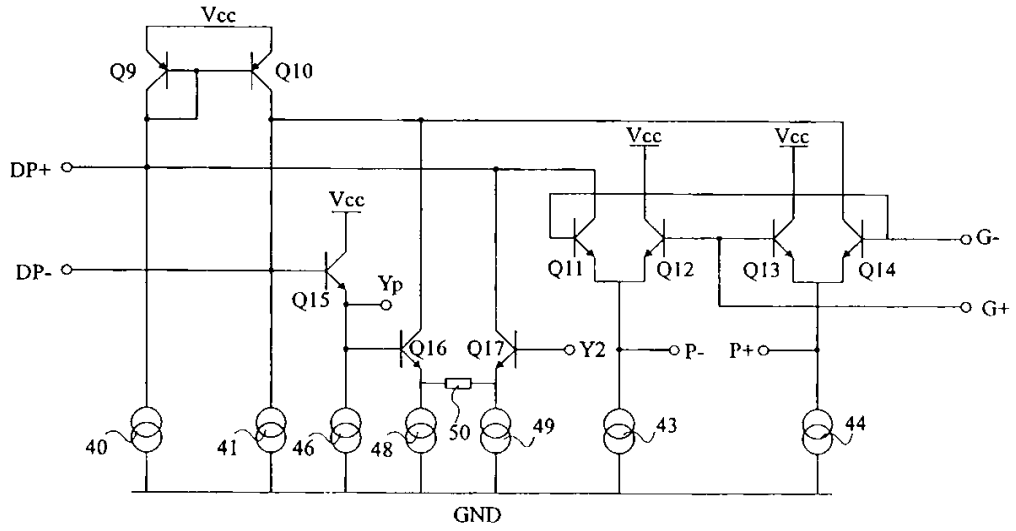
도면2


D2-
D2+
8(I-i)
8(I+i)
Q1
(4)
Q3
(3)
Q7
(1)
Q8
(1)
Q4
(3)
Q2
(4)
Vr
4(I-i)
3(I-i)
I-i
I+i
3(I+i)
4(I+i)
DP-
DP+
P-
P+
3I-Ic
3I-Ic
Ic-3i
Ic+3i
36
3i
Q5
Q6
8R
30
34
3R
Ic
33
Ic
31
3R
GND
GND
C

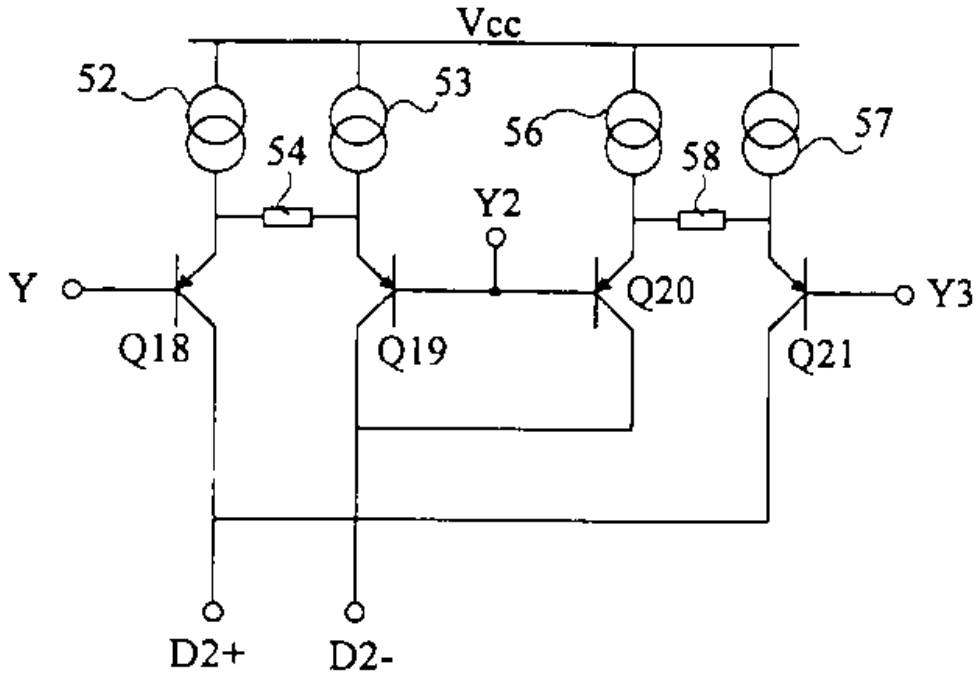
도면3


P+/P-
2Ic
-Ic/3
Ic/3
-2Ic
i

도면4


Vcc
Q9
Q10
DP+
DP-
Vcc
Q15
Yp
Vcc
Vcc
Q11
Q12
Q13
Q14
G-
G+
Q16
Q17
Y2
P-
P+
40
41
46
48
50
49
43
44
GND

도면5


Vcc
52
53
54
56
57
58
Y2
Y
Q18
Q19
Q20
Q21
Y3
D2+
D2-