

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和4年2月16日(2022.2.16)

【公開番号】特開2019-153304(P2019-153304A)

【公開日】令和1年9月12日(2019.9.12)

【年通号数】公開・登録公報2019-037

【出願番号】特願2019-38498(P2019-38498)

【国際特許分類】

G 06 F 13/12 (2006.01)

10

G 06 F 13/36 (2006.01)

G 06 F 13/38 (2006.01)

【F I】

G 06 F 13/12 340C

G 06 F 13/12 340D

G 06 F 13/12 340E

G 06 F 13/36 310E

G 06 F 13/38 350

【手続補正書】

20

【提出日】令和4年2月7日(2022.2.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アプリケーションを実行するプロセッサと、

前記プロセッサ上で実行中のアプリケーションによって使用されるデータを格納するメモリと、

前記プロセッサと通信するためのアップストリームポートと、

ストレージデバイスと通信するためのダウンストリームポートと、

ハードウェアを用いて具現され、アクセラレーションコマンドを実行するアクセラレーションモジュールと、ハドウェアを用いて具現され、アクセラレーションコマンドを実行するアクセラレーションモジュールと、

前記ダウンストリームポートに関連付けられ、前記ストレージデバイスから受信される前記アクセラレーションコマンドをインターセプトして前記アクセラレーションコマンドを前記A P M - F に配信するように動作するダウンストリームフィルタと、を備え、

前記ストレージデバイスは、

前記アクセラレーションモジュールと通信するための前記ストレージデバイスのエンドポイントと、

前記ストレージデバイスの動作を管理するコントローラと、

前記アプリケーションのためのアプリケーションデータを格納するストレージと、

前記アクセラレーションコマンドを実行する際に前記アクセラレーションプラットフォームマネージャー(A P M - F )を補助するストレージデバイスアクセラレーションプラットフォームマネージャー(A P M - S )と、を含み、

前記アクセラレーションコマンドは、ダウンストリームF A R(F i l t e r A d d r e s s R a n g e)に関連付けられ、

前記プロセッサ、前記アクセラレーションモジュール、及び前記ストレージデバイスは、

40

前記プロセッサ、前記アクセラレーションモジュール、及び前記ストレージデバイスは、

50

P C I e ( P e r i p h e r a l C o m p o n e n t I n t e r c o n n e c t E x c h a n g e ) バスを介して通信し、

前記アクセラレーションモジュールは、前記アプリケーションデータを前記メモリにロードすることなく、前記アプリケーションのための前記ストレージデバイス上の前記アプリケーションデータに対して前記アクセラレーションコマンドを実行することを支援することを特徴とするシステム。

【請求項 2】

前記プロセッサと前記アクセラレーションモジュールとの間の通信をブリッジ ( b r i d g i n g ) し、前記アップストリームポートを含む第 1 ブリッジ構成要素と、

前記アクセラレーションモジュールと前記ストレージデバイスとの間の通信をブリッジし、前記ダウンストリームポート及び前記ダウンストリームフィルタを含む第 2 ブリッジ構成要素と、を更に含むことを特徴とする請求項 1 に記載のシステム。

【請求項 3】

前記アクセラレーションモジュールは、F P G A ( F i e l d P r o g r a m m a b l e G a t e A r r a y ) を用いて具現され、

前記F P G A は、前記アップストリームポート、前記ダウンストリームポート、及び前記ダウンストリームフィルタを含み、

前記ストレージデバイスは、S S D ( S o l i d S t a t e D r i v e ) を含むことを特徴とする請求項 1 に記載のシステム。

【請求項 4】

前記A P M - F は、前記アップストリームポートを介して前記プロセッサに結果を送信するように動作することを特徴とする請求項 3 に記載のシステム。

【請求項 5】

前記コントローラは、前記ダウンストリームF A R を有する前記ダウンストリームフィルタをプログラミングするように動作することを特徴とする請求項 3 に記載のシステム。

【請求項 6】

前記A P M - F は、前記ダウンストリームポート及び前記S S D の前記エンドポイントを介して結果を前記A P M - S に伝送するように動作し、

前記コントローラは、前記S S D の前記エンドポイントを介して前記結果を前記プロセッサに伝送するように動作することを特徴とする請求項 3 に記載のシステム。

【請求項 7】

前記F P G A は、前記アップストリームポートに関連付けられたアップストリームフィルタを更に含み、

前記アップストリームフィルタは、前記プロセッサから受信された第 2 アクセラレーションコマンドをインターフェクトして前記第 2 アクセラレーションコマンドを前記A P M - F に配信するように動作し、

前記第 2 アクセラレーションコマンドは、アップストリームF A R に関連付けられ、

前記F P G A は、前記プロセッサから受信された前記アップストリームF A R に関連付けられていない第 3 P C I e トランザクションを前記アップストリームポートで前記S S D に伝送するように動作することを特徴とする請求項 3 に記載のシステム。

【請求項 8】

前記コントローラは、前記ダウンストリームF A R を有する前記ダウンストリームフィルタ及び前記アップストリームF A R を有する前記アップストリームフィルタをプログラミングするように動作することを特徴とする請求項 7 に記載のシステム。

【請求項 9】

ハードウェアを用いて具現されたアクセラレーションモジュールであって、

—アクセラレーションコマンドを実行するアクセラレーションプラットフォームマネージャー ( A P M - F ) と、

アプリケーションを実行中のプロセッサと通信するためのアップストリームポートと、

前記アクセラレーションコマンドを実行する際に前記A P M - F を補助するストレージデ

10

20

30

40

50

バイスアクセラレーションプラットフォームマネージャー( APM - S )を含むストレージデバイスと通信するためのダウンストリームポートと、

前記ダウンストリームポートに関連付けられ、前記ストレージデバイスから受信される前記アクセラレーションコマンドをインターフェクトして前記アクセラレーションコマンドを前記 APM - F に配信するように動作するダウンストリームフィルタと、を備え、

前記アクセラレーションコマンドは、ダウンストリーム F A R ( Filter Address Range )に関連付けられ、

前記アクセラレーションモジュールは、PCIe ( Peripheral Component Interconnect Exchange ) バスを使用して前記プロセッサ及び前記ストレージデバイスと通信し、

前記アクセラレーションモジュールは、前記プロセッサに関連付けられたメモリにアプリケーションデータをロードすることなく、前記アプリケーションのための前記ストレージデバイス上の前記アプリケーションデータに対して前記アクセラレーションコマンドを実行することを支援することを特徴とするアクセラレーションモジュール。

#### 【請求項 10】

前記 APM - F は、前記アップストリームポートを介して前記プロセッサに結果を送信するように動作することを特徴とする請求項 9 に記載のアクセラレーションモジュール。

#### 【請求項 11】

前記アクセラレーションモジュールは、FPGA を用いて具現され、

前記 APM - F は、前記ダウンストリームポートを介して前記ストレージデバイスの前記 APM - S に結果を送信することを特徴とする請求項 9 に記載のアクセラレーションモジュール。

#### 【請求項 12】

前記アクセラレーションモジュールは、FPGA を用いて具現され、

前記アクセラレーションモジュールは、前記ストレージデバイスに割り当てられた NVM e レジスタを通じて前記プロセッサに間接的に露出されることを特徴とする請求項 9 に記載のアクセラレーションモジュール。

#### 【請求項 13】

前記 FPGA は、前記アップストリームポートに関連付けられたアップストリームフィルタと、を更に含み、

前記アップストリームフィルタは、前記プロセッサから受信された第 2 アクセラレーションコマンドをインターフェクトして前記第 2 アクセラレーションコマンドを前記 APM - F に配信するように動作し、

前記第 2 アクセラレーションコマンドは、アップストリーム F A R に関連付けられ、

前記 FPGA は、前記プロセッサから受信された前記アップストリーム F A R に関連付けられていない第 3 PCIe トランザクションを前記アップストリームポートで前記ストレージデバイスに伝送するように動作することを特徴とする請求項 12 に記載のアクセラレーションモジュール。

#### 【請求項 14】

ストレージデバイスに対するアクセラレーションのための動作方法であって、

アクセラレーションモジュールのダウンストリームポートで前記ストレージデバイスから第 2 PCIe トランザクションを受信するステップと、

前記第 2 PCIe トランザクションが前記アクセラレーションモジュールのダウンストリームポートに関連付けられたダウンストリーム F A R 内のアドレスに関連付けられているか否かを判断することにより、前記 PCIe トランザクションがアクセラレーションコマンドであるか否かを前記アクセラレーションモジュールで判断するステップと、

前記 PCIe トランザクションが前記アクセラレーションコマンドであると判断することに少なくとも部分的に基づいて、前記 PCIe トランザクションを前記アクセラレーションモジュールのアクセラレーションプラットフォームマネージャー( APM - F )で処理するステップと、

10

20

30

40

50

前記 P C I e トランザクションが前記アクセラレーションコマンドではないと判断することに少なくとも部分的に基づいて、前記アクセラレーションモジュールのアップストリームポートを使用して前記第 2 P C I e トランザクションをプロセッサに配信するステップと、を有し、

前記アクセラレーションモジュールは、前記プロセッサに関連付けられたメモリにアプリケーションデータをロードすることなく、前記アプリケーションのための前記ストレージデバイス上の前記アプリケーションデータに対して前記アクセラレーションコマンドを実行することを支援し、

前記プロセッサ、前記アクセラレーションモジュール、及び前記ストレージデバイスは、P C I e バスを使用して通信することを特徴とする方法。

10

【請求項 15】

前記アクセラレーションモジュールは、F P G A を用いて具現されることを特徴とする請求項 14 に記載の方法。

【請求項 16】

前記F P G A の前記アップストリームポートを使用して前記第 2 P C I e トランザクションの結果を前記プロセッサに送信するステップ、を更に含むことを特徴とする請求項 15 に記載の方法。

【請求項 17】

前記F P G A で前記ストレージデバイスから前記ダウンストリームF A R を受信するステップと、

20

前記ダウンストリームF A R を前記F P G A の前記ダウンストリームポートに関連付けるステップと、を更に含むことを特徴とする請求項 15 に記載の方法。

【請求項 18】

前記F P G A の前記ダウンストリームポートを使用して前記第 2 P C I e トランザクションの結果を前記ストレージデバイスに送信するステップを更に含むことを特徴とする請求項 15 に記載の方法。

【請求項 19】

前記F P G A の前記アップストリームポートで前記プロセッサから第 1 P C I e トランザクションを受信するステップと、

30

前記第 1 P C I e トランザクションが前記F P G A の前記アップストリームポートに関連付けられたアップストリームF A R 内の第 2 アドレスに関連付けられているか否かを判断することにより、前記第 1 P C I e トランザクションが第 2 アクセラレーションコマンドであるか否かを判断するステップと、

前記第 1 P C I e トランザクションが前記第 2 アクセラレーションコマンドであると判断することに少なくとも部分的に基づいて、前記F P G A の前記A P M - F で前記第 1 P C I e トランザクションを処理するステップと、

前記第 1 P C I e トランザクションが前記第 2 アクセラレーションコマンドではないと判断することに少なくとも部分的に基づいて、前記第 1 P C I e トランザクションを前記F P G A の前記ダウンストリームポートを使用して前記ストレージデバイスに配信するステップと、を更に含むことを特徴とする請求項 15 に記載の方法。

40

【請求項 20】

前記アップストリームF A R を前記ストレージデバイスから前記F P G A で受信するステップと、

前記アップストリームF A R を前記F P G A の前記アップストリームポートに関連付けるステップと、を更に含むことを特徴とする請求項 19 に記載の方法。

50