

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月25日(25.04.2019)



(10) 国際公開番号

WO 2019/077451 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) *H01L 29/423* (2006.01)
H01L 21/28 (2006.01) *H01L 29/49* (2006.01)
H01L 21/8242 (2006.01) *H01L 29/786* (2006.01)
H01L 27/108 (2006.01)

(21) 国際出願番号: PCT/IB2018/057908

(22) 国際出願日: 2018年10月12日(12.10.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-203333 2017年10月20日(20.10.2017) JP

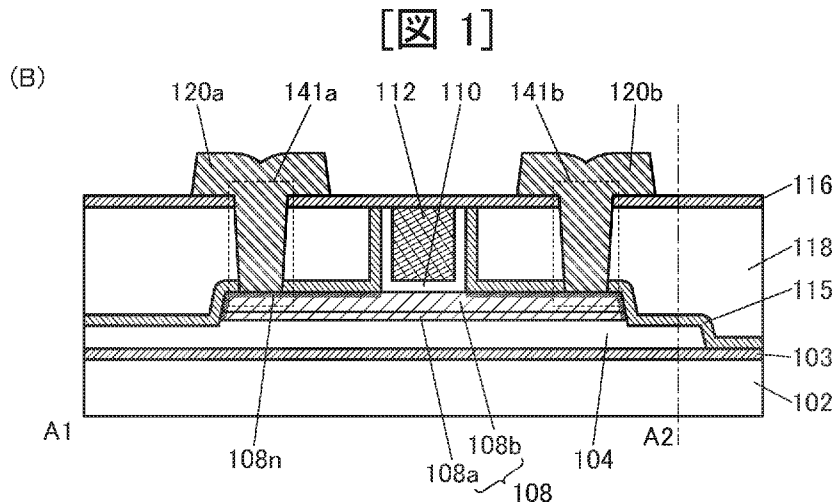
(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷 3 9
8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 生内 俊光 (OBONAI,
Toshimitsu). 保坂 泰靖 (HOSAKA, Yasuharu).
増山 光男 (MASHIYAMA, Mitsuo). 國井 俊克
(KUNII, Toshikatsu). 高橋 寛暢 (TAKAHASHI,
Hironobu); 〒2430036 神奈川県厚木市長谷 3
9 8 株式会社半導体エネルギー研究所内
Kanagawa (JP). 岡崎 健一 (OKAZAKI, Kenichi);
〒2430036 神奈川県厚木市長谷 3 9 8 株式会
社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** Provided is a semiconductor device having excellent electrical characteristics. Also provided is a semiconductor device having stable electrical characteristics. This semiconductor device is configured to include a first insulation layer, a second insulation layer, a third insulation layer, a first conductive layer, and a semiconductor layer. The semiconductor layer is positioned upon the first insulation layer. The first conductive layer is positioned upon the semiconductor layer. The second insulation layer covers the side surfaces and bottom surface of the first conductive layer. The third insulation layer is in contact with part of the upper surface of the first insulation layer and upper surface of the semiconductor layer, and covers the side surfaces of the second insulation layer. The semiconductor layer contains a metal oxide, the first insulation layer and the second insulation layer contain an oxide, and the third insulation layer contains a metal nitride.

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：要約書 電気特性の良好な半導体装置を提供する。電気特性の安定した半導体装置を提供する。半導体装置は、第1の絶縁層、第2の絶縁層、第3の絶縁層、第1の導電層、及び半導体層を有する構成とする。半導体層は、第1の絶縁層上に位置する。第1の導電層は、半導体層上に位置する。第2の絶縁層は、第1の導電層の側面及び底面を覆う。第3の絶縁層は、第1の絶縁層の上面及び半導体層の上面の一部と接し、且つ、第2の絶縁層の側面を覆う。また、半導体層は、金属酸化物を含み、第1の絶縁層及び第2の絶縁層は、酸化物を含み、第3の絶縁層は、金属窒化物を含む。

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、半導体装置に関する。本発明の一態様は、半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

背景技術

[0003]

トランジスタに適用可能な半導体材料として、金属酸化物を用いた酸化物半導体が注目されている。例えば、特許文献1では、複数の酸化物半導体層を積層し、当該複数の酸化物半導体層の中で、チャネルとなる酸化物半導体層がインジウム及びガリウムを含み、且つインジウムの割合をガリウムの割合よりも大きくすることで、電界効果移動度（単に移動度、または μ FEという場合がある）を高めた半導体装置が開示されている。

[0004]

半導体層に用いることのできる金属酸化物は、スパッタリング法などを用いて形成できるため、大型の表示装置を構成するトランジスタの半導体層に用いることができる。また、多結晶シリコンや非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられる。また、金属酸化物を用いたトランジスタは、非晶質シリコンを用いた場合に比べて高い電界効果移動度を有するため、例えば表示装置と駆動回路を一体形成した高機能の表示装置を実現できる。

[0005]

また、特許文献2には、ソース領域およびドレイン領域に、アルミニウム、ホウ素、ガリウム、インジウム、チタン、シリコン、ゲルマニウム、スズ、および鉛からなる群のうちの少なくとも一種をドーパントとして含む低抵抗領域を有する酸化物半導体膜が適用された薄膜トランジスタが開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2014-7399号公報

[特許文献2] 特開2011-228622号公報

発明の概要

発明が解決しようとする課題

[0007]

本発明の一態様は、電気特性の良好な半導体装置を提供することを課題の一とする。または、電気特性の安定した半導体装置を提供することを課題の一とする。

[0008]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

課題を解決するための手段

[0009]

本発明の一態様は第1の絶縁層、第2の絶縁層、第3の絶縁層、第1の導電層、及び半導体層を有する半導体装置である。半導体層は、第1の絶縁層上に位置する。第1の導電層は、半導体層上に位置する。第2の絶縁層は、第1の導電層の側面及び底面を覆う。第3の絶縁層は、第1の絶縁層の上面及び半導体層の上面の一部と接し、且つ、第2の絶縁層の側面を覆う。また、半導体層は、金属酸化物を含み、第1の絶縁層及び第2の絶縁層は、酸化物を含み、第3の絶縁層は、金属窒化物を含む。

[0010]

また、本発明の一態様は、第1の絶縁層、第2の絶縁層、第3の絶縁層、第4の絶縁層、半導体層、及び第1の導電層を有する半導体装置である。半導体層は、第1の絶縁層上に接して設けられ、且つ、第1の領域と、第2の領域と、を有する。第2の絶縁層は、第1の絶縁層、及び第2の領域上に設けられ、且つ、第1の領域と重なる第1の開口部を有する。第1の導電層は、第1の開口部の内側に位置し、且つ、第1の領域と重なる部分を有する。第3の絶縁層は、第1の開口部の内側に位置し、且つ、第1の導電層の側面及び底面を覆い、且つ、半導体層の第1の領域の上面に接する。第4の絶縁層は、第1の絶縁層の上面、半導体層の側面、及び第2の領域の上面に接し、且つ、第1の開口部の内側において、第2の絶縁層と、第3の絶縁層との間に位置する部分を有する。また、半導体層は、金属酸化物を含み、第1の絶縁層及び第3の絶縁層は、酸化物を含み、第4の絶縁層は、金属窒化物を含む。

[0011]

また、上記において、第4の絶縁層は、アルミニウムを含むことが好ましい。

[0012]

また、上記において、第2の絶縁層、第1の導電層、及び第3の絶縁層の上面を覆う第5の絶縁層を有することが好ましい。このとき、第5の絶縁層は、アルミニウム及びハフニウムの少なくとも一方と、酸素と、を含むことが好ましい。

[0013]

また、上記において、第5の絶縁層上に第2の導電層を有することが好ましい。このとき、第5の絶縁層及び第2の絶縁層は、第2の領域に達する第2の開口部を有し、第2の導電層は、第2の開口部において、第2の領域と接することが好ましい。

[0014]

また、上記において、第1の絶縁層よりも下に第6の絶縁層を有することが好ましい。このとき、第6の絶縁層は、アルミニウム及びハフニウムの少なくとも一方と、酸素と、を含むことが好ましい。

[0015]

また、上記において、第1の絶縁層は、第6の絶縁層に達する第3の開口部を有し、当該第3の開口部において、第4の絶縁層と第6の絶縁層が接することが好ましい。

[0016]

また、上記において、第6の絶縁層よりも下に、第1の領域と重なる第3の導電層を有することが

好ましい。

発明の効果

[0017]

本発明の一態様によれば、電気特性の良好な半導体装置を提供できる。または、電気特性の安定した半導体装置を提供できる。または、信頼性の高い半導体装置を提供できる。

[0018]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

図面の簡単な説明

[0019]

[図1] 半導体装置の構成例。

[図2] 半導体装置の構成例。

[図3] 半導体装置の構成例。

[図4] 半導体装置の構成例。

[図5] 半導体装置の作製方法例を説明する図。

[図6] 半導体装置の作製方法例を説明する図。

[図7] 半導体装置の作製方法例を説明する図。

[図8] 半導体装置の作製方法例を説明する図。

[図9] 表示装置の上面図。

[図10] 表示装置のブロック図及び回路図。

[図11] 表示装置のブロック図。

[図12] 記憶装置のブロック図。

[図13] 記憶装置のブロック図及び回路図。

[図14] 電子機器を示す図。

[図15] TDS分析結果。

[図16] TDS分析結果。

[図17] TDS分析結果。

[図18] シート抵抗測定結果。

[図19] SIMS分析結果。

[図20] SIMS分析結果。

[図21] SIMS分析結果。

発明を実施するための形態

[0020]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0021]

また、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のため

めに誇張されている場合がある。

[0022]

また、本明細書にて用いる「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

[0023]

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0024]

また、本明細書等において、トランジスタが有するソースとドレインの機能は、トランジスタの極性や、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0025]

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

[0026]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」や「絶縁層」という用語は、「導電膜」や「絶縁膜」という用語に相互に交換することが可能な場合がある。

[0027]

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（pチャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0028]

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置について説明する。以下では、半導体装置の一態様であるトランジスタについて説明する。

[0029]

本発明の一態様は、酸化物を含む絶縁層上に、チャネルが形成される半導体層と、半導体層上にゲート絶縁層と、ゲート絶縁層上にゲート電極と、を有するトランジスタである。半導体層は、半導体特性を示す金属酸化物（以下、酸化物半導体ともいう）を含んで構成される。

[0030]

また、半導体層は、チャネルが形成されうるチャネル形成領域と、ソース領域及びドレイン領域として機能する一対の低抵抗領域を有する。チャネル形成領域は、半導体層におけるゲート電極と重畳する領域である。

[0031]

低抵抗領域上には、金属窒化物を含む絶縁層が接して設けられる。半導体層に接して金属窒化物を含む絶縁層を設けることで、低抵抗領域の導電性を高める効果を奏する。さらに、半導体層に接して金属窒化物を含む絶縁層を設けた状態で加熱処理を行うと、より低抵抗化が促進されるため好ましい。

[0032]

金属窒化物としては、アルミニウムを含むことが特に好ましい。例えば、アルミニウムをスパッタリングターゲットに用い、成膜ガスとして窒素を含むガスを用いた反応スパッタリング法により形成した窒化アルミニウム膜は、成膜ガスの全流量に対する窒素ガスの流量の割合を適切に制御することで、極めて高い絶縁性と、水素や酸素に対する極めて高いブロッキング性と、を示す膜とすることができる。そのため、このような金属窒化物を含む絶縁膜を、半導体層に接して設けることで、半導体層を低抵抗化させるだけでなく、半導体層から酸素が脱離すること、及び半導体層へ水素が拡散することを好適に防ぐことができる。

[0033]

金属窒化物として、窒化アルミニウムを用いた場合、当該窒化アルミニウムを含む絶縁層の厚さを5 nm以上とすることが好ましい。このように薄い膜であっても、水素及び酸素に対する高いブロッキング性と、半導体層の低抵抗化の機能とを両立できる。なお、当該絶縁層の厚さはどれだけ厚くてもよいが、生産性を考慮し、500 nm以下、好ましくは200 nm以下、より好ましくは50 nm以下とすることが好ましい。

[0034]

また、金属窒化物を含む絶縁層上には、層間絶縁層が設けられる。ここで、ゲート電極及びゲート絶縁層は、当該層間絶縁層に設けられた開口部に埋め込まれるように設けることが好ましい。具体的には、当該開口部の内部において、ゲート電極の側面及び底面を覆うように、ゲート絶縁層が設けられることが好ましい。さらにこのとき、層間絶縁層の内壁と、ゲート絶縁層の外側の面との間に、上記金属窒化物を含む絶縁層を配置することが好ましい。このように層間絶縁層とゲート絶縁層とが接しない構成とすることで、層間絶縁層に含まれる水素が、ゲート絶縁層を介して半導体層に拡散することを防ぐことができる。さらに、半導体層やゲート絶縁層に含まれる酸素が、層間絶縁層側に拡散することを防止することができる。

[0035]

さらに、層間絶縁層、金属窒化物を含む絶縁層、ゲート絶縁層、及びゲート電極は、その上面が平坦化処理されていることが好ましい。さらに当該平坦化された面上に、層間絶縁層、金属窒化物を含む絶縁層、ゲート絶縁層、及びゲート電極のそれぞれに接して、酸素及び水素を拡散しにくい絶縁層（第1のバリア層ともいう）を形成することが好ましい。これにより、ゲート電極やゲート絶縁層の上方から、水素が拡散すること、及びこれらの上方へ酸素が脱離することを好適に防ぐことができる。

[0036]

一方、半導体層の被形成面を成す酸化物を含む絶縁層よりも下側に、酸素及び水素を拡散しにくい絶縁層（第2のバリア層ともいう）を設けることが好ましい。また、酸化物を含む絶縁層は、一以上のトランジスタを囲うように、第2のバリア層に達する開口部が設けられ、当該開口部において第2のバリア層と、金属窒化物を含む絶縁層とが接する構成とすることが好ましい。これにより、トランジスタの半導体層、ゲート絶縁層、及びゲート電極は、金属窒化物を含む絶縁層、第1のバリア層、及び第2のバリア層で囲われた構成とすることができる。これにより、半導体層への水素の拡散、及

び半導体層からの酸素の脱離を好適に防ぐことが可能となり、極めて信頼性の高いトランジスタを実現できる。

[0037]

本発明の一態様のトランジスタは、様々な回路や装置に適用することができる。例えば電子機器等に実装されるＩＣチップ内の演算回路、メモリ回路、駆動回路、及びインターフェース回路などの各種回路、または、液晶素子や有機ＥＬ素子などが適用されたディスプレイデバイスや、各種センサデバイスにおける駆動回路などに好適に用いることができる。

[0038]

以下では、本発明の一態様のトランジスタの、より具体的な例について、図面を参照して説明する。

[0039]

[構成例１]

図１（Ａ）は、トランジスタ１００の上面図であり、図１（Ｂ）は、図１（Ａ）に示す一点鎖線Ａ１－Ａ２における切断面の断面図に相当し、図１（Ｃ）は、図１（Ａ）に示す一点鎖線Ｂ１－Ｂ２における切断面の断面図に相当する。なお、図１（Ａ）において、トランジスタ１００の構成要素の一部（ゲート絶縁層等）を省略して図示している。また、一点鎖線Ａ１－Ａ２方向をチャネル長方向、一点鎖線Ｂ１－Ｂ２方向をチャネル幅方向と呼称する場合がある。また、トランジスタの上面図においては、以降の図面においても図１（Ａ）と同様に、構成要素の一部を省略して図示する場合がある。

[0040]

トランジスタ１００は、基板１０２上に設けられ、絶縁層１０３、絶縁層１０４、半導体層１０８、絶縁層１１０、導電層１１２、絶縁層１１５、絶縁層１１８、絶縁層１１６等を有する。

[0041]

絶縁層１０３と絶縁層１０４は、基板１０２上に積層して設けられている。島状の半導体層１０８は、絶縁層１０４の上面に接して設けられている。絶縁層１０４及び半導体層１０８上には、絶縁層１１５と絶縁層１１８が積層して設けられている。絶縁層１１８は、半導体層１０８と重なる領域に開口部が設けられている。絶縁層１１５は、絶縁層１１８の開口部の内壁を覆うように設けられている。また、絶縁層１１８の開口部において、絶縁層１１５の側面と、半導体層１０８の上面に接して絶縁層１１０が設けられ、絶縁層１１０上に導電層１１２が設けられている。絶縁層１１０は、導電層１１２の側面及び底面に接して設けられている。

[0042]

また、絶縁層１１８、絶縁層１１５、絶縁層１１０、及び導電層１１２は、それぞれ上部が平坦化処理されており、その上には絶縁層１１６が設けられている。

[0043]

導電層１１２の一部は、ゲート電極として機能する。絶縁層１１０の一部は、ゲート絶縁層として機能する。トランジスタ１００は、半導体層１０８上にゲート電極が設けられる、いわゆるトップゲート型のトランジスタである。

[0044]

半導体層１０８は、金属酸化物を含むことが好ましい。

[0045]

例えば半導体層１０８は、インジウムと、Ｍ（Ｍは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコ

ニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムから選ばれた一種または複数種)と、亜鉛と、を有すると好ましい。特にMIはアルミニウム、ガリウム、イットリウム、またはスズとすることが好ましい。

[0046]

特に、半導体層108として、インジウム、ガリウム、及び亜鉛を含む酸化物を用いることが好ましい。

[0047]

ここでは半導体層108として、絶縁層104側から半導体層108aと半導体層108bが順に積層された積層構造を有する例を示している。半導体層108aと半導体層108bとは、それぞれ組成の異なる材料、または結晶性の異なる材料、または不純物濃度の異なる材料を選択することができる。

[0048]

また、半導体層108の絶縁層115と接する面の近傍に、低抵抗な領域108nを示している。

[0049]

半導体層108の、導電層112と重畳する領域は、トランジスタ100のチャネル形成領域として機能する。一方、低抵抗な領域108nは、トランジスタ100のソース領域またはドレイン領域として機能する。

[0050]

絶縁層115は、金属窒化物を含む絶縁膜を用いることができる。絶縁層115は、アルミニウム、チタン、タンタル、タングステン、クロム、及びルテニウムなどの金属元素の少なくとも一と、窒素とを含むことが好ましい。特に、アルミニウムと窒素とを含む膜は、極めて絶縁性が高いため好ましい。

[0051]

絶縁層115に窒化アルミニウム膜を用いる場合、組成式が AlN_x (x は0より大きく2以下の実数、好ましくは、 x は0.5より大きく1.5以下の実数)を満たす膜を用いることが好ましい。これにより、絶縁性に優れ、且つ熱伝導性に優れた膜とすることができるため、トランジスタ100を駆動したときに生じる熱の放熱性を高めることができる。

[0052]

または、絶縁層115として、窒化アルミニウムチタン膜、窒化チタン膜などを用いることができる。

[0053]

領域108nは、半導体層108の一部であり、チャネル形成領域よりも低抵抗な領域である。

[0054]

ここで、半導体層108として、インジウムを含む金属酸化物膜を用いた場合、領域108nの絶縁層115側の界面近傍に、金属インジウムが析出した領域、または、インジウム濃度の高い領域が形成されている場合がある。このような領域の存在は、例えばX線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)等の分析法で観測できる場合がある。

[0055]

また領域108nは、チャネル形成領域よりもキャリア密度が高い領域、酸素欠陥密度の高い領域、またはn型である領域ともいうことができる。

[0056]

また、半導体層108のチャネル形成領域に接する絶縁層104と絶縁層110には、酸化物膜を用いることが好ましい。例えば、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜などの酸化物膜を用いることができる。これにより、トランジスタ100の作製工程における熱処理などで、絶縁層104や絶縁層110から脱離した酸素を半導体層108のチャネル形成領域に供給し、半導体層108中の酸素欠損を低減することができる。

[0057]

絶縁層104よりも下側（基板102側）に設けられる絶縁層103と、絶縁層118等を覆う絶縁層116としては、酸素及び水素を拡散しにくい絶縁膜を用いることが好ましい。特に、酸化アルミニウム膜、酸化ハフニウム膜、またはハフニウムアルミネート膜などの、金属酸化物膜を用いることが好ましい。

[0058]

酸化アルミニウム膜、酸化ハフニウム膜、及びハフニウムアルミネート膜等は、膜厚が薄い場合でも極めて高いバリア性を有する。そのため、その厚さを0.5nm以上50nm以下、好ましくは1nm以上40nm以下、より好ましくは2nm以上30nm以下の厚さとすることができる。特に、酸化アルミニウム膜は水素などに対するバリア性が高いため、極めて薄く（例えば0.5nm以上1.5nm以下）しても、十分な効果を得ることができる。

[0059]

また、絶縁層103や絶縁層116は、スパッタリング法または原子層堆積（ALD: Atomic Layer Deposition）法等の成膜方法により形成することが好ましい。特にALD法は、段差被覆性が高く、且つ極めて緻密な膜を形成できるため、高いバリア性を有する膜を形成することができる。

[0060]

また、図1（B）、（C）中の右側には、それぞれ半導体装置の周辺部の断面を示している。当該周辺部において、絶縁層104の一部がエッチングにより除去されて開口部が形成され、当該開口部において、絶縁層115と絶縁層103とが接する構成を有する。

[0061]

例えば、一以上のトランジスタ100を含むブロック（例えば回路毎、またはチップ毎など）を囲むように、絶縁層115と絶縁層103とが接する領域を設けることで、当該ブロック内のトランジスタ100が絶縁層103、絶縁層116、及び絶縁層115で密封された構造とすることができる。これにより、トランジスタ100の半導体層108に外部から水素が拡散すること、及び半導体層108中の酸素が外部に拡散することを効果的に抑制することができる。

[0062]

また、絶縁層118中には水素が含まれる場合があるが、半導体層108に接する酸化物膜を含む絶縁層104や絶縁層110は、絶縁層115により絶縁層118とは接しない構成となっている。そのため、絶縁層118中に水素が含まれている場合であっても、トランジスタ100の作製工程にかかる熱などにより、当該水素が絶縁層104及び絶縁層110を介して半導体層108に拡散することを効果的に防ぐことができる。

[0063]

ここで、半導体層108、及び半導体層108中に形成されうる酸素欠損について説明を行う。

[0064]

半導体層108に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、半導体層108中に酸素欠損が形成されると、該酸素欠損に水素が結合し、キャリア供給源となりうる。半導体層108中にキャリア供給源が生成されると、トランジスタ100の電気特性の変動、代表的にはしきい値電圧のシフトが生じる。したがって、半導体層108においては、酸素欠損が少ないほど好ましい。

[0065]

そこで、本発明の一態様においては、半導体層108近傍の絶縁膜、具体的には、半導体層108の上方に位置する絶縁層110、及び下方に位置する絶縁層104が、酸化物膜を含む構成である。作製工程中の熱などにより絶縁層104及び絶縁層110から半導体層108へ酸素を移動させることで、半導体層108中の酸素欠損を低減することが可能となる。

[0066]

また、半導体層108は、Inの原子数比がMの原子数比より多い領域を有すると好ましい。Inの原子数比が多いほど、トランジスタの電界効果移動度を向上させることができる。

[0067]

ここで、In、Ga、Znを含む金属酸化物の場合、Inと酸素の結合力は、Gaと酸素の結合力よりも弱いため、Inの原子数比が大きい場合には、金属酸化物膜中に酸素欠損が形成されやすい。また、Gaに代えて、上記Mで示すその他の金属元素を用いた場合でも同様の傾向がある。金属酸化物膜中に酸素欠損が多く存在すると、トランジスタの電気特性の低下や、信頼性の低下が生じる。

[0068]

しかしながら本発明の一態様では、金属酸化物を含む半導体層108中に極めて多くの酸素を供給できるため、Inの原子数比の大きな金属酸化物材料を用いることが可能となる。これにより、極めて高い電界効果移動度と、安定した電気特性と、高い信頼性とを兼ね備えたトランジスタを実現することができる。

[0069]

例えば、Inの原子数比が、Mの原子数比に対して1.5倍以上、または2倍以上、または3倍以上、または3.5倍以上、または4倍以上である金属酸化物を、好適に用いることができる。

[0070]

特に、半導体層108のIn、M、及びZnの原子数の比を、 $In:M:Zn=5:1:6$ またはその近傍（Inが5の場合、Mが0.5以上1.5以下であり、且つZnが5以上7以下を含む）とすることが好ましい。または、In、M、及びZnの原子数の比を、 $In:M:Zn=4:2:3$ またはその近傍とすると好ましい。また、半導体層108の組成として、半導体層108のIn、M、及びZnの原子数の比を概略等しくしてもよい。すなわち、In、M、及びZnの原子数の比が、 $In:M:Zn=1:1:1$ またはその近傍の材料を含んでいてもよい。

[0071]

例えば、上記の電界効果移動度が高いトランジスタを、ゲート信号を生成するゲートドライバに用いることで、額縁幅の狭い（狭額縁ともいう）表示装置を提供することができる。また、上記の電界効果移動度が高いトランジスタを、ソースドライバ（特に、ソースドライバが有するシフトレジスタの出力端子に接続されるデマルチプレクサ）に用いることで、表示装置に接続される配線数が少ない表示装置を提供することができる。

[0072]

なお、半導体層108が、Inの原子数比がMの原子数比より多い領域を有していても、半導体層108の結晶性が高い場合、電界効果移動度が低くなる場合がある。半導体層108の結晶性としては、例えば、X線回折(XRD: X-Ray Diffraction)を用いて分析する、あるいは、透過型電子顕微鏡(TEM: Transmission Electron Microscope)を用いて分析することで解析できる。

[0073]

ここで、半導体層108に混入する水素または水分などの不純物は、トランジスタ特性に影響を与えるため問題となる。したがって、半導体層108においては、水素または水分などの不純物が少ないほど好ましい。不純物濃度が低く、欠陥準位密度の低い金属酸化物膜を用いることで、優れた電気特性を有するトランジスタを作製することができ好ましい。不純物濃度が低く、欠陥準位密度を低く(酸素欠損を少なく)することで、膜中のキャリア密度を低くすることができる。このような金属酸化物膜を半導体層に用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう)になることが少ない。また、このような金属酸化物膜を用いたトランジスタは、オフ電流が著しく小さい特性を得ることができる。

[0074]

また、半導体層108が、2層以上の積層構造を有していてもよい。

[0075]

例えば、組成の異なる2以上の金属酸化物膜を積層した半導体層108を用いることができる。例えば、In-M-Zn酸化物を用いた場合に、In、M、及びZnの原子数の比が、In:M:Zn=5:1:6、In:M:Zn=4:2:3、In:M:Zn=1:1:1、In:M:Zn=2:2:1、In:M:Zn=1:3:4、In:M:Zn=1:3:2、またはそれらの近傍であるスパッタリングターゲットで形成する膜のうち、2以上を積層して用いることが好ましい。

[0076]

また、結晶性の異なる2以上の金属酸化物膜を積層した半導体層108を用いることができる。その場合、同じ酸化物ターゲットを用い、成膜条件を異ならせることで、大気に触れることなく連続して形成されることが好ましい。

[0077]

例えば、先に形成する第1の金属酸化物膜(半導体層108a)の成膜時の酸素流量比を、後に形成する第2の金属酸化物膜(半導体層108b)の成膜時の酸素流量比よりも小さくする。または、第1の金属酸化物膜の成膜時に、酸素を流さない条件とする。これにより、第2の金属酸化物膜の成膜時に、酸素を効果的に供給することができる。また、第1の金属酸化物膜は第2の金属酸化物膜よりも結晶性が低く、電気伝導性の高い膜とすることができる。一方、上部に設けられる第2の金属酸化物膜を第1の金属酸化物膜よりも結晶性の高い膜とすることで、半導体層108の加工時や、絶縁層110の成膜時のダメージを抑制することができる。

[0078]

より具体的には、第1の金属酸化物膜の成膜時の酸素流量比を、0%以上50%未満、好ましくは0%以上30%以下、より好ましくは0%以上20%以下、代表的には10%とする。また第2の金属酸化物膜の成膜時の酸素流量比を、50%以上100%以下、好ましくは60%以上100%以下、より好ましくは80%以上100%以下、さらに好ましくは90%以上100%以下、代表的には1

00%とする。また、第1の金属酸化物膜と第2の金属酸化物膜とで、成膜時の圧力、温度、電力等の条件を異ならせてもよいが、酸素流量比以外の条件を同じとすることで、成膜工程にかかる時間を短縮することができるため好ましい。

[0079]

このような構成とすることで、電気特性に優れ、且つ信頼性の高いトランジスタ100を実現できる。

[0080]

以上が構成例1についての説明である。

[0081]

以下では、上記構成例1と一部の構成が異なるトランジスタの構成例について説明する。なお、以下では、上記構成例1と重複する部分は説明を省略する場合がある。また、以下で示す図面において、上記構成例と同様の機能を有する部分についてはハッチングパターンを同じくし、符号を付さない場合もある。

[0082]

[構成例2]

図2(A)は、トランジスタ100Aの上面図であり、図2(B)は、トランジスタ100Aのチャネル長方向の断面図であり、図2(C)は、トランジスタ100Aのチャネル幅方向の断面図である。

[0083]

トランジスタ100Aは、基板102と絶縁層103との間に、導電層106を有する点で、構成例1と主に相違している。導電層106は、絶縁層103及び絶縁層104を介して半導体層108、及び導電層112と重畳する部分を有する。

[0084]

トランジスタ100Aにおいて、導電層106は第1のゲート電極（ボトムゲート電極ともいう）としての機能を有し、導電層112は、第2のゲート電極（トップゲート電極ともいう）としての機能を有する。また、絶縁層103及び絶縁層104の一部は、第1のゲート絶縁層として機能し、絶縁層110の一部は、第2のゲート絶縁層として機能する。

[0085]

半導体層108の、導電層112及び導電層106の少なくとも一方と重畳する部分は、チャネル形成領域として機能する。なお以下では説明を容易にするため、半導体層108の導電層112と重畳する部分をチャネル形成領域と呼ぶ場合があるが、実際には導電層112と重畳せずに、導電層106と重畳する部分（領域108nの一部を含む）にもチャネルが形成しうる。

[0086]

導電層106は、導電層112、導電層120a、または導電層120bと同様の材料を用いることができる。特に導電層106として、銅を含む材料により形成することで抵抗を低くすることができるため好適である。

[0087]

また、図2(A)、(C)に示すように、チャネル幅方向において、導電層112及び導電層106が、半導体層108の端部よりも外側に突出していることが好ましい。このとき、図2(C)に示すように、半導体層108のチャネル幅方向の全体が、絶縁層110と、絶縁層103及び絶縁層10

4を介して、導電層112と導電層106に覆われた構成となる。

[0088]

このような構成とすることで、半導体層108を一对のゲート電極によって生じる電界で電氣的に取り囲むことができる。このとき特に、導電層106と導電層112に同じ電位を与えることが好ましい。これにより、半導体層108にチャネルを誘起させるための電界を効果的に印加できるため、トランジスタ100Aのオン電流を増大させることができる。そのため、トランジスタ100Aを微細化することも可能となる。

[0089]

一方、導電層112と導電層106の一方に定電位を与え、他方にトランジスタ100Aを駆動するための信号を与えてもよい。このとき、一方のゲート電極に与える電位により、トランジスタ100Aを他方のゲート電極で駆動する際のしきい値電圧を制御することもできる。

[0090]

また、図3に示すトランジスタ100Bのように、導電層106と導電層112とを電氣的に接続する構成としてもよい。図3では、絶縁層116上に、導電層120a等と同じ工程で形成する導電層120cを設ける例を示す。導電層120cは、一部の領域において、絶縁層116、絶縁層118、絶縁層104及び絶縁層103に設けられた開口部142aを介して、導電層106と電氣的に接続されている。また導電層120cは他の一部において、絶縁層116に設けられた開口部142bを介して導電層112と電氣的に接続されている。これにより、導電層106と導電層112には、同じ電位を与えることができる。

[0091]

以上が構成例2についての説明である。

[0092]

[変形例]

以下では、構成例1及び構成例2の変形例について説明する。

[0093]

図4(A)、(B)はそれぞれ、トランジスタ100Cのチャネル長方向の断面図、及びチャネル幅方向の断面図である。トランジスタ100Cは、半導体層108の構成が異なる点で、上記構成例1と主に相違している。

[0094]

半導体層108は、半導体層108cを有する。半導体層108cは、絶縁層110と絶縁層115の間、及び絶縁層110と半導体層108bの間に位置するように、絶縁層118の開口部内に設けられている。

[0095]

半導体層108cは、半導体層108a及び半導体層108bのいずれか一方と同じ材料、またはこれらとは異なる材料を用いることができる。例えば半導体層108cには、半導体層108a及び半導体層108bの一方または両方と、結晶性、組成、及び不純物濃度の少なくとも1つが異なる材料を用いることができる。

[0096]

また、半導体層108cとなる半導体膜をスパッタリング法により成膜する際、成膜ガスの全流量に対する酸素ガスの流量比を大きくすることで、当該半導体膜の成膜時に、チャネル形成領域におけ

る半導体層 108b や半導体層 108a に、酸素を効果的に供給することができる。当該酸素ガスの流量比としては、50%以上100%以下、好ましくは70%以上100%以下、より好ましくは90%以上100%以下、さらに好ましくは100%とする。

[0097]

図4(C)は、トランジスタ100Dのチャネル長方向の断面図である。トランジスタ100Dは、半導体層108が単層構造である点で、上記構成例1と主に相違している。

[0098]

このように、半導体層108を単層構造とすることで、作製工程を簡略化することができる。

[0099]

また図4(C)では、絶縁層116上にさらに絶縁層119が設けられ、導電層120a及び導電層120bが、絶縁層119上に設けられている例を示している。絶縁層119を設けることで、導電層112と、導電層120aまたは導電層120bとの間の寄生容量を低減することができるため好ましい。

[0100]

なお、トランジスタ100C及びトランジスタ100Dにおいて、構成例2で例示した導電層106を設けることもできる。

[0101]

以上が変形例についての説明である。

[0102]

[半導体装置の構成要素]

次に、本実施の形態の半導体装置に含まれる構成要素について、詳細に説明する。

[0103]

[基板]

基板102の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板102として用いてもよい。また、これらの基板上に半導体素子が設けられたものを、基板102として用いてもよい。

[0104]

また、基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100等を形成してもよい。または、基板102とトランジスタ100等の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するために用いることができる。その際、トランジスタ100等は耐熱性の劣る基板や可撓性の基板にも転載できる。

[0105]

[絶縁層104]

絶縁層104としては、スパッタリング法、CVD法、蒸着法、パルスレーザー堆積(PLD)法等を適宜用いて形成することができる。また、絶縁層104としては、例えば、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成することができる。なお、半導体層108との界面特性を向上させるため、絶縁層104において少なくとも半導体層108と接する領域は酸化物絶縁膜で形成

することが好ましい。また、絶縁層 104 には、加熱により酸素を放出する膜を用いることが好ましい。

[0106]

絶縁層 104 として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga-Zn 酸化物などを用いればよく、単層または積層で設けることができる。

[0107]

また、絶縁層 104 の半導体層 108 に接する側に窒化シリコン膜などの酸化物膜以外の膜を用いた場合、半導体層 108 と接する表面に対して酸素プラズマ処理などの前処理を行い、当該表面、または表面近傍を酸化することが好ましい。

[0108]

〔導電膜〕

ゲート電極として機能する導電層 112 及び導電層 106、並びにソース電極またはドレイン電極の一方として機能する導電層 120a 及び、他方として機能する導電層 120b としては、クロム、銅、アルミニウム、金、銀、亜鉛、モリブデン、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルトから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成することができる。

[0109]

また、導電層 112、導電層 106、導電層 120a、及び導電層 120b には、In-Sn 酸化物、In-W 酸化物、In-W-Zn 酸化物、In-Ti 酸化物、In-Ti-Sn 酸化物、In-Zn 酸化物、In-Sn-Si 酸化物、In-Ga-Zn 酸化物等の酸化物導電体または金属酸化物膜を適用することもできる。

[0110]

ここで、酸化物導電体 (OC: Oxide Conductor) について説明を行う。例えば、半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

[0111]

また、導電層 112 等として、上記酸化物導電体 (金属酸化物) を含む導電膜と、金属または合金を含む導電膜の積層構造としてもよい。金属または合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。このとき、ゲート絶縁膜として機能する絶縁層と接する側には酸化物導電体を含む導電膜を適用することが好ましい。

[0112]

また、導電層 112、導電層 106、導電層 120a、導電層 120b には、上述の金属元素の中でも、特にチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有すると好適である。特に、窒化タンタル膜を用いると好適である。当該窒化タンタル膜は、導電性を有し、且つ、銅、酸素、または水素に対して、高いバリア性を有し、且つ自身からの水素の放出が少ないため、半導体層 108 と接する導電膜、または半導体層 108 の近傍の導電膜として、好適に用いることができる。

[0113]

〔絶縁層 110〕

トランジスタ 100 等のゲート絶縁膜として機能する絶縁層 110 は、PECVD 法、スパッタリング法等により形成できる。絶縁層 110 としては、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を用いることができる。なお、絶縁層 110 を、2 層の積層構造または 3 層以上の積層構造としてもよい。

〔0114〕

また、半導体層 108 と接する絶縁層 110 は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁層 110 は、酸素を放出することが可能な絶縁膜である。例えば、酸素雰囲気下にて絶縁層 110 を形成すること、成膜後の絶縁層 110 に対して酸素雰囲気下での熱処理、プラズマ処理等を行うこと、または、絶縁層 110 上に酸素雰囲気下で酸化物膜を成膜することなどにより、絶縁層 110 中に酸素を供給することもできる。

〔0115〕

また、絶縁層 110 として、酸化シリコンや酸化窒化シリコンと比べて比誘電率の高い酸化ハフニウム等の材料を用いることもできる。これにより絶縁層 110 の膜厚を厚くしトンネル電流によるリーク電流を抑制できる。特に結晶性を有する酸化ハフニウムは、非晶質の酸化ハフニウムと比べて高い比誘電率を備えるため好ましい。

〔0116〕

〔半導体層〕

半導体層 108 が $In-M-Zn$ 酸化物の場合、 $In-M-Zn$ 酸化物を成膜するために用いるスパッタリングターゲットは、 In の原子数比が M の原子数比以上であることが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=2:1:3$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:4.1$ 、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=5:1:7$ 、 $In:M:Zn=5:1:8$ 、 $In:M:Zn=6:1:6$ 、 $In:M:Zn=5:2:5$ 等が挙げられる。

〔0117〕

また、スパッタリングターゲットとしては、多結晶の酸化物を含むターゲットを用いると、結晶性を有する半導体層 108 を形成しやすくなるため好ましい。なお、成膜される半導体層 108 の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス 40% の変動を含む。例えば、半導体層 108 に用いるスパッタリングターゲットの組成が $In:Ga:Zn=4:2:4.1$ [原子数比] の場合、成膜される半導体層 108 の組成は、 $In:Ga:Zn=4:2:3$ [原子数比] の近傍となる場合がある。

〔0118〕

なお、原子数比が $In:Ga:Zn=4:2:3$ またはその近傍と記載する場合、 In の原子数比を 4 としたとき、 Ga の原子数比が 1 以上 3 以下であり、 Zn の原子数比が 2 以上 4 以下である場合を含む。また、原子数比が $In:Ga:Zn=5:1:6$ またはその近傍であると記載する場合、 In の原子数比を 5 としたときに、 Ga の原子数比が 0.1 より大きく 2 以下であり、 Zn の原子数比が 5 以上 7 以下である場合を含む。また、原子数比が $In:Ga:Zn=1:1:1$ またはその近傍

であると記載する場合、 I_n の原子数比を1としたときに、 G_a の原子数比が0.1より大きく2以下であり、 Z_n の原子数比が0.1より大きく2以下である場合を含む。

[0119]

また、半導体層108は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上である。このように、シリコンよりもエネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0120]

また、半導体層108は、非単結晶構造であると好ましい。非単結晶構造は、例えば、後述するCAAC構造、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC構造は最も欠陥準位密度が低い。

[0121]

以下では、CAAC (c-axis aligned crystal) について説明する。CAACは結晶構造の一例を表す。

[0122]

CAAC構造とは、複数のナノ結晶（最大径が10 nm未満である結晶領域）を有する薄膜などの結晶構造の一つであり、各ナノ結晶はc軸が特定の方向に配向し、かつa軸及びb軸は配向性を有せずに、ナノ結晶同士が粒界を形成することなく連続的に連結しているといった特徴を有する結晶構造である。特にCAAC構造を有する薄膜は、各ナノ結晶のc軸が、薄膜の厚さ方向、被形成面の法線方向、または薄膜の表面の法線方向に配向しやすいといった特徴を有する。

[0123]

CAAC-OS (Oxide Semiconductor) は結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。

[0124]

ここで、結晶学において、単位格子を構成するa軸、b軸、及びc軸の3つの軸（結晶軸）について、特異的な軸をc軸とした単位格子を取ることが一般的である。特に層状構造を有する結晶では、層の面方向に平行な2つの軸をa軸及びb軸とし、層に交差する軸をc軸とすることが一般的である。このような層状構造を有する結晶の代表的な例として、六方晶系に分類されるグラファイトがあり、その単位格子のa軸及びb軸は劈開面に平行であり、c軸は劈開面に直交する。例えば層状構造である $YbFe_2O_4$ 型の結晶構造をとる $InGaZnO_4$ の結晶は六方晶系に分類することができ、その単位格子のa軸及びb軸は層の面方向に平行となり、c軸は層（すなわちa軸及びb軸）に直交する。

[0125]

金属酸化物の結晶構造の一例について説明する。なお、以下では、 $In-Ga-Zn$ 酸化物ターゲット ($In:Ga:Zn=4:2:4$ [原子数比]) を用いて、スパッタリング法にて成膜された金属酸化物を一例として説明する。上記ターゲットを用いて、基板温度を100℃以上130℃以下として、スパッタリング法により形成した金属酸化物は、nc (nano crystal) 構造及びCAAC構造のいずれか一方の結晶構造、またはこれらが混在した構造をとりやすい。一方、基

板温度を室温（R. T.）として、スパッタリング法により形成した金属酸化物は、n cの結晶構造をとりやすい。なお、ここでいう室温（R. T.）とは、基板を意図的に加熱しない場合の温度を含む。

[0126]

[作製方法例]

以下では、本発明の一態様のトランジスタの作製方法の例について説明する。ここでは、構成例2で例示したトランジスタ100Aを例に挙げて説明する。

[0127]

なお、半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD: Chemical Vapor Deposition）法、真空蒸着法、パルスレーザー堆積（PLD: Pulse Laser Deposition）法、原子層堆積（ALD: Atomic Layer Deposition）法等を用いて形成することができる。CVD法としては、プラズマ化学気相堆積（PECVD: Plasma Enhanced CVD）法や、熱CVD法などがある。また、熱CVD法のひとつに、有機金属化学気相堆積（MOCVD: Metal Organic CVD）法がある。

[0128]

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ、スリットコート、ロールコート、カーテンコート、ナイフコート等の方法により形成することができる。

[0129]

また、半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いて加工することができる。それ以外に、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0130]

フォトリソグラフィ法としては、代表的には以下の2つの方法がある。一つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう一つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0131]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV: Extreme Ultraviolet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0132]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

[0133]

図5～図8に示す各図には、トランジスタ100Aの作製工程の各段階におけるチャンネル長方向及びチャンネル幅方向の断面を並べて示している。また、各図の左側には、半導体装置の周辺部の断面を示している。

[0134]

〔導電層106の形成〕

基板102上に導電膜を形成し、これをエッチングにより加工して、ゲート電極として機能する導電層106を形成する(図5(A))。

[0135]

〔絶縁層103、絶縁層104の形成〕

続いて、基板102、導電層106を覆って絶縁層103と絶縁層104を積層して形成する(図5(B))。絶縁層103及び絶縁層104はそれぞれ、PECVD法、ALD法、スパッタリング法などを用いて形成することができる。

[0136]

例えば、絶縁層103はALD法またはスパッタリング法を用いて形成し、絶縁層104はPECVD法またはスパッタリング法を用いて形成することができる。

[0137]

続いて、半導体装置の端部に位置する絶縁層104の一部をエッチングにより除去する(図5(C))。

[0138]

〔半導体層108の形成〕

続いて、絶縁層104上に金属酸化物膜108af及び金属酸化物膜108bfを成膜する(図5(D))。

[0139]

金属酸化物膜108af及び金属酸化物膜108bf(以下、まとめて金属酸化物膜ともいう)は、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。

[0140]

また、金属酸化物膜を成膜する際に、酸素ガスの他に、不活性ガス(例えば、ヘリウムガス、アルゴンガス、キセノンガスなど)を混合させてもよい。なお、金属酸化物膜を成膜する際の成膜ガス全体に占める酸素ガスの割合(以下、酸素流量比ともいう)としては、0%以上100%以下、好ましくは5%以上20%以下とすることが好ましい。酸素流量比が高いほど、金属酸化物膜の結晶性を高めることができ、信頼性の高いトランジスタを実現できる。一方、酸素流量比が低いほど、金属酸化物膜の結晶性が低くなり、オン電流が高められたトランジスタとすることができる。

[0141]

また、金属酸化物膜の成膜条件としては、基板温度を室温以上200℃未満、好ましくは基板温度を室温以上140℃以下とすればよい。例えば成膜温度を、室温以上140℃未満とすると、生産性が高くなり好ましい。また、基板温度を室温とする、または意図的に加熱しない状態で、金属酸化物膜を成膜することで、結晶性を低くすることができる。

[0142]

また、金属酸化物膜を成膜する前に、絶縁層 104 の表面に吸着した水や水素、有機物成分等を脱離させるための処理や、絶縁層 104 中に酸素を供給する処理を行うことが好ましい。例えば、減圧雰囲気下にて 70℃以上 200℃以下の温度で加熱処理を行うことができる。または、酸素を含む雰囲気下におけるプラズマ処理を行ってもよい。また、N₂O ガスを含むプラズマ処理を行うと、絶縁層 104 の表面の有機物を好適に除去することができる。このような処理の後、絶縁層 104 の表面を大気に暴露することなく、連続して金属酸化物膜を成膜することが好ましい。

[0143]

続いて、金属酸化物膜を加工し、島状の半導体層 108a 及び半導体層 108b を形成する（図 5（E））。

[0144]

金属酸化物膜の加工には、ウェットエッチング法及びドライエッチング法のいずれか一方または双方を用いればよい。このとき、図 5（E）に示すように、半導体層 108 と重ならない絶縁層 104 の一部がエッチングされ、薄くなる場合がある。

[0145]

また、金属酸化物膜の成膜後、または半導体層 108 に加工した後、金属酸化物膜または半導体層 108 中の水素または水を除去するために加熱処理を行ってもよい。加熱処理の温度は、代表的には、150℃以上基板の歪み点未満、または 250℃以上 450℃以下、または 300℃以上 450℃以下である。

[0146]

加熱処理は、希ガス、または窒素を含む雰囲気で行うことができる。または、当該雰囲気で加熱した後、酸素を含む雰囲気中で加熱してもよい。なお、上記加熱処理の雰囲気に水素、水などが含まれないことが好ましい。該加熱処理は、電気炉、RTA 装置等を用いることができる。RTA 装置を用いることで、加熱処理時間を短縮することができる。

[0147]

[ダミー層 113 の形成]

続いて、半導体層 108 及び絶縁層 104 上に、ダミー層 113 を形成する（図 6（A））。ダミー層 113 は、後の導電層 112 や絶縁層 110 が設けられる開口部を形成するための層である。

[0148]

ダミー層 113 は、薄膜を成膜した後に、不要な部分をエッチングにより除去することにより形成できる。ダミー層 113 の材料としては、半導体層 108 や絶縁層 104 とエッチング速度の選択比が大きくとれる材料を適宜選択することが好ましい。例えば、半導体層 108b に結晶性を有する金属酸化物膜を用いた場合には、結晶性の低い（例えば微結晶構造を有する）金属酸化物膜を用いることもできる。なおここでは示さないが、ダミー層 113 のエッチング時に、絶縁層 104 の一部が薄膜化する場合がある。

[0149]

また、ダミー層 113 の厚さは、後に行われる 2 度の平坦化処理による薄膜化を考慮して、厚く形成しておくことが好ましい。

[0150]

[絶縁層 115 の形成]

続いて、絶縁層 104、半導体層 108、及びダミー層 113 を覆って、絶縁層 115 を形成する

(図6 (B))。またこのとき、半導体装置の端部において、絶縁層115と絶縁層103とが接する領域が形成される。

[0151]

絶縁層115は、上述の金属元素を含むスパッタリングターゲットを用い、窒素ガスと、希釈ガスである希ガス等の混合ガスを成膜ガスとして用いた反応性スパッタリング法により形成することが好ましい。これにより、成膜ガスの流量比を制御することで、絶縁層115の膜質を制御することが容易となる。

[0152]

例えば、絶縁層115としてアルミニウムターゲットを用いた反応性スパッタリングにより形成した窒化アルミニウム膜を用いる場合、成膜ガスの全流量に対する窒素ガスの流量を30%以上100%以下、好ましくは40%以上100%以下、より好ましくは50%以上100%以下とすることが好ましい。

[0153]

絶縁層115を成膜した時点で、半導体層108の絶縁層115と接する界面及びその近傍の領域に、低抵抗な領域108nが形成される。

[0154]

[第1の加熱処理]

続いて、加熱処理を行うことが好ましい。加熱処理により、半導体層108の領域108nの低抵抗化をより促進させることができる。

[0155]

加熱処理は、窒素または希ガスなどの不活性ガス雰囲気で行うことが好ましい。加熱処理の温度は高いほど好ましいが、基板102、導電層106、ダミー層113等の耐熱性を考慮した温度とすることができる。例えば、120℃以上500℃以下、好ましくは150℃以上450℃以下、より好ましくは200℃以上400℃以下、さらに好ましくは250℃以上400℃以下の温度とすることができる。例えば加熱処理の温度を350℃程度とすることで、大型のガラス基板を用いた生産設備で歩留り良く半導体装置を生産することができる。

[0156]

なお、加熱処理は絶縁層115の形成後であればどの段階で行ってもよい。また他の加熱処理と兼ねてもよい。

[0157]

例えば加熱処理により、半導体層108中の酸素が絶縁層115側に引き抜かれることにより酸素欠損が生成される。当該酸素欠損と、半導体層108中に含まれる水素とが結合することによりキャリア濃度が高まり、絶縁層115と接する部分が低抵抗化されうる。

[0158]

または、加熱処理により、半導体層108に含まれる金属元素が絶縁層115との界面近傍に向かって拡散し、当該金属元素の濃度の高い領域が形成されることにより、低抵抗化される場合もある。例えば半導体層108にインジウムを含む金属酸化物膜を用いた場合、インジウム濃度の高い領域が、半導体層108の絶縁層115との界面近傍に観測される場合がある。

[0159]

このような複合的な作用により低抵抗化された領域108nは、極めて安定な低抵抗な領域となる。

このように形成された領域 108 n は、例えば後の工程で酸素が供給される処理が行われたとしても、再度高抵抗化しにくいといった特徴を有する。

[0160]

[絶縁層 118 の形成]

続いて、絶縁層 115 を覆って絶縁層 118 を形成する (図 6 (C))。絶縁層 118 は、後に行われる平坦化処理による薄膜化を考慮して、十分に厚く形成することが好ましい。絶縁層 118 は、例えば PECVD 法により形成することができる。

[0161]

[第 1 の平坦化処理]

続いて、ダミー層 113 の上部が露出するように、絶縁層 118、絶縁層 115、及びダミー層 113 に対して平坦化処理を行う (図 7 (A))。

[0162]

平坦化処理としては、代表的には化学的機械研磨法 (Chemical Mechanical Polishing: CMP) 等の研磨処理法を用いることができる。その他、ドライエッチング処理、プラズマ処理を用いてもよい。なお、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、被処理面の凹凸状態に合わせて適宜設定すればよい。

[0163]

[ダミー層 113 の除去]

続いてダミー層 113 をエッチングにより除去する (図 7 (B))。これにより、半導体層 108 のチャネル形成領域上に、絶縁層 118 の開口部が形成される。またこのとき、絶縁層 118 の開口部の内壁に接して、絶縁層 115 が設けられる構造を形成することができる。

[0164]

なお、図 7 (B) に示すように、ダミー層 113 のエッチング時に絶縁層 104 の一部が薄膜化する場合がある。

[0165]

[絶縁膜 110 f、導電膜 112 f の形成]

続いて、上記開口部を埋めるように絶縁膜 110 f を成膜し、続けて導電膜 112 f を成膜する (図 7 (C))。

[0166]

絶縁膜 110 f としては、例えば酸化シリコン膜または酸化窒化シリコン膜などの酸化物膜を、プラズマ化学気相堆積装置 (PECVD 装置、または単にプラズマ CVD 装置という) を用いて形成することが好ましい。また、マイクロ波を用いた PECVD 法を用いて形成してもよい。また、有機シランガスを用いた CVD 法を用いて形成することもできる。

[0167]

導電膜 112 f としては、酸素の透過を抑制する材料を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。また、このような材料を含む導電膜と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデン、またはタングステン合金等を含む導電膜の積層膜としてもよい。このとき、上部に位置する導電膜は、下部に位置する導電膜よりも厚く、且つ導電性の高い材料を選択することが好ましい。導電膜 112 f の成膜

は、例えばスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0168]

導電膜112fを多層構造とする場合、例えば、スパッタリング法またはALD法などを用いて下層の導電膜を成膜し、続いて上層の導電膜をメッキ法、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。これにより、埋め込まれる導電膜112f中にボイド等が形成されにくくなる。

[0169]

[第2の平坦化処理]

続いて、絶縁層118上部が露出するように、導電膜112f、絶縁膜110f、絶縁層115、及び絶縁層118に対して第2の平坦化処理を行う(図8(A))。第2の平坦化処理は、第1の平坦化処理と同様に行うことができる。

[0170]

第2の平坦化処理により、導電層112と、絶縁層110を形成することができる。

[0171]

[絶縁層116の形成]

続いて、絶縁層118、絶縁層115、絶縁層110及び導電層112上に絶縁層116を形成する(図8(B))。絶縁層116は、絶縁層103と同様の方法により形成できる。

[0172]

[第2の加熱処理]

続いて、第2の加熱処理を行うことが好ましい。第2の加熱処理は、上記第1の加熱処理と同様の条件で行うことができる。

[0173]

第2の加熱処理により、絶縁層104から放出される酸素を半導体層108に供給することができ、半導体層108中の酸素欠損を低減することができる。また、絶縁層110から放出される酸素も同様に、半導体層108のチャネル形成領域に供給することができる。

[0174]

このとき、絶縁層115により、半導体層108、絶縁層110、及び絶縁層104は、絶縁層118と接しない構成となっているため、絶縁層118中に含有する水素が半導体層108等に拡散すること、及び半導体層108等に含まれる酸素が絶縁層118側に拡散することが抑制される。また、絶縁層103及び絶縁層116が設けられているため、外部または基板102側から絶縁層104や絶縁層110への水素の拡散、及び絶縁層104や絶縁層110から外部への酸素の拡散を好適に防ぐことができる。

[0175]

[開口部141a、141bの形成]

続いて、絶縁層116の所望の位置に、リソグラフィによりマスクを形成した後、絶縁層116、絶縁層118、および絶縁層115の一部をエッチングすることで、領域108nに達する開口部141aおよび開口部141bを形成する。

[0176]

なお、図3で例示したトランジスタ100Bとする場合には、この工程で導電層106に達する開

口部 142a と、導電層 112 に達する開口部 142b を形成すればよい。

[0177]

〔導電層 120a、120b の形成〕

続いて、開口部 141a 及び開口部 141b を覆うように、絶縁層 116 上に導電膜を成膜し、当該導電膜を所望の形状に加工することで、導電層 120a、導電層 120b を形成する(図 8(C))。

[0178]

なお、図 3 で例示したトランジスタ 100B とする場合には、この工程で導電層 120c を同時に形成すればよい。

[0179]

以上の工程により、トランジスタ 100A を作製することができる。

[0180]

本実施の形態で例示した構成例、作製方法例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、作製方法例、または図面等と適宜組み合わせる実施することができる。

[0181]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0182]

(実施の形態 2)

本実施の形態においては、先の実施の形態で例示したトランジスタを有する表示装置の一例について説明を行う。

[0183]

〔構成例〕

図 9(A) に、表示装置 700 の上面図を示す。表示装置 700 は、シール材 712 により貼りあわされた第 1 の基板 701 と第 2 の基板 705 を有する。また第 1 の基板 701、第 2 の基板 705、及びシール材 712 で封止される領域において、第 1 の基板 701 上に画素部 702、ソースドライバ回路部 704、及びゲートドライバ回路部 706 が設けられる。また画素部 702 には、複数の表示素子が設けられる。

[0184]

また、第 1 の基板 701 の第 2 の基板 705 と重ならない部分に、FPC716 (FPC: Flexible printed circuit) が接続される FPC 端子部 708 が設けられている。FPC716 によって、FPC 端子部 708 及び信号線 710 を介して、画素部 702、ソースドライバ回路部 704、及びゲートドライバ回路部 706 のそれぞれに各種信号等が供給される。

[0185]

ゲートドライバ回路部 706 は、複数設けられていてもよい。また、ゲートドライバ回路部 706 及びソースドライバ回路部 704 は、それぞれ半導体基板等に別途形成され、パッケージされた IC チップの形態であってもよい。当該 IC チップは、第 1 の基板 701 上、または FPC716 に実装することができる。

[0186]

画素部 702、ソースドライバ回路部 704 及びゲートドライバ回路部 706 が有するトランジスタには、本発明の一態様の半導体装置であるトランジスタを適用することができる。

[0187]

画素部702に設けられる表示素子としては液晶素子、発光素子などが挙げられる。液晶素子としては、透過型の液晶素子、反射型の液晶素子、半透過型の液晶素子などを用いることができる。また、発光素子としては、LED (Light Emitting Diode)、OLED (Organic LED)、QLED (Quantum-dot LED)、半導体レーザなどの、自発光性の発光素子が挙げられる。また、シャッター方式または光干渉方式のMEMS (Micro Electro Mechanical Systems) 素子や、マイクロカプセル方式、電気泳動方式、エレクトロウェットティング方式、または電子粉流体 (登録商標) 方式等を適用した表示素子などを用いることもできる。

[0188]

図9 (B) に示す表示装置700Aは、大型の画面を有する電子機器に好適に用いることのできる表示装置である。例えばテレビジョン装置、モニタ装置、デジタルサイネージなどに好適に用いることができる。

[0189]

表示装置700Aは、複数のソースドライバIC721と、一対のゲートドライバ回路722を有する。

[0190]

画素部702、ソースドライバIC721及びゲートドライバ回路722が有するトランジスタには、本発明の一態様の半導体装置であるトランジスタを適用することができる。

[0191]

複数のソースドライバIC721は、それぞれFPC723に取り付けられている。また、複数のFPC723は、一方の端子が第1の基板701に、他方の端子がプリント基板724にそれぞれ接続されている。FPC723を折り曲げることで、プリント基板724を画素部702の裏側に配置して、電子機器に実装することができ、電子機器の省スペース化を図ることができる。

[0192]

一方、ゲートドライバ回路722は、第1の基板701上に形成されている。これにより、狭額縁の電子機器を実現できる。

[0193]

このような構成とすることで、大型で且つ高解像度の表示装置を実現できる。例えば画面サイズが対角30インチ以上、40インチ以上、50インチ以上、または60インチ以上の表示装置に適用することができる。また、解像度がフルハイビジョン、4K2K、または8K4Kなどといった極めて高解像度の表示装置を実現することができる。

[0194]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0195]

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について説明する。

[0196]

図10 (A) に示す表示装置は、画素部502と、駆動回路部504と、保護回路506と、端子

部507と、を有する。なお、保護回路506は、設けない構成としてもよい。

[0197]

駆動回路部504の一部、または全部は、画素部502と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことができる。駆動回路部504の一部、または全部が、画素部502と同一基板上に形成されていない場合には、駆動回路部504の一部、または全部は、COGやTAB(Tape Automated Bonding)によって、実装することができる。

[0198]

駆動回路部504が有するトランジスタに、本発明の一態様のトランジスタを適用することができる。また画素部502や保護回路506にも、本発明の一態様のトランジスタを適用してもよい。

[0199]

画素部502は、X行(Xは2以上の自然数)Y列(Yは2以上の自然数)に配置された複数の表示素子を駆動する画素回路501を有し、駆動回路部504はゲート線GL__1乃至GL__Xに走査信号を出力するゲートドライバ504a、データ線DL__1乃至DL__Yにデータ信号を供給するソースドライバ504bなどの駆動回路を有する。

[0200]

ゲートドライバ504aは、少なくともシフトレジスタを有する構成とすればよい。

[0201]

ソースドライバ504bは、例えば複数のアナログスイッチなどを用いて構成される。また、シフトレジスタなどを用いてソースドライバ504bを構成してもよい。

[0202]

端子部507は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分をいう。

[0203]

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。図10(A)に示す保護回路506は、例えば、ゲートドライバ504aと画素回路501の間の配線である走査線GL、またはソースドライバ504bと画素回路501の間の配線であるデータ線DL等の各種配線に接続される。

[0204]

また、ゲートドライバ504aとソースドライバ504bは、それぞれ画素部502と同じ基板上に設けられていてもよいし、別途用意されたゲートドライバ回路またはソースドライバ回路が形成された基板(例えば、単結晶半導体膜または多結晶半導体膜で形成された駆動回路基板)を実装する構成としてもよい。

[0205]

ここで、図11に、図10(A)とは異なる構成を示す。図11では、ソース線方向に配列する複数の画素を挟むように、一対のソース線(例えばソース線DLa1とソース線DLb1)が配置されている。また、隣接する2本のゲート線(例えばゲート線GL__1とゲート線GL__2)が電氣的に接続されている。

[0206]

また、ゲート線GL__1に接続される画素は、片方のソース線(ソース線DLa1、ソース線DL

a 2 等) に接続され、ゲート線 G L__2 に接続される画素は、他方のソース線 (ソース線 D L b 1、ソース線 D L b 2 等) に接続される。

[0207]

このような構成とすることで、2本のゲート線を同時に選択することができる。これにより、一水平期間の長さを、図10(A)に示す構成と比較して2倍にすることができる。そのため、表示装置の高解像度化、及び大画面化が容易となる。

[0208]

また、図10(A)及び図11に示す複数の画素回路501は、例えば、図10(B)、図10(C)に示す構成とすることができる。

[0209]

図10(B)に示す画素回路501は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。また画素回路501には、データ線 D L__n、走査線 G L__m、電位供給線 V L 等が接続されている。トランジスタ550に先の実施の形態に示すトランジスタを適用してもよい。

[0210]

液晶素子570の一对の電極の一方の電位は、画素回路501の仕様に依じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一对の電極の一方に共通の電位(コモン電位)を与えてもよい。また、各行の画素回路501の液晶素子570の一对の電極の一方に異なる電位を与えてもよい。

[0211]

また、図10(C)に示す画素回路501は、トランジスタ552、554と、容量素子562と、発光素子572と、を有する。また画素回路501には、データ線 D L__n、走査線 G L__m、電位供給線 V L__a 等が接続されている。トランジスタ552及びトランジスタ554のいずれか一方または双方に先の実施の形態に示すトランジスタを適用してもよい。

[0212]

発光素子572としては、例えば有機エレクトロルミネセンス素子(有機EL素子ともいう)などを用いることができる。ただし、発光素子572としては、これに限定されず、無機材料を含む無機EL素子を用いてもよい。

[0213]

なお、電位供給線 V L__a 及び電位供給線 V L__b の一方には、高電源電位 V D D が与えられ、他方には、低電源電位 V S S が与えられる。

[0214]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0215]

(実施の形態4)

本実施の形態では、図12および図13を用いて、本発明の一態様に係るトランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM(登録商標)とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T(トランジスタ)1C(容量)型のメモリセルを有するRAMを指す。

[0216]

<<DOSRAM1400>>

図12にDOSRAMの構成例を示す。図12に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ（以下、「MC-SAアレイ1420」と呼ぶ。）を有する。

[0217]

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、GBLRを有する。

[0218]

(MC-SAアレイ1420)

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

[0219]

メモリセルアレイ1422は、N個（Nは2以上の整数）のローカルメモリセルアレイ1425<0>—1425<N-1>を有する。図13（A）にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BL、BLRを有する。図13（A）の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

[0220]

図13（B）に共通のビット線BL（BLR）に接続される、ペア状の一組のメモリセル1445aおよびメモリセル1445bの回路構成例を示す。メモリセル1445aはトランジスタMW1a、容量素子CS1a、端子B1a、B2aを有し、ワード線WL a、ビット線BL（BLR）に接続される。また、メモリセル1445bはトランジスタMW1b、容量素子CS1b、端子B1b、B2bを有し、ワード線WL b、ビット線BL（BLR）に接続される。なお、以下において、メモリセル1445aおよびメモリセル1445bのいずれかを特に限定しない場合は、メモリセル1445およびそれに付属する構成にaまたはbの符号を付さない場合がある。

[0221]

トランジスタMW1aは容量素子CS1aの充放電を制御する機能をもち、トランジスタMW1bは容量素子CS1bの充放電を制御する機能をもつ。トランジスタMW1aのゲートはワード線WL aに電氣的に接続され、第1端子はビット線BL（BLR）に電氣的に接続され、第2端子は容量素子CS1aの第1端子に電氣的に接続されている。また、トランジスタMW1bのゲートはワード線WL bに電氣的に接続され、第1端子はビット線BL（BLR）に電氣的に接続され、第2端子は容量素子CS1bの第1端子に電氣的に接続されている。このように、ビット線BL（BLR）がトランジスタMW1aの第1端子とトランジスタMW1bの第1端子に共通で用いられる。

[0222]

トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。容量素子CS1の第2端子

は端子B 2に電氣的に接続されている。端子B 2には、定電圧（例えば、低電源電圧）が入力される。

[0223]

上記実施の形態に示す半導体装置は、メモリセル1445a、1445bのトランジスタMW1aに適用することができる。

[0224]

トランジスタMW1はバックゲートを備えており、バックゲートは端子B 1に電氣的に接続されている。そのため、端子B 1の電圧によって、トランジスタMW1の閾値電圧を変更することができる。例えば、端子B 1の電圧は固定電圧（例えば、負の定電圧）であってもよいし、DOSRAM1400の動作に応じて、端子B 1の電圧を変化させてもよい。

[0225]

トランジスタMW1のバックゲートをトランジスタMW1のゲート、ソース、またはドレインに電氣的に接続してもよい。あるいは、トランジスタMW1にバックゲートを設けなくてもよい。

[0226]

センスアンプアレイ1423は、N個のローカルセンスアンプアレイ1426<0>—1426<N-1>を有する。ローカルセンスアンプアレイ1426は、1のスイッチアレイ1444、複数のセンスアンプ1446を有する。センスアンプ1446には、ビット線対が電氣的に接続されている。センスアンプ1446は、ビット線対をプリチャージする機能、ビット線対の電圧差を増幅する機能、この電圧差を保持する機能を有する。スイッチアレイ1444は、ビット線対を選択し、選択したビット線対とグローバルビット線対との間を導通状態にする機能を有する。

[0227]

(コントローラ1405)

コントローラ1405は、DOSRAM1400の動作全般を制御する機能を有する。コントローラ1405は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路1410、列回路1415の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

[0228]

(行回路1410)

行回路1410は、MC-SAアレイ1420を駆動する機能を有する。デコーダ1411はアドレス信号をデコードする機能を有する。ワード線ドライバ回路1412は、アクセス対象行のワード線WLを選択する選択信号を生成する。

[0229]

列セクタ1413、センスアンプドライバ回路1414はセンスアンプアレイ1423を駆動するための回路である。列セクタ1413は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ1413の選択信号によって、各ローカルセンスアンプアレイ1426のスイッチアレイ1444が制御される。センスアンプドライバ回路1414の制御信号によって、複数のローカルセンスアンプアレイ1426は独立して駆動される。

[0230]

(列回路1415)

列回路1415は、データ信号WDA[31:0]の入力を制御する機能、データ信号RDA[31:0]の出力を制御する機能を有する。データ信号WDA[31:0]は書き込みデータ信号であ

り、データ信号RDA [31 : 0] は読み出しデータ信号である。

[0231]

グローバルセンスアンプ1447はグローバルビット線対(GBLL, GBRL)に電氣的に接続されている。グローバルセンスアンプ1447はグローバルビット線対(GBLL, GBRL)間の電圧差を増幅する機能、この電圧差を保持する機能を有する。グローバルビット線対(GBLL, GBRL)へのデータの書き込み、および読み出しは、入出力回路1417によって行われる。

[0232]

容量素子CS1の充放電によってデータを書き換えるため、DOSRAM1400には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル1445の回路構成が単純であるため、大容量化が容易である。

[0233]

トランジスタMW1は酸化物半導体が適用されたトランジスタであり、オフ電流が極めて小さいため、容量素子CS1から電荷がリークすることを抑えることができる。したがって、DOSRAM1400の保持時間はDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM1400は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

[0234]

MC-SAアレイ1420が積層構造であることよって、ローカルセンスアンプアレイ1426の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル1445の保持容量を低減することができる。また、ローカルセンスアンプアレイ1426にスイッチアレイ1444を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM1400のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

[0235]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

[0236]

(実施の形態5)

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図14に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

[0237]

図14(A)に、モニタ830を示す。モニタ830は、表示部831、筐体832、スピーカ833等を有する。さらに、LEDランプ、操作キー(電源スイッチ、または操作スイッチを含む)、接続端子、各種センサ、マイクロフォン等を有することができる。またモニタ830は、リモコン操作機834により、操作することができる。

[0238]

またモニタ830は、放送電波を受信して、テレビジョン装置として機能することができる。

[0239]

モニタ830が受信できる放送電波としては、地上波、または衛星から送信される電波などが挙げられ、アナログ放送、デジタル放送などがある。また例えば、複数の周波数帯域で受信した複数のデ

ータを用いることで、転送レートを高くすることができ、フルハイビジョンを超える解像度を有する映像を、表示部 831 に表示させることができる。例えば、4K2K、8K4K、16K8K、またはそれ以上の解像度を有する映像を表示させることができる。

[0240]

また、インターネットや LAN (Local Area Network)、Wi-Fi (登録商標) などのコンピュータネットワークを介したデータ伝送技術により送信された放送のデータを用いて、表示部 831 に表示する画像を生成する構成としてもよい。このとき、モニタ 830 にチューナを有さなくてもよい。また、モニタ 830 は、コンピュータと接続し、コンピュータ用モニタとして用いることができる。また、モニタ 830 はデジタルサイネージとして用いることもできる。

[0241]

例えば、本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることができる。本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることで、高速な動作や信号処理を低消費電力にて実現できる。

[0242]

また、本発明の一態様の半導体装置を用いたプロセッサをモニタ 830 の画像処理部に用いることで、ノイズ除去処理、階調変換処理、色調補正処理、輝度補正処理などの画像処理を行うことができる。また、解像度のアップコンバートに伴う画素間補間処理や、フレーム周波数のアップコンバートに伴うフレーム間補間処理などを実行することができる。また、階調変換処理は、画像の階調数を変換するだけでなく、階調数を大きくする場合の階調値の補間を行うことができる。また、ダイナミックレンジを広げる、ハイダイナミックレンジ (HDR) 処理も、階調変換処理に含まれる。

[0243]

図 14 (B) に示すビデオカメラ 2940 は、筐体 2941、筐体 2942、表示部 2943、操作スイッチ 2944、レンズ 2945、および接続部 2946 等を有する。操作スイッチ 2944 およびレンズ 2945 は筐体 2941 に設けられており、表示部 2943 は筐体 2942 に設けられている。また、ビデオカメラ 2940 は、筐体 2941 の内側にアンテナ、バッテリーなどを備える。そして、筐体 2941 と筐体 2942 は、接続部 2946 により接続されており、筐体 2941 と筐体 2942 の間の角度は、接続部 2946 により変えることが可能な構造となっている。筐体 2941 に対する筐体 2942 の角度によって、表示部 2943 に表示される画像の向きの変更や、画像の表示／非表示の切り換えを行うことができる。

[0244]

例えば、本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることができる。本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることで、高速な動作や信号処理を低消費電力にて実現できる。

[0245]

また、本発明の一態様の半導体装置を用いたプロセッサをビデオカメラ 2940 の画像処理部に用いることで、ビデオカメラ 2940 周囲の環境に応じた撮影が実現できる。具体的には、周囲の明るさに応じて最適な露出で撮影を行うことができる。また、逆光における撮影や屋内と屋外など、明るさの異なる状況を同時に撮影する場合では、ハイダイナミックレンジ (HDR) 撮影を行うことができる。

[0246]

図 1 4 (C) に示す情報端末 2 9 1 0 は、筐体 2 9 1 1 に、表示部 2 9 1 2、マイク 2 9 1 7、スピーカ部 2 9 1 4、カメラ 2 9 1 3、外部接続部 2 9 1 6、および操作スイッチ 2 9 1 5 等を有する。表示部 2 9 1 2 には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末 2 9 1 0 は、筐体 2 9 1 1 の内側にアンテナ、バッテリーなどを備える。情報端末 2 9 1 0 は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

[0247]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した情報端末 2 9 1 0 の制御情報や、制御プログラムなどを長期間保持することができる。

[0248]

また、本発明の一態様の半導体装置を用いたプロセッサを情報端末 2 9 1 0 の画像処理部に用いることができる。

[0249]

図 1 4 (D) に示すラップトップ型パーソナルコンピュータ 2 9 2 0 は、筐体 2 9 2 1、表示部 2 9 2 2、キーボード 2 9 2 3、およびポインティングデバイス 2 9 2 4 等を有する。また、ラップトップ型パーソナルコンピュータ 2 9 2 0 は、筐体 2 9 2 1 の内側にアンテナ、バッテリーなどを備える。

[0250]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、ラップトップ型パーソナルコンピュータ 2 9 2 0 の制御情報や、制御プログラムなどを長期間保持することができる。

[0251]

また、本発明の一態様の半導体装置を用いたプロセッサをラップトップ型パーソナルコンピュータ 2 9 2 0 の画像処理部に用いることができる。

[0252]

図 1 4 (E) は、自動車の一例を示す外観図、図 1 4 (F) は、ナビゲーション装置 8 6 0 を示している。自動車 2 9 8 0 は、車体 2 9 8 1、車輪 2 9 8 2、ダッシュボード 2 9 8 3、およびライト 2 9 8 4 等を有する。また、自動車 2 9 8 0 は、アンテナ、バッテリーなどを備える。ナビゲーション装置 8 6 0 は、表示部 8 6 1、操作ボタン 8 6 2、及び外部入力端子 8 6 3 を具備する。自動車 2 9 8 0 とナビゲーション装置 8 6 0 は、それぞれ独立していても良いが、ナビゲーション装置 8 6 0 が自動車 2 9 8 0 に組み込まれ、連動して機能する構成とするのが好ましい。

[0253]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、自動車 2 9 8 0 やナビゲーション装置 8 6 0 の制御情報や、制御プログラムなどを長期間保持することができる。

[0254]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[実施例]

[0255]

本実施例では、窒化アルミニウム膜の物性を評価した結果について説明する。また、本実施例では、酸化物半導体膜上に形成された窒化アルミニウム膜が、当該酸化物半導体膜に与える影響について評価した結果について説明する。

[0256]

具体的には、窒化アルミニウム膜の水素ブロッキング性、酸素ブロッキング性、及び、酸素吸引性について、評価した。また、酸化物半導体膜上に窒化アルミニウム膜を形成し、ベークした試料における、酸化物半導体膜のシート抵抗、水素濃度、窒素濃度、及び酸素濃度を、それぞれ評価した。

[0257]

[評価1]

評価1では、昇温脱離ガス分析法(TDS: Thermal Desorption Spectroscopy)を用いて、窒化アルミニウム膜の水素ブロッキング性を評価した。

[0258]

まず、評価1の試料について説明する。評価1では、4種類の試料を作製した。

[0259]

ガラス基板上に水素を含む窒化シリコン(SiN:H)膜を厚さ約300nmとなるように形成し、窒化シリコン膜上に窒化アルミニウム(AIN_x)膜を形成することで、各試料を作製した。窒化アルミニウム膜の厚さは、試料によって異なり、それぞれ、厚さ1nm、3nm、5nm、20nmとなるように形成した。

[0260]

窒化シリコン膜は、プラズマCVD法を用いて、SiH₄ガス、N₂ガス、NH₃ガスの流量をそれぞれ200sccm、2000sccm、2000sccmとし、電源電力1000W、圧力100Pa、基板温度220°Cの条件で形成した。

[0261]

窒化アルミニウム膜は、スパッタリング法を用いて、Ar流量とN₂流量の総和に対するN₂流量の比率を40%とし、電源電力5kW、圧力0.6Pa、基板温度70°Cの条件で形成した。

[0262]

そして、各試料に対して、TDS分析を行った。図15に、各試料のTDS分析結果を示す。図15における、縦軸は、水素分子(H₂)に対応する質量電荷比2(M/z=2)の検出強度(Intensity)であり、横軸は基板温度(Sub. Temp.)である。なお、図15では、比較として、窒化シリコン膜上に窒化アルミニウム膜(AIN_x)を形成していない比較試料(Ref)のTDS分析結果を破線で示す。

[0263]

図15(A)、(B)に示すように、窒化アルミニウム膜を厚さ1nmまたは3nmとなるように形成した試料の水素放出量は、比較試料と同程度であった。一方、図15(C)、(D)に示すように、窒化アルミニウム膜を厚さ5nmまたは20nmとなるように形成した試料の水素放出量は、比較試料と比べて極めて少なかった。

[0264]

以上のことから、厚さ5nm以上となるように形成した窒化アルミニウム膜は、高い水素ブロッキング性を示すことがわかった。厚さ5nm以上となるように形成した窒化アルミニウム膜は、水素を含む窒化シリコン膜からの水素の放出を抑制するキャップ膜(バリア膜)として機能することが示唆された。

[0265]

[評価2]

評価2では、TDSを用いて、窒化アルミニウム膜の酸素ブロッキング性を評価した。

[0266]

評価2の試料について説明する。評価2では、4種類の試料を作製した。

[0267]

まず、ガラス基板上に酸化窒化シリコン(SiON)膜を厚さ約150nmとなるように形成し、酸化窒化シリコン膜上にシリコンを含むインジウムスズ酸化物(ITSO)膜を厚さ約5nmとなるように形成した。次に、インジウムスズ酸化物膜越しに、アッシング装置を用いて酸素ラジカルドーピング処理を行うことで、酸化窒化シリコン膜に酸素を供給した。次に、インジウムスズ酸化物膜を除去した。そして、酸化窒化シリコン膜上に、窒化アルミニウム(AlN_x)膜を形成した。窒化アルミニウム膜の厚さは、試料によって異なり、それぞれ、厚さ1nm、3nm、5nm、20nmとなるように形成した。

[0268]

酸化窒化シリコン膜は、プラズマCVD法を用いて、 SiH_4 ガス、 N_2O ガスの流量をそれぞれ20sccm、18000sccmとし、電源電力100W、圧力200Pa、基板温度350°Cの条件で形成した。

[0269]

酸素ラジカルドーピング処理の条件は、ICP電力0W、バイアス電力4500W、圧力15Pa、酸素流量比100%、下部電極温度40°C、処理時間120秒とした。

[0270]

窒化アルミニウム膜は、スパッタリング法を用いて、Ar流量と N_2 流量の総和に対する N_2 流量の比率を40%とし、電源電力5kW、圧力0.6Pa、基板温度70°Cの条件で形成した。

[0271]

そして、各試料に対して、TDS分析を行った。図16に、各試料のTDS分析結果を示す。図16における、縦軸は、酸素分子(O_2)に対応する質量電荷比32($M/z=32$)の検出強度であり、横軸は基板温度である。なお、図16では、比較として、酸化窒化シリコン膜上に窒化アルミニウム膜を形成していない比較試料(Ref)のTDS分析結果を破線で示す。

[0272]

図16(A)に示すように、窒化アルミニウム膜を厚さ1nmとなるように形成した試料の酸素放出量は、比較試料と同程度であった。図16(B)に示すように、窒化アルミニウム膜を厚さ3nmとなるように形成した試料の酸素放出量は、比較試料より少なかった。そして、図16(C)、(D)に示すように、窒化アルミニウム膜を厚さ5nmまたは20nmとなるように形成した試料の酸素放出量は、比較試料と比べて極めて少なかった。

[0273]

以上のことから、厚さ5nm以上となるように形成した窒化アルミニウム膜は、高い酸素ブロッキング性を示すことがわかった。厚さ5nm以上となるように形成した窒化アルミニウム膜は、酸化窒化シリコン膜に供給された酸素の放出を抑制するキャップ膜(バリア膜)として機能することが示唆された。

[0274]

[評価3]

評価3では、TDSを用いて、窒化アルミニウム膜の酸素吸引性を評価した。

[0275]

評価3の試料について説明する。

[0276]

まず、ガラス基板上に酸化窒化シリコン (SiON) 膜を厚さ約150nmとなるように形成し、酸化窒化シリコン膜上にシリコンを含むインジウムスズ酸化物 (ITO) 膜を厚さ約5nmとなるように形成した。次に、インジウムスズ酸化物膜越しに、アッシング装置を用いて酸素ラジカルドーピング処理を行うことで、酸化窒化シリコン膜に酸素を供給した。次に、インジウムスズ酸化物膜を除去した。そして、酸化窒化シリコン膜上に、窒化アルミニウム (AlN_x) 膜を厚さ20nmとなるように形成した。次に、窒素雰囲気下、温度400℃、1時間の条件でベークした。ベーク後、窒化アルミニウム膜を除去した。

[0277]

酸化窒化シリコン膜の成膜条件、酸素ラジカルドーピング処理の条件、及び、窒化アルミニウム膜の成膜条件は、評価2と同様である。

[0278]

そして、試料に対して、TDS分析を行った。図17に、試料のTDS分析結果を示す。図17における、縦軸は、酸素分子 (O₂) に対応する質量電荷比32 (M/z=32) の検出強度であり、横軸は基板温度である。なお、図17では、比較として、酸化窒化シリコン膜上に窒化アルミニウム膜を形成していない比較試料のTDS分析結果も示す。

[0279]

図17に示すように、酸素が供給された酸化窒化シリコン膜上に窒化アルミニウム膜を形成しベークした後でも、当該酸化窒化シリコン膜からの酸素放出量は、比較試料と同程度であった。このことから、窒化アルミニウム膜は、酸化窒化シリコン膜中の酸素を吸引しにくいことがわかった。つまり、酸化窒化シリコン膜中に供給された酸素は、窒化アルミニウム膜によって引き抜かれにくいことがわかった。

[0280]

評価2及び評価3の結果から、窒化アルミニウム膜は、酸化窒化シリコン膜に供給された酸素の放出を抑制し、かつ、当該酸素を吸引しにくいことがわかった。このことから、酸化膜上に窒化アルミニウム膜を成膜することで、その後の熱処理等において、当該酸化膜から酸素が放出されることを抑制でき、当該酸化膜中に酸素を留めておけることが示唆された。

[0281]

[評価4]

評価4では、酸化物半導体膜上に窒化アルミニウム膜を形成しベークした試料における、酸化物半導体膜のシート抵抗を評価した。

[0282]

評価4の試料について説明する。評価4では、5種類の試料を作製した。

[0283]

まず、ガラス基板上にゲート絶縁膜 (GI) を想定した3層の絶縁膜を形成し、さらに酸化物半導体 (OS) 膜を厚さ100nmとなるように形成した。次に、第1のベークを行った。次に、酸化物半導体膜上に、窒化アルミニウム (AlN_x) 膜を厚さ50nmとなるように形成した。次に、5つの試料のうち4つには、窒素雰囲気下、1時間の条件で第2のベークを行った。第2のベークの温度

は、試料によって異なり、それぞれ、250℃、300℃、350℃、400℃とした。残りの1つの試料には、第2のベークを行わなかった。

[0284]

3層の絶縁膜として、ガラス基板側から、水素を含む窒化シリコン(SiN:H)膜、窒化シリコン膜、及び酸化窒化シリコン膜を順に形成した。

[0285]

酸化物半導体膜は、In-Ga-Zn酸化物ターゲット(In:Ga:Zn=4:2:4.1)を用いたスパッタリング法により、Ar流量とO₂流量の総和に対するO₂流量の比率を30%とし、電源電力2.5kW、圧力0.6Pa、基板温度200℃の条件で形成した。

[0286]

第1のベークとして、窒素雰囲気下、温度400℃、1時間の条件でベークし、さらに、窒素及び酸素の混合雰囲気下、温度400℃、1時間の条件でベークした。

[0287]

窒化アルミニウム膜は、スパッタリング法を用いて、Ar流量とN₂流量の総和に対するN₂流量の比率を40%とし、電源電力5kW、圧力0.6Pa、基板温度70℃の条件で形成した。

[0288]

そして、各試料における酸化物半導体膜のシート抵抗を測定した。図18に、各試料の酸化物半導体膜のシート抵抗を示す。図18における、縦軸は、酸化物半導体膜のシート抵抗である。なお、図18では、比較として、第1のベークまでを行った(窒化アルミニウム膜を形成していない)比較試料のシート抵抗も示す。

[0289]

図18に示すように、酸化物半導体膜上に窒化アルミニウム膜を形成することで、酸化物半導体膜のシート抵抗が低下することがわかった。さらに、第2のベークを行うことにより、酸化物半導体膜のシート抵抗をより低下させることができるとわかった。

[0290]

[評価5]

評価5では、酸化物半導体膜上に窒化アルミニウム膜を形成しベークした試料における、酸化物半導体膜中の水素濃度及び窒素濃度を、SSDP-SIMS(Substrate Side Depth Profile Secondary Ion Mass Spectrometry)分析(基板裏面からのSIMS分析)により評価した。

[0291]

評価5の試料について説明する。

[0292]

まず、ガラス基板上にゲート絶縁膜(GI)を想定した3層の絶縁膜を形成し、さらに酸化物半導体(OS)膜を厚さ100nmとなるように形成した。次に、第1のベークを行った。次に、酸化物半導体膜上に、窒化アルミニウム(AIN_x)膜を厚さ50nmとなるように形成した。次に、第2のベークを、窒素雰囲気下、350℃、1時間の条件で行った。

[0293]

3層の絶縁膜の構成、酸化物半導体膜の成膜条件、第1のベークの条件、及び、窒化アルミニウム膜の成膜条件は、評価4と同様である。

[0294]

そして、試料に対して、SSDP-SIMS分析を行った。図19に、水素(H)の検出結果を示し、図20に窒素(N)の検出結果を示す。図19における縦軸は、水素(H)の濃度であり、横軸は深さである。図20における縦軸は、窒素(N)の濃度であり、横軸は深さである。なお、図19及び図20では、酸化物半導体膜上に窒化アルミニウム膜を形成していない比較試料(Ref1)と、窒化アルミニウム膜を形成後、第2のベークをしていない比較試料(Ref2)の結果も示す。図19及び図20に示すように、各試料は、GI側から分析した。

[0295]

図19及び図20に示すように、酸化物半導体膜上に窒化アルミニウム膜を形成しても、酸化物半導体中の水素濃度及び窒素濃度に大きな変化は見られなかった。さらに、酸化物半導体膜上に窒化アルミニウム膜を形成した後に第2のベークを行っても、酸化物半導体中の水素濃度及び窒素濃度に大きな変化は見られなかった。

[0296]

以上のことから、酸化物半導体膜上に窒化アルミニウム膜を形成し、その後ベークしても、酸化物半導体膜に水素及び窒素は混入しにくいことがわかった。

[0297]

[評価6]

評価6では、酸化物半導体膜上に窒化アルミニウム膜を形成しベークした試料における、酸化物半導体膜中の酸素濃度を、SIMS分析により評価した。

[0298]

評価6の試料について説明する。

[0299]

まず、ガラス基板上にゲート絶縁膜(GI)を想定した3層の絶縁膜を形成し、さらに酸化物半導体(OS)膜を厚さ100nmとなるように形成した。次に、第1のベークを行った。次に、酸化物半導体膜上に、窒化アルミニウム(AlN_x)膜を厚さ50nmとなるように形成した。次に、第2のベークを、窒素雰囲気下、350℃、1時間の条件で行った。

[0300]

3層の絶縁膜の構成、第1のベークの条件、及び、窒化アルミニウム膜の成膜条件は、評価4及び評価5と同様である。

[0301]

評価6では酸素濃度を検出するため、 $^{18}O_2$ ガスを用いて酸化物半導体膜を形成した。具体的には、酸化物半導体膜は、In-Ga-Zn酸化物ターゲット(In:Ga:Zn=4:2:4.1)を用いたスパッタリング法により、Ar流量と $^{18}O_2$ 流量の総和に対する $^{18}O_2$ 流量の比率を30%とし、電源電力2.5kW、圧力0.6Pa、基板温度200℃の条件で形成した。

[0302]

そして、試料に対して、SIMS分析を行った。図21に、酸素(^{18}O)の検出結果を示す。図21における縦軸は、酸素(^{18}O)の濃度であり、横軸は深さである。なお、図21では、第2のベークをしていない比較試料の結果も示す。図21に示すように、各試料は、 AlN_x 側から分析した。

[0303]

図 2 1 に示すように、酸化物半導体膜上に窒化アルミニウム膜を形成しても、酸化物半導体中の酸素 (^{18}O) 濃度に大きな変化は見られなかった。さらに、酸化物半導体膜上に窒化アルミニウム膜を形成した後に第 2 のベークを行っても、酸化物半導体中の酸素 (^{18}O) 濃度に大きな変化は見られなかった。

[0304]

以上のことから、酸化物半導体膜上に窒化アルミニウム膜を形成し、その後ベークしても、酸化物半導体膜から酸素が引き抜かれにくいことがわかった。

[符号の説明]

[0305]

100 : トランジスタ、100A~D : トランジスタ、102 : 基板、103 : 絶縁層、104 : 絶縁層、106 : 導電層、108 : 半導体層、108a : 半導体層、108af : 金属酸化物膜、108b : 半導体層、108bf : 金属酸化物膜、108c : 半導体層、108n : 領域、110 : 絶縁層、110f : 絶縁膜、112 : 導電層、112f : 導電膜、113 : ダミー層、115 : 絶縁層、116 : 絶縁層、118 : 絶縁層、119 : 絶縁層、120a~c : 導電層、141a、b : 開口部、142a、b : 開口部

請求の範囲

[請求項 1]

第 1 の絶縁層、第 2 の絶縁層、第 3 の絶縁層、第 1 の導電層、及び半導体層を有し、
前記半導体層は、前記第 1 の絶縁層上に位置し、
前記第 1 の導電層は、前記半導体層上に位置し、
前記第 2 の絶縁層は、前記第 1 の導電層の側面及び底面を覆い、
前記第 3 の絶縁層は、前記第 1 の絶縁層の上面及び前記半導体層の上面の一部と接し、且つ、前記第 2 の絶縁層の側面を覆い、
前記半導体層は、金属酸化物を含み、
前記第 1 の絶縁層及び前記第 2 の絶縁層は、酸化物を含み、
前記第 3 の絶縁層は、金属窒化物を含む、
半導体装置。

[請求項 2]

第 1 の絶縁層、第 2 の絶縁層、第 3 の絶縁層、第 4 の絶縁層、半導体層、及び第 1 の導電層を有し、
前記半導体層は、前記第 1 の絶縁層上に接して設けられ、且つ、第 1 の領域と、第 2 の領域と、を有し、
前記第 2 の絶縁層は、前記第 1 の絶縁層、及び前記第 2 の領域上に設けられ、且つ、前記第 1 の領域と重なる第 1 の開口部を有し、
前記第 1 の導電層は、前記第 1 の開口部の内側に位置し、且つ、前記第 1 の領域と重なる部分を有し、
前記第 3 の絶縁層は、前記第 1 の開口部の内側に位置し、且つ、前記第 1 の導電層の側面及び底面を覆い、且つ、前記半導体層の前記第 1 の領域の上面に接し、
前記第 4 の絶縁層は、前記第 1 の絶縁層の上面、前記半導体層の側面、及び前記第 2 の領域の上面に接し、且つ、前記第 1 の開口部の内側において、前記第 2 の絶縁層と、前記第 3 の絶縁層との間に位置する部分を有し、
前記半導体層は、金属酸化物を含み、
前記第 1 の絶縁層及び前記第 3 の絶縁層は、酸化物を含み、
前記第 4 の絶縁層は、金属窒化物を含む、
半導体装置。

[請求項 3]

請求項 2 において、
前記第 4 の絶縁層は、アルミニウムを含む、
半導体装置。

[請求項 4]

請求項 2 または請求項 3 のいずれか一において、
前記第 2 の絶縁層、前記第 1 の導電層、及び前記第 3 の絶縁層の上面を覆う第 5 の絶縁層を有し、
前記第 5 の絶縁層は、アルミニウム及びハフニウムの少なくとも一方と、酸素と、を含む、
半導体装置。

[請求項 5]

請求項 4 において、

前記第 5 の絶縁層上に第 2 の導電層を有し、
前記第 5 の絶縁層及び前記第 2 の絶縁層は、前記第 2 の領域に達する第 2 の開口部を有し、
前記第 2 の導電層は、前記第 2 の開口部において、前記第 2 の領域と接する、
半導体装置。

[請求項 6]

請求項 2 乃至請求項 5 のいずれか一において、
前記第 1 の絶縁層よりも下に第 6 の絶縁層を有し、
前記第 6 の絶縁層は、アルミニウム及びハフニウムの少なくとも一方と、酸素と、を含む、
半導体装置。

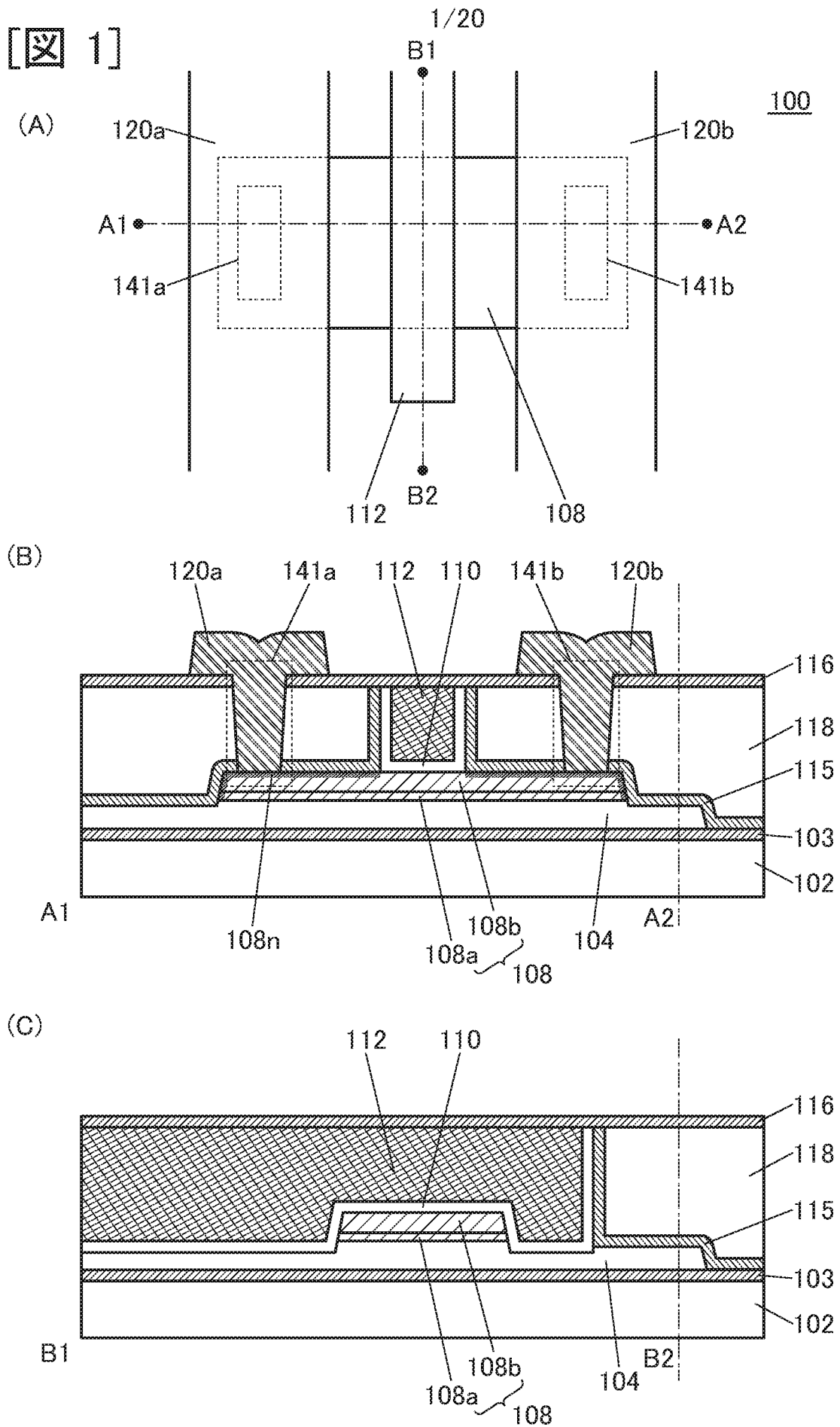
[請求項 7]

請求項 6 において、
前記第 1 の絶縁層は、前記第 6 の絶縁層に達する第 3 の開口部を有し、
前記第 3 の開口部において、前記第 4 の絶縁層と前記第 6 の絶縁層が接する、
半導体装置。

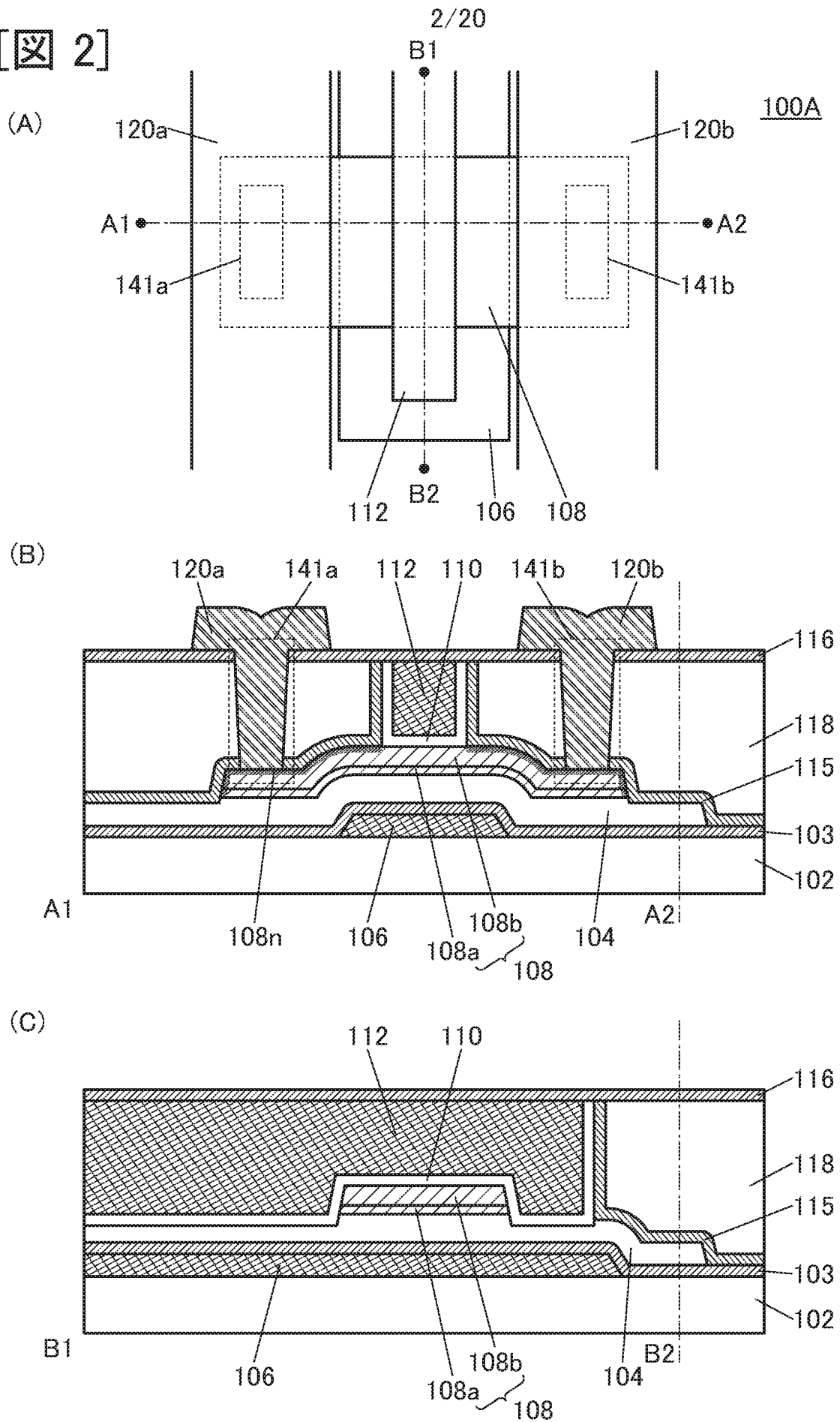
[請求項 8]

請求項 6 または請求項 7 において、
前記第 6 の絶縁層よりも下に、前記第 1 の領域と重なる第 3 の導電層を有する、
半導体装置。

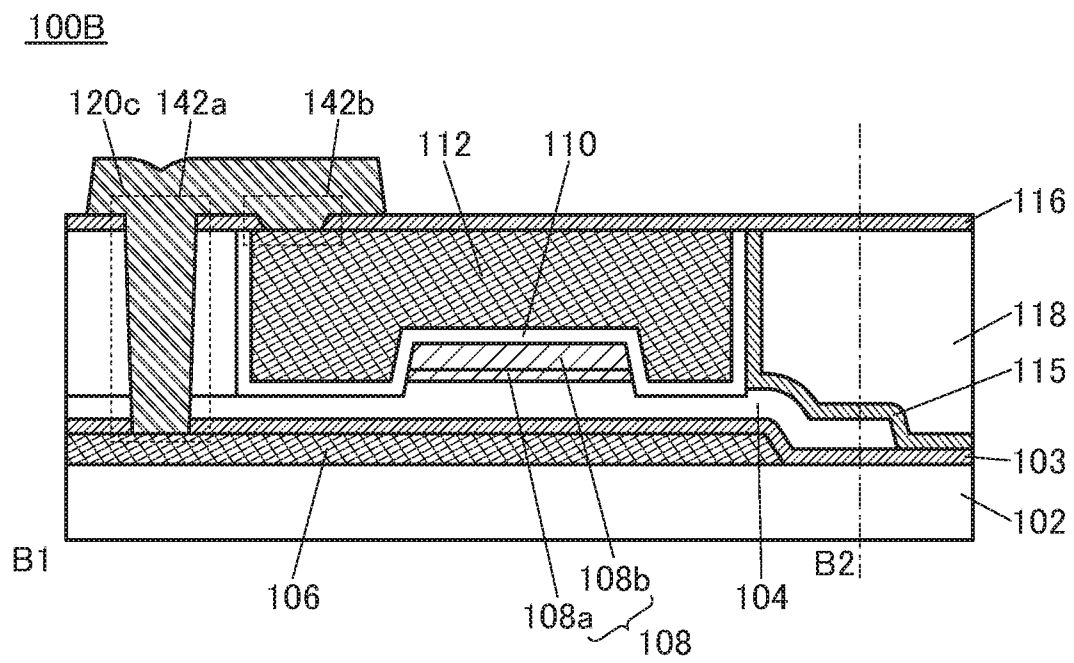
[図 1]



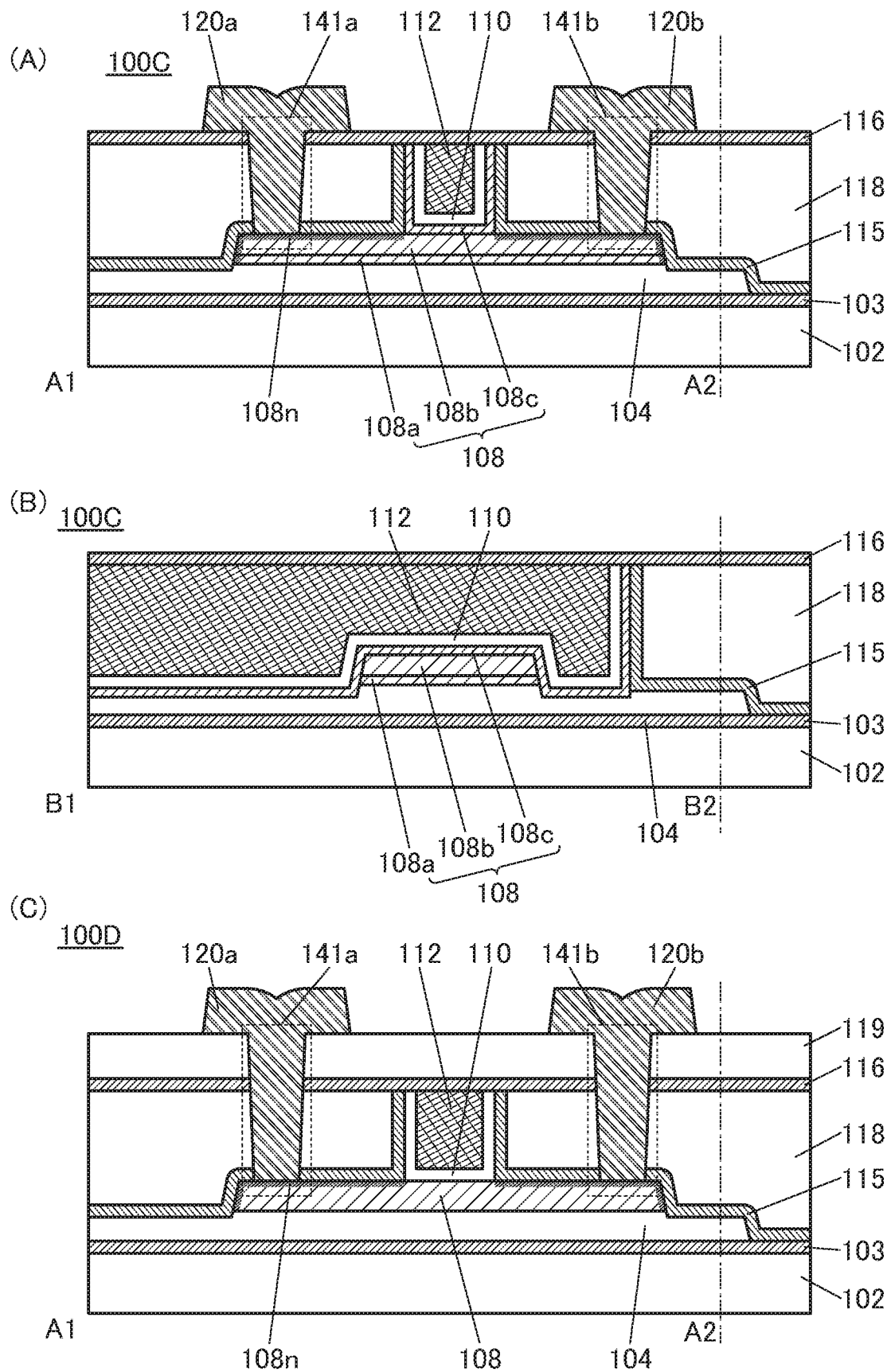
[図 2]



[図 3]

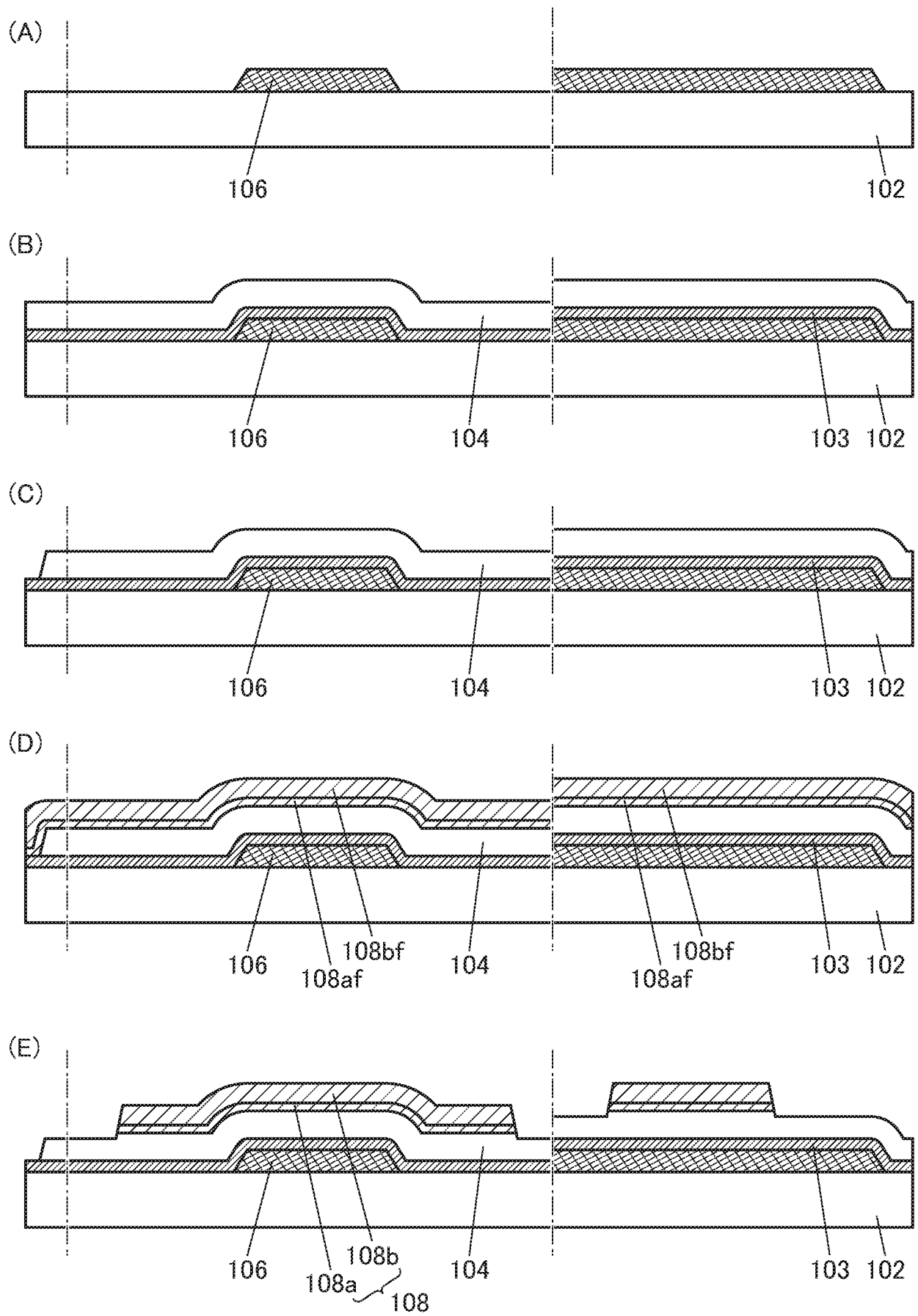


[図 4]

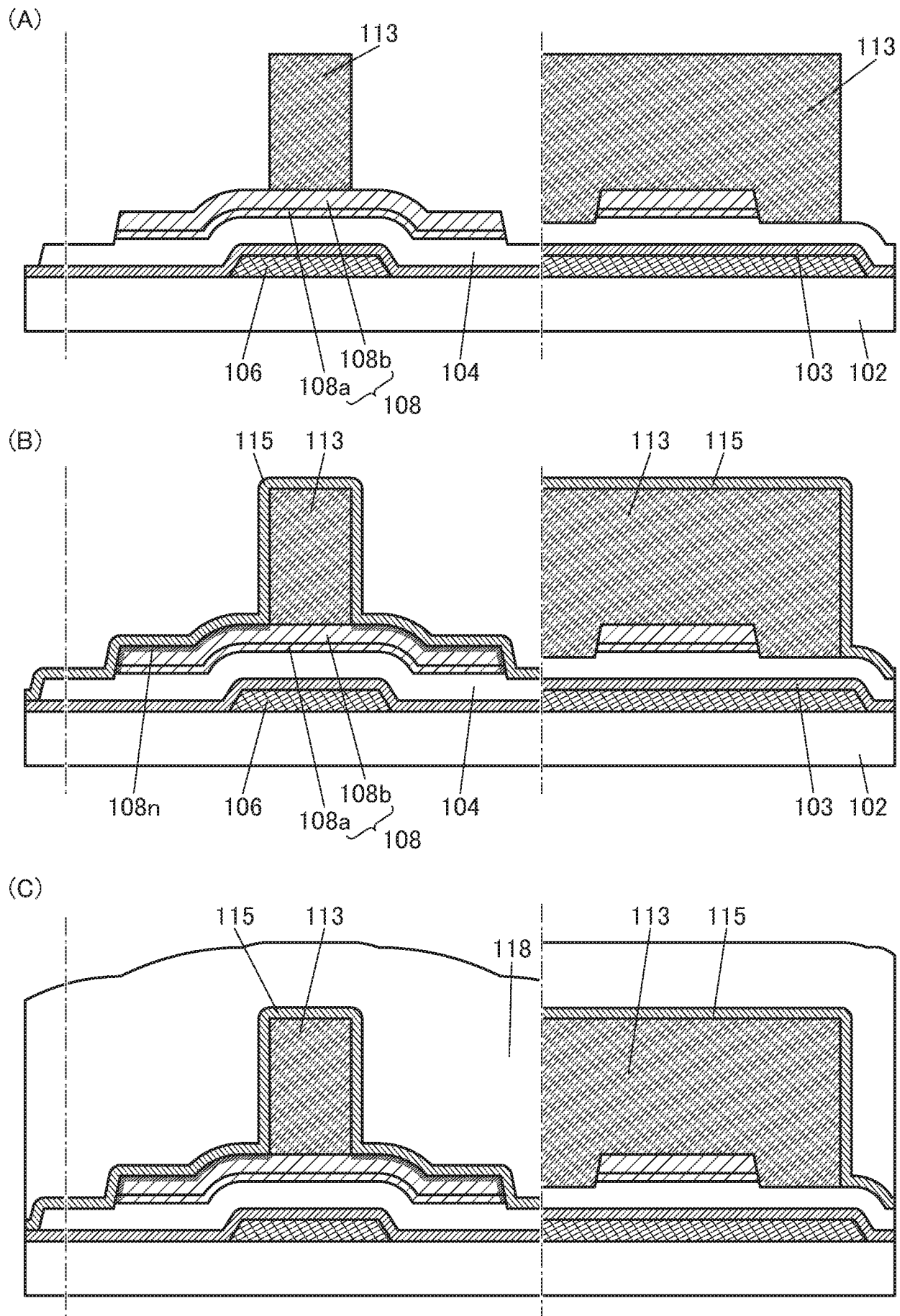


[図 5]

5/20

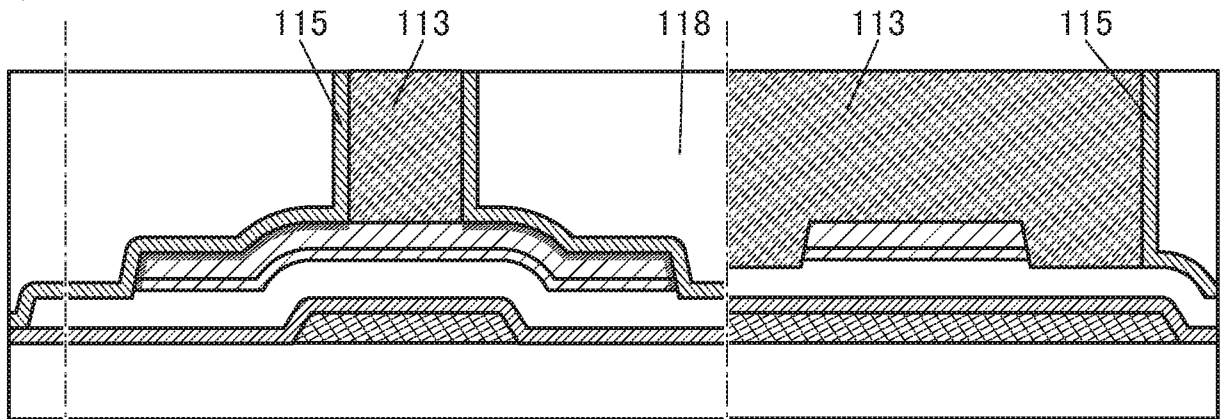


[図 6]

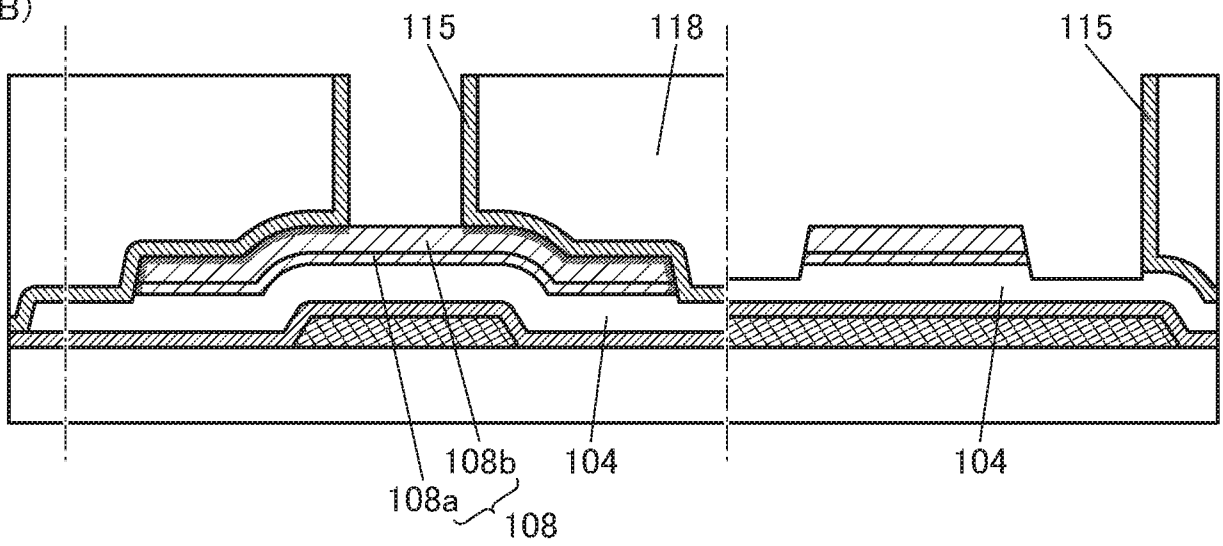


[図 7]

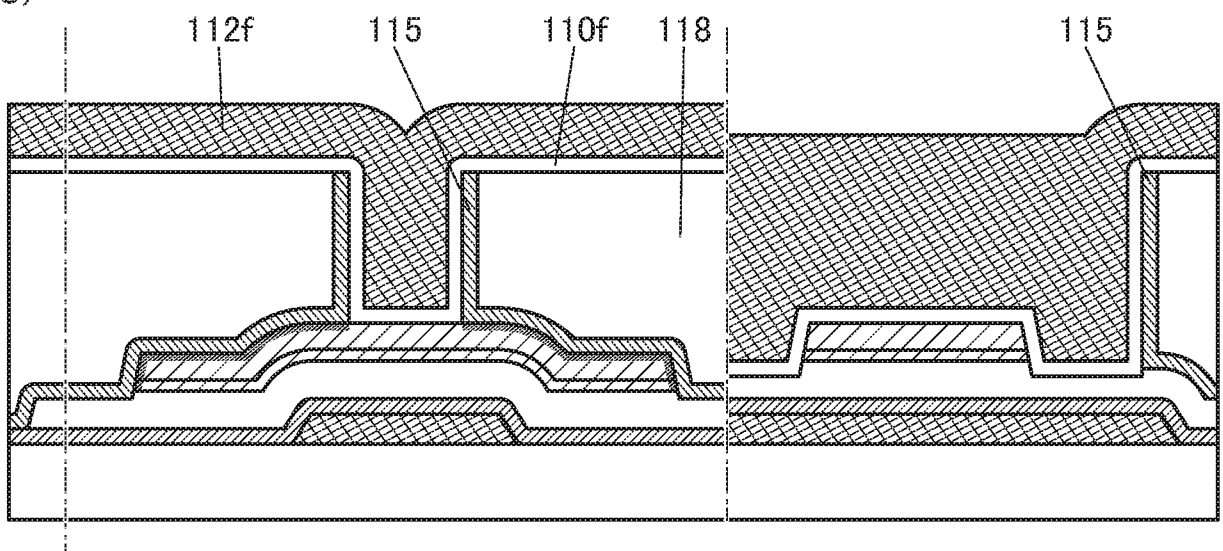
(A)



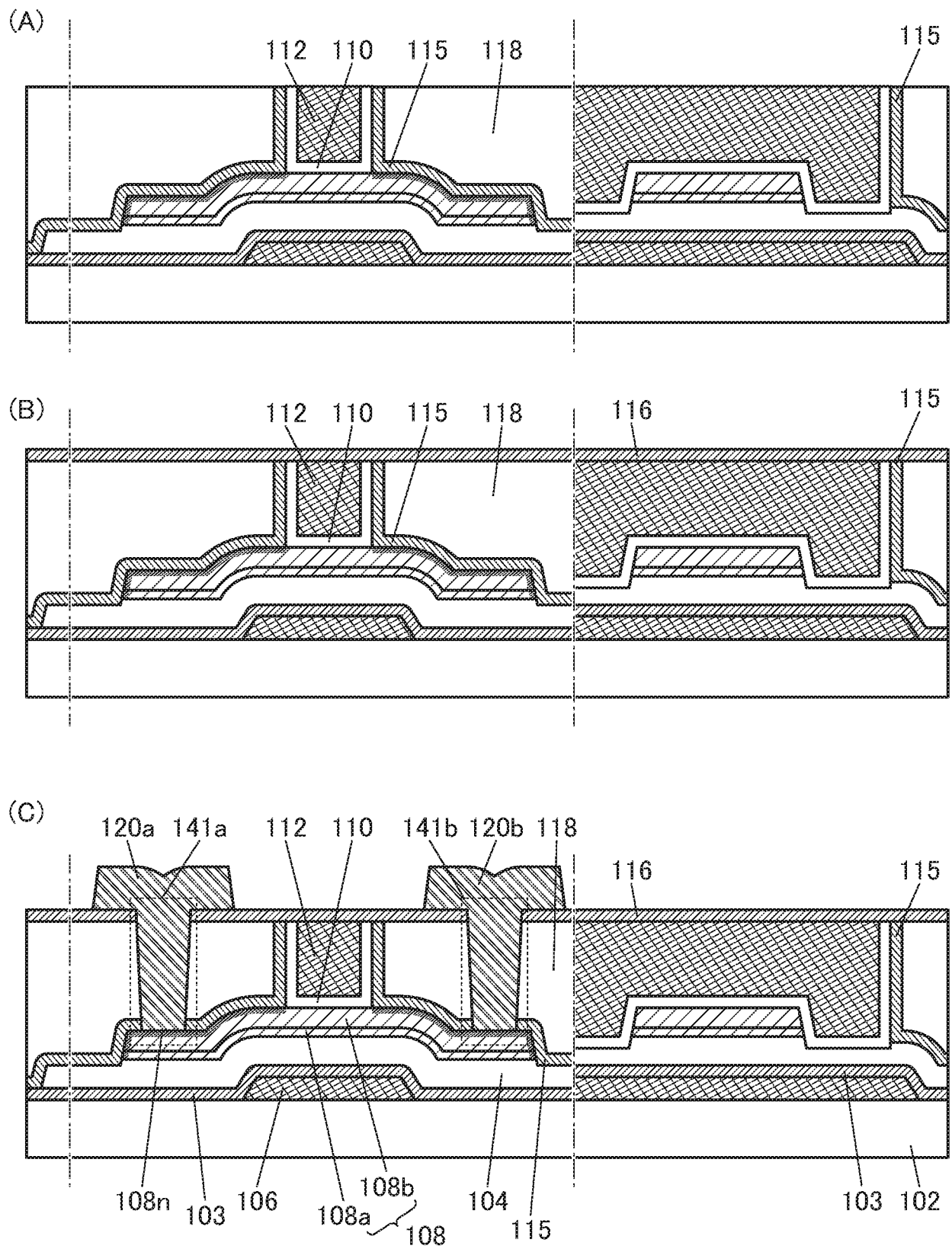
(B)



(C)



[図 8]

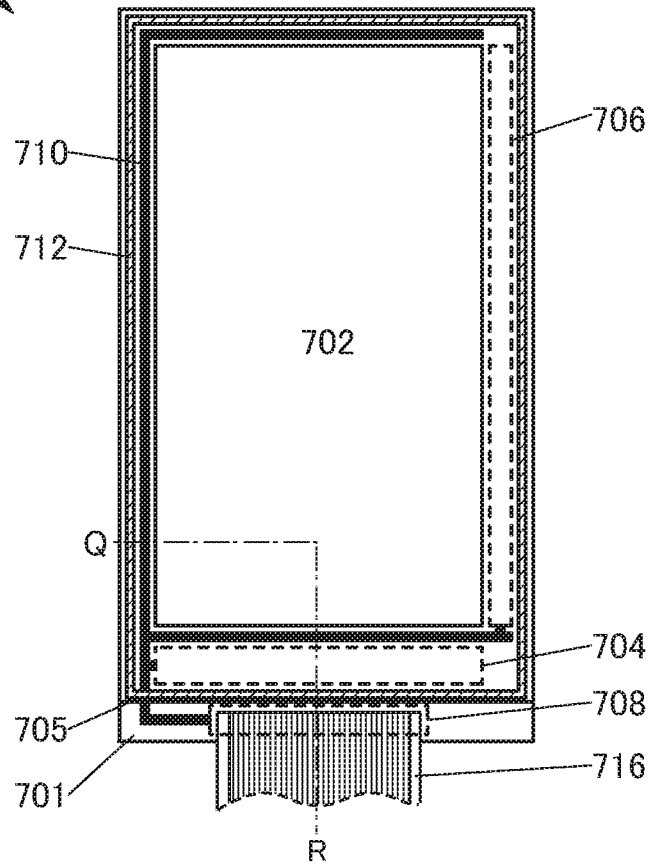


9/20

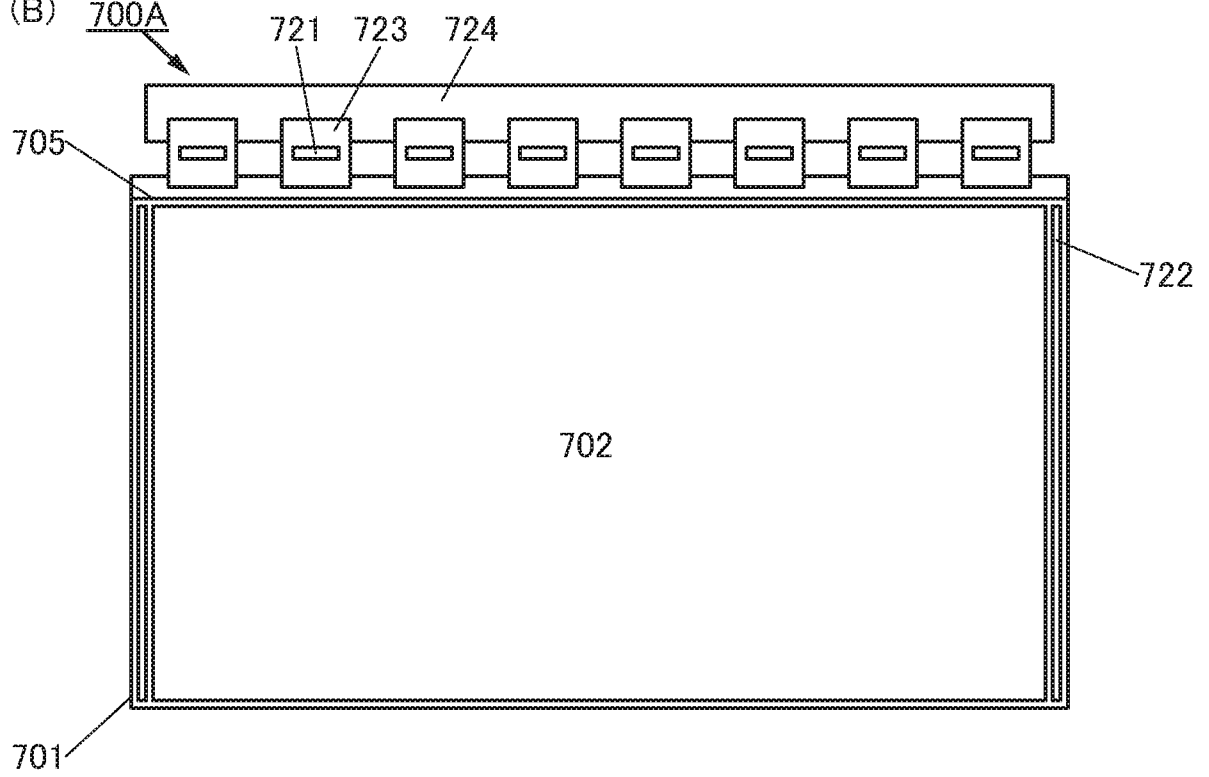
[図 9]

(A)

700



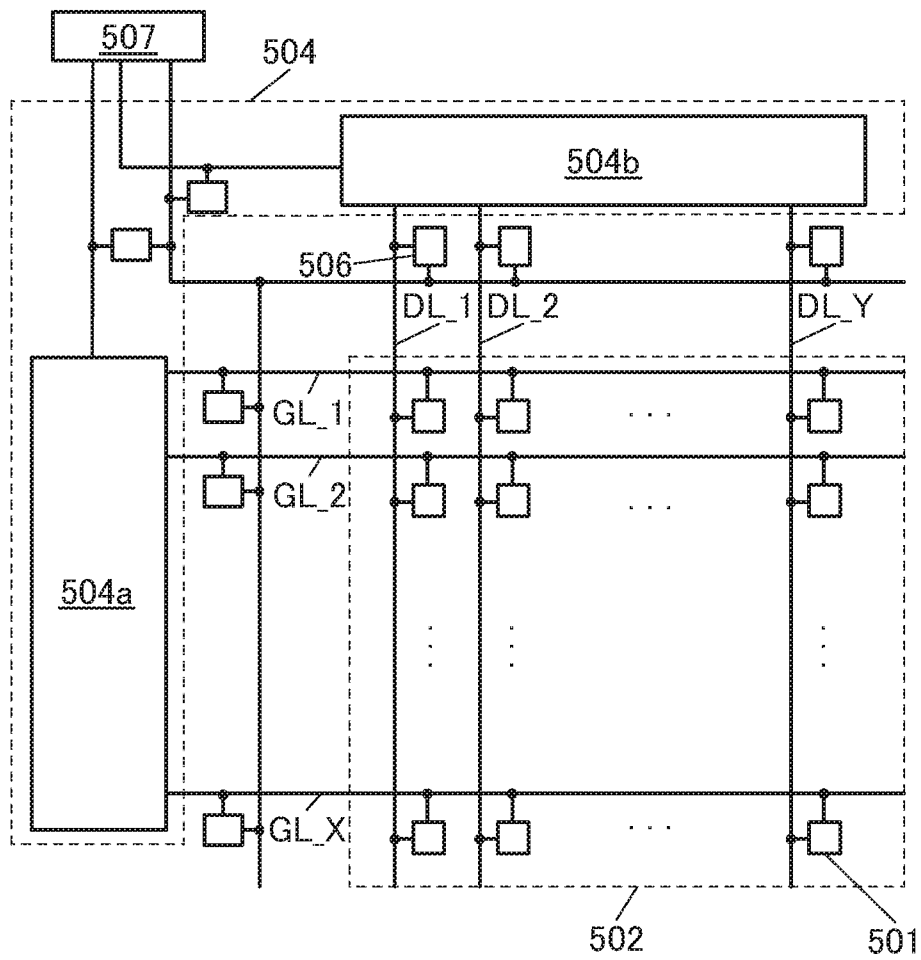
(B) 700A



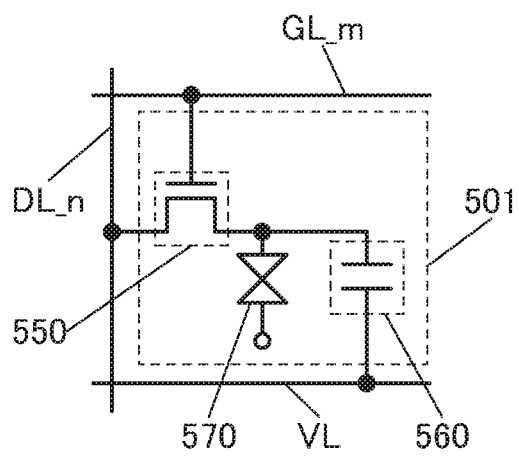
[図10]

10/20

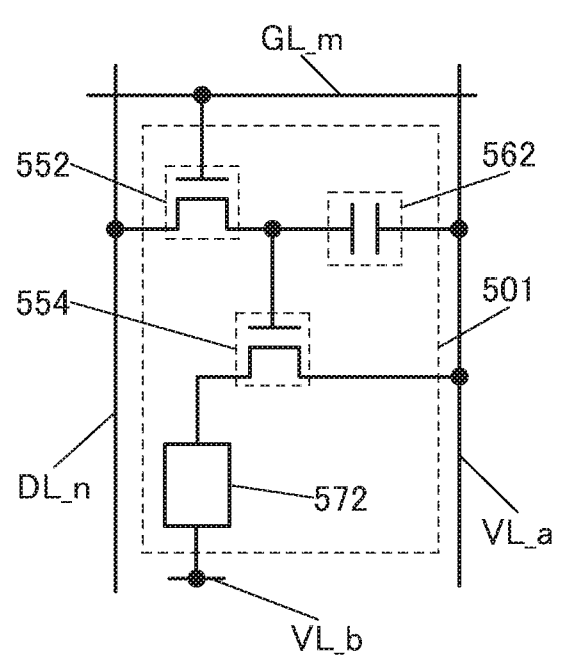
(A)



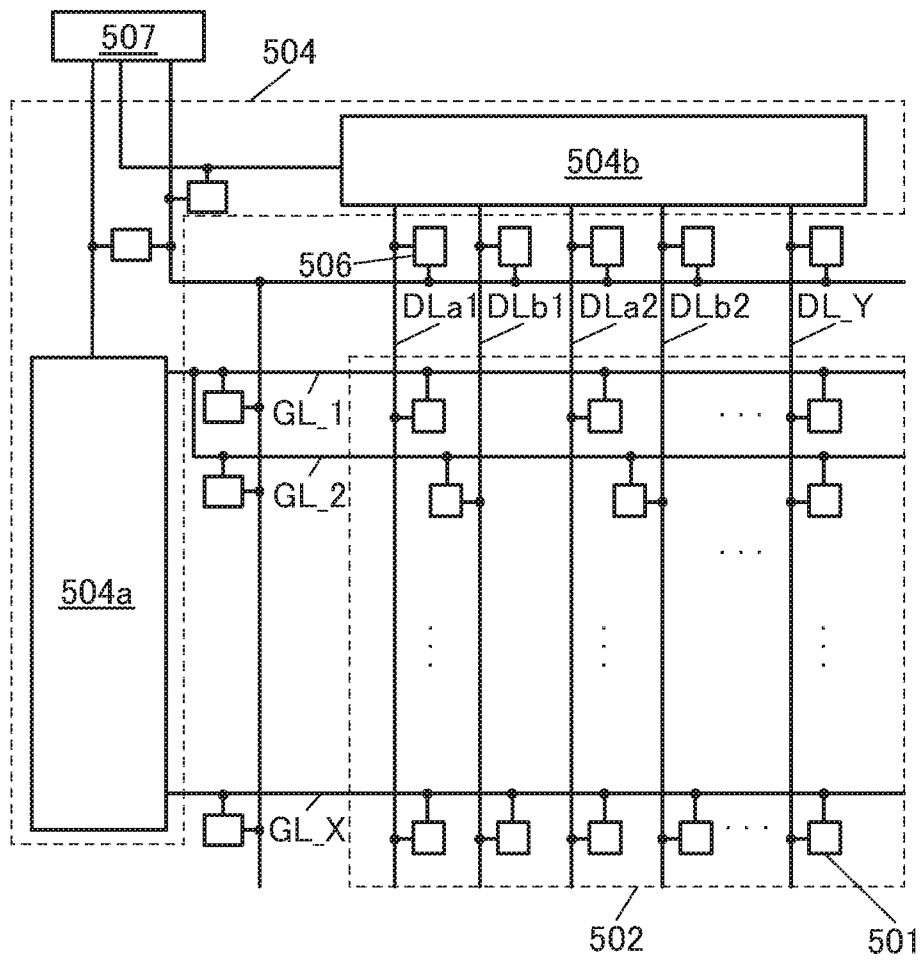
(B)

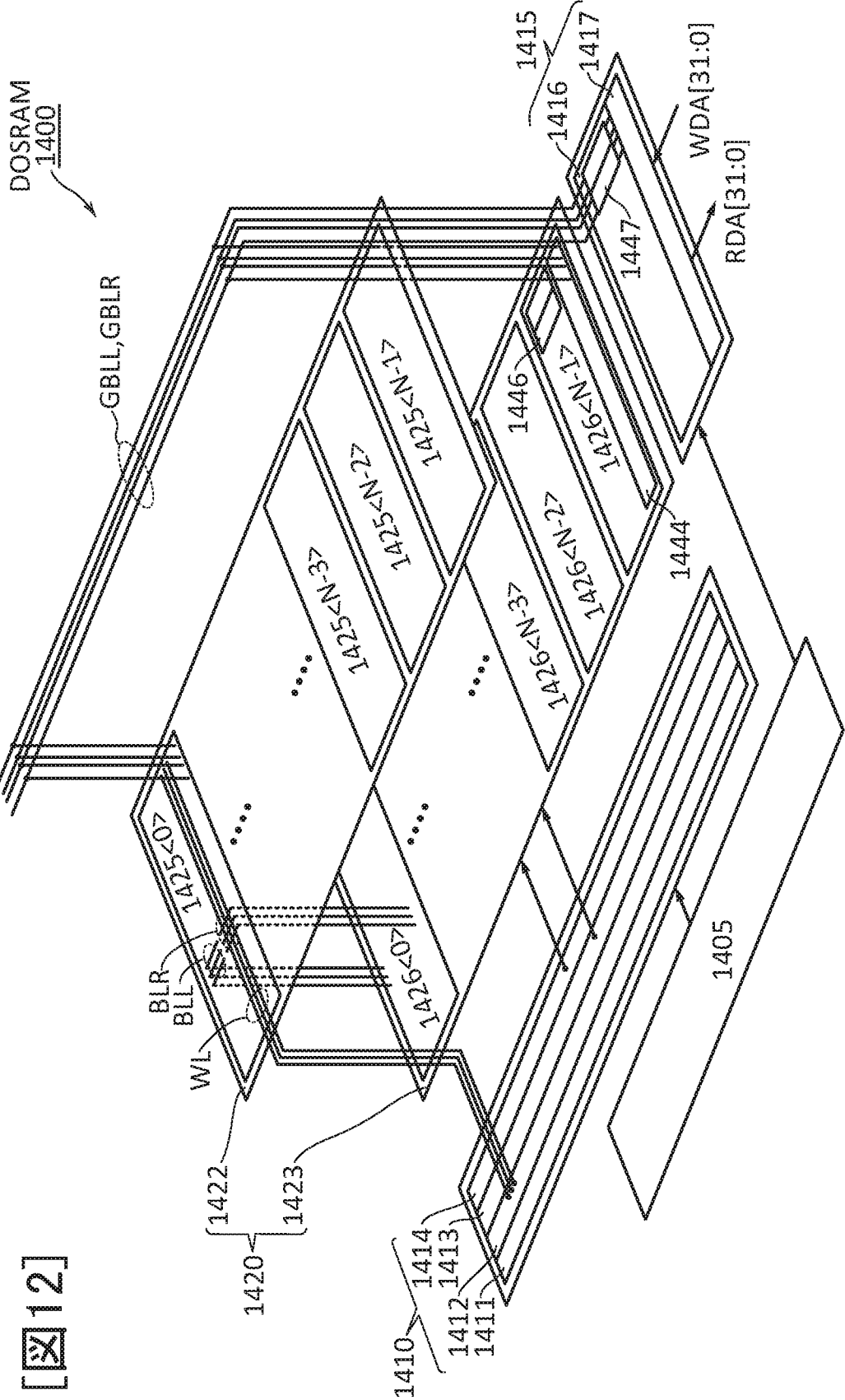


(C)



[図 11]

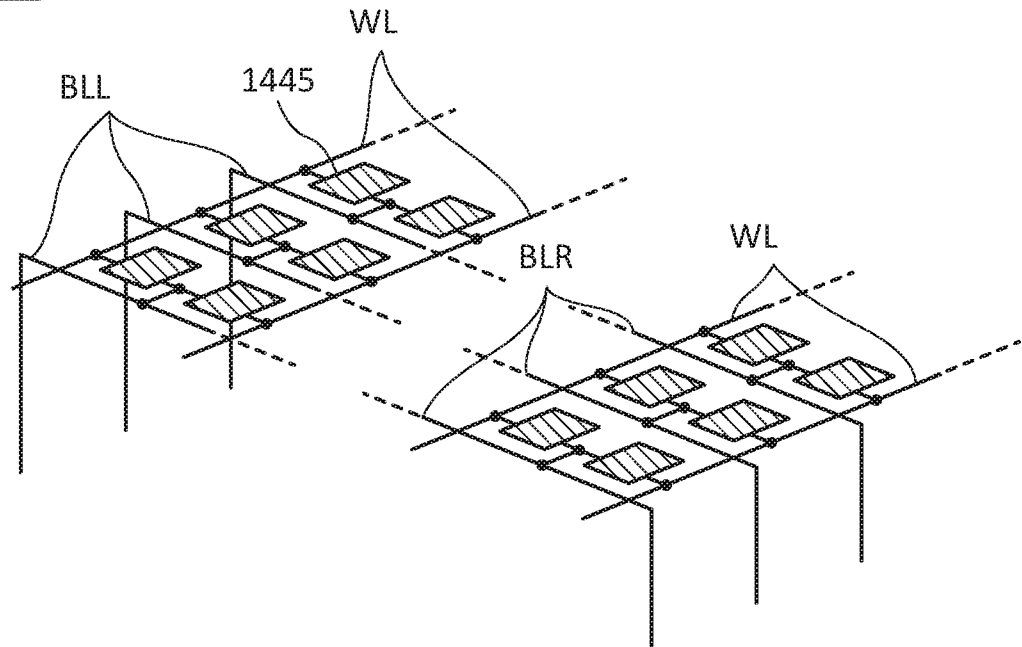




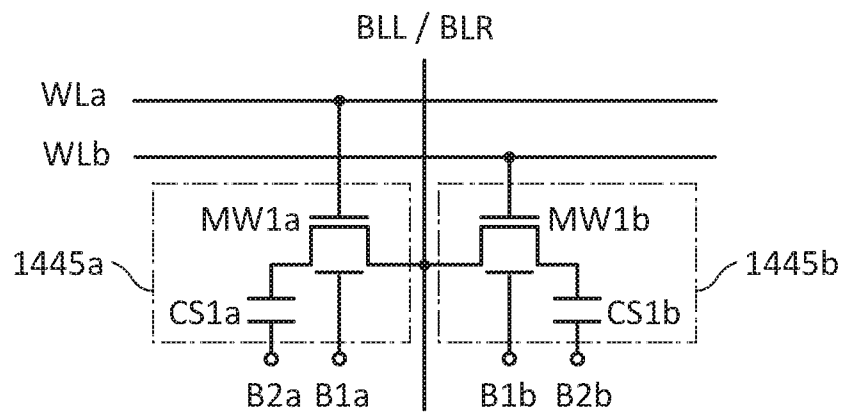
[図13]

(A)

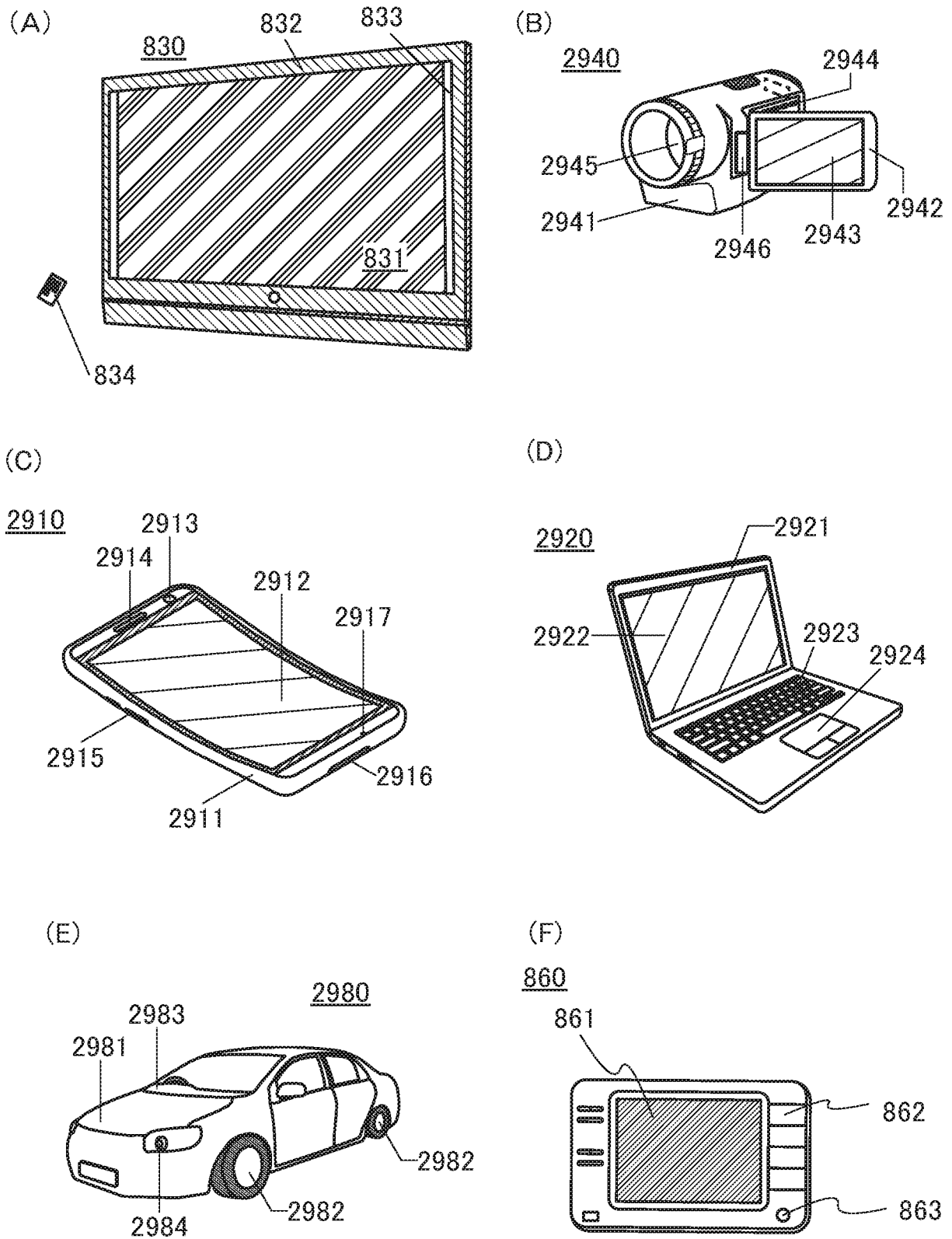
1425



(B)

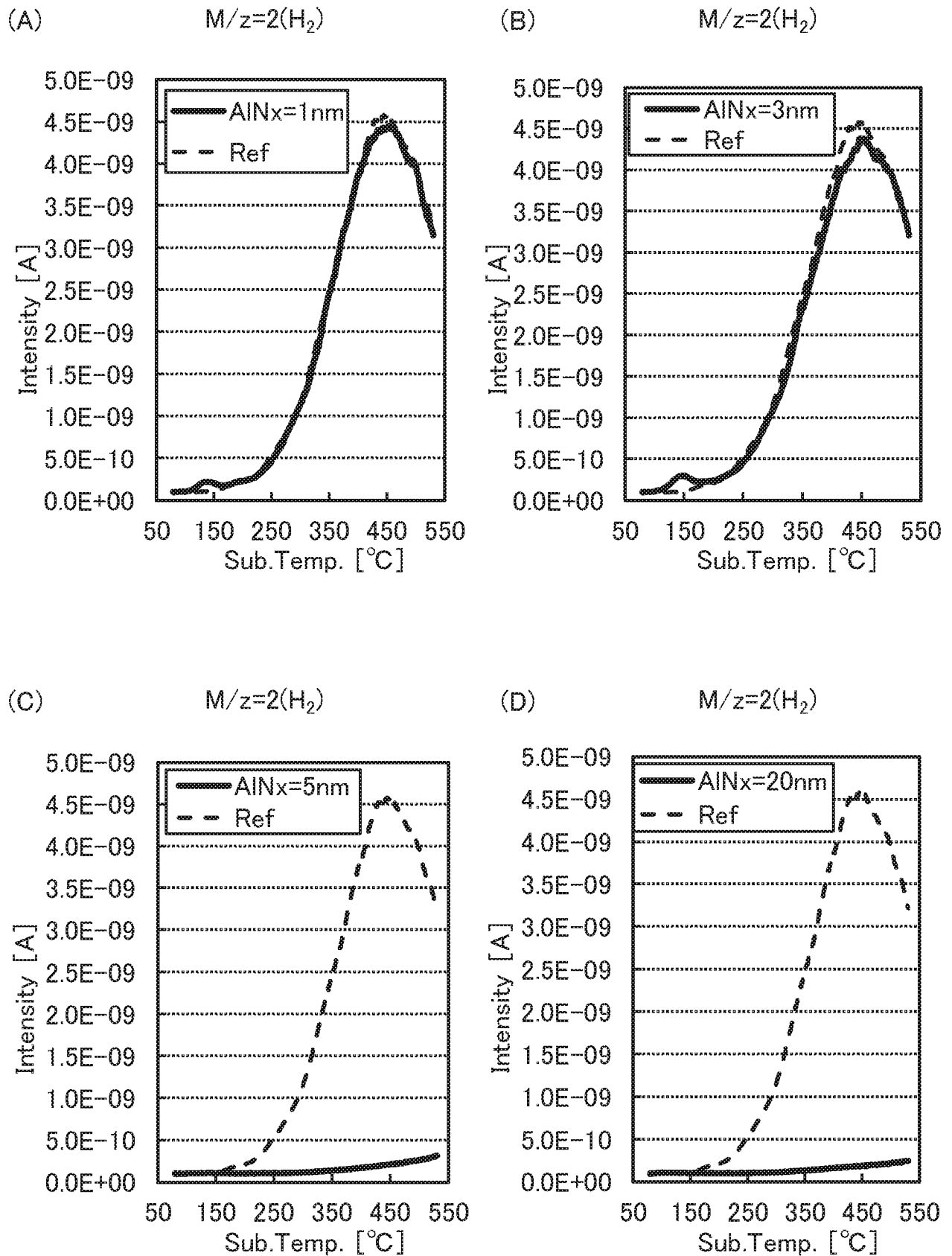


[図14]

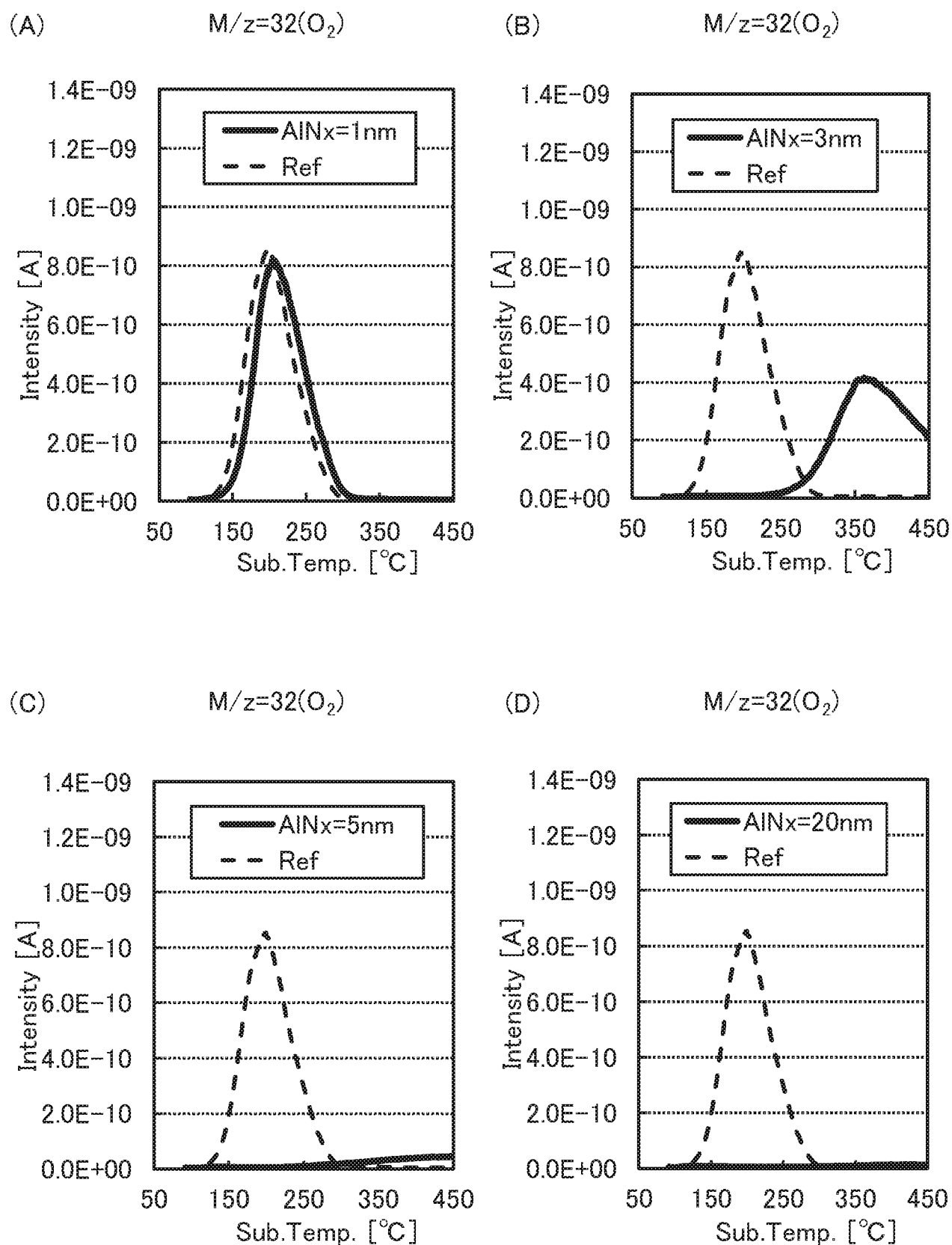


15/20

[図15]

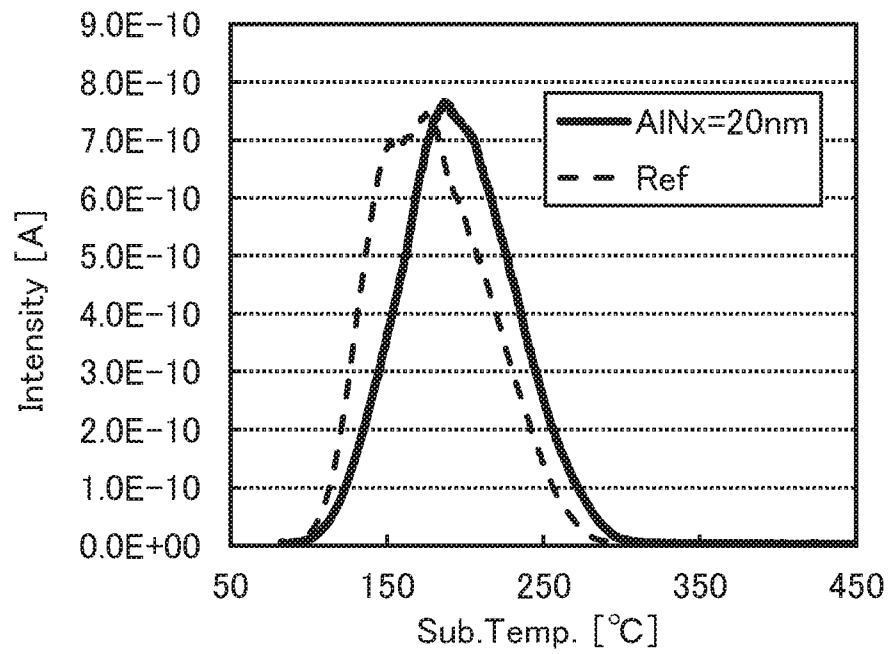


[図16]



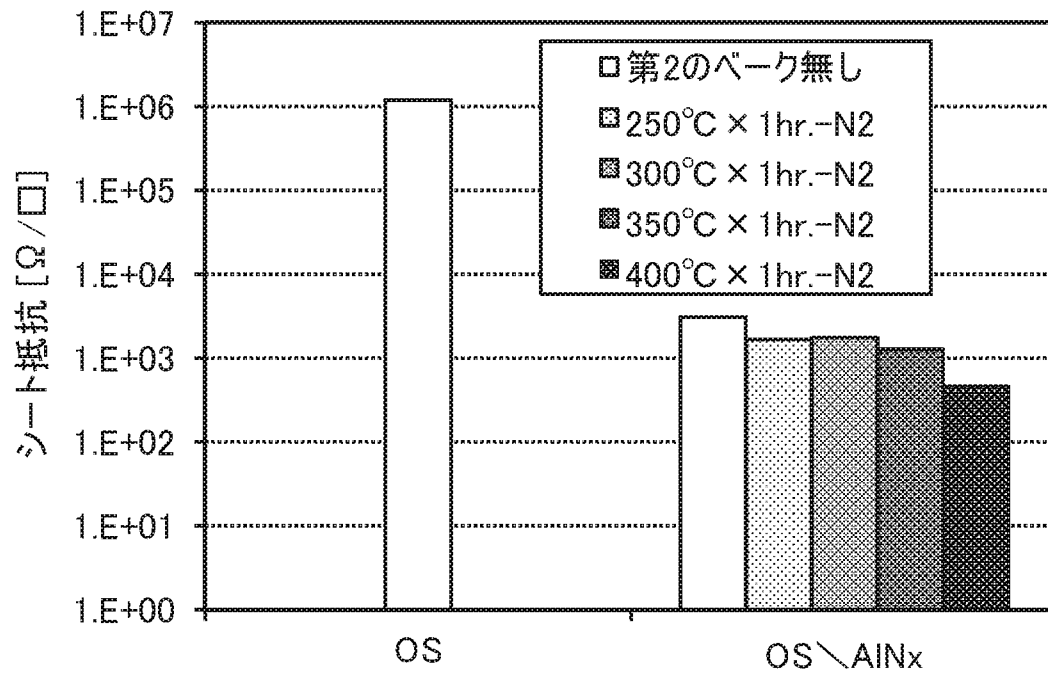
17/20

[図 17]

 $M/z=32(O_2)$ 

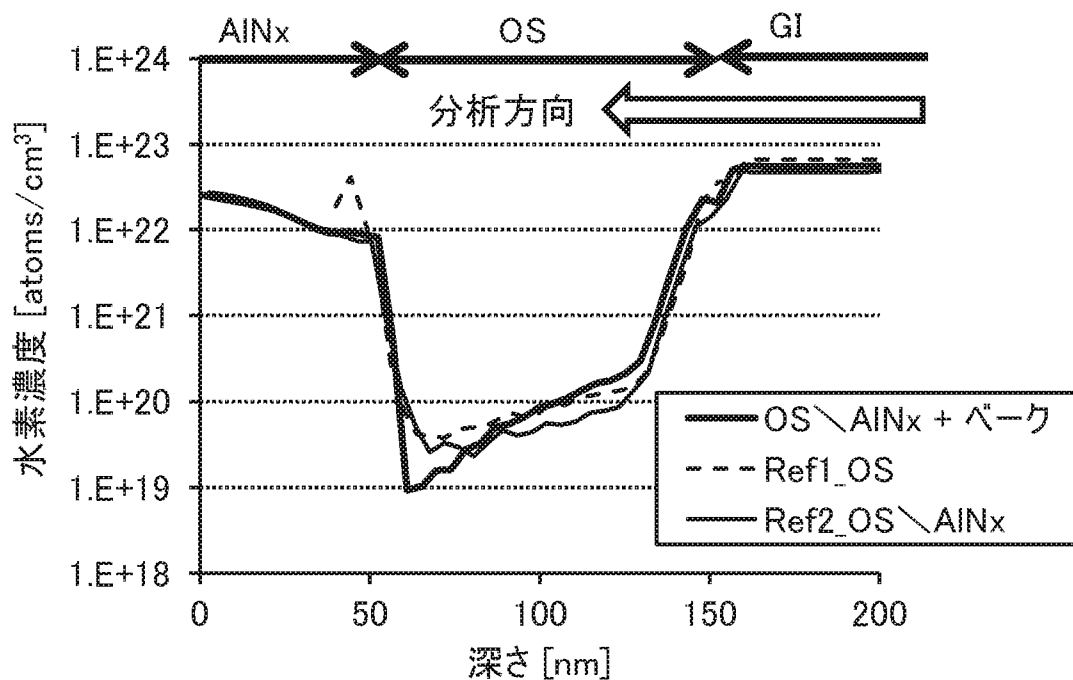
18/20

[図18]

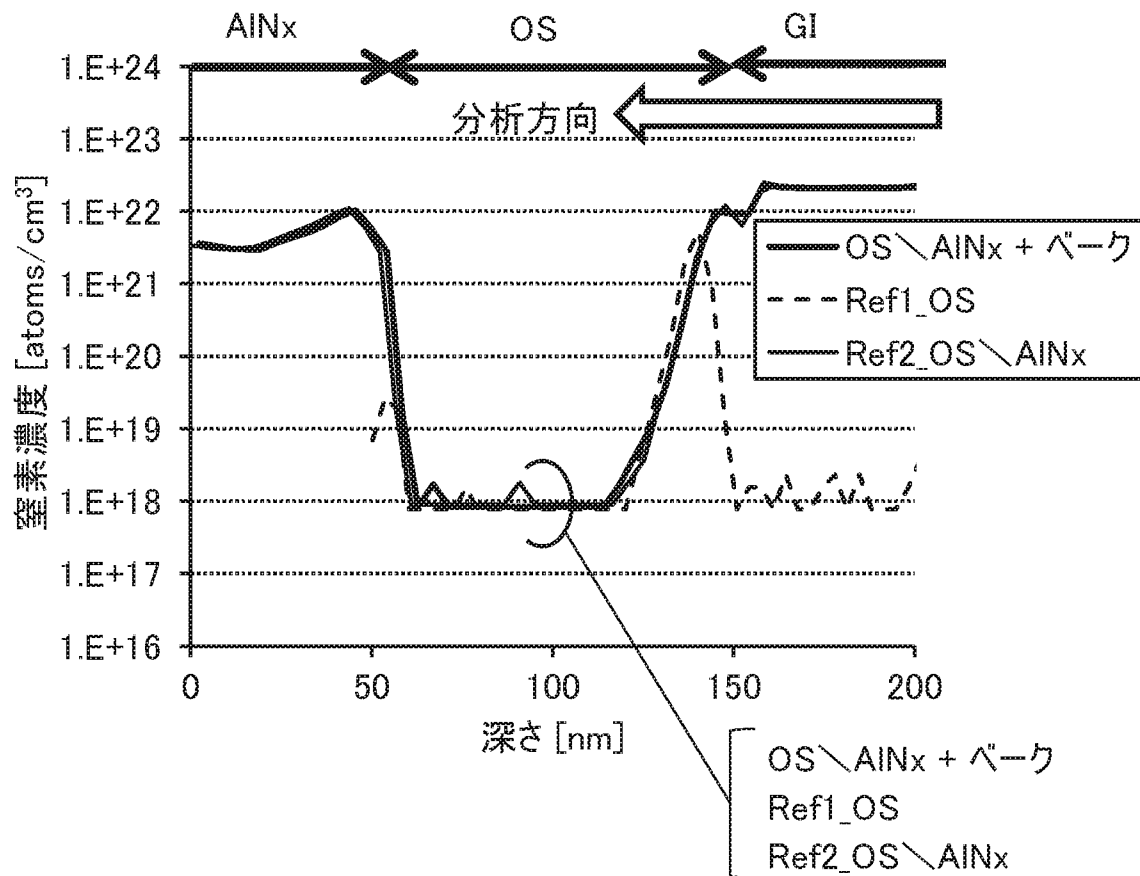


19/20

[図19]

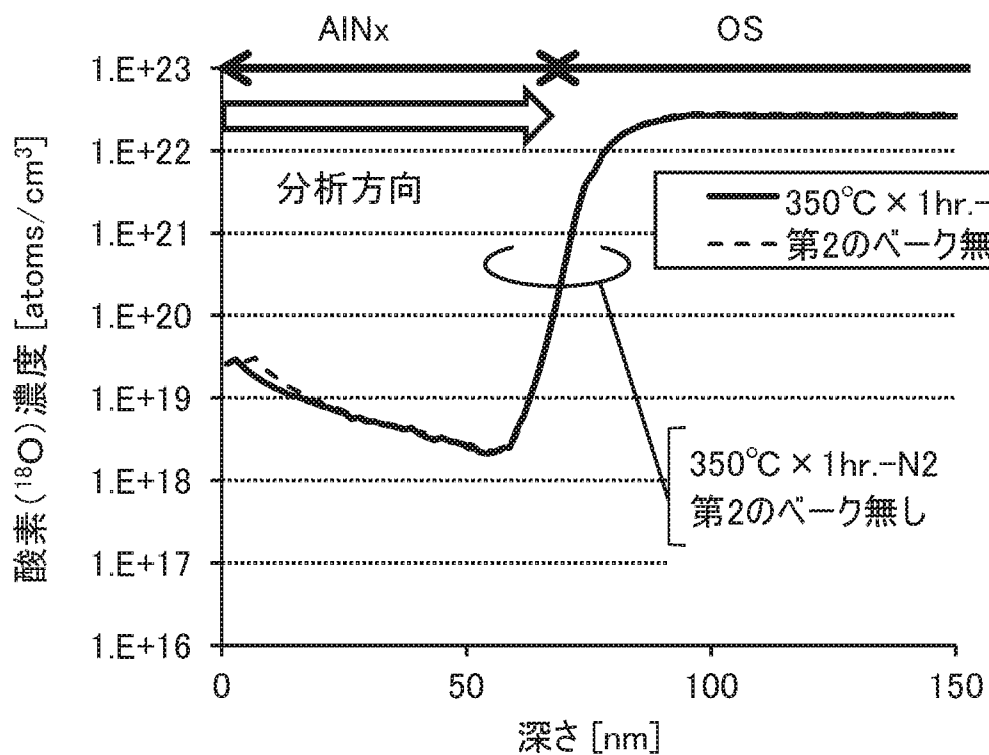


[図20]



20/20

[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/057908

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336 (2006.01) i, H01L21/28 (2006.01) i, H01L21/8242 (2006.01) i,
H01L27/108 (2006.01) i, H01L29/423 (2006.01) i, H01L29/49 (2006.01) i,
H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L21/28, H01L21/8242, H01L27/108, H01L29/423,
H01L29/49, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2016-207759 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 December 2016, paragraphs [0052]-[0100], fig. 3(B) (Family: none)	1 2-8
A	JP 2015-144251 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 August 2015 & US 2015/0187898 A1 & WO 2015/097633 A1 & TW 201533903 A & KR 10-2016-0102196 A & CN 105849875 A	1-8
P, A	JP 2018-073995 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 May 2018 (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 December 2018 (27.12.2018)

Date of mailing of the international search report
15 January 2019 (15.01.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/057908

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2018-073994 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 May 2018 (Family: none)	1-8
E, A	JP 2018-201011 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20 December 2018 (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/28, H01L21/8242, H01L27/108, H01L29/423, H01L29/49, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2016-207759 A（株式会社半導体エネルギー研究所）2016.12.08, 段落 0052-0100、図 3(B)（ファミリーなし）	1 2-8
A	JP 2015-144251 A（株式会社半導体エネルギー研究所）2015.08.06 & US 2015/0187898 A1 & WO 2015/097633 A1 & TW 201533903 A & KR 10-2016-0102196 A & CN 105849875 A	1-8
P, A	JP 2018-073995 A（株式会社半導体エネルギー研究所）2018.05.10 （ファミリーなし）	1-8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

27.12.2018

国際調査報告の発送日

15.01.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

電話番号 03-3581-1101 内線 3516

5F

9355

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	JP 2018-073994 A (株式会社半導体エネルギー研究所) 2018.05.10 (ファミリーなし)	1-8
E, A	JP 2018-201011 A (株式会社半導体エネルギー研究所) 2018.12.20 (ファミリーなし)	1-8