



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I474151 B

(45) 公告日：中華民國 104 (2015) 年 02 月 21 日

(21) 申請案號：102110979

(22) 申請日：中華民國 102 (2013) 年 03 月 27 日

(51) Int. Cl. : G06F1/04 (2006.01)

(30) 優先權：2012/07/06 美國 13/543,350

(71) 申請人：矽統科技股份有限公司 (中華民國) SILICON INTEGRATED SYSTEMS CORP.
(TW)

新竹市公道五路 2 段 180 號

(72) 發明人：林松生 LIN, SONG SHENG (TW)

(74) 代理人：許世正

(56) 參考文獻：

TW M428410U1 US 2009/0154285A1

US 2011/0304366A1

審查人員：李國隆

申請專利範圍項數：18 項 圖式數：11 共 52 頁

(54) 名稱

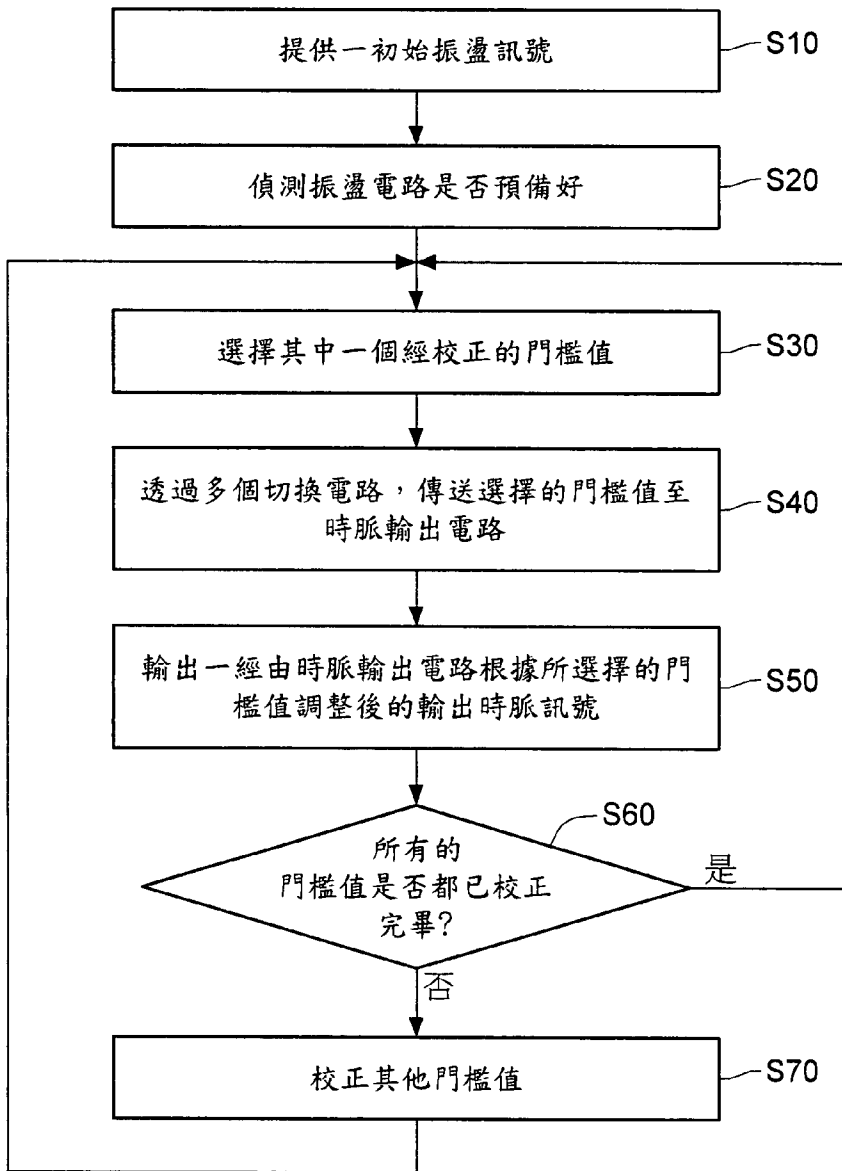
時脈訊號的倍頻方法及裝置

APPARATUS AND METHOD FOR MULTIPLYING FREQUENCY OF A CLOCK SIGNAL

(57) 摘要

一種時脈訊號的倍頻方法及裝置，提供一初始振盪訊號，並且比較初始振盪訊號和一參考訊號，以產生一第一控制訊號。至少根據第一控制訊號，由一門檻值產生電路選擇地輸出至少一低門檻值和至少一高門檻值的其中一門檻值至一時脈輸出電路。藉由一數位邏輯模組處理初始振盪訊號與選擇輸出的門檻值間的比較結果，以及處理初始振盪訊號與一低位準訊號間的比較結果，以更新一輸出時脈訊號。

An apparatus and method for multiplying frequency of a clock signal are provided, wherein the apparatus provides an initial oscillator signal, compares the initial oscillator signal with a reference signal to generate a first control signal, selectively outputs one of at least one lower threshold value and at least one upper threshold value from a threshold value generation circuit to a clock output circuit according to at least the first control signal, and updates an output clock signal through a digital and logical module processing the comparison of the initial oscillator signal and the selected one of the at least one upper and lower threshold values and the comparison of the initial oscillator signal and a low level signal.



第1圖

發明摘要

※ 申請案號： 102110979

※ 申請日： 102. 3. 27

※IPC 分類： G06F 1/04 (2006.01)

【發明名稱】

時脈訊號的倍頻方法及裝置

APPARATUS AND METHOD FOR MULTIPLYING

FREQUENCY OF A CLOCK SIGNAL

【中文】

一種時脈訊號的倍頻方法及裝置，提供一初始振盪訊號，並且比較初始振盪訊號和一參考訊號，以產生一第一控制訊號。至少根據第一控制訊號，由一門檻值產生電路選擇地輸出至少一低門檻值和至少一高門檻值的其中一門檻值至一時脈輸出電路。藉由一數位邏輯模組處理初始振盪訊號與選擇輸出的門檻值間的比較結果，以及處理初始振盪訊號與一低位準訊號間的比較結果，以更新一輸出時脈訊號。

【英文】

An apparatus and method for multiplying frequency of a clock signal are provided, wherein the apparatus provides an initial oscillator signal, compares the initial oscillator signal with a reference signal to generate a first control signal, selectively outputs one of at least one lower threshold value and at least one upper threshold value from a threshold value generation circuit to a clock output circuit according to at least the first control signal, and updates an output clock signal through a digital and logical module processing the comparison of the initial

oscillator signal and the selected one of the at least one upper and lower threshold values and the comparison of the initial oscillator signal and a low level signal.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】

時脈訊號的倍頻方法及裝置

APPARATUS AND METHOD FOR MULTIPLYING
FREQUENCY OF A CLOCK SIGNAL

【技術領域】

【0001】 本發明是關於一種頻率放大器，特別是一種時脈訊號的倍頻方法及裝置。

【先前技術】

【0002】 近年來，微處理器的整合度和功能越高，然而所衍生出的問題也越來越多。第一，當時脈偏移(clock skew)和時脈頻率越高，系統單晶片(system-on-chip, SoC)的體積將越大。結果，單位的週期時間將變短，而訊號的抖動(jitter)也因此增加。第二，越高的整合度就需要越高的功率強度，因此也需要將低功率的設計納入考量。

【0003】 因此，需要發展一種可利用倍頻方法來提高時脈頻率並維持低抖動和低功率損耗的裝置。

【發明內容】

【0004】 鑒於以上的問題，本發明在於提供一種時脈訊號的倍頻方法及裝置，藉以解決習用技術的問題。

【0005】 本發明所揭露之時脈訊號的倍頻裝置包含一振盪電路、一控制訊號產生電路、一門檻值產生電路和一時脈

輸出電路。振盪電路產生一初始振盪訊號。控制訊號產生電路比較初始振盪訊號和一參考訊號，以產生一第一控制訊號。門檻值產生電路接收初始振盪訊號，並至少根據第一控制訊號，將至少一高門檻值和至少一低門檻值依序輸出。時脈輸出電路包含一數位邏輯模組。數位邏輯模組處理初始振盪訊號與至少一低門檻值和至少一高門檻值的其中一門檻值間的比較結果，以及處理初始振盪訊號與低位準訊號間的比較結果，以輸出一輸出時脈訊號。

【0006】 本發明所揭露之時脈訊號的倍頻方法包含以下步驟。首先，提供初始振盪訊號，並且將初始振盪訊號與一參考訊號作比較，以產生一第一控制訊號。由一門檻值產生電路至少根據第一控制訊號，選擇地傳送至少一低門檻值和至少一高門檻值的其中一門檻值。由一數位邏輯模組處理初始振盪訊號與傳送的門檻值間的比較結果，以及處理初始振盪訊號和一低位準訊號間的比較結果，以輸出一輸出時脈訊號。

【0007】 本發明之時脈訊號的倍頻方法及裝置，藉由門檻值產生電路來調整至少一低門檻值和至少一高門檻值，並且至少根據第一控制訊號，選擇地傳送至少一低門檻值和至少一高門檻值的其中一門檻值至數位邏輯模組。接著，由數位邏輯模組處理初始振盪訊號與接收到的門檻值間的比較結果，以及處理初始振盪訊號和一低位準訊號間的比較結果，

以更新輸出時脈訊號。如此一來，便可在維持低功率損耗並維持小面積的情況下，根據應用的需求來調整輸出時脈訊號之頻率的大小。

【0008】 以上之關於本揭露內容之說明及以下之實施方式之說明係用以示範與解釋本發明之精神與原理，並且提供本發明之專利申請範圍更進一步之解釋。

【圖式簡單說明】

【0009】

第 1 圖係為根據本發明之一實施例的時脈訊號的倍頻方法的流程圖。

第 2 圖係為根據第 1 圖之兩倍頻的時脈訊號的裝置的方塊圖。

第 3 圖係為根據第 2 圖之兩倍頻的時脈訊號的倍頻方法的流程圖。

第 4 圖係為根據第 3 圖之校正流程的一實施例的流程圖。

第 5 圖係為根據第 2 圖之裝置的時序圖。

第 6 圖係為根據第 1 圖之四倍頻的時脈訊號的裝置的方塊圖。

第 7A 圖和第 8A 圖係為根據第 6 圖中門檻選擇單元的方塊示意圖。

第 7B 圖和 7C 圖為根據第 7A 圖之門檻選擇單元的真值表。

第 8B 圖係為根據第 8A 圖之門檻選擇單元的真值表。

第 9 圖係為根據第 6 圖之四倍頻的時脈訊號的倍頻方法的流程圖。

第 10 圖係為根據第 6 圖之校正流程的一實施例的流程圖。

第 11 圖係為根據第 6 圖之裝置的時序圖。

【實施方式】

【0010】 以下在實施方式中詳細敘述本發明之詳細特徵以及優點，其內容足以使任何熟習相關技藝者了解本發明之技術內容並據以實施，且根據本說明書所揭露之內容、申請專利範圍及圖式，任何熟習相關技藝者可輕易地理解本發明相關之目的及優點。以下之實施例係進一步詳細說明本發明之觀點，但非以任何觀點限制本發明之範疇。

【0011】 第 1 圖係為根據本發明之一實施例的時脈訊號的倍頻方法的流程圖。首先，提供一振盪訊號，亦即初始振盪訊號(步驟 S10)。當振盪電路預備好後(步驟 S20)，選擇其中一個電壓位準，亦即門檻值(步驟 S30)，並透過對應的其中一個取樣保持電路，將選擇的門檻值傳送至時脈輸出電路(步驟 S40)。藉由將初始振盪訊號與所選擇不同的門檻值相比較，以調整輸出時脈訊號(步驟 S50)。在栓鎖輸出時脈訊號的過程中(步驟 S60)，這些門檻值將在校正程序中被校正，以更新輸出時脈訊號(步驟 S70)。然而，當輸出時脈訊號已栓鎖(步驟 S60)且達到期望的責任週期或脈寬時，就不用再執行校正程序。當輸出時脈訊號栓鎖後，本發明的系統會正常運作(步驟

S30-S50)。換句話說，系統會直接使用以校正完畢的門檻值，以輸出輸出時脈訊號。

【0012】 透過上述的過程，輸出時脈訊號的頻率可被調整成初始振盪訊號的頻率的二的倍數，且符合期望的責任週期或脈寬。上述已栓鎖的輸出時脈訊號表示輸出時脈訊號的頻率已透過上述過程，達到預期頻率。

【0013】 第 2 圖係為根據第 1 圖之兩倍頻的時脈訊號的裝置的方塊圖。裝置 10 包含一振盪電路 110、一控制訊號產生電路 120、一偵測電路 130、一門檻值產生電路 140 和一時脈輸出電路 150。裝置 10 中各個元件的詳細結構如下所述。

【0014】 振盪電路 110 輸出一初始振盪訊號 CK1 至裝置 10。振盪電路可為例如一晶體振盪器、一電壓控制振盪器 (voltage-controlled oscillator, VCO) 或其他形式的振盪器。控制訊號產生電路 120 包含一控制比較器 121 和一反向元件 122。控制比較器 121 包含一正端、一負端和一輸出端。控制比較器 121 的正端接收一參考訊號 V_{ref} 。控制比較器 121 的負端連接於振盪電路 110，用以接收初始振盪訊號 CK1。控制比較器 121 比較初始振盪訊號 CK1 和參考訊號 V_{ref} ，以輸出一第一控制訊號 SE1。反向元件 122 連接於控制比較器 121 的輸出端，用以接收第一控制訊號 SE1，並將第一控制訊號 SE1 反轉後，輸出一第二控制訊號 SE2。參考訊號 V_{ref} 可為例如裝置 10 的一系統電壓 V_{dd} 的一半 ($1/2 V_{dd}$)。

【0015】 門檻值產生電路 140 包含一校正單元 141，一門檻值暫存單元 142 和一數位類比轉換器 143。校正單元 141 連結於振盪電路 110 和時脈輸出電路 150，用以校正一輸出時脈訊號 CK2 的責任週期或其脈寬。門檻值暫存單元 142 連結於校正單元 141，用以儲存校正後的門檻值。然後，在此實施例中，門檻值暫存單元 142 會根據第一控制訊號 SE1，非同步地輸出每一個儲存的門檻值至數位類比轉換器 143。在一實施例中，門檻值暫存單元 142 所儲存的門檻值包含例如至少一高門檻值和至少一低門檻值。數位類比轉換器 143 將所選擇的門檻值由數位型態轉換成類比型態，然後再輸出轉換後的門檻值至時脈輸出電路 150。在另一實施例中，門檻值暫存器 142 可以用一記憶單元或其他形式的儲存裝置代替。

【0016】 在一實施例中，校正單元 141 可根據第一控制訊號，選擇地校正其中一個門檻值，然後直接傳送校正後的門檻值至數位類比轉換器 143，而無須將此校正後的門檻值儲存於門檻值暫存單元 142 中。

【0017】 時脈輸出電路 150 包含一第一比較器 151、一第二比較器 152 和一第一反或閘 153(一數位邏輯模組)。在一實施例中，第一比較器 151 的正端連結於振盪電路 110，以接收初始振盪訊號 CK1。第一比較器 151 的負端透過第一取樣保持電路，接收一高門檻值。第二比較器 152 的負端連結於振盪電路 110，以接收初始振盪訊號 CK1。第二比較器 152 的正

端透過第二取樣保持電路接收一低門檻值。上述第一取樣保持電路和第二取樣保持電路的結構將於以下其他地方說明。

【0018】 第一比較器 151 比較初始振盪訊號 CK1 和高門檻值，以輸出一第一邏輯訊號 CA1。第二比較器 152 比較初始振盪訊號 CK1 和低門檻值，以輸出一第二邏輯訊號 CA2。接著，由於第一反或閘連結於第一比較器 151 的輸出端和第二比較器 152 的輸出端，因此可以處理第一邏輯訊號 CA1 和第二邏輯訊號 CA2，然後更新輸出時脈訊號 CK2。關於上述時脈輸出電路 150 的內容將於「第 3 圖」中說明。

【0019】 偵測電路 130 包含一偵測單元 131 和一反向元件 132。偵測單元 131 偵測振盪電路 110 是否預備好。舉例來說，偵測單元 131 藉由設置在偵測電路 130 內的一峰值偵測器，偵測初始振盪訊號 CK1 的峰值是否達到一偵測門檻值。當振盪電路 110 預備好時，偵測電路 130 會輸出一高位準的啟動訊號 En1。當振盪電路 110 尚未預備好時，偵測電路 130 會輸出一低位準的啟動訊號 En1。反向元件 132 連結於偵測電路 130，用以將啟動訊號 En1 反向，以輸出一反向啟動訊號 En2。

【0020】 第一取樣保持電路包含一開關 Q1 和一第一充電電路。開關 Q1 設置於數位類比轉換器 143 和第一比較器 151 的負端之間，用以受第二控制訊號 SE2 的控制而切換。第一充電電路包含一電容 C1 和一開關 W1。開關 W1 設置於第一比較器 151 的負端和接地之間，用以根據裝置 10 的一重置訊

號 RE1 而切換。電容 C1 設置於第一比較器 151 的負端和接地之間。

【0021】 第二取樣保持電路包含一開關 Q2 和一第二充電電路。開關 Q2 設置於數位類比轉換器 143 和第二比較器 152 的正端之間，用以根據第一控制訊號 SE1 作切換。第二充電電路包含一電容 C2 和一開關 W2。開關 W2 設置於第二比較器 152 的正端和接地之間，用以根據重置訊號 RE1 作切換。電容 C2 設置於第二比較器 152 的正端和接地之間。裝置 10 的詳細運作如下。

【0022】 如「第 3 圖」和「第 5 圖」所示，其中「第 3 圖」係為根據「第 2 圖」之兩倍頻的時脈訊號的倍頻方法的流程圖，「第 5 圖」係為根據「第 2 圖」之裝置的時序圖。首先，當裝置 10 被啟動時，裝置 10 將被初始化(步驟 S210)。裝置 10 提供一重置訊號 RE1 給開關 W1 和 W2，以控制開關 W1 和 W2 關閉，使儲存在電容 C1 和電容 C2 中的能量將被移除。

【0023】 接著，判斷第一控制訊號 SE1(步驟 S220)。當初始振盪訊號 CK1 的位準大於參考訊號 Vref 的位準時，第一控制訊號 SE1 為低位準(亦即為“0”的邏輯位準)，第二控制訊號 SE2 為高位準(亦即為“1”的邏輯位準)，且高門檻值 V_{TH1} 將被選擇(步驟 S232)。

【0024】 然後，偵測單元 131 進一步判斷振盪電路 110 的運作(步驟 242)。當振盪電路 110 尚未預備好，啟動訊號 En1

為低位準，且程序回到步驟 S220。當振盪電路 110 預備好時，啓動訊號 $En1$ 為高位準。此時，門檻值產生電路 140、第一比較器 151 和第二比較器 152 被啓動。門檻值產生電路 140 透過導通的開關 Q1 根據第二控制訊號 SE2 所提供的第一取樣保持路徑，傳送高門檻值 V_{TH1} 至第一比較器 151。此時，高門檻值 V_{TH1} 對電容 C1 充電，以維持第一比較器 151 的負端的電壓位準在高門檻值 V_{TH1} 。

● **【0025】** 第一比較器 151 會比較初始振盪訊號 CK1 和高門檻值 V_{TH1} (步驟 S252)。當初始振盪訊號 CK1 的位準大於高門檻值 V_{TH1} 時，第一比較器 151 的輸出端所提供的第一邏輯訊號 CA1 為高位準 (步驟 S262)。同時，因為第二比較器 152 的正端沒有接收到任何輸入訊號 (等同於表示為 “0” 的一低位準訊號)，第二比較器 152 的輸出端所提供的第二邏輯訊號 CA2 為低位準。第一反或閘 153 接收第一邏輯訊號 CA1 和第二邏輯訊號 CA2，以輸出低位準的輸出時脈訊號 CK2 (步驟 S270)。

● **【0026】** 然而，當初始振盪訊號 CK1 的位準低於高門檻值 V_{TH1} 時，第一邏輯訊號 CA1 變為低位準 (步驟 S264)。同時，第二邏輯訊號 CA2 因沒有訊號輸入比較器 152 的正端而呈現低位準。因此，第一反或閘 153 接收低位準的第一邏輯訊號 CA1 和低位準的第二邏輯訊號 CA2，而輸出高位準的輸出時脈訊號 CK2 (步驟 S270)。

【0027】 另一方面，在步驟 S220 中，當初始振盪訊號 CK1 的位準低於參考訊號 V_{ref} 時，第一控制訊號 SE1 變為高位準，第二控制訊號 SE2 變為低位準，並且低門檻值 V_{TL1} 將被選擇 (步驟 S231)。

【0028】 接著，偵測單元 131 判斷振盪電路 110 的運作 (步驟 241)。當振盪電路 110 尚未預備好，啟動訊號 En1 為低位準，且程序回到步驟 S220。當振盪電路 110 已預備好時，啟動訊號 En1 為高位準。此時，門檻值產生電路 140、第一比較器 151 和第二比較器 152 被啟動。當開關 Q2 根據第一控制訊號 SE1 導通時，門檻值產生電路 140 可透過一第二路徑傳送低門檻值 V_{TL1} 至第二比較器 152，並且低門檻值 V_{TL1} 會對電容 C2 充電，使第二比較器 152 的正端的位準維持在低門檻值 V_{TL1} 。

【0029】 第二比較器 152 進一步比較初始振盪訊號 CK1 和低門檻值 V_{TL1} (步驟 S251)。當初始振盪訊號 CK1 的位準低於低門檻值 V_{TL1} 時，第二比較器 152 的輸出端所提供的第二邏輯訊號 CA2 為高位準 (步驟 S261)。同時，由於第一比較器 151 的負端沒有任何輸入訊號，使得第一邏輯訊號 CA1 為低位準。因此，第一反或閘 153 接收高位準的第二邏輯訊號 CA2 和低位準的第一邏輯訊號 CA1，而輸出低位準的輸出時脈訊號 CK2 (步驟 S270)。

【0030】 透過上述的步驟 S220 至 S270，輸出時脈訊號 CK2

逐漸栓鎖。此外，在輸出時脈訊號 CK2 栓鎖的過程中，門檻值產生電路 140 會執行門檻值的校正程序，因此時脈輸出電路 150 利用門檻值產生電路 140 所提供的每一個門檻值，更新輸出時脈訊號 CK2。當輸出時脈訊號 CK2 已經達到預期的責任週期(步驟 S280)時，就不用再執行校正程序，以調整門檻值，並且經由步驟 S220 至 S270，裝置 10 會直接利用這些門檻值栓鎖輸出時脈訊號。上述的校正程序的流程記載如下。

● **【0031】** 第 4 圖係為根據第 3 圖之校正流程的一實施例的流程圖。首先，判斷啟動訊號 En1 和輸出時脈訊號 CK2(步驟 S310)。當啟動訊號 En1 為低位準和輸出時脈訊號 CK2 尚未開始栓鎖時，程序維持在步驟 S310。當啟動訊號 En1 變為高位準和輸出時脈訊號 CK2 開始栓鎖時，校正單元 141 判斷是否先校正高門檻值 V_{TH1} (步驟 S320)。當執行高門檻值 V_{TH1} 的校正時，根據一預設值來判斷第一邏輯訊號 CA1 的責任週期(步驟 S330)。

● **【0032】** 在一實施例中，上述之預設值可定義為 25%。當第一邏輯訊號 CA1 的責任週期符合 25%時，校正單元 141 不會對高門檻值 V_{TH1} 進行任何處理。當第一邏輯訊號 CA1 的責任週期不同於 25%時，校正單元 141 將調整高門檻值 V_{TH1} ，例如增加或減少高門檻值 V_{TH1} (步驟 S331)直到第一邏輯訊號 CA1 的責任週期符合 25%(步驟 S332)。調整後的高門檻值 V_{TH1} 將儲存在門檻值暫存單元 142 中(步驟 S350)。

【0033】 另一方面，當校正低門檻值 V_{TL1} 時，根據上述的預設值判斷第二邏輯訊號 CA2 的責任週期(步驟 S340)。當第二邏輯訊號 CA2 的責任週期符合 25%時，校正單元 141 不會對低門檻值 V_{TL1} 進行任何處理。當第二邏輯訊號 CA2 的責任週期不同於 25%時，校正單元 141 會調整低門檻值 V_{TL1} (步驟 S341) 直到第二邏輯訊號 CA2 的責任週期符合 25%(步驟 S342)。調整後的低門檻值 V_{TL1} 將會儲存於門檻值暫存單元 142 中(步驟 S350)。

【0034】 在一實施例中，低門檻值和高門檻值的校正可同時執行。

【0035】 第 6 圖係為根據第 1 圖之四倍頻的時脈訊號的裝置的方塊圖。裝置 20 包含一振盪電路 210、一控制訊號產生電路 220、一偵測單元 230、一門檻值產生電路 240 和一時脈輸出電路 250。振盪電路 210、控制訊號產生電路 220 和偵測單元 230 與「第 2 圖」中的相對應元件相同。裝置 20 中的其他元件的內容如下所述。

【0036】 門檻值產生電路 240 包含一校正單元 241、一門檻值暫存單元 242、一門檻選擇單元 243 和一數位類比轉換器 244。門檻值暫存單元 242 和數位類比轉換器 244 分別與「第 2 圖」的門檻值暫存單元 142 和數位類比轉換器 143 相同。

【0037】 校正單元 241 連結於門檻值暫存單元 242、振盪電路 210 和偵測電路 230，用以校正門檻值。在一實施例中，

門檻值包含一第一低門檻值、一第一高門檻值、一第二低門檻值和一第二高門檻值。所有校正後的門檻值都將儲存於門檻值暫存單元 242 中。根據一選擇訊號 RS，依序選擇其中一個門檻值，並將選擇的門檻值傳送至數位類比轉換器 244。門檻選擇單元 243 連結於門檻值暫存單元 242 和時脈輸出電路 250，用以提供選擇訊號 RS 至門檻值暫存單元 242。根據一第一邏輯訊號 CA4 和/或一第二邏輯訊號 CA3 和第一控制訊號 SE1，產生選擇訊號 RS。第一邏輯訊號 CA4、第二邏輯訊號 CA3 和第一控制訊號 SE1 的實施方式如「第 7B 圖」和「第 7C 圖」所示，或如「第 8B 圖」所示。

【0038】 根據「第 7B 圖」和「第 7C 圖」的一實施例中，如「第 7A 圖」所示，門檻選擇單元 610 包含一多工器 611 和一解碼器 612。多工器 611 連結於比較器 221 和時脈輸出電路 250，用以根據第一控制訊號 SE1，選擇第一邏輯訊號 CA3 和第二邏輯訊號 CA4 的其中一者作為一第三控制訊號 NR。解碼器 612 根據第一控制訊號 SE1，將第三控制訊號 NR 解碼，以輸出選擇訊號 RS。

【0039】 根據「第 8B 圖」的其他實施例中，如「第 8A 圖」所示，門檻選擇單元 620 包含一第二反及閘 621、一第三反及閘 622、一第二反或閘 623 和一解碼器 624。第二反及閘 621 處理第二控制訊號 SE2 和第一邏輯訊號 CA3，以輸出一第一反及閘訊號 NG1。第二反及閘 622 處理第一控制訊號 SE1

和第二邏輯訊號 CA4，以輸出一第二反及閘訊號 NG2。第二反或閘 623 處理第一邏輯訊號 NG1 和第二邏輯訊號 NG2，以輸出一第三控制訊號 NR。解碼器 624 將第三控制訊號 NR 和第一控制訊號 SE1 解碼，以輸出選擇訊號 RS。

【0040】 如「第 6 圖」所示，時脈輸出電路 250 透過一第一取樣保持電路、一第二取樣保持電路、一第三取樣保持電路和一第四取樣保持電路，連結於門檻值產生電路 240。時脈輸出電路 250 包含一第一比較器 251、一第二比較器 252、一第三比較器 253、一第四比較器 254 和一數位邏輯模組。數位邏輯模組包含例如一第一反互斥或閘 255、一第二反互斥或閘 256 和一第一反及閘 257。每一個比較器非同步地將初始振盪訊號與第一低門檻值、第一高門檻值、第二低門檻值和第二高門檻值中的其中一個門檻值作比較，以產生一相對應的邏輯訊號。

【0041】 第一比較器 251 的正端連結於振盪電路 210，用以接收初始振盪訊號 CK1，第一比較器 251 的負端透過一第一路徑，從數位類比轉換器 244 接收第一低門檻值。此第一路徑係由第一取樣保持電路所提供。第一比較器 251 比較初始振盪訊號 CK1 和第一高門檻值，以由其輸出端輸出一第一邏輯訊號 CA3。

【0042】 第二比較器 252 的負端連結於振盪電路 210，用以接收初始振盪訊號 CK1。第二比較器 252 的正端透過一第

二路徑，從數位類比轉換器 244 接收第一高門檻值。此第二路徑由第二取樣保持電路提供。第二比較器 252 比較初始振盪訊號 CK1 和第一低門檻值，以由其輸出端輸出一第二邏輯訊號 CA4。

【0043】 第三比較器 253 的正端連結於振盪電路 210，用以接收初始振盪訊號 CK1。第三比較器 253 的負端透過一第三路徑，從數位類比轉換器 244 接收第二高門檻值。此第三路徑係由第三取樣保持電路所提供。第三比較器 253 比較初始振盪訊號 CK1 和第二高門檻值，以由其輸出端輸出一第三邏輯訊號 CA5。

【0044】 第四比較器 254 的負端連結於振盪電路 210，用以接收初始振盪訊號 CK1。第四比較器 254 的正端透過一第四路徑，從數位類比轉換器 244 接收第二低門檻值。此第四路徑係由第四取樣保持電路提供。第四比較器 254 比較初始振盪訊號 CK1 和第二低門檻值，以由其輸出端輸出一邏輯訊號 CA6。

【0045】 第一反互斥或閘 255 處理第一邏輯訊號 CA3 和第三邏輯訊號 CA5，以輸出一第一子邏輯訊號 CN1。第二反互斥或閘 256 處理第二邏輯訊號 CA4 和第四邏輯訊號 CA6，以輸出一第二子邏輯訊號 CN2。第一反及閘 257 處理第一子邏輯訊號 CN1 和第二子邏輯訊號 CN2，以輸出倍頻的輸出時脈訊號 CK3。此輸出時脈訊號 CK3 的頻率為初始振盪訊號的數

倍。

【0046】 在此實施例中，每一個取樣保持電路包含一充電開關(如開關 Q3 至 Q6 的任一個所示)、一充電電容(如電容 C3 至 C6 的任一個所示)和一重置開關(如開關 W3 至 W6 的任一個所示)。每一個開關設置於數位類比轉換器 244 和時脈輸出電路 250 中相對應的比較器的正端或負端之間，且根據一相對應的開關訊號作切換。同一組的充電電容和重置開關設置在相對應的比較器的正端或負端與接地之間。重置開關根據裝置 20 提供的一重置訊號 RE2 作切換。

【0047】 當重置訊號 RE2 為高位準時，開關 W3、W4、W5 和 W6 同步導通，使得儲存在電容 C3、C4、C5 和 C6 的能量分別洩到接地。此外，一及閘(AND gate)處理第二控制訊號 SE2 和第三控制訊號 NR，以產生用以控制開關 Q3 的一第一開關訊號。另一及閘處理控制訊號 SE1 和第三控制訊號 NR，以產生用以控制開關 Q4 的一第二開關訊號。邏輯訊號 CA3 用以直接產生用以控制開關 Q5 的第三開關訊號。邏輯訊號 CA4 用以直接產生用以控制開關 Q6 的第四開關訊號。

【0048】 如「第 9 圖」和「第 11 圖」所示，當裝置 20 開始運作時(步驟 S710)，初始化裝置 20。裝置 20 提供一重置訊號 RE2，使開關 W3、W4、W5 和 W6 導通，以重置電容 C1、C2、C3 和 C4。

【0049】 接著，由控制比較器 221 根據參考訊號 Vref，判

斷初始振盪訊號 CK1(步驟 S720)。當初始振盪訊號 CK1 的位準小於參考訊號 V_{ref} 時，第一控制訊號 SE1 為高位準。此時，第一低門檻值 V_{TL2} 將被選擇(步驟 S721)。相反地，第一控制訊號 SE1 則為低位準。此時，第一高門檻值 V_{TH2} 將被選擇(步驟 S722)。

● **【0050】** 當選擇第一低門檻值 V_{TL2} 時，由偵測單元 230 偵測振盪電路 210 的運作(步驟 731)。當振盪電路 210 尚未預備好，程序回到步驟 S720。相反的，啟動訊號 En3 將變為高位準，以進一步啟動所有的取樣保持電路、時脈輸出電路 250 的比較器、校正單元 241 和數位類比轉換器 244。門檻值產生電路 240 透過第二路徑傳送第一低門檻值 V_{TL2} 至第二比較器 252。第二比較器 252 比較初始振盪訊號 CK1 和第一低門檻值 V_{TL2} (步驟 S741)，以輸出第二邏輯訊號 CA4。

● **【0051】** 當初始振盪訊號 CK1 的位準大於第一低門檻值 V_{TL2} 時，第二邏輯訊號 CA4 為低位準(步驟 S743)。第二反互斥或閘 256 處理第二邏輯訊號 CA4 和低位準的第四邏輯訊號 CA6，以輸出低位準的第二子邏輯訊號 CN2(步驟 S770)。此時，第一反互斥或閘 255 處理皆為低位準的第一邏輯訊號 CA3 和第三邏輯訊號 CA5，以輸出高位準的第一子邏輯訊號 CN1(步驟 S770)。第一反及閘 257 處理第一子邏輯訊號 CN1 和第二子邏輯訊號 CN2，以輸出高位準的輸出時脈訊號 CK3(步驟 S780)。

【0052】 當初始振盪訊號 CK1 的位準小於第一低門檻值 V_{TL2} 時，邏輯訊號 CA4 為高位準(步驟 S745)。第二反互斥或閘 256 處理第二邏輯訊號 CA4 和仍是低位準的第四邏輯訊號 CA6，以輸出高位準的第二子邏輯訊號 CN2(步驟 S770)。由於第一比較器 251 的負端和第三比較器 253 的正端皆無輸入訊號，使得第一邏輯訊號 CA3 和第三邏輯訊號 CA5 皆為低位準。因此，第一反互斥或閘 255 處理皆為低位準的第一邏輯訊號 CA3 和第三邏輯訊號 CA5，並輸出高位準的第一子邏輯訊號 CN1(步驟 S770)。第一反及閘 257 處理第一子邏輯訊號 CN1 和第二子邏輯訊號 CN2，並輸出低位準的輸出時脈訊號 CK3 (步驟 S780)。

【0053】 另一方面，當根據選擇訊號 RS 而選擇第二低門檻值 V_{TL3} 時，將選擇的第二低門檻值 V_{TL3} 透過第四路徑傳送至第四比較器 254(步驟 S751)。此第四路徑係根據高位準的第二邏輯訊號 CA4 所提供。根據第二低門檻值 V_{TL3} ，判斷初始振盪訊號 CK1(步驟 S761)。

【0054】 當初始振盪訊號 CK1 的位準大於第二低門檻值 V_{TL3} ，第四邏輯訊號 CA6 為低位準(步驟 S765)。第二反互斥或閘 256 處理第四邏輯訊號 CA6 和高位準的第二邏輯訊號 CA4，而輸出低位準的第二子邏輯訊號 CN2(步驟 S770)。此時，第一邏輯訊號 CA3 和第三邏輯訊號 CA5 皆為低位準，使得第一子邏輯訊號 CN1 為高位準(步驟 S770)。第一反及閘 257 處

理第一子邏輯訊號 CN1 和第二子邏輯訊號 CN2，而輸出高位準的輸出時脈訊號(步驟 S780)。

【0055】 當初始振盪訊號 CK1 的位準小於第二低門檻值 V_{TL3} 時，第四邏輯訊號 CA6 為高位準(步驟 S763)。由於第二邏輯訊號 CA4 為高位準和第一邏輯訊號 CA3 和第三邏輯訊號 CA5 皆為低位準，使得第一子邏輯訊號 CN1 和第二子邏輯訊號 CN2 皆為高位準(步驟 S770)。因此，輸出時脈訊號 CK3 變為低位準(步驟 S780)。

【0056】 另一方面，當選擇第一高門檻值 V_{TH2} 時(步驟 S722)，且在啓動訊號 En3 為高位準的情況下，傳送第一高門檻值 V_{TH2} 至第一比較器 251 (步驟 S732)。接著，由第一比較器 251 根據第一高門檻值 V_{TH2} 判斷初始振盪訊號 CK1(步驟 S742)。

【0057】 當初始振盪訊號 CK1 的位準小於第一高門檻值 V_{TH2} 時，第一比較器 251 輸出低位準的第一邏輯訊號 CA3(步驟 S744)。同時，第二邏輯訊號 CA4、第三邏輯訊號 CA5 和第四邏輯訊號 CA6 皆為低位準。第一反互斥或閘 255 處理第一邏輯訊號 CA3 和第三邏輯訊號 CA5，而輸出高位準的第一子邏輯訊號 CN1(步驟 S770)。第二反互斥或閘 256 處理第二邏輯訊號 CA4 和第四邏輯訊號 CA6，而輸出高位準的第二子邏輯訊號 CN2(步驟 S770)。第一反及閘 257 處理第一子邏輯訊號 CN1 和第二子邏輯訊號 CN2，而輸出低位準的輸出時脈訊號

CK3(步驟 S780)。

【0058】 當初始振盪訊號 CK1 的位準大於第一高門檻值 V_{TH2} 時(步驟 S732)，第一邏輯訊號 CA3 變為高位準(步驟 S746)。同時，第二邏輯訊號 CA4 和第四邏輯訊號 CA6 皆為低位準，第三邏輯訊號 CA5 為高位準。第一反互斥或閘 255 處理第一邏輯訊號 CA3 和第三邏輯訊號 CA5，而輸出高位準的第一子邏輯訊號 CN1(步驟 S770)。第二反互斥或閘 256 處理第二邏輯訊號 CA4 和第四邏輯訊號 CA6，而輸出高位準的第二子邏輯訊號 CN2(步驟 S770)。第一反及閘 257 處理第一子邏輯訊號 CN1 和第二子邏輯訊號 CN2，而輸出低位準的輸出時脈訊號 CK3(步驟 S780)。

【0059】 此外，選擇第二高門檻值 V_{TH3} ，並透過第三路徑將其傳送至第三比較器 253，其中當第一邏輯訊號 CA3 為高位準時，提供此第三路徑(步驟 S752)。根據第二高門檻值 V_{TH3} ，判斷初始振盪訊號 CK1(步驟 S762)。

【0060】 當初始振盪訊號 CK1 的位準小於第二高門檻值 V_{TH3} 時，第三邏輯訊號 CA5 為低位準(步驟 S764)。此時，第一邏輯訊號 CA3 仍維持在高位準，而第二邏輯訊號 CA4 和第四邏輯訊號 CA6 仍維持在低位準。接著，第一反互斥或閘 255 處理第一邏輯訊號 CA3 和第三邏輯訊號 CA5，以輸出低位準的第一子邏輯訊號 CN1。第二反互斥或閘 256 處理第二邏輯訊號 CA4 和第四邏輯訊號 CA6，以輸出高位準的第二子邏輯

訊號 CN2(步驟 S770)。第一反及閘 257 處理第一子邏輯訊號 CN1 和第二子邏輯訊號 CN2，以輸出高位準的輸出時脈訊號 CK3(步驟 S780)。

【0061】 當初始振盪訊號 CK1 的位準大於第二高門檻值 V_{TH3} 時，第三邏輯訊號 CA5 變為高位準(步驟 S766)。同時，第一邏輯訊號 CA3 仍維持在高位準，第二邏輯訊號 CA4 和第四邏輯訊號 CA6 也仍維持在低位準。此時，第一子邏輯訊號 CN1 為高位準，第二子邏輯訊號 CN2 為高位準(步驟 S770)。輸出時脈訊號 CK3 則變為低位準(步驟 S780)。

【0062】 本提案中，根據初始振盪訊號 CK1 和一上一個門檻值的比較結果，以及根據目前的初始振盪訊號 CK1 和參考訊號 V_{ref} 比較的結果，來設定選擇門檻值的順序。

【0063】 透過上述的步驟 S720 至 S780，輸出時脈訊號 CK3 逐漸栓鎖。此外，在輸出時脈訊號 CK3 栓鎖的過程中，門檻值產生電路 240 會校正門檻值，因此時脈輸出電路 250 可利用門檻值產生電路 240 傳送的每一個門檻值，更新輸出時脈訊號 CK3。當輸出時脈訊號 CK3 已栓鎖在期望的責任週期時(步驟 S790)，就無需再執行校正程序來調整門檻值。此時，裝置 20 可直接利用校正後的門檻值，透過步驟 S720 至 S780 來更新輸出時脈訊號。上述校正程序的流程如下。

【0064】 第 10 圖係為根據第 6 圖之校正流程的一實施例的流程圖。在一實施例中，初始振盪訊號 CK1 為一全振幅正

弦訊號(full swing sinusoidal signal)，而輸出時脈訊號 CK3 的目標責任週期為 50%。初始的門檻值的電壓 Vdd 經由校正後的結果如下：

$$V_{TH3} = V_{dd}/2 \times \sin(0.375 \pi) + V_{dd}/2 ;$$

$$V_{TH2} = V_{dd}/2 \times \sin(0.125 \pi) + V_{dd}/2 ;$$

$$V_{TL3} = V_{dd}/2 \times \sin(1.375 \pi) + V_{dd}/2 ; \text{ 以及}$$

$$V_{TL2} = V_{dd}/2 \times \sin(1.125 \pi) + V_{dd}/2 .$$

【0065】 首先，判斷啓動訊號 En3 和輸出時脈訊號 CK3(步驟 S810)。當啓動訊號 En3 為低位準時和當輸出時脈訊號 CK3 尚未開始栓鎖時，維持在步驟 S810。當啓動訊號 En3 變為高位準和輸出時脈訊號 CK3 開始栓鎖時，校正單元 241 判斷是否校正高門檻值(步驟 S820)。

【0066】 當校正高門檻值時，門檻值產生電路 240 進一步判斷是否先校正第一高門檻值 V_{TH2} (步驟 S830)。當先校正第一高門檻值 V_{TH2} 時，根據一第一預設值，判斷第一邏輯訊號 CA3 的責任週期(步驟 S831)。

【0067】 在一實施例中，當期望輸出時脈訊號的責任週期為 50% 時，可設定第一預設值為 37.5%。當邏輯訊號 CA3 的責任週期符合 37.5% 時，校正單元 241 將不會對初始的第一高門檻值 V_{TH2} 進行任何處理。當邏輯訊號 CA4 的責任週期不同於 37.5% 時，校正單元 241 會調整初始的第一高門檻值 V_{TH2} ，例

如增加或減少第一高門檻值 V_{TH2} (步驟 S832)，直到第一邏輯訊號 CA3 的責任週期符合 37.5%(步驟 S833)。然後，調整後的第一高門檻值 V_{TH2} 將儲存在門檻值暫存單元 242 中(步驟 S870)。

【0068】 當校正第二高門檻值 V_{TH3} 時(步驟 S830)，根據第一第二預設值判斷第三邏輯訊號 CA5 的責任週期(步驟 S840)。

【0069】 在一實施例中，當期望輸出時脈訊號的責任週期為 50%時，設定第二預設值為 12.5%。當第三邏輯訊號 CA5 的責任週期符合 12.5%時，校正單元 241 不會對第二高門檻值 V_{TH3} 進行任何處理。當第三邏輯訊號 CA5 的責任週期不同於 12.5%時，校正單元 241 會調整第二高門檻值 V_{TH3} (步驟 S841)，直到第三邏輯訊號 CA5 的責任週期符合 12.5%(步驟 S842)。然後，調整後的第二高門檻值 V_{TH3} 會儲存在門檻值暫存單元 242 中(步驟 S870)。

【0070】 當校正第一低門檻值 V_{TL2} 時，根據第一預設值判斷第二邏輯訊號 CA4 的責任週期(步驟 S851)。當第二邏輯訊號 CA4 的責任週期符合 37.5%時，校正單元 241 不會對第一低門檻值 V_{TL2} 進行任何處理。當第二邏輯訊號 CA4 的責任週期不同於 37.5%時，校正單元 241 會調整，亦即增加或減少第一低門檻值 V_{TL2} (步驟 S852)，直到第二邏輯訊號 CA4 的責任週期符合 37.5%(步驟 S853)。然後，調整後的第一低門檻值 V_{TL2} 會儲存在門檻值暫存單元 242 中(步驟 S870)。

【0071】 當在校正第二低門檻值 V_{TL3} 時，根據第二預設值判斷第四邏輯訊號 CA6 的責任週期(步驟 S860)。當第二邏輯訊號 CA4 的責任週期符合 12.5%時，校正單元 241 不會對第二低門檻值 V_{TL3} 進行任何處理。當第四邏輯訊號 CA6 的責任週期不同於 12.5%時，校正單元 241 會調整第二低門檻值 V_{TL3} (步驟 S861)，直到第四邏輯訊號 CA6 的責任週期符合 12.5%(步驟 S862)。然後，調整後的第二低門檻值 V_{TL3} 會儲存在門檻值暫存單元 242 中(步驟 S870)。

【0072】 本發明之時脈訊號的倍頻方法及裝置，藉由門檻值產生電路來調整至少一低門檻值和至少一高門檻值，並且至少根據第一控制訊號，選擇地傳送至少一低門檻值和至少一高門檻值的其中一門檻值至數位邏輯模組。接著，由數位邏輯模組處理初始振盪訊號與接收到的門檻值間的比較結果，以及處理初始振盪訊號和一低位準訊號間的比較結果，以更新輸出時脈訊號。如此一來，便可在維持低功率損耗並維持小面積的情況下，根據應用的需求來調整輸出時脈訊號之頻率的大小。

【0073】 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參考所附之申請專利範圍。

【符號說明】

【0074】

10、20	裝置
110、210	振盪電路
120、220	控制訊號產生電路
121、221	控制比較器
122、132、222	反向元件
130	偵測電路
131、230	偵測單元
140、240	門檻值產生電路
141、241	校正單元
142、242	門檻值暫存單元
143、244	數位類比轉換器
150、250	時脈輸出電路
151、251	第一比較器
152、252	第二比較器
153	第一反或閘
243、610、620	門檻選擇單元
253	第三比較器
254	第四比較器
255	第一反互斥或閘
256	第二反互斥或閘
257	第一反及閘
611	多工器

612、624	解碼器
621	第二反及閘
622	第三反及閘
623	第二反或閘
C1、C2、C3、C4、C5、C6	電容
CA1、CA4	第一邏輯訊號
CA2、CA3	第二邏輯訊號
CA5	第三邏輯訊號
CA6	第四邏輯訊號
CK1	初始振盪訊號
CK2、CK3	輸出時脈訊號
CN1	第一子邏輯訊號
CN2	第二子邏輯訊號
En1、En3	啓動訊號
En2	反向啓動訊號
NG1	第一反及閘訊號
NG2	第二反及閘訊號
NR	第三控制訊號
Q1、Q2、Q3、Q4、Q5、Q6	開關
RE1、RE2	重置訊號
RS	選擇訊號
SE1	第一控制訊號

SE2	第二控制訊號
Vref	參考訊號
V _{TL1}	低門檻值
V _{TH1}	高門檻值
V _{TL2}	第一低門檻值
V _{TH2}	第一高門檻值
V _{TL3}	第二低門檻值
V _{TH3}	第二高門檻值
W1、W2、W3、W4、W5、W6	開關

申請專利範圍

1. 一種時脈訊號的倍頻方法，包含：

提供一初始振盪訊號，並比較該初始振盪訊號和一參考訊號，以產生一第一控制訊號；

至少根據該第一控制訊號，選擇一門檻值產生電路的至少一低門檻值和至少一高門檻值中的其中一門檻值；以及

由一數位邏輯模組處理該初始振盪訊號和該選擇的其中一門檻值間的比較結果以及處理該初始振盪訊號和一低位準訊號間的比較結果，以輸出一輸出時脈訊號，其中該輸出該輸出時脈訊號的步驟包含：

由複數個比較器比較該初始振盪訊號和該選擇的其中一門檻值，以及比較該初始振盪訊號和該低位準訊號，以產生複數個邏輯訊號；以及

由該數位邏輯模組處理該些邏輯訊號，以輸出該輸出時脈訊號；

其中，當該些邏輯訊號的其中一者藉由該初始振盪訊號和選擇的該其中一門檻值間的比較結果而更新時，該些邏輯訊號中的其餘者藉由該初始振盪訊號和該低位準訊號間的比較結果而更新。

2. 如請求項 1 所述之時脈訊號的倍頻方法，更包含：

由該門檻值產生電路校正該至少一低門檻值和該至少一高門檻值，該步驟包含：

偵測該些邏輯訊號的責任週期；以及

當該些邏輯訊號中至少一者的責任週期不同於相對應的一預設責任週期時，調整該至少一低門檻值和該至少一高門檻值中的至少一者；以及

將該至少一低門檻值和該至少一高門檻值中所選擇的該其中一者由數位型態轉換成類比型態，並輸出轉換後的該其中一門檻值。

3. 如請求項 2 所述之時脈訊號的倍頻方法，其中該產生該些邏輯訊號的步驟包含：

比較該初始振盪訊號和該高門檻值，或比較該初始振盪訊號和該低位準訊號，以更新該些邏輯訊號中的一第一邏輯訊號；以及

比較該初始振盪訊號和該低門檻值，或比較該初始振盪訊號和該低位準訊號，以更新該些邏輯訊號中的一第二邏輯訊號；

其中，當該第一邏輯訊號和該第二邏輯訊號的其中一者經由比較該初始振盪訊號與該低門檻值和該高門檻值的相對應其中一者而被更新時，該第一邏輯訊號和該第二邏

輯訊號的另一者經由比較該初始振盪訊號和該低位準訊號而被更新。

4. 如請求項 2 所述之時脈訊號的倍頻方法，其中該至少一低門檻值包含一第一低門檻值和一第二低門檻值，該至少一高門檻值包含一第一高門檻值和一第二高門檻值，以及該產生該些邏輯訊號的步驟包含：

比較該初始振盪訊號和該第一高門檻值，或比較該初始振盪訊號和該低位準訊號，以更新該些邏輯訊號中的一第一邏輯訊號；

比較該初始振盪訊號和該第一低門檻值，或比較該初始振盪訊號和該低位準訊號，以更新該些邏輯訊號中的一第二邏輯訊號；

比較該初始振盪訊號和該第二高門檻值，或比較該初始振盪訊號和該低位準訊號，以更新該些邏輯訊號中的一第三邏輯訊號；以及

比較該初始振盪訊號和該第二低門檻值，或比較該初始振盪訊號和該低位準訊號，以更新該些邏輯訊號中的一第四邏輯訊號；

其中，當該些邏輯訊號的其中一者經由該初始振盪訊號與該第一低門檻值、該第一高門檻值、該第二低門檻值和該第二高門檻值中相對應的其中一者間的比較而更新

時，該些邏輯訊號的其餘者分別藉由該初始振盪訊號和該低位準訊號間的比較而更新。

5. 如請求項 4 所述之時脈訊號的倍頻方法，其中該輸出該輸出時脈訊號的步驟更包含：

由一第一反互斥或閘處理該第一邏輯訊號和該第三邏輯訊號，以輸出一第一子邏輯訊號；

由一第二反互斥或閘處理該第二邏輯訊號和該第四邏輯訊號，以輸出一第二子邏輯訊號；以及

由一第一反及閘處理該第一邏輯訊號和該第二子邏輯訊號，以輸出該輸出時脈訊號。

6. 如請求項 4 所述之時脈訊號的倍頻方法，其中該選擇該至少一低門檻值和該至少一高門檻值的其中一門檻值的步驟包含：

由一第二反及閘處理一第二控制訊號和該第一邏輯訊號，以輸出一第一反及閘訊號，其中該第二控制訊號由反轉該第一控制訊號所產生；

由一第三反及閘處理該第一控制訊號和該第二邏輯訊號，以輸出一第二反及閘訊號；

由一第二反或閘處理該第一反及閘訊號和該第二反及閘訊號，以輸出一第三控制訊號；以及

根據該第一控制訊號，將該第三控制訊號解碼，以輸出一選擇訊號，且根據該選擇訊號，選擇該第一低門檻值、該第一高門檻值、該第二低門檻值或該第二高門檻值。

7. 如請求項 4 所述之時脈訊號的倍頻方法，其中該選擇該至少一低門檻值和該至少一高門檻值的其中一門檻值的步驟包含：

根據該第一控制訊號，選擇該第一邏輯訊號或該第二邏輯訊號作為一第三控制訊號；以及

根據該第一控制訊號，將該第三控制訊號解碼，以輸出一選擇訊號，以及根據該選擇訊號，選擇該第一低門檻值、第一高門檻值、第二低門檻值或該第二高門檻值。

8. 一種時脈訊號的倍頻裝置，包含：

一振盪電路，用以產生一初始振盪訊號；

一控制訊號產生電路，電性連接該振盪電路，用以比較該初始振盪訊號和一參考訊號，以產生一第一控制訊號；

一門檻值產生電路，電性連接該振盪電路和該控制訊號產生電路，用以接收該初始振盪訊號，以及至少根據該第一控制訊號，依序輸出至少一高門檻值和至少一低門檻值的其中一門檻值，該門檻值產生電路包含：

一校正單元，電性連接該振盪電路和該時脈輸出電路，用以選擇地調整該至少一低門檻值和該至少一高門檻值；以及

一數位類比轉換器，用以選擇地將該至少一低門檻值和該至少一高門檻值的其中一門檻值由數位型態轉換成類比較型態；以及

一時脈輸出電路，電性連接該振盪電路、該控制訊號產生電路和該門檻值產生電路，該時脈輸出電路包含一數位邏輯模組，其中該數位邏輯模組處理該初始振盪訊號和輸出的該其中一門檻值間的比較結果，以及處理該初始振盪訊號和一低位準訊號間的比較結果，以更新一輸出時脈訊號；

其中該數位類比轉換器並將轉換後的該其中一門檻值輸出至該時脈輸出電路。

9. 如請求項 8 所述之時脈訊號的倍頻裝置，其中該時脈輸出電路更包含：

複數個比較器，電性連接該數位類比轉換器和該振盪電路，用以比較該初始振盪訊號和該輸出的低門檻值，或比較該初始振盪訊號和該輸出的高門檻值，以及比較該初始振盪訊號和至少一低位準訊號，以產生複數個邏輯訊號；以及

該倍頻裝置，更包含：

複數個取樣保持電路，連接於該數位類比轉換器和該些比較器，用以非同步地提供一路徑，透過該路徑，該數位類比轉換器傳輸該輸出的門檻值或該輸出的高門檻值至該相對應的比較器。

10. 如請求項 9 所述之時脈訊號的倍頻裝置，其中該控制訊號產生電路包含：

一控制比較器，連接於該振盪電路，用以比較該初始振盪訊號和該參考訊號，以輸出該第一控制訊號；以及

一反向元件，連接於該控制比較器，用以將該第一控制訊號反向，以輸出一第二控制訊號。

11. 如請求項 10 所述之時脈訊號的倍頻裝置，其中該門檻值產生電路更包含：

一儲存單元，連接於該校正單元和該數位類比轉換器，用以儲存該高門檻值和該低門檻值，並根據該第一控制訊號，輸出該儲存的高門檻值或該低門檻值至該相對應的比較器。

12. 如請求項 9 所述之時脈訊號的倍頻裝置，其中該些比較器包含一第一比較器和一第二比較器，該第一比較器比較該初始振盪訊號和該高門檻值，或比較該初始振盪訊

號和該低位準訊號，以產生該些邏輯訊號中的一第一邏輯訊號，該第二比較器比較該初始振盪訊號和該低門檻值，或比較該初始振盪訊號和該低位準訊號，以產生該些邏輯訊號中的一第二邏輯訊號，該數位邏輯模組包含一反或閘，以及該反或閘接收該第一邏輯訊號和該第二邏輯訊號，以更新該輸出時脈訊號。

13. 如請求項 9 所述之時脈訊號的倍頻裝置，其中該至少一高門檻值包含一第一高門檻值和一第二高門檻值，該至少一低門檻值包含一第一低門檻值和一第二低門檻值，以及該些比較器包含：

一第一比較器，用以比較該初始振盪訊號和該第一高門檻值，或比較該初始振盪訊號和該低位準訊號，以輸出該些邏輯訊號中的一第一邏輯訊號；

一第二比較器，用以比較該初始振盪訊號和該第一低門檻值，或比較該初始振盪訊號和該低位準訊號，以產生該些邏輯訊號中的一第二邏輯訊號；

一第三比較器，用以比較該初始振盪訊號和該第二高門檻值，或比較該初始振盪訊號和該低位準訊號，以輸出該些邏輯訊號中的一第三邏輯訊號；以及

一第四比較器，用以比較該初始振盪訊號和該第二低門檻值，或比較該初始振盪訊號和該低位準訊號，以輸

出該些邏輯訊號中的一第四邏輯訊號；

其中，當該第一比較器、該第二比較器、該第三比較器和該第四比較器中的其中一者比較該初始振盪訊號和相對應的該選擇的門檻值時，該第一比較器、該第二比較器、該第三比較器和該第四比較器中其餘者分別比較該初始振盪訊號和該低位準訊號。

14. 如請求項 13 所述之時脈訊號的倍頻裝置，其中該數位邏輯模組包含：

一第一反互斥或閘，連接於該第一比較器和該第三比較器，用以接收該第一邏輯訊號和該第三邏輯訊號，以輸出一第一子邏輯訊號；

一第二反互斥或閘，連接於該第二比較器和該第四比較器，用以接收該第二邏輯訊號和該第四邏輯訊號，以輸出一第二子邏輯訊號；以及

一第一反及閘，連接於該第一反互斥或閘和該第二反互斥或閘，用以接收該第一子邏輯訊號和該第二子邏輯訊號，以輸出該輸出時脈訊號。

15. 如請求項 13 所述之時脈訊號的倍頻裝置，其中該門檻值產生電路更包含：

一儲存單元，電性連接該校正單元和該數位邏輯轉換

器，用以儲存該第一低門檻值、該第一高門檻值、該第二低門檻值和該第二高門檻值，並且根據一選擇訊號，選擇地輸出該第一低門檻值、該第一高門檻值、該第二低門檻值或該第二高門檻值至該數位類比轉換器；以及

一門檻選擇單元，電性連接於該儲存單元，該控制訊號產生電路、該第一比較器和該第二比較器，用以根據該第一邏輯訊號、該第二邏輯訊號和該第一控制訊號，提供該選擇訊號。

16. 如請求項 15 所述之時脈訊號的倍頻裝置，其中該門檻選擇單元包含：

一多工器，電性連接於該第一比較器、該第二比較器和該控制訊號產生電路，用以根據該第一控制訊號，選擇該第一邏輯訊號或該第二邏輯訊號作為一第三控制訊號；以及

一解碼器，電性連接於該多工器和該控制訊號產生電路，用以根據該第一控制訊號，將該第三控制訊號解碼，以輸出該選擇訊號。

17. 如請求項 15 所述之時脈訊號的倍頻裝置，其中該門檻選擇單元包含：

一第二反及閘，電性連接於該控制訊號產生電路和該時脈輸出電路，用以接收一反向的第一邏輯訊號和一第

二控制訊號，以輸出一第一反及閘訊號，其中該第一邏輯訊號經由反向而產生該反向的第一邏輯訊號，以及該第一控制訊號經由反向後產生該第二控制訊號；

一第三反及閘，電性連接該控制訊號產生電路和該時脈輸出電路，用以接收該第二邏輯訊號和該第一控制訊號，以輸出一第二反及閘訊號；

一反或閘，電性連接於該第二反及閘和第三反及閘，用以接收該第一反及閘訊號和該第二反及閘訊號，用以輸出一第三控制訊號；以及

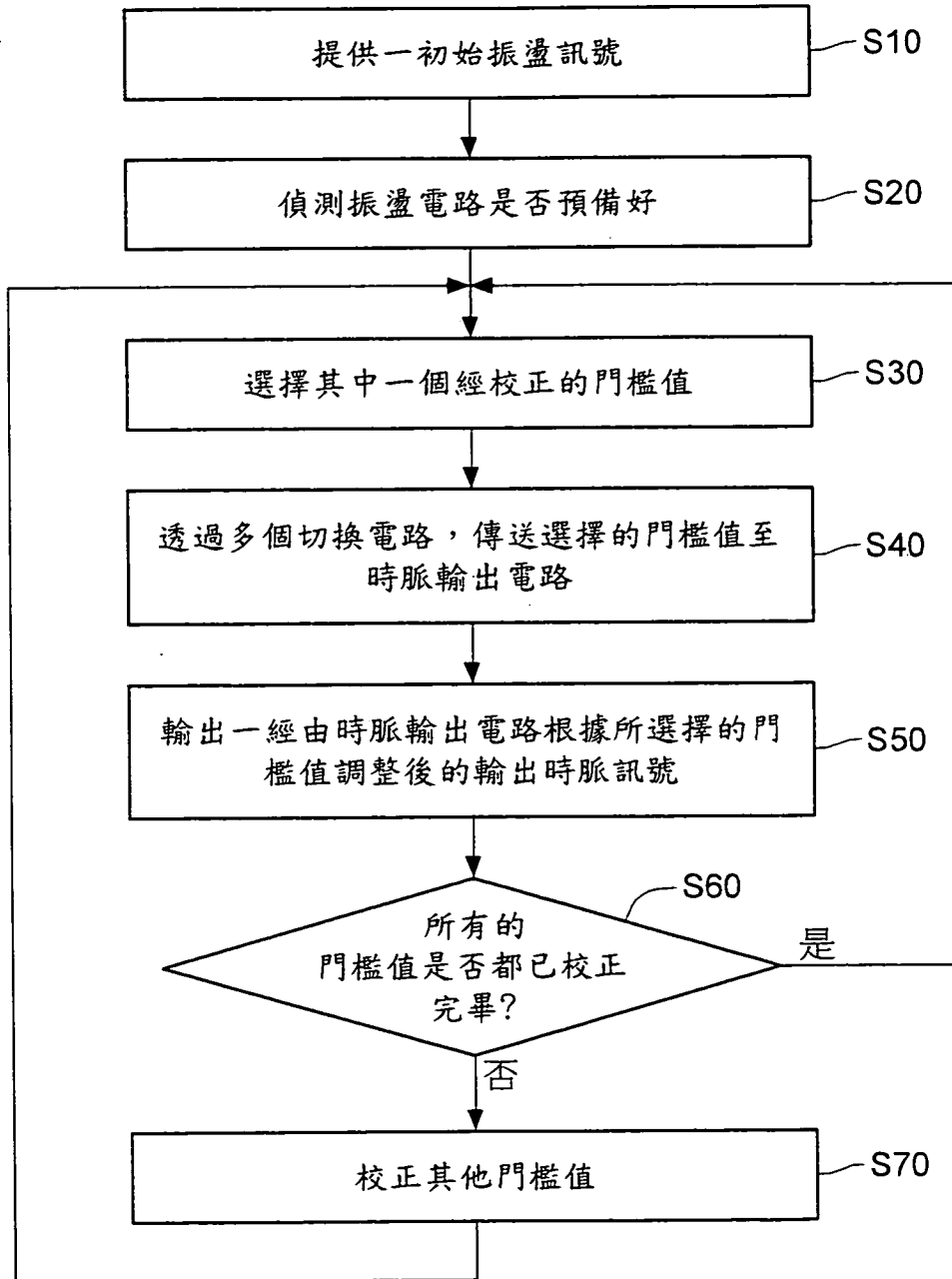
一解碼器，電性連接於該反或閘和該控制訊號產生電路，用以根據該第一控制訊號，將該第三控制訊號解碼，以輸出該選擇訊號。

18. 如請求項 9 所述之時脈訊號的倍頻裝置，其中該門檻值產生電路透過一校正流程，校正該至少一低門檻值和該至少一高門檻值，以及該校正流程包含：

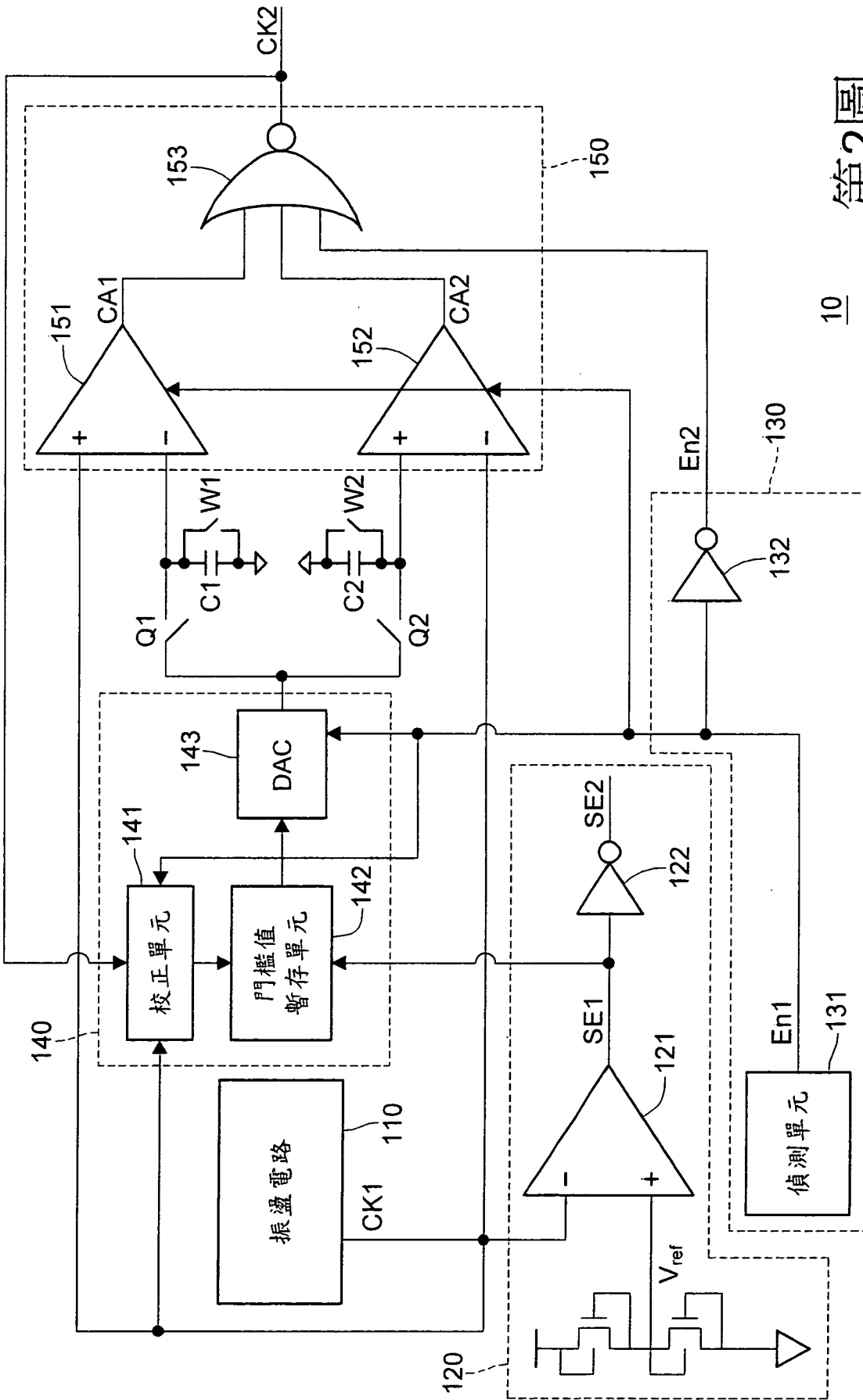
偵測該些邏輯訊號的責任週期；以及

當該些邏輯訊號中至少一者的責任週期不同於相對應的一預設責任週期時，調整該至少一高門檻值和/或該至少一低門檻值。

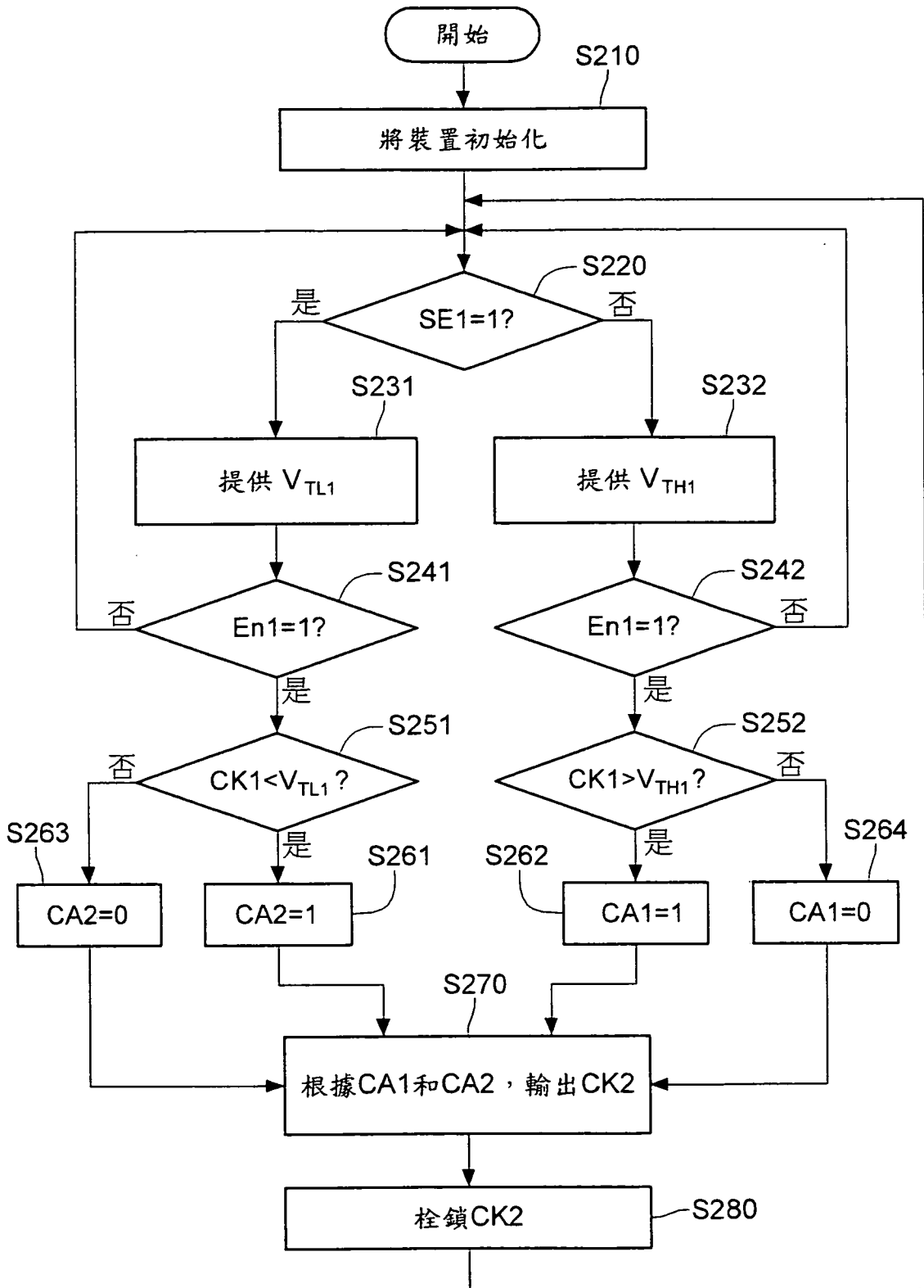
圖式



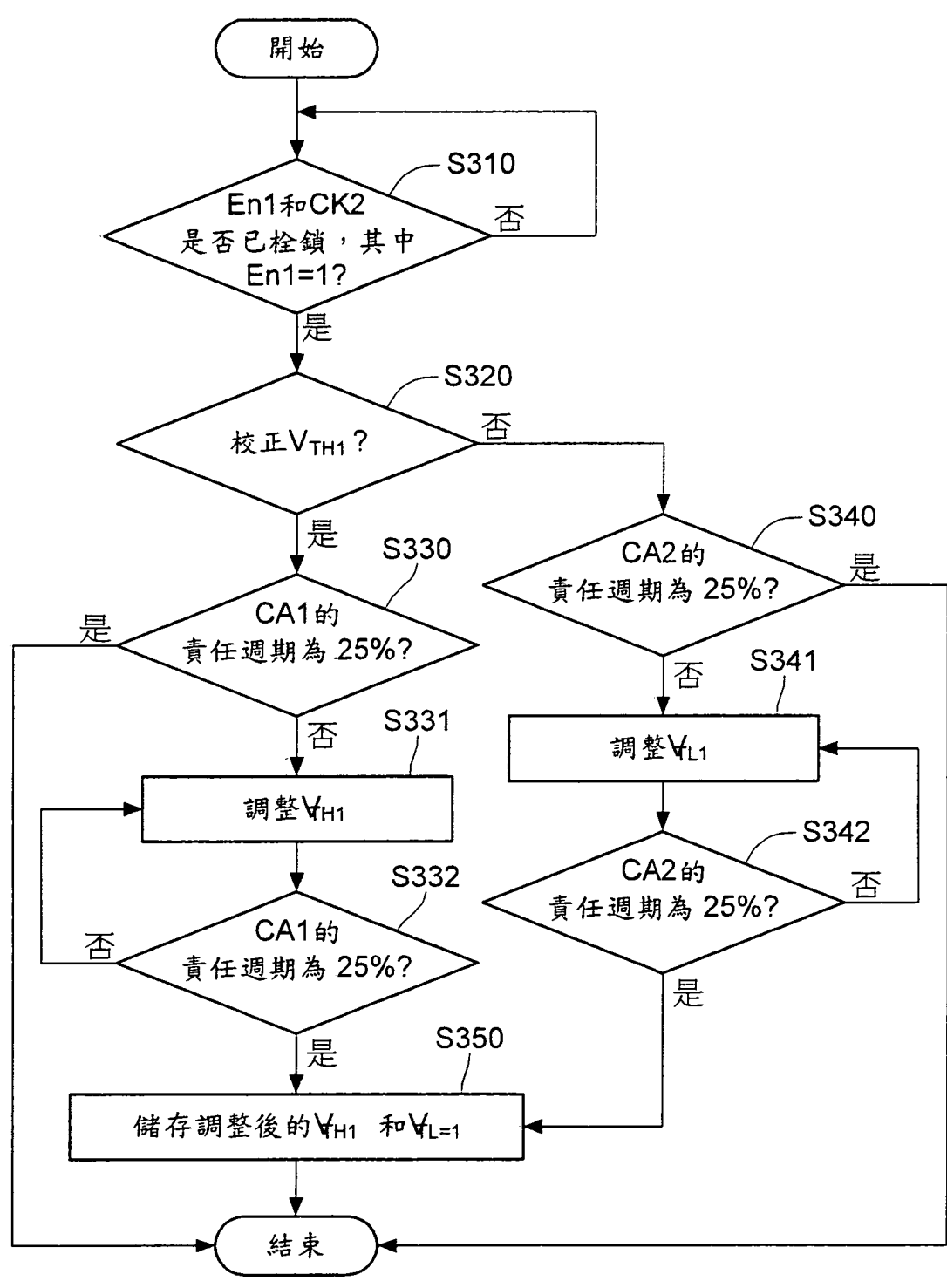
第1圖



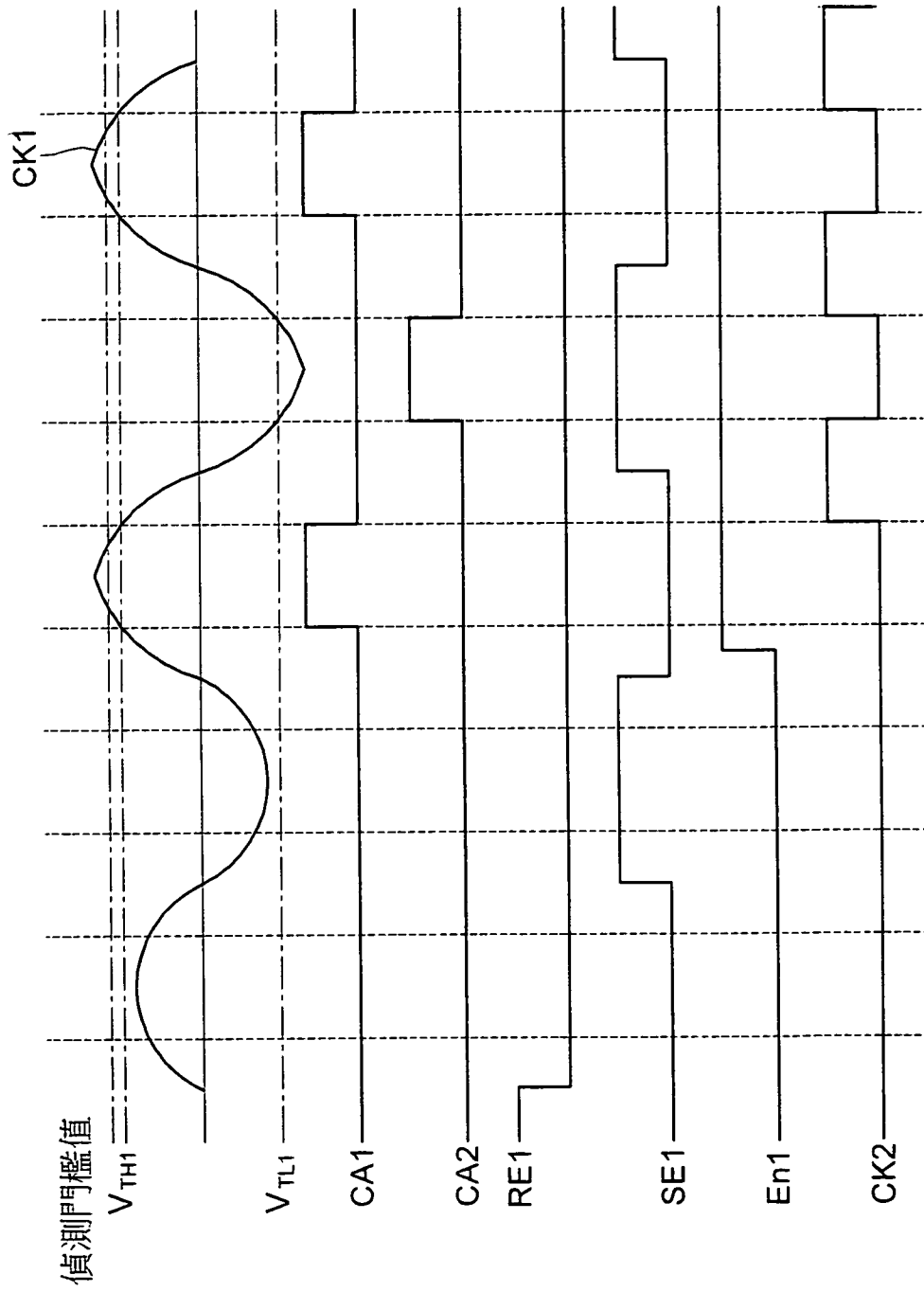
第2圖



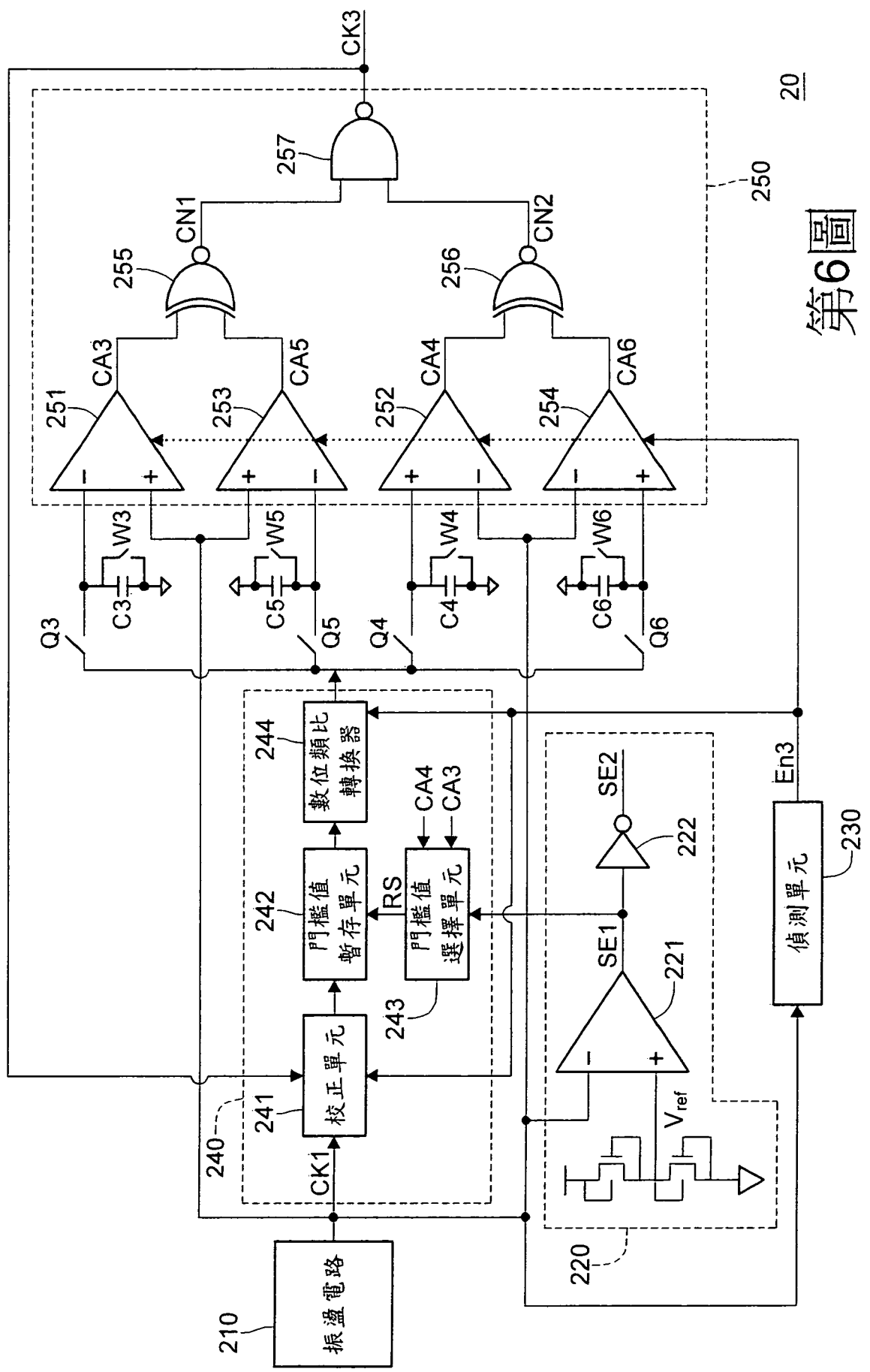
第3圖



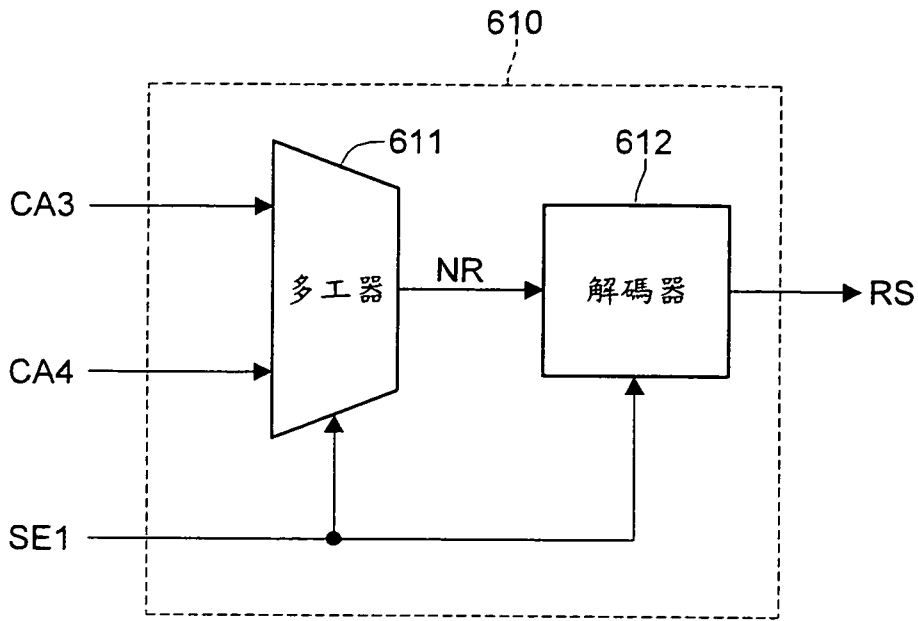
第4圖



第5圖



第6圖



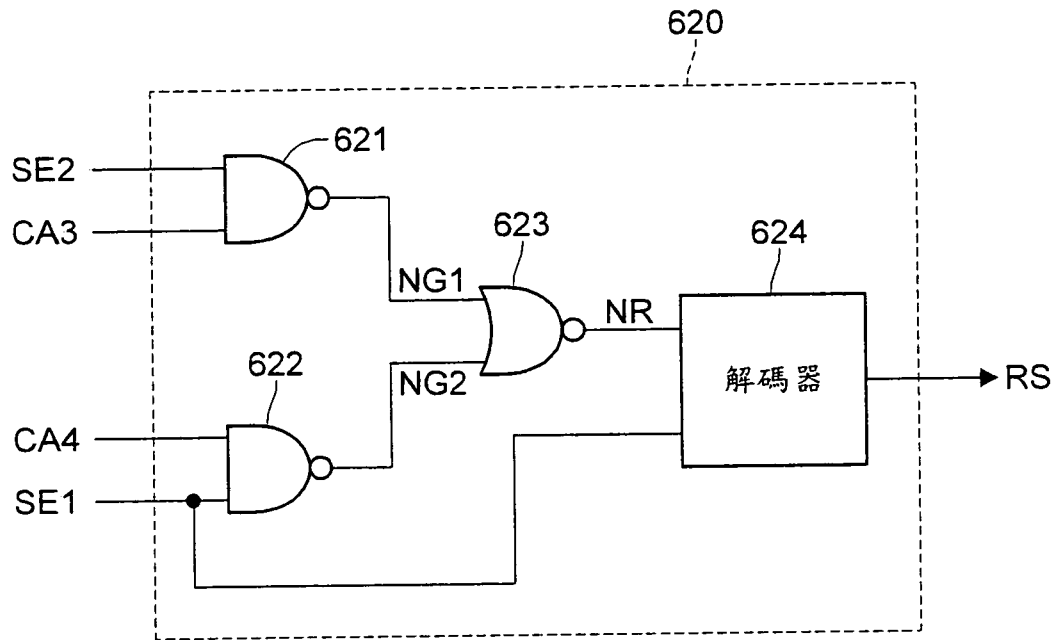
第7A圖

SE1	CA4	NR
0	0	0
0	1	1

第7B圖

SE1	CA3	NR
1	0	0
1	1	1

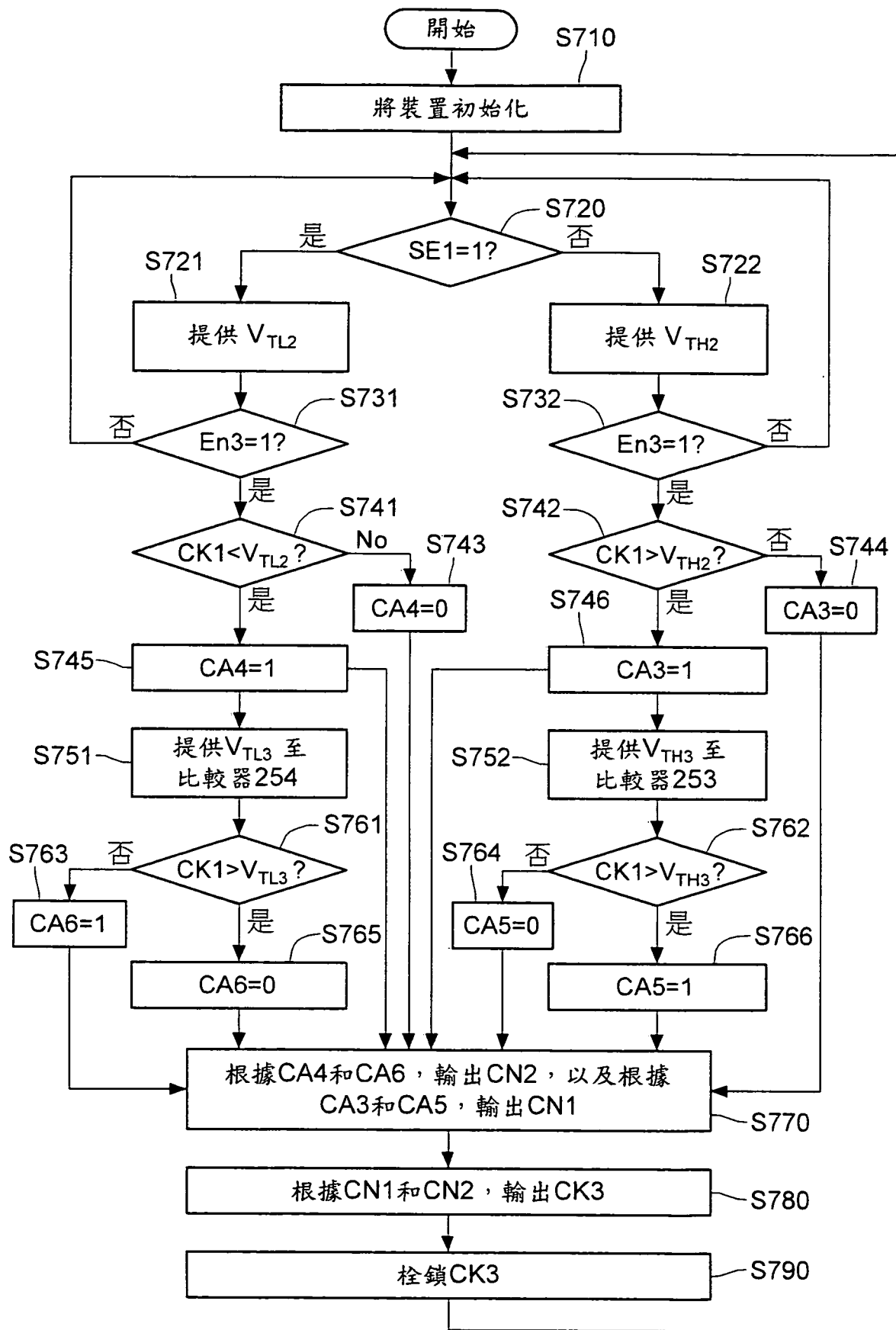
第7C圖



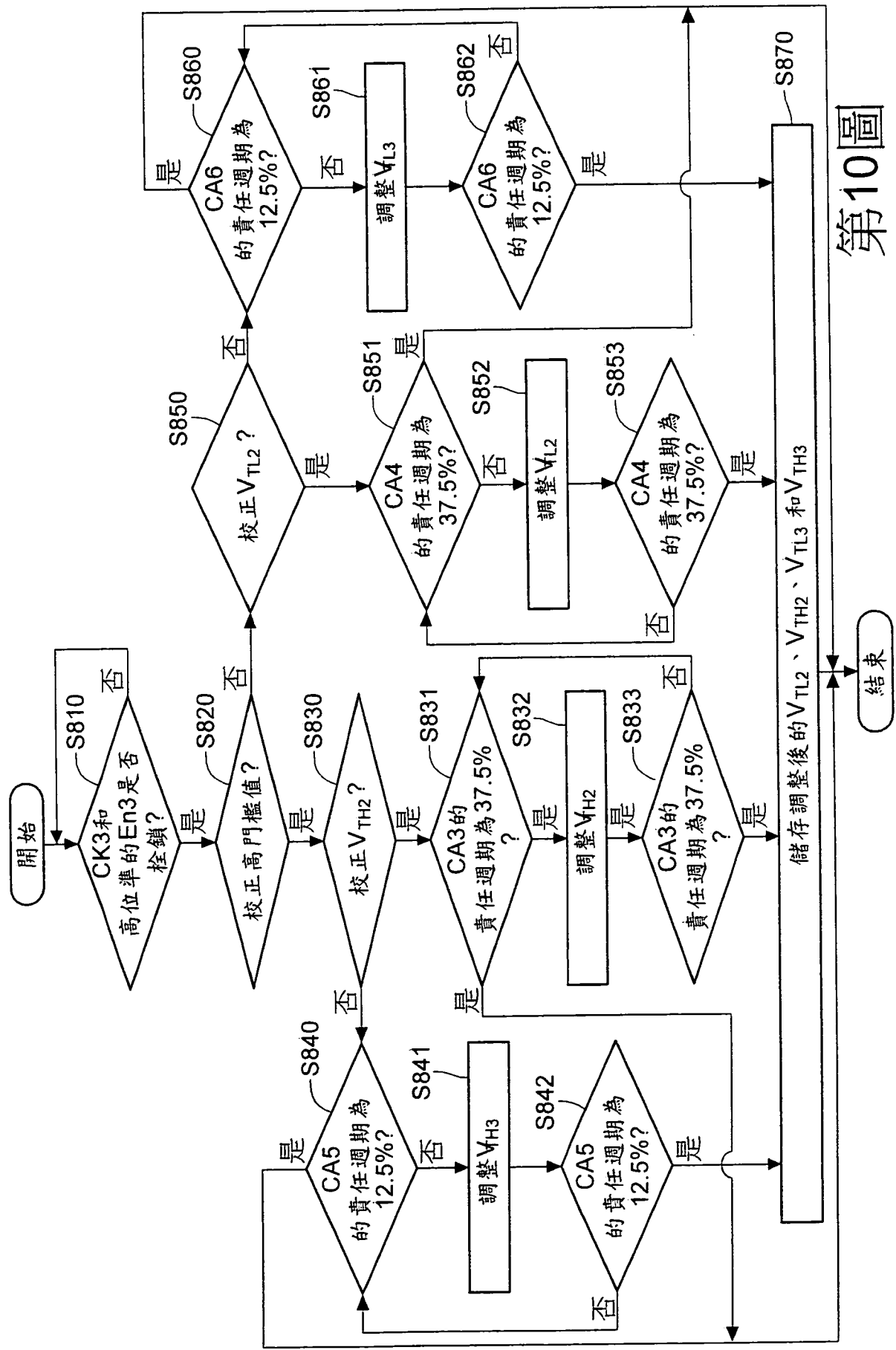
第8A圖

SE1	NR	RS
0	0	0
0	1	1
1	0	2
1	1	3

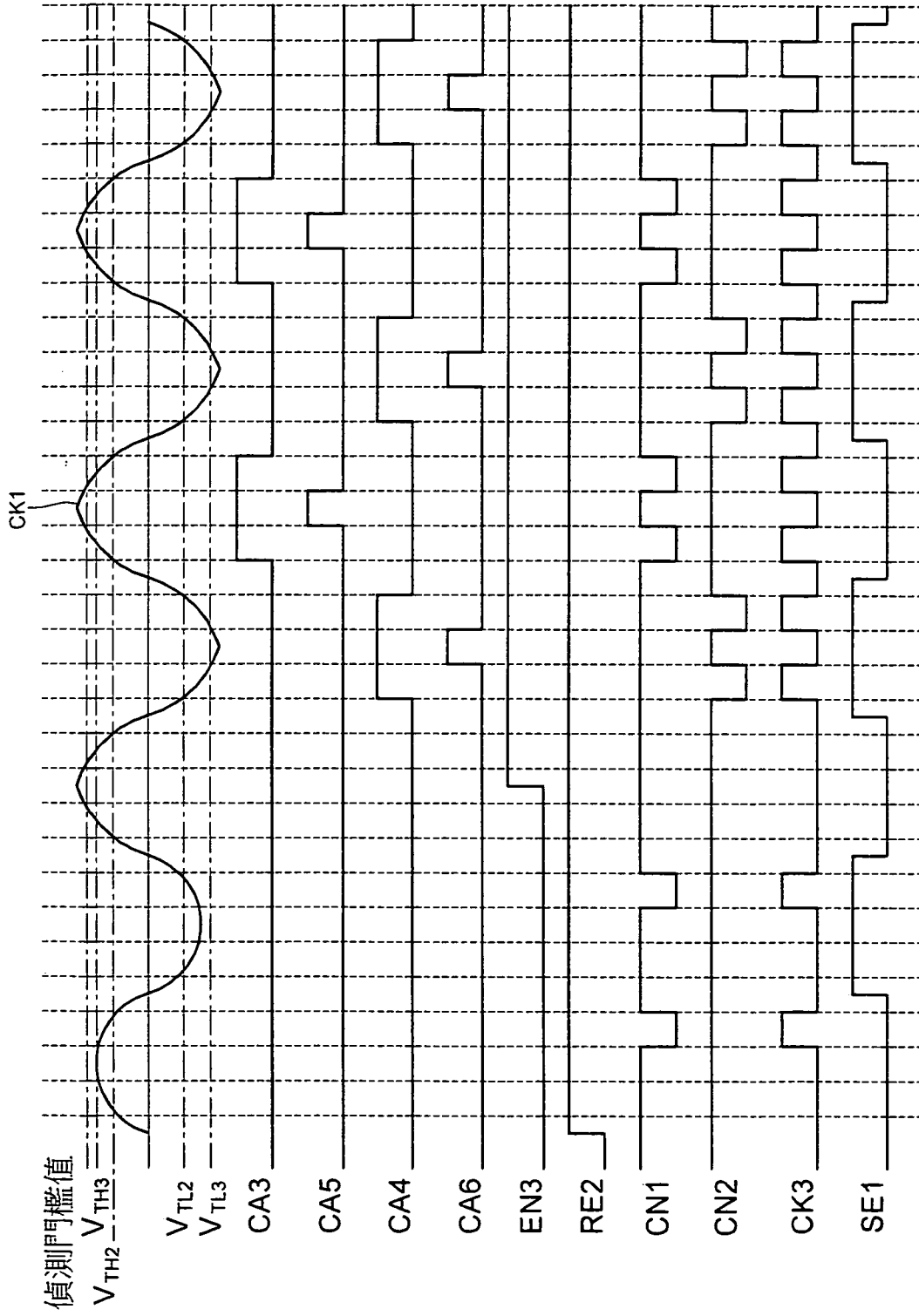
第8B圖



第9圖



第10圖



第11圖