

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月5日(05.01.2023)



(10) 国際公開番号

WO 2023/276299 A1

(51) 国際特許分類:
H04N 5/374 (2011.01) *H04N 5/3745* (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2022/011132

(22) 国際出願日: 2022年3月11日(11.03.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-110226 2021年7月1日(01.07.2021) JP

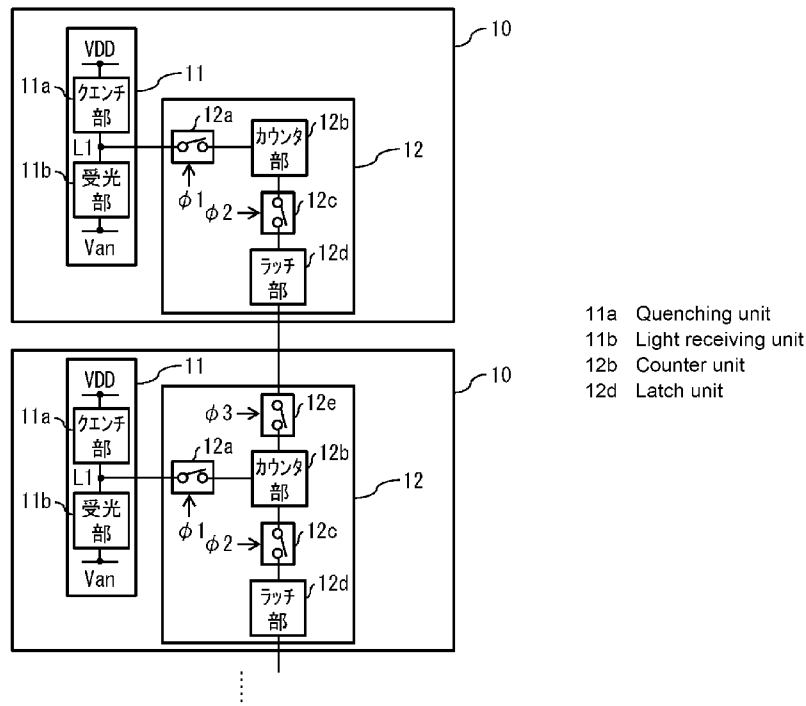
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 高塚 拳文(TAKATSUKA, Takafumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小木 純(OGI, Jun); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所(TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(54) Title: IMAGING DEVICE AND INFORMATION PROCESSING SYSTEM

(54) 発明の名称: 撮像装置および情報処理システム



(57) Abstract: An imaging device according to an aspect of the present disclosure comprises: a plurality of pixels arranged in a matrix; and a control unit that performs TDI control for the plurality of pixels. Each of the pixels has an optical pulse response unit that generates an optical pulse in response to light entry, and a counter unit. The counter unit includes a rewriting circuit that rewrites an initial value, and an addition circuit that adds information based on the optical pulse to the initial value. The control unit causes information stored in a counter unit to be written into a counter unit included in

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

a pixel of the next stage in the column direction as an initial value, and then causes the information based on the optical pulse acquired from the optical pulse response unit to be added to the initial value.

(57) 要約: 本開示の一側面に係る撮像装置は、行列状に配置された複数の画素と、複数の画素に対してTDI制御を行う制御部とを備えている。各画素は、光入射に応じて光パルス生成する光パルス応答部と、カウンタ部とを有している。カウンタ部は、初期値を書き換える書き換え回路と、初期値に対して光パルスに応じた情報を加算する加算回路とを含む。制御部は、カウンタ部に保持されている情報を、列方向の次段の画素に含まれるカウンタ部に対して初期値として書き込ませた後、光パルス応答部から得られた光パルスに応じた情報を初期値に加算させる。

明 細 書

発明の名称：撮像装置および情報処理システム

技術分野

[0001] 本開示は、ＴＤＩ（Time Delay Integration；線形時間遅延積分）処理を行う撮像装置および情報処理システムに関する。

背景技術

[0002] 従来より、ＦＡ（Factory Automation）や空撮、医療の分野において、ＴＤＩセンサが用いられている。このＴＤＩセンサは、被写体の移動速度に合わせて時間をずらしながら、電荷量を積分するＴＤＩ処理を行うセンサである。例えば、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）を用いたＴＤＩセンサが、以下の特許文献１等に記載されている。

先行技術文献

特許文献

[0003] 特許文献１：特開２０２１－３４８６２号公報

発明の概要

[0004] ところで、従来のＴＤＩセンサでは、ＡＤ変換処理や、相関二重サンプリング（Correlated Double Sampling：ＣＤＳ）処理が行われるので、ラインレートがＡＤ変換時間やＣＤＳ処理時間に律速され、ラインレートの上限が数１００ｋＨｚ程度に制限されてしまう。また、ＣＤＳ処理にはフレームメモリが必要となるので、チップコストを抑えることが難しい。従って、ＡＤ変換処理やＣＤＳ処理を必要としない撮像装置および情報処理システムを提供することが望ましい。

[0005] 本開示の第１の側面に係る撮像装置は、行列状に配置された複数の画素と、複数の画素に対してＴＤＩ制御を行う制御部とを備えている。各画素は、光入射に応じて光パルスを生成する光パルス応答部と、カウンタ部とを有している。カウンタ部は、初期値を書き換える書き換え回路と、初期値に対して光パルスに応じた情報を加算する加算回路とを含む。制御部は、カウンタ

部に保持されている情報を、列方向の次段の画素に含まれるカウンタ部に対して初期値として書き込ませた後、光パルス応答部から得られた光パルスに応じた情報を初期値に加算させる。

[0006] 本開示の第2の側面に係る情報処理システムは、撮像により画像データを取得する撮像装置と、撮像装置で得られた画像データを処理する処理部とを備えている。本開示の第2の側面に係る情報処理システムにおいて、撮像装置は、行列状に配置された複数の画素と、複数の画素に対してTDI制御を行う制御部と、TDI制御により得られた画像データを処理部に出力する出力部とを有している。各画素は、光入射に応じて光パルス生成する光パルス応答部と、カウンタ部とを有している。カウンタ部は、初期値を書き換える書き換え回路と、初期値に対して光パルスに応じた情報を加算する加算回路とを含む。制御部は、カウンタ部に保持されている情報を、列方向の次段の画素に含まれるカウンタ部に対して初期値として書き込ませた後、光パルス応答部から得られた光パルスに応じた情報を初期値に加算させる。

[0007] 本開示の第1の側面に係る撮像装置および本開示の第2の側面に係る情報処理システムでは、各画素において、カウンタ部に保持されている情報が、列方向の次段の画素に含まれるカウンタ部に対して初期値として書き込まれた後、光パルス応答部から得られた光パルスに応じた情報が初期値に加算される。これにより、加算後にカウンタ部に保持されている情報が、列方向の次段の画素に含まれるカウンタ部に対して、初期値として書き込まれる。その結果、AD変換処理を行うことなく、加算処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、CD処理を行う必要がない。

[0008] 本開示の第3の側面に係る撮像装置は、行列状に配置された複数の画素と、複数の画素に対してTDI制御を行う制御部とを備えている。各画素は、光入射に応じて光パルス生成する光パルス応答部と、スイッチ部と、カウンタ部とを有している。スイッチ部は、列ラインに含まれる画素の数と等しい数の入力端子のうちの1つと、1つの出力端子とを接続する。カウンタ部

は、スイッチ部を介して、列ラインに含まれる全ての光パルス応答部から得られた光パルスに応じた情報を積算する。制御部は、スイッチ部に、列ラインに含まれる全ての光パルス応答部を1つずつ順次選択させることにより、全ての光パルス応答部から得られた光パルスに応じた情報の積算をカウンタ部に対して行わせる。

[0009] 本開示の第4の側面に係る情報処理システムは、撮像により画像データを取得する撮像装置と、撮像装置で得られた画像データを処理する処理部とを備えている。本開示の第4の側面に係る情報処理システムにおいて、撮像装置は、行列状に配置された複数の画素と、複数の画素に対してTDI制御を行う制御部と、TDI制御により得られた画像データを処理部に出力する出力部とを有している。各画素は、光入射に応じて光パルス生成する光パルス応答部と、スイッチ部と、カウンタ部とを有している。スイッチ部は、列ラインに含まれる画素の数と等しい数の入力端子のうちの1つと、1つの出力端子とを接続する。カウンタ部は、スイッチ部を介して、列ラインに含まれる全ての光パルス応答部から得られた光パルスに応じた情報を積算する。制御部は、スイッチ部に、列ラインに含まれる全ての光パルス応答部を1つずつ順次選択させることにより、全ての光パルス応答部から得られた光パルスに応じた情報の積算をカウンタ部に対して行わせる。

[0010] 本開示の第3の側面に係る撮像装置および本開示の第4の側面に係る情報処理システムでは、スイッチ部によって、列ラインに含まれる全ての光パルス応答部が1つずつ順次選択されることにより、全ての光パルス応答部から得られた光パルスに応じた情報の積算がカウンタ部において行われる。これにより、AD変換処理を行うことなく、加算処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、CD処理を行う必要がない。

[0011] 本開示の第5の側面に係る撮像装置は、行列状に配置された複数の画素と、複数の画素のうち、行方向に並んで配置された複数組の画素ラインから得られた情報を用いてTDI処理を行うことで画像データを生成する生成部と

を備えている。各画素は、光入射に応じて光パルスを生成する光パルス応答部と、光パルス応答部から得られた光パルスに応じた情報を積算するカウンタ部とを有している。

[0012] 本開示の第6の側面に係る情報処理システムは、撮像により画像データを取得する撮像装置と、撮像装置で得られた画像データを処理する処理部とを備えている。本開示の第6の側面に係る情報処理システムにおいて、撮像装置は、行列状に配置された複数の画素と、複数の画素のうち、行方向に並んで配置された複数組の画素ラインから得られた情報を用いてT D I処理を行うことで画像データを生成する生成部とを備えている。各画素は、光入射に応じて光パルスを生成する光パルス応答部と、光パルス応答部から得られた光パルスに応じた情報を積算するカウンタ部とを有している。

[0013] 本開示の第5の側面に係る撮像装置および本開示の第6の側面に係る情報処理システムでは、各画素において、光パルス応答部から得られた光パルスに応じた情報が積算され、複数の画素のうち、行方向に並んで配置された複数組の画素ラインから得られた情報（積算値）を用いてT D I処理を行うことで画像データが生成される。これにより、A D変換処理を行うことなく、T D I処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、C D S処理を行う必要がない。

図面の簡単な説明

[0014] [図1]本開示の一実施の形態に係る撮像装置の機能ブロック例を表す図である。

[図2]図1の固体撮像素子の概略構成例を表す図である。

[図3]図1の画素の回路構成例を表す図である。

[図4]図3のカウンタ部の概略構成例を表す図である。

[図5]図1の固体撮像素子が基板上に形成されている様子を表す図である。

[図6]図1の固体撮像素子の制御方法の一例を表すタイミング図である。

[図7]図3のカウンタ部の概略構成の一変形例を表す図である。

[図8]図3のカウンタ部の概略構成の一変形例を表す図である。

[図9]図1の固体撮像素子が積層基板に形成されている様子を表す図である。

[図10]図1の画素の回路構成の一変形例を表す図である。

[図11]図1の画素の回路構成の一変形例を表す図である。

[図12]図1の画素の回路構成の一変形例を表す図である。

[図13]図1の画素の回路構成の一変形例を表す図である。

[図14]図13の画素を備えた固体撮像素子の制御方法の一例を表すタイミング図である。

[図15]図13の検出部の回路構成の一例を表す図である。

[図16]図13の検出部の制御方法の一例を表すタイミング図である。

[図17]図1の画素の回路構成の一変形例を表す図である。

[図18]図17の画素を備えた固体撮像素子の制御方法の一例を表すタイミング図である。

[図19]図3，図12，図13の検出部に制御信号を入力する回路の一例を表す図である。

[図20]図3，図12，図13の検出部に制御信号を入力する回路の一例を表す図である。

[図21]図1の画素の回路構成の一変形例を表す図である。

[図22]図21の画素を備えた固体撮像素子の制御方法の一例を表すタイミング図である。

[図23]低照度の光が入射したときのカウントの様子を表す図である。

[図24]中照度の光が入射したときのカウントの様子を表す図である。

[図25]高照度の光が入射したときのカウントの様子を表す図である。

[図26]図1の画素の回路構成の一変形例を表す図である。

[図27]図26の画素を備えた固体撮像素子におけるデータパターンを説明するための図である。

[図28]図26の画素を備えた固体撮像素子におけるスイッチ切り替えを説明するための図である。

[図29]図26の画素を備えた固体撮像素子におけるデータ出力を説明するた

めの図である。

[図30]図1の画素の回路構成の一変形例を表す図である。

[図31]図30の画素を備えた固体撮像素子におけるスイッチ切り替えを説明するための図である。

[図32]図30の画素を備えた固体撮像素子におけるデータ出力を説明するための図である。

[図33]図1の固体撮像素子の概略構成の一変形例を表す図である。

[図34]図1の固体撮像素子の概略構成の一変形例を表す図である。

[図35]図1の画素の回路構成の一変形例を表す図である。

[図36]図35の画素を備えた固体撮像素子の制御方法の一例を表すタイミング図である。

[図37]図3、図4、図7、図8、図10、図12、図13、図17、図21、図26、図30、図35の光パルス応答部の概略構成例を表す図である。

[図38]図3、図4、図7、図8、図10、図12、図13、図17、図21、図26、図30、図35の光パルス応答部の概略構成例を表す図である。

[図39]図1の撮像装置を備えたファクトリーオートメーションの一例を表す図である。

[図40]図1の撮像装置を備えた生体試料分析装置の一例を表す図である。

発明を実施するための形態

[0015] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（図1～図6）
2. 変形例（図7～図38）
3. 適用例（図39、図40）

[0016] <1. 実施の形態>

[構成]

図1は、本開示の一実施の形態に係る撮像装置100の機能ブロック例を

表したものである。撮像装置 100 は、例えば、図 1 に示したように、撮像により画像データを取得する装置であり、光学系 110、固体撮像素子 120、制御部 130 および通信部 140 を備えている。

[0017] 光学系 110 は、入射光を集光して固体撮像素子 120 に導くものである。固体撮像素子 120 は、撮像により画像データを取得するものであり、撮像により得られた画像データを、通信部 140 を介して外部に出力する。固体撮像素子 120 は、後述の複数の画素 10 を有している。複数の画素 10 は、有効画素領域において 2 次元配置されている。通信部 140 は、外部機器と通信を行うインターフェースであり、固体撮像素子 120 で得られた画像データを外部機器に出力する。

[0018] 制御部 130 は、固体撮像素子 120 を制御して、撮像により固体撮像素子 120 に画像データを取得させるものである。制御部 130 は、固体撮像素子 120（後述の複数の画素 10）に対して TDI（Time Delay Integration）制御を行う。制御部 130 は、例えば、撮像タイミングを示す垂直同期信号や、後述の検出部 12 を制御する制御信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ を固体撮像素子 120 に供給する。制御部 130 は、例えば、行方向に並んで配置された複数の画素 10（行ライン）を同時に選択することにより、選択された行ラインで得られた複数の画素データを次段（次の行）の行ラインに出力させる。このとき、制御部 130 は、例えば、所定の周期で複数の行ラインを順次、選択する。複数の行ラインの選択周期が、固体撮像素子 120 における撮像周期に対応する。撮像装置 100 が、撮像対象物の速度を計測する計測部を備えている場合、制御部 130 は、計測部で得られた速度データに基づく周期で複数の画素 10（行ライン）を選択してもよい。制御部 130 は、例えば、撮像対象物が画素選択の 1 周期の間に列方向の画素ピッチ分だけ移動するように、画素選択の周期の大きさを設定してもよい。

[0019] 図 2 は、固体撮像素子 120 の概略構成例を表したものである。固体撮像素子 120 は、TDI センサを備えており、高感度・低ノイズの画像データを取得する。固体撮像素子 120 は、例えば、図 2 に示したように、画素ア

レイ部 1 2 1 およびインターフェース部 1 2 2 を有している。画素アレイ部 1 2 1 は、光電変換を行う複数の画素 1 0 を有している。複数の画素 1 0 は、有効画素領域において行列状に配置されている。固体撮像素子 1 2 0 において、撮像対象物が、例えば、画素アレイ部 1 2 1 に対して列方向（図 2 の紙面上下方向）に一定の速度で移動することが前提となっている。インターフェース部 1 2 2 は、例えば、列方向に並んで配置された複数の画素 1 0 （列ライン）から得られた複数の画素データの和を列ラインごとに取得する。

[0020] 図 3 は、画素 1 0 の回路構成例を表したものである。画素 1 0 は、例えば、図 3 に示したように、光パルス応答部 1 1 および検出部 1 2 を有している。光パルス応答部 1 1 は、光入射に応じて光パルスを生成する。光パルス応答部 1 1 は、例えば、受光部 1 1 b およびクエンチ部 1 1 a を含む。

[0021] 受光部 1 1 b は、アバランシェフォトダイオード（APD）を含んでいる。ガイガーモードの APD では、端子間に降伏電圧以上の電圧が印可されると、単一フォトン入射でアバランシェ現象が発生する。単一フォトンでアバランシェ現象で増倍させる APD は、シングルフォトンアバランシェダイオード（SPAD）と呼ばれる。各画素 1 0 において、光パルス応答部 1 1 は、例えば、SPAD を含んでいる。クエンチ部 1 1 a は、受光部 1 1 b に印加される電圧を降伏電圧まで下げることによって、アバランシェ現象を止める機能（クエンチ）を有する。クエンチ部 1 1 a は、さらに、受光部 1 1 b に印加される電圧を降伏電圧以上のバイアス電圧にすることによって、受光部 1 1 b で再びフォトン検出を行えるようにする機能を有する。クエンチ部 1 1 a は、例えば、MOS トランジスタを含む。クエンチ部 1 1 a は、例えば、抵抗器であってもよい。

[0022] クエンチ部 1 1 a の一端（例えば、MOS トランジスタのソース）は、固定電圧 V_{DD} が印可される電源線 V_{dd} に接続されている。一方、クエンチ部 1 1 a の他端（例えば、MOS トランジスタのドレイン）は、信号線 L_1 を介して受光部 1 1 b の一端（例えば、APD のカソード）に接続されている。受光部 1 1 b の他端（例えば、APD のカソード）は、例えば、基準電

圧 V_{an} が印可される電源線 V_{ss} に接続されている。受光部 11b に、降伏電圧以上の電圧が印可されるよう、固定電圧 V_{DD} および基準電圧 V_{an} の値が設定されている。信号線 L_1 は、クエンチ部 11a の他端（例えば、MOS トランジスタのドレイン）と、受光部 11b の一端（例えば、APD のカソード）とに接続されている。

[0023] 各画素 10 において、検出部 12 は、カウンタ部 12b を含んでいる。2 行目以降の行ラインに含まれる各画素 10 において、検出部 12 は、スイッチ部 12a、カウンタ部 12b、スイッチ部 12c、ラッチ部 12d およびスイッチ部 12e を含んでいる。1 行目の行ラインに含まれる各画素 10 において、検出部 12 は、スイッチ部 12a、カウンタ部 12b、スイッチ部 12c およびラッチ部 12d を含んでいる。なお、1 行目の行ラインに含まれる各画素 10 において、検出部 12 は、さらに、スイッチ部 12e を含んでもよい。

[0024] スイッチ部 12a の一端は信号線 L_1 に接続されている。スイッチ部 12a の他端はカウンタ部 12b の入力端（後述の加算回路の入力端）に接続されている。スイッチ部 12a は、信号線 L_1 とカウンタ部 12b の入力端との継断を制御する。カウンタ部 12b は、例えば、図 4 に示したような、 k ビット ($k \geq 1$) のデジタルカウンタである。デジタルカウンタは、ラッチ回路等を含んで構成されたデジタル回路である。カウンタ部 12b は、前段（1 つ前の行）の行ラインに含まれる画素 10 のラッチ部 12d からの信号（書き換え信号）入力により初期値を書き換える回路（書き換え回路）と、初期値に対して、光パルス応答部 11 からの入力信号（加算信号）を加算する回路（加算回路）とを含んでいる。

[0025] スイッチ部 12c の一端はカウンタ部 12b の出力端（加算回路の出力端）に接続されている。スイッチ部 12c の他端はラッチ部 12d の入力端に接続されている。スイッチ部 12c は、カウンタ部 12b の出力端とラッチ部 12d の入力端との継断を制御する。ラッチ部 12d は、例えば、図 4 に示したような、 k ビット ($k \geq 1$) の情報を保持することの可能なデジタル

回路である。ラッチ部 1 2 d の出力端は、次段（次の行）の行ラインに含まれる画素 1 0 のスイッチ部 1 2 e の一端に接続されている。ラッチ部 1 2 d は、保持している情報を、次段の行ラインに含まれる画素 1 0 のスイッチ部 1 2 e を介して、次段の行ラインに含まれる画素 1 0 のカウンタ部 1 2 b（書き換え回路の入力端）に出力する。ラッチ部 1 2 d は、保持している情報を、次段の行ラインに含まれる画素 1 0 のカウンタ部 1 2 b に対して初期値として書き込む。スイッチ部 1 2 e の一端は、前段（1 つ前の行）の行ラインに含まれる画素 1 0 のラッチ部 1 2 d の出力端に接続されている。スイッチ部 1 2 e の他端は、カウンタ部 1 2 b の入力端（書き換え回路の入力端）に接続されている。

[0026] 固体撮像素子 1 2 0 は、例えば、図 5 に示したように、1 つの半導体基板 2 0 上に形成されている。このとき、半導体基板 2 0 の表面には、複数の画素 1 0 が行列状に配置された有効画素領域が形成されている。半導体基板 2 0 の表面において、有効画素領域の周囲には、例えば、インターフェース部 1 2 2 等が実装されている。

[0027] [動作]

次に、撮像装置 1 0 0 の動作について説明する。図 6 は、固体撮像素子 1 2 0 制御方法の一例を表すタイミング図である。制御部 1 3 0 は、制御信号 $\phi 1$ を High にすることにより、各画素 1 0 のスイッチ部 1 2 a をオンする。これにより、アバランシェ現象が発生している受光部 1 1 b からカウンタ部 1 2 b にフォトンが入力される。続いて、制御部 1 3 0 は、所定の露光期間が経過したときに、制御信号 $\phi 1$ を Low にすることにより、各画素 1 0 のスイッチ部 1 2 a をオフする。これにより、受光部 1 1 b からカウンタ部 1 2 b へのフォトンの入力が停止する。このとき、カウンタ部 1 2 b では、入力されたフォトンの数に応じた情報が初期値に加算され、それにより得られる情報（保持情報）が保持される。

[0028] 続いて、制御部 1 3 0 は、制御信号 $\phi 2$ を High にすることにより、各画素 1 0 のスイッチ部 1 2 c をオンする。これにより、カウンタ部 1 2 b は

、カウンタ部 12b に保持されている情報（保持情報）を、スイッチ部 12c を介して、ラッチ部 12d に出力する。ラッチ部 12d は、カウンタ部 12b から入力された情報（保持情報）を保持する。その後、制御部 130 は、制御信号 $\phi 2$ を low にすることにより、各画素 10 のスイッチ部 12c をオフする。続いて、制御部 130 は、制御信号 $\phi 3$ を High にすることにより、各画素 10 のスイッチ部 12e をオンする。これにより、ラッチ部 12d は、ラッチ部 12d に保持されている情報（保持情報）を、スイッチ部 12e を介して、カウンタ部 12b に出力する。カウンタ部 12b は、ラッチ部 12d から入力された情報（保持情報）を初期値として保持する。

[0029] このようにして、前段の行ラインの画素データが次段の行ラインに転送されるとともに、前段の行ラインの画素データと次段の行ラインの画素データとが互いに足し合わされる。このように、制御部 130 は、カウンタ部 12b に保持されている情報を、列方向の次段の画素 10 に含まれるカウンタ部 12b に対して初期値として書き込ませた後、光パルス応答部 11 から得られた光パルスに応じた情報を初期値に加算させる。また、制御部 130 は、ラッチ部 12d に保持されている、カウンタ部 12b から入力された情報を、列方向の次段の画素 10 に含まれるカウンタ部 12b に対して初期値として書き込ませる。

[0030] 制御部 130 は、これを繰り返し実行することにより、列方向に並んで配置された複数の画素 10（列ライン）から得られた複数の画素データの、列ラインごとの和をインターフェース部 122 に出力させる。

[0031] [効果]

次に、撮像装置 100 の効果について説明する。

[0032] 本実施の形態では、各画素 10 においてカウンタ部 12b に保持されている情報が、次段（次の行）の行ラインに含まれるカウンタ部 12b に対して、初期値として書き込まれ、光入射に応じて光パルス応答部 11 から得られた情報がカウンタ部 12b の初期値に加算される。これにより、加算後にカウンタ部 12b に保持されている情報が、次段（次の行）の行ラインに含ま

れるカウンタ部12bに対して、初期値として書き込まれる。その結果、AD変換処理を行うことなく、加算処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、CDS処理を行う必要がない。従って、AD変換処理やCDS処理を必要としない撮像装置100を提供することができる。

[0033] 本実施の形態では、ラッチ部12dに保持されている、カウンタ部12bから入力された情報が、列方向の次段の画素10に含まれるカウンタ部12bに対して初期値として書き込まれる。このように、2つのカウンタ部12bの間にラッチ部12dを設けることで、簡易な制御で画像データの転送を実現することができる。

<2. 変形例>

次に、上記実施の形態に係る固体撮像素子120の変形例について説明する。

[0034] [変形例A]

カウンタ部12bにおいて、上位ビットのカウンタの更新周波数は低い。スイッチ部12cにおいて、カウンタ部12bの上位ビットに接続されたスイッチについても動作周波数は低い。ラッチ部12dにおいて、カウンタ部12bの上位ビットに接続されたラッチについても動作周波数は低い。スイッチ部12eにおいて、カウンタ部12bの上位ビットに接続されたスイッチについても動作周波数は低い。

[0035] そこで、上記実施の形態において、カウンタ部12bの上位ビットと、スイッチ部12c、ラッチ部12dおよびスイッチ部12eのうち、カウンタ部12bの上位ビットに接続された部分とが、例えば、図7に示したように、固体撮像素子120における、画素アレイ部121の形成領域外（アレイ外領域R2）に形成されていてもよい。このとき、カウンタ部12bの上位ビット以外のビットと、スイッチ部12c、ラッチ部12dおよびスイッチ部12eのうち、カウンタ部12bの上位ビット以外のビットに接続された部分とは、例えば、図7に示したように、固体撮像素子120における、画

素アレイ部 1 2 1 の形成領域（アレイ領域 R 1）に形成されていてもよい。カウンタ部 1 2 b の上位ビットの動作周波数は低いため、カウンタ部 1 2 b の上位ビットを制御する信号に遅延が生じた場合であっても、その遅延が問題にならない場合があるからである。また、このように、カウンタ部 1 2 b の上位ビット等をアレイ外領域 R 2 に形成することにより、アレイ領域 R 1 の面積を削減することができる。

[0036] [変形例 B]

列方向に並んで配置された複数の画素 1 0（列ライン）において、カウンタ部 1 2 b のカウンタ値は、列ライン後段に向かうにつれて大きくなる。そのため、カウンタ部 1 2 b のカウンタ値が列ライン後段において飽和する可能性がある。

[0037] そこで、上記実施の形態およびその変形例において、カウンタ部 1 2 b、スイッチ部 1 2 c、ラッチ部 1 2 d およびスイッチ部 1 2 e は、ビット数が、例えば、図 8 に示したように、列ラインの初段と比べて列ラインの後段の方が大きくなるように構成されていてもよい。このようにすることで、列ライン全体でビット数を大きくした場合と比べて、回路規模を抑えつつ、カウンタ部 1 2 b の飽和を防ぐことができる。

[0038] [変形例 C]

上記実施の形態およびその変形例において、固体撮像素子 1 2 0 が、積層された複数の半導体基板に分散して形成されていてもよい。固体撮像素子 1 2 0 が、例えば、図 9 に示したように、積層された 2 枚の半導体基板 2 1, 2 2 に分散して形成されていてもよい。このとき、各画素 1 0 のうち、受光部 1 1 b 以外の部分（以下、「回路 2 1 a」と称する。）が第 1 半導体基板 2 1 上に形成されてもよい。また、各画素 1 0 のうち、受光部 1 1 b を含む部分（以下、「回路 2 2 a」と称する。）が第 2 半導体基板 2 2 上に形成されてもよい。回路 2 1 a と、回路 2 2 a とは、例えば、回路 2 1 a に接続されたパッド電極 2 1 b と回路 2 2 a に接続されたパッド電極 2 2 b とを互いに接合することにより電氣的に接続されてもよい。

[0039] [変形例D]

上記実施の形態およびその変形例において、各画素10の光パルス応答部11は、例えば、図10に示したように、複数の副画素11-1と、複数の副画素11-1の出力に接続された加算部11-2とを有していてもよい。

[0040] 各副画素11-1は、クエンチ部11a、受光部11bおよびパルス生成部11cを有している。パルス生成部11cは信号線L1に接続されており、パルス生成部11cには、受光部11bから出力されたフォトンが入力される。パルス生成部11cは、受光部11bから入力されたフォトンに対してパルスを生成し、加算部11-2に出力する。加算部11-2は、複数の副画素11-1から入力されたパルスをカウントし、それにより得られたカウント値に応じた数のパルスを検出部12に出力する。このように、複数の副画素11-1と加算部11-2とを用いることで感度の高い画像を得ることができる。

[0041] [変形例E]

上記変形例Dにおいて、パルス生成部11cが、例えば、図11に示したように、省略されていてもよい。このとき、加算部11-2は、各副画素11-1から入力されたフォトンのカウントし、それにより得られたカウント値に応じた数のパルスを検出部12に出力する。このようにした場合であっても、加算部11-2による加算で得られた画素データを用いることで感度の高い画像を得ることができる。

[0042] [変形例F]

上記実施の形態およびその変形例の列ラインにおいて、例えば、図12に示したように、奇数ラインの画素10ごとに、ラッチ部12dおよびスイッチ部12cが省略されてもよい。このようにした場合であっても、制御部130が、例えば、図6に示したタイミングで固体撮像素子12を制御することにより、AD変換処理やCDS処理を必要としない撮像装置100を提供することができる。

[0043] [変形例G]

上記実施の形態およびその変形例の列ラインにおいて、例えば、図 1 3 に示したように、全ての画素 1 0 において、ラッチ部 1 2 d およびスイッチ部 1 2 c が省略された検出部 1 2 A が設けられていてもよい。このようにした場合には、制御部 1 3 0 は、例えば、図 1 4 に示したタイミングで制御信号 $\phi 2_0$, $\phi 2_1$, $\phi 2_2$, $\phi 2_3$ を固体撮像素子 1 2 に入力することにより、A/D 変換処理や CDS 処理を必要としない撮像装置 1 0 0 を提供することができる。

[0044] 図 1 5 は、検出部 1 2 A の回路構成の一例を表したものである。検出部 1 2 A は、直列に接続された複数の 1 ビットカウンタと、制御信号 (SHIFT_PULSE, PC_PULSE_i (i=A, B...)) の、複数の 1 ビットカウンタへの入力を制御するマルチプレクサ (以下、「第 1 のマルチプレクサ」と称する) および NOT 回路とを含んで構成されている。

[0045] 1 ビットカウンタは、例えば、複数の (2 つの) D ラッチからなる D フリップフロップと、D フリップフロップのデータ入力端子に接続されたマルチプレクサ (以下、「第 2 のマルチプレクサ」と称する) とを含んで構成されている。つまり、検出部 1 2 A は、ビットごとに D フリップフロップを有している。

[0046] 第 1 のマルチプレクサの出力が D フリップフロップの前段の D ラッチのクロックとして入力される。第 1 のマルチプレクサの出力を反転させた出力 (NOT 回路の出力) が D フリップフロップの後段の D ラッチのクロックとして入力される。第 1 のマルチプレクサには、第 1 のマルチプレクサと同じ段 (同じ行) の D フリップフロップの出力と、前段 (前の行) の行ラインに含まれる D フリップフロップの出力とが入力される。制御部 1 3 0 は、例えば、図 1 6 に示したタイミングで、制御信号 (SHIFT_PULSE, PC_PULSE_i (i=A, B...)) を検出部 1 2 A に出力する。このとき、1 ビットカウンタごとに設けられた D フリップフロップは、ラッチ部を兼ねていることがわかる。これにより、回路規模の増大を抑えることができる。

[0047] [変形例 H]

上記実施の形態およびその変形例において、各画素 10 は、複数の検出部 12 を有していてもよい。各画素 10 は、例えば、図 17 に示したように、2 つの検出部 12 と、2 つの検出部 12 の出力値を加算する加算部 16 とを有していてもよい。

[0048] このとき、2 つの検出部 12 は、共通の光パルス応答部 11 に接続されており、列ラインに含まれる複数の画素 10 において、一方の検出部 12 が一列に接続されており、他方の検出部 12 も一列に接続されている。制御部 130 は、一方の検出部 12（以下、「検出部 12 L」と称する。）に保持されている情報を、列方向の次段の画素 10 に含まれる検出部 12 L に対して初期値として書き込ませている間に、他方の検出部 12（以下、「検出部 12 R」と称する。）に保持されている情報を、列方向の次段の画素 10 に含まれる検出部 12 R に対して初期値として書き込ませる。

[0049] 制御部 130 は、例えば、図 18 に示したように、1 ライン周期において露光を前段と後段に分けて行う。制御部 130 は、例えば、前段の露光後（後段の露光中）に、列ラインに含まれる複数の画素 10 における一方の検出部 12 に順次制御信号 $\phi 2$ 、 $\phi 3$ を出力する。制御部 130 は、さらに、例えば、後段の露光後（前段の露光中）に、列ラインに含まれる複数の画素 10 における他方の検出部 12 に順次制御信号 $\phi 2'$ 、 $\phi 3'$ を出力する。このようにすることで、上記実施の形態のような 1 ライン周期において露光を前段だけ行う場合と比べて、未露光時間を大幅に削減することができる。その結果、より高感度の撮像装置 100 を提供することができる。

[0050] [変形例 I]

上記実施の形態およびその変形例において、制御部 130 から各検出部 12 に出力される制御信号（例えば、制御信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ ）の、配線抵抗等に起因する波形なまりを改善するために、例えば、図 19 に示したように、配線の所定の箇所にリピータ 31 が設けられていてもよい。リピータ 31 は、制御部 130 から複数の画素 10 に対して入力する制御信号が伝搬する配線に挿入されている。また、例えば、図 20 に示したように、配線の所

定の箇所に、リピータ 3 1 の代わりにシフトレジスタ 3 2 が設けられていてもよい。このように、リピータ 3 1 やシフトレジスタ 3 2 を設けることにより、制御部 1 3 0 から各検出部 1 2 までの距離によらない制御パルスを検出部 1 2 に入力することができる。その結果、各画素 1 0 における露光時間を揃えることができる。

[0051] [変形例 J]

上記実施の形態およびその変形例において、各検出部 1 2 は、例えば、図 2 1 に示したように、カウンタ部 1 2 b が飽和したか否かを判定する OF 判定部 1 2 h を有していてもよい。OF 判定部 1 2 h は、カウンタ部 1 2 b のカウント値が所定の閾値以下のとき、カウンタ部 1 2 b が飽和していないと判断し、例えば、Low レベルの FLAG (= 0) を出力する。OF 判定部 1 2 h は、カウンタ部 1 2 b のカウント値が所定の閾値を超えたとき、カウンタ部 1 2 b が飽和していると判断し、例えば、High レベルの FLAG (= 1) を出力する。

[0052] 2 行目以降の行ラインに含まれる各画素 1 0 において、各検出部 1 2 は、例えば、図 2 1 に示したように、スイッチ部 1 2 a, 1 2 c, 1 2 e, 1 2 g, 1 2 i、マルチプレクサ 1 2 f、カウンタ部 1 2 b、OF 判定部 1 2 h およびラッチ部 1 2 d, 1 2 j を含んでいる。1 行目の行ラインに含まれる各画素 1 0 において、検出部 1 2 は、例えば、図 2 1 に示したように、スイッチ部 1 2 a, 1 2 c, 1 2 i、マルチプレクサ 1 2 f、カウンタ部 1 2 b、OF 判定部 1 2 h およびラッチ部 1 2 d, 1 2 j を含んでいる。

[0053] スイッチ部 1 2 a の一端は信号線 L 1 に接続されている。スイッチ部 1 2 a の他端はマルチプレクサ 1 2 f の入力端に接続されている。スイッチ部 1 2 a は、信号線 L 1 とマルチプレクサ 1 2 f の入力端との継断を制御する。マルチプレクサ 1 2 f の入力端は、スイッチ部 1 2 a の他端と、クロック CLK が入力される配線とに接続されている。マルチプレクサ 1 2 f の出力端は、カウンタ部 1 2 b の入力端（加算回路の入力端）に接続されている。

[0054] スイッチ部 1 2 i の一端は OF 判定部 1 2 h の出力端（後述の加算回路の

出力端)に接続されている。スイッチ部12iの他端はラッチ部12jの入力端に接続されている。スイッチ部12iは、OF判定部12hの出力端(加算回路の出力端)とラッチ部12jの入力端との継断を制御する。ラッチ部12jは、例えば、mビット($m \geq 1$)の情報を保持することの可能なデジタル回路である。ラッチ部12jの出力端は、次段(次の行)の行ラインに含まれる画素10のスイッチ部12gの一端に接続されている。ラッチ部12jは、保持している情報を、次段の行ラインに含まれる画素10のスイッチ部12gを介して、次段の行ラインに含まれる画素10のOF判定部12hに出力する。ラッチ部12dは、保持している情報を、次段の行ラインに含まれる画素10のカウンタ部12bに対して初期値として書き込む。スイッチ部12gの一端は、前段(1つ前の行)の行ラインに含まれる画素10のラッチ部12jの出力端に接続されている。スイッチ部12gの他端は、OF判定部12hの入力端(書き換え回路の入力端)に接続されている。

[0055] マルチプレクサ12fは、例えば、OF判定部12hからLowレベルのFLAGが入力されると、スイッチ部12aを介して入力される光子をカウンタ部12bに出力する。このとき、カウンタ部12bは、光子のカウントを実行する。マルチプレクサ12fは、例えば、OF判定部12hからHighレベルのFLAGが入力されると、配線から入力されるクロックCLKをカウンタ部12bに出力する。このとき、カウンタ部12bは、クロックCLKのカウントを実行する。カウンタ部12bは、例えば、OF判定部12hからLowレベルからHighレベルに変位するFLAGが入力されると、カウンタをリセットし、クロックCLKのカウントを開始する。カウンタ部12bは、例えば、OF判定部12hからHighレベルからLowレベルに変位するFLAGが入力されると、カウンタをリセットし、光子のカウントを開始する。

[0056] OF判定部12hは、カウンタ部12bのカウント値が所定の閾値以下のとき、例えば、LowレベルのFLAGをマルチプレクサ12f、カウンタ部12bおよびスイッチ部12iに出力する。OF判定部12hは、カウ

タ部 12b のカウント値が所定の閾値を超えたとき、例えば、HighレベルのFLAGをマルチプレクサ 12f、カウンタ部 12b およびスイッチ部 12i に出力する。

[0057] OF判定部 12h は、さらに、スイッチ部 12g を介して、前段（前の行）の行ラインに含まれる画素 10 のラッチ部 12j から入力される情報に基づいて、カウンタ部 12b の飽和を判定する。OF判定部 12h は、例えば、スイッチ部 12g を介してLowレベルのFLAGが入力されると、カウンタ部 12b が前段（1つ前の行）でまだ飽和していないと判断し、LowレベルのFLAGをマルチプレクサ 12f、カウンタ部 12b およびスイッチ部 12i に出力する。OF判定部 12h は、例えば、スイッチ部 12g を介してHighレベルのFLAGが入力されると、カウンタ部 12b が前段（1つ前の行）で既に飽和していると判断し、HighレベルのFLAGをマルチプレクサ 12f、カウンタ部 12b およびスイッチ部 12i に出力する。

[0058] 図 22 は、図 21 の画素 10 を備えた固体撮像素子 120 の制御方法の一例を表すタイミング図である。制御部 130 は、制御信号 $\phi 1$ をHighにすることにより、各画素 10 のスイッチ部 12a をオンする。これにより、アバランシェ現象が発生している受光部 11b からカウンタ部 12b にフォトンが入力される。続いて、制御部 130 は、所定の露光期間が経過したときに、制御信号 $\phi 1$ をLowにすることにより、各画素 10 のスイッチ部 12a をオフする。これにより、受光部 11b からカウンタ部 12b へのフォトンの入力が停止する。このとき、カウンタ部 12b では、入力されたフォトンの数に応じた情報が初期値に加算され、それにより得られる情報（保持情報）が保持される。

[0059] 続いて、制御部 130 は、制御信号 $\phi 2$ をHighにすることにより、各画素 10 のスイッチ部 12c、12i をオンする。これにより、カウンタ部 12b は、カウンタ部 12b に保持されている情報（保持情報）を、スイッチ部 12c を介して、ラッチ部 12d に出力する。ラッチ部 12d は、カウ

ンタ部 12b から入力された情報（保持情報）を保持する。さらに、OF 判定部 12h は、OF 判定部 12h に保持されている情報（保持情報）を、スイッチ部 12i を介して、ラッチ部 12j に出力する。ラッチ部 12j は、OF 判定部 12h から入力された情報（保持情報）を保持する。

[0060] その後、制御部 130 は、制御信号 $\phi 2$ を low にすることにより、各画素 10 のスイッチ部 12c, 12i をオフする。続いて、制御部 130 は、制御信号 $\phi 3$ を High にすることにより、各画素 10 のスイッチ部 12e, 12g をオンする。これにより、ラッチ部 12d は、ラッチ部 12d に保持されている情報（保持情報）を、スイッチ部 12e を介して、カウンタ部 12b に出力する。カウンタ部 12b は、ラッチ部 12d から入力された情報（保持情報）を初期値として保持する。ラッチ部 12j は、ラッチ部 12j に保持されている情報（保持情報）を、スイッチ部 12g を介して、OF 判定部 12h に出力する。OF 判定部 12h は、ラッチ部 12j から入力された情報（保持情報）に基づいて、カウンタ部 12b が前段（1つ前の行）で既に飽和しているか否かを判断する。カウンタ部 12b が飽和した場合、OF 判定部 12h は、例えば、FLAG を Low レベル（=0）から High レベル（=1）に変位させる。すると、カウンタ部 12b は、カウンタをリセットし、クロック CLK のカウントを開始する。

[0061] このようにして、前段の行ラインの画素データが次段の行ラインに転送されるとともに、前段の行ラインの画素データと次段の行ラインの画素データとが互いに足し合わされる。制御部 130 は、これを繰り返し実行することにより、列方向に並んで配置された複数の画素 10（列ライン）から得られた複数の画素データの、列ラインごとの和をインターフェース部 122 に出力させる。

[0062] ここで、最終的に、インターフェース部 122 に列ごとに転送されてきた値（列ラインから得られた複数の画素データの和）が Nc であったとする。このとき、インターフェース部 122 は、FLAG が Low レベル（=0）であるか、High レベル（=1）であるかによって Nc の扱いを変える。

FLAGがLowレベル（＝0）である場合、インターフェース部122は、Ncを積算値Nとして、通信部140を介して外部に出力する。一方、FLAGがHighレベル（＝1）である場合、インターフェース部122は、以下の式を用いて求めた値を積算値Nとして、通信部140を介して外部に出力する。

$$[0063] \quad N = N_c \times T_{exp} / T_c$$

$$T_c = T_{clk} \times N_c$$

Nc：カウンタ部12bにおけるカウント値

Texp：1フレーム期間における露光時間（μs）

Tc：カウンタ部12bが飽和した後の露光時間（残り時間）（μs）

Tclk：クロックCLKの周期（μs）

[0064] このように、本変形例では、カウンタ部12bが飽和した後の露光時間（残り時間）が、カウンタ部12bでクロックCLKをカウントすることにより計測される。カウンタ部12bの飽和タイミングは、例えば、図23、図24、図25に示したように、入射光の照度が大きくなるにつれて早まる。しかし、カウンタ部12bが飽和した後（残り時間）は、カウンタ部12bは、フォトンのカウントする代わりに、クロックCLKをカウントする。カウンタ部12bにおけるクロックCLKのカウント値は、入射光の照度が大きくなるにつれて大きくなる。また、クロックCLKのカウント値は、残り時間が大きくなるにつれて大きくなる。従って、入射光の照度は、残り時間の大きさに比例しているので、1フレーム期間における露光時間Texpを残り時間Tcで除算することにより、カウンタ部12bが飽和しなかったと仮定したときに得られる、列ラインの画素データの和を得ることができる。以上のことから、残り時間にクロックCLKをカウントすることにより、検出部12のダイナミックレンジを拡大することができる。

[0065] なお、本変形例において、カウンタ部12bは、FLAGがHighレベル（＝1）となったときに、フォトンのカウントを開始する代わりに、FLAGがHighレベル（＝1）となったときの時刻コードを記録（保持）す

るようになっていてもよい。このとき、OF判定部12hは、カウンタ部12bが飽和したか否かを判定し、判定の結果、カウンタ部12bが飽和したと判定したときには、このときの時刻コードを記録させる制御をカウンタ部12bに対して行う。インターフェース部122が、列ごとに転送されてきた時刻コードを用いて、残り時間を算出する。このようにした場合であっても、時刻コードを用いて残り時間を算出することにより、検出部12のダイナミックレンジを拡大することができる。

[0066] [変形例K]

上記実施の形態およびその変形例において、例えば、図26に示したように、検出部12の代わりに検出部13が設けられていてもよい。検出部13は、スイッチ部13aおよびカウンタ部13bを有している。

[0067] スイッチ部13aは、列ラインに含まれる画素10の数と等しい数の入力端子を有している。図26には、8つの入力端子が設けられている様子が例示されている。スイッチ部13aにおいて、各入力端子は、列ラインに含まれる、互いに異なる光パルス応答部11に接続されている。スイッチ部13aの出力端子は、カウンタ部13bの入力端子に接続されている。カウンタ部13bは、例えば、 k ビット ($k \geq 1$) のデジタルカウンタである。デジタルカウンタは、ラッチ回路等を含んで構成されたデジタル回路である。カウンタ部13bは、スイッチ部13aからの入力信号を積算する回路（積算回路）を含んでいる。カウンタ部13bの出力端子は、インターフェース部122に接続されている。

[0068] 図27は、固体撮像素子120の撮像領域における1水平期間ごとのデータパターンの切り替え例を概念で表したものである。図26、図27において、 $p_0 \sim p_7$ は、列ラインに含まれる複数の光パルス応答部11に対して付与した符号である。図27には、列方向に並んだ複数の物体が撮像領域において列方向にラインレートに等しい速度で移動することが示唆されている。

[0069] 図28は、カウンタ部13bの1水平期間ごとのスイッチ切り替え例を概

念で表したものである。本変形例では、制御部 130 は、例えば、図 28 に示したように、1 フレーム期間において、列ラインに含まれる各スイッチ部 13a が列ラインに含まれる全ての光パルス応答部 11 を 1 つずつ順次選択するよう、制御信号 $\phi a \sim \phi h$ を列ラインに出力する。制御部 130 は、スイッチ部 13a に、列ラインに含まれる全ての光パルス応答部 11 を 1 つずつ順次選択させることにより、全ての光パルス応答部 11 から得られた光パルスに応じた情報の積算をカウンタ部 13b に対して行わせる。

[0070] 図 29 は、図 28 に示したスイッチ切り替えを行った結果、列ラインに含まれる各カウンタ部 13b から出力される画素データを概念で表したものである。図 29 において、列ラインに含まれる各カウンタ部 13b は、ハッチが付されたタイミングで、列ラインに含まれる全ての光パルス応答部 11 から入力されたフォトン数に応じた情報（保持情報）をインターフェース部 122 に出力する。この保持情報は、列ラインから得られた複数の画素データの和に相当する。なお、図 29 においてハッチが付されていないタイミングでは、列ラインに含まれる各カウンタ部 13b は、列ラインに含まれる一部の光パルス応答部 11 から入力されたフォトン数に応じた情報（保持情報）をインターフェース部 122 に出力する。

[0071] このように、本変形例では、列ラインに含まれる各カウンタ部 13b が、列ラインに含まれる各画素 10 から得られる画素データの和を取得し、インターフェース部 122 に出力する。これにより、列ラインにおける加算処理を列ラインに含まれる各カウンタ部 13b で行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、CDS 処理を行う必要がない。従って、AD 変換処理や CDS 処理を必要としない撮像装置 100 を提供することができる。

[0072] [変形例 L]

上記変形例 K において、固体撮像素子 120 が、例えば、図 30 に示したように、各々が“検出部 13 が設けられた複数の画素 10”を含む複数の列ラインを列方向に並べて配置してもよい。このとき、固体撮像素子 120 は

、１段目の列ラインで得られた画素データの和を次段目の列ラインの検出部１３（カウンタ部１３ｂ）の初期値として転送する転送部１４を１段目の列ラインに含まれる画素１０ごとに設けてもよい。

[0073] 転送部１４は、例えば、２つのスイッチ部１４ａ、１４ｃと、ラッチ部１４ｂとを有している。

[0074] スwitch部１４ａの一端は、対応する画素１０の検出部１３の出力端に接続されている。スイッチ部１４ａの他端は、ラッチ部１４ｂの入力端に接続されている。スイッチ部１２ｉは、対応する画素１０の検出部１３の出力端とラッチ部１４ｂの入力端との継断を制御する。ラッチ部１４ｂは、例えば、 m ビット（ $m \geq 1$ ）の情報を保持することの可能なデジタル回路である。ラッチ部１４ｂの出力端は、スイッチ部１４ｃの一端に接続されている。ラッチ部１４ｂは、保持している情報を、スイッチ部１４ｃを介して、次段の列ラインに含まれる、対応する画素１０の検出部１３（カウンタ部１３ｂ）に、初期値として出力する。スイッチ部１４ｃの一端は、ラッチ部１４ｂの出力端に接続されている。スイッチ部１４ｃの他端は、次段の列ラインに含まれる、対応する画素１０の検出部１３（カウンタ部１３ｂの書き換え回路の入力端）に接続されている。

[0075] 本変形例では、検出部１３に含まれるカウンタ部１３ｂは、例えば、 k ビット（ $k \geq 1$ ）のデジタルカウンタである。デジタルカウンタは、ラッチ回路等を含んで構成されたデジタル回路である。カウンタ部１３ｂは、対応する転送部１４に含まれるラッチ部１４ｂからの信号（書き換え信号）入力により初期値を書き換える回路（書き換え回路）と、初期値に対して、光パルス応答部１１からの入力信号（加算信号）を加算する回路（加算回路）とを含んでいる。

[0076] 図３１は、カウンタ部１３ｂの１水平期間ごとのスイッチ切り替え例を概念で表したものである。本変形例では、制御部１３０は、例えば、図３１に示したように、１フレーム期間において、列ラインに含まれる各スイッチ部１３ａが列ラインに含まれる全ての光パルス応答部１１を１つずつ順次選択

するよう、制御信号 $\phi a \sim \phi d$ を各列ラインに出力する。

[0077] 図32は、図31に示したスイッチ切り替えを行った結果、列ラインに含まれる各カウンタ部13bから出力される画素データを概念で表したものである。図32において、列ラインに含まれる各カウンタ部13bは、ハッチが付されたタイミングで、列ラインに含まれる全ての光パルス応答部11から入力されたフォトンの数に応じた情報（保持情報）を転送部14（最終段ではインターフェース部122）に出力する。この保持情報は、列ラインから得られた複数の画素データの和に相当する。転送部14は、例えば、図32の矢印で示したように、1段目の列ラインで得られた画素データの和を次段目の列ラインの検出部13（カウンタ部13b）の初期値として転送する。

[0078] このように、本変形例では、各列ラインにおいてカウンタ部13bに保持されている情報が、次段の列ラインに含まれるカウンタ部13bに対して、初期値として書き込まれ、光入射に応じて光パルス応答部11から得られた情報がカウンタ部13bの初期値に加算される。これにより、加算後にカウンタ部13bに保持されている情報が、次段の列ラインに含まれるカウンタ部13bに対して、初期値として書き込まれる。その結果、AD変換処理を行うことなく、加算処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、CDS処理を行う必要がない。従って、AD変換処理やCDS処理を必要としない撮像装置100を提供することができる。

[0079] [変形例M]

上記実施の形態およびその変形例において、固体撮像素子120は、例えば、図33に示したように、複数のインターフェース部122を有していてもよい。各インターフェース部122は、例えば、インターフェース部122ごとに割り当てられた複数の列ラインのデータ（列ラインから得られた複数の画素データの和）を処理する。このようにした場合には、1つのインターフェース部122で全ての列ラインのデータを処理していた場合と比べて

、全ての列ラインのデータを処理する速度が向上する。

[0080] [変形例N]

上記実施の形態およびその変形例において、固体撮像素子120は、例えば、図34に示したように、画素アレイ部123、TDI加算部124、フレームメモリ部125およびインターフェース部126を有していてもよい。

[0081] 画素アレイ部123は、光電変換を行う複数の画素10Cを有している。複数の画素10Cは、有効画素領域において行列状に配置されている。固体撮像素子120において、撮像対象物が、例えば、画素アレイ部123に対して列方向（図34の紙面上下方向）に一定の速度で移動することが前提となっている。

[0082] 図35は、画素10Cの回路構成例を表したものである。本変形例では、固体撮像素子120において、列方向に並んで配置された複数の画素10C（列ライン）ごとに1本ずつ割り当てられた複数の垂直信号線VSLが設けられている。画素10Cは、例えば、図35に示したように、光パルス応答部11および検出部12Cを有している。光パルス応答部11は、光入射に応じて光パルスを生成する。光パルス応答部11は、例えば、上記実施の形態およびその変形例と同様の構成となっている。

[0083] 各画素10Cにおいて、検出部12Cは、例えば、スイッチ部12a、カウンタ部12bおよびスイッチ部12kを含んでいる。スイッチ部12aの一端は光パルス応答部11の信号線L1に接続されている。スイッチ部12aの他端はカウンタ部12bの入力端（後述の積算回路の入力端）に接続されている。スイッチ部12aは、信号線L1とカウンタ部12bの入力端との継断を制御する。カウンタ部12bは、例えば、図4に示したような、kビット（ $k \geq 1$ ）のデジタルカウンタである。デジタルカウンタは、ラッチ回路等を含んで構成されたデジタル回路である。カウンタ部12bは、光パルス応答部11からの入力信号を積算する回路（積算回路）を含んでいる。スイッチ部12cの一端はカウンタ部12bの出力端（積算回路の出力端）

に接続されている。スイッチ部 12c の他端は、垂直信号線 VSL に接続されており、垂直信号線 VSL を介して TDI 加算部 124 に接続されている。

[0084] 本変形例において、制御部 130 は、固体撮像素子 120（複数の画素 10C、TDI 加算部 124、フレームメモリ 125、インターフェース部 126）に対して TDI 制御を行う。制御部 130 は、行方向に並んで配置された複数の画素 10C（行ライン）を同時に選択することにより、選択された行ラインで得られた複数の画素データを、複数の垂直信号線 VSL を介して TDI 加算部 124 に出力させる。このとき、制御部 130 は、所定の周期で複数の行ラインを順次、選択する。

[0085] 本変形例において、TDI 加算部 124、フレームメモリ部 125 およびインターフェース部 126 は、複数の画素 10C のうち、行方向に並んで配置された複数組の画素ライン（行ライン）から得られた複数のパルス信号を用いて TDI 処理を行うことで画像データを生成する。TDI 加算部 124 は、制御部 130 によって選択された i 行目の行ラインから入力された複数の画素データ（ i 行目の複数の画素データ）を、複数の垂直信号線 VSL を介して取得する。TDI 加算部 124 は、取得した i 行目の複数の画素データをフレームメモリ部 125 のうち所定の行アドレス（ i 行目）のメモリに書き込む。TDI 加算部 124 は、例えば、複数の画素データを取得するたびに、取得した複数の画素データを、フレームメモリ部 125 のうち、前回書き込んだ行アドレスの次ラインの行アドレスに書き込む。TDI 加算部 124 は、前回に最終行（ n 行目）の行アドレスへの書き込みを行っている場合には、取得した複数の画素データを、最初（1 行目）の行アドレスのメモリに書き込む。TDI 加算部 124 は、複数の画素データを行ラインの数だけ取得するまでの間、このような書き込み処理を行う。

[0086] TDI 加算部 124 は、画素アレイ部 123 内の全ての画素 10C から画素データを取得するたびに、それ以降に取得した i 行目の複数の画素データの、フレームメモリ部 125 への加算場所を m 行（例えば 1 行）ずつずらす

。TDI加算部124は、例えば、取得した i 行目の複数の画素データをフレームメモリ部125のうち所定の行アドレス($i + t \times m$ 行目)のメモリに加算する。 t は、全ての画素10Cから画素データを取得した回数に相当する。 $t = n$ になると、フレームメモリ部125の各メモリには、列ラインから得られた複数(n 個)の画素データの和が格納される。インターフェース部126は、 $t = n$ になると、フレームメモリ部125から、1フレーム分の画素データ(つまり、画像データ)を取得する。インターフェース部126は、取得した画像データを、通信部140を介して外部に出力する。

[0087] (動作)

次に、本変形例に係る撮像装置100の動作について説明する。図36は、本変形例に係る固体撮像素子120制御方法の一例を表すタイミング図である。制御部130は、制御信号 $\phi 1$ をHighにすることにより、各画素10Cのスイッチ部12aをオンする。これにより、アバランシェ現象が発生している受光部11bからカウンタ部12bにフォトンが入力される。続いて、制御部130は、所定の露光期間が経過したときに、制御信号 $\phi 1$ をLowにすることにより、各画素10Cのスイッチ部12aをオフする。これにより、受光部11bからカウンタ部12bへのフォトンの入力が停止する。このとき、カウンタ部12bでは、入力されたフォトンの数に応じた情報が積算され、それにより得られる情報(保持情報)が保持される。

[0088] 続いて、制御部130は、1露光周期の期間(1スキャン期間)において、制御信号 $\phi 3_0 \sim \phi n-1$ を1つずつ順次High→Lowにすることにより、各画素10Cのスイッチ部12cを行ラインごとに順次オンオフする。これにより、カウンタ部12bは、カウンタ部12bに保持されている情報(保持情報)を、スイッチ部12cを介して、TDI加算部124に出力する。TDI加算部124は、取得した i 行目の複数の画素データをフレームメモリ部125のうち所定の行アドレス(i 行目)のメモリに書き込む。TDI加算部124は、例えば、スイッチ部12cがオンオフされた行ラインから複数の画素データを取得するたびに、取得した複数の画素データを

、フレームメモリ部125のうち、前回書き込んだ行アドレスの次ラインの行アドレスに書き込む。TDI加算部124は、前回に最終行（ n 行目）の行アドレスへの書き込みを行っている場合には、取得した複数の画素データを、最初（1行目）の行アドレスのメモリに書き込む。TDI加算部124は、全てのスイッチ部12cのオンオフが完了するまでの間、このような書き込み処理を行う。

[0089] その後、制御部130は、1スキャン期間が経過するたびに、制御信号 ϕ 1をHigh→Lowにすることにより、各受光部11bでの露光を行わせる。制御部130は、各スキャン期間において、制御信号 ϕ 3__0～ ϕ $n-1$ を1つずつ順次High→Lowにすることにより、各画素10Cのスイッチ部12cを行ラインごとに順次オンオフする。このとき、TDI加算部124は、各スキャン期間において、取得した i 行目の複数の画素データの、フレームメモリ部125への加算場所を m 行（例えば1行）ずつずらす。TDI加算部124は、例えば、取得した i 行目の複数の画素データをフレームメモリ部125のうち所定の行アドレス（ $i+t\times m$ 行目）のメモリに加算する。制御部130は、 $t=n$ になると、インターフェース部126に対して、1フレーム分の画素データ（つまり、画像データ）を取得させる。制御部130は、インターフェース部126に対して、取得した画像データを、通信部140を介して外部に出力させる。

[0090] （効果）

本変形例では、各画素10Cにおいてカウンタ部12bに保持されている情報が、フレームメモリ部125へ行ラインごとに順次書き込まれ、1スキャン期間が経過するたびに、 m 行（例えば1行）ずつずらしてフレームメモリ部125へ加算される。これにより、AD変換処理を行うことなく、加算処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、CDS処理を行う必要がない。従って、AD変換処理やCDS処理を必要としない撮像装置100を提供することができる。

[0091] [変形例O]

上記実施の形態およびその変形例において、光パルス応答部 11 は、例えば、図 37 に示したようなアクティブプリチャージ型の回路を有していてもよい。図 37 に示した光パルス応答部 11 は、受光部 11b と、トランジスタ 41, 42, 43, 44, 45 と、インバータ 46 と、パルス生成器 47 とを有している。

[0092] パルス生成器 47 は、内部の構成要素として、遅延器 D3 と、NAND 回路 NP とを有している。トランジスタ 41, 42, 43 は、PMOS トランジスタである。トランジスタ 44, 45 は、NMOS トランジスタである。トランジスタ 41, 42, 44, 45 のゲートは、信号線を介して NAND 回路 NP の出力端子に接続されている。トランジスタ 41, 42 のソースは、電源線 V_{dd} に接続されている。トランジスタ 41 のドレインは、信号線を介してトランジスタ 43 のゲート、トランジスタ 45 のソースおよび受光部 11b の一端（例えばフォトダイオードのカソード）に接続されている。トランジスタ 44, 45 のドレインは、グラウンド線に接続されている。トランジスタ 43 のソースは、トランジスタ 42 のドレインに接続されている。トランジスタ 43 のドレインは、信号線を介してインバータ 46 の入力端およびトランジスタ 44 のソースに接続されている。インバータ 46 の出力端は、信号線 L1 に接続されている。遅延器 D3 は、信号線 L1 と、NAND 回路 NP の一方の入力端子とに接続されている。NAND 回路 NP の他方の入力端子は、端子 x RST に接続されている。パルス生成器 47 は、上記の構成に限られるものではなく、上記の構成とは異なる構成となってもよい。

[0093] 次に、本変形例に係る光パルス応答部 11 の動作について説明する。受光部 11b がフォトンと反応すると、カソード・アノード間の電流が増加し、トランジスタ 41 のソース・ドレイン間の電流が増加し、トランジスタ 41 のソース・ドレイン間の電圧降下により、トランジスタ 43 のゲート電圧が Low となる。これにより、トランジスタ 41, 43 がともにオンとなる。これに伴い、トランジスタ 42 のソース・ドレイン間に流れる電流が増える

。このため、 $I_d - V_{gs}$ 特性によってトランジスタ42のゲート・ソース間電圧が大きくなる。

[0094] すなわち、トランジスタ43のソース・ドレイン間がオンするのとほぼ同時に、トランジスタ42のゲート・ソース間もオンとなる。トランジスタ42およびトランジスタ43の両方がオンになるため、インバータ46の入力端の電圧が電源線V_{dd}によってH_{igh}に引き上げられる。インバータ46は、H_{igh}の電圧が入力されると、信号線L1にL_{ow}の電圧を出力する。このように、本変形例に係る光パルス応答部11では、フォトンの検出時に信号線L1にL_{ow}（負極性）のパルスを出力する。

[0095] 信号線L1の電圧がL_{ow}になると、遅れてNAND回路NPの一方の入力端子の電圧もL_{ow}になる。このため、NAND回路NPは、トランジスタ44, 55のゲートにH_{igh}の電圧を出力する。トランジスタ44, 55のゲートにH_{igh}の電圧が印可されトランジスタ44, 55のソース・ドレイン間がオンになる。したがって、受光部11bのカソードは、グラウンド電位に接続され、アバランシェ現象が停止する。このように、光パルス応答部11は、アクティブクエンチを行う回路である。

[0096] また、トランジスタ42においては、ソース・ドレイン間がオフとなり、電源からグラウンドへの貫通電流が抑制される。従って、インバータ46の入力端の電圧が、グラウンド線の電位によって初期化され、L_{ow}になる。インバータ46の入力端の電圧がL_{ow}になると、インバータ46は、信号線L1にH_{igh}の電圧を出力する。これにより、遅延器D3による遅れをもってNAND回路NPの一方の入力端子の電圧は、H_{igh}になる。さらに、端子x_{RST}にH_{igh}の電圧が印加されていると、NAND回路NPはL_{ow}の電圧を出力する。このとき、トランジスタ41のゲートには、L_{ow}の電圧が印加されるため、トランジスタ41のソース・ドレイン間はオンになる。これにより、受光部11bのカソードの電位が電源線V_{dd}の電圧によって引き上げられる。受光部11bの端子間電圧は、降伏電圧以上となるため、光パルス応答部11は、再びフォトンを検出できるようになる。

[0097] 本変形例に係る光パルス応答部 11 では、フォトンに対応する信号が信号線 L1 より出力されると、受光部 11b のカソードがグラウンド電位に接続されるため、高速なクエンチを行うことができる。また、トランジスタ 41 もパルスによって駆動されるため、受光部 11b のカソード電圧も、電流源トランジスタが使われる場合と比べて短時間で引き上げられる。また、本変形例に係る光パルス応答部 11 では、リチャージ時間の長さにかかわらず、後段の回路に一定幅のパルスを出力することが可能である。また、本変形例に係る光パルス応答部 11 では、高照度時の入出力特性が良い。

[0098] [変形例 P]

上記実施の形態およびその変形例において、光パルス応答部 11 は、例えば、図 38 に示したようなアクティブリチャージ型の回路を有していてもよい。図 38 に示した光パルス応答部 11 は、受光部 11b と、トランジスタ 51 と、増幅器 52 と、計数値保持部 53 と、読み出し部 54 とを有している。トランジスタ 51、増幅器 52、計数値保持部 53 および読み出し部 54 からなる回路が、クエンチ部 11a に対応する回路となっている。

[0099] トランジスタ 51 のドレインには電源電圧 VR が接続されており、トランジスタ 51 のゲートにはリセットパルス信号が印可され、トランジスタ 51 のソースには、受光部 11b のカソードが接続されている。受光部 11b のアノードはグラウンド線に接続されている。受光部 11b のカソードは、増幅器 52 の入力端子に接続されており、増幅器 52 の出力端子が計数値保持部 53 の一方の入力端子（クロック入力端子）に接続されている。計数値保持部 53 の他方の入力端子（初期設定端子）には初期設定パルス信号が印可される。

[0100] トランジスタ 51 がオフのときに、受光部 11b にフォトンが入射すると、光電変換作用により受光部 11b のカソード電位が低下する。次に、トランジスタ 51 のゲートに印加されるリセットパルス信号によりトランジスタ 51 がオンすると、受光部 11b のカソード電位が電源減圧 VR に上昇する。この電源減圧 VR への上昇変化は、増幅器 52 により増幅され、計数値保

持部 5 3 に入力される。

[0101] 計数値保持部 5 3 は、増幅器 5 2 から得られるパルスを計数した値を以下のように保持する。例えば、トランジスタ 5 1 に、任意の周期でリセットパルス信号が印可される。これに対して、リセットパルス信号の周期よりも長い期間の間（計測期間）に、複数の入射フォトンが受光部 1 1 b に入射したとする。このとき、計測期間をリセットパルス信号の周期で区分すると、入射フォトンの有無情報が区間ごとに得られる。入射フォトンの有無情報は、リセットパルス信号が何個存在するかというのではなく、リセットパルス信号があったのか否かの情報である。入射フォトンが無かった区間では、トランジスタ 5 1 がオンしても、増幅器 5 2 からパルスが出力されない。従って、入射フォトンが 1 個以上あった場合は、計数値保持部 5 3 の計数値は、それまでに保持していた計数値に + 1 を加えた値となる。入射フォトンが無かった場合は、計数値保持部 5 3 の計数値は、それまでに保持していた計数値のままとなる。所定の期間（例えば、 $1/60\text{ sec}$ 、 $1/120\text{ sec}$ 等）が経過すると、読み出し部 5 4 は、計数値保持部 5 3 に保持している計数値を計数値保持部 5 3 から読み出し、検出部 1 2 に出力する。

[0102] 本変形例では、光パルス応答部 1 1 において、周期的なリセットによりフォトンがカウントされる。これにより、係数値出力が漸近線となり、入射光量がどれだけ増加しても係数値出力の単調増加性を保持できる範囲を大きくすることができる。その結果、計数値保持部 5 3 のビット数以上のダイナミックレンジを得ることができる。

[0103] なお、上記実施の形態およびその変形例において、光パルス応答部 1 1 は、パッシブリチャージ型の回路を有していてもよい。

[0104] [変形例 Q]

上記実施の形態およびその変形例において、画素アレイ部 1 2 1、1 2 3 の列ラインに含まれる複数の受光部 1 1 b は、互いに共通の波長帯の光を検出するように構成されていてもよい。上記実施の形態およびその変形例において、画素アレイ部 1 2 1、1 2 3 の列ラインに含まれる複数の受光部 1 1

bは、例えば、互いに共通の波長帯の光を透過するカラーフィルタをフォトダイオードの光入射面上に有していてもよい。このようにした場合、インターフェース部122、126は、同色の複数の画素データの和を列ラインごとに得ることができる。

[0105] ここで、画素アレイ部121、123において、3つの列ラインを一組の列ライン群としたとき、各列ライン群において、1つ目の列ラインに含まれる複数の受光部11bが、赤色光を検出するように構成され、2つ目の列ラインに含まれる複数の受光部11bが、緑色光を検出するように構成され、3つ目の列ラインに含まれる複数の受光部11bが、青色光を検出するように構成されていてもよい。このようにした場合には、インターフェース部122、126は、赤色の画素データの和と、緑色の画素データの和と、青色の画素データの和とを列ライン群ごとに得ることができる。その結果、インターフェース部122、126は、カラー表示可能な画像データを生成し、出力することができる。

[0106] <3. 適用例>

次に、上記実施の形態およびその変形例に係る撮像装置100（以下、単に「撮像装置100」と称する。）の適用例について説明する。

[0107] [適用例1]

図34は、撮像装置100を用いたFA（ファクトリーオートメーション）の概略構成例を表したものである。FAにおいて、撮像装置100は、ベルトコンベアを含む搬送装置300の近傍に配置されており、ベルトコンベアの所定の撮像領域を撮像する。撮像領域では、複数の物品がベルトコンベアによってベルトコンベアの進行方向に移動している。撮像装置100は、撮像により得られた画像データを信号処理部200に出力する。信号処理部200は、撮像装置100から入力された画像データに基づいて、画像データに含まれる物品における欠陥の有無などの検査を行う。このように、撮像装置100をFAに適用することにより、ベルトコンベアの搬送速度の制限が緩和されるので、検査速度を向上させることができる。

[0108] [適用例 2]

図 3 5 は、撮像装置 1 0 0 を後述の検出部 6 1 0 2 に用いた生体試料分析装置 6 1 0 0 の概略構成例を表したものである。

[0109] 図 3 5 に示される生体試料分析装置 6 1 0 0 は、流路 C を流れる生体試料 S に光を照射する光照射部 6 1 0 1、生体試料 S に光を照射することにより生じた光を検出する検出部 6 1 0 2、及び検出部 6 1 0 2 により検出された光に関する情報を処理する情報処理部 6 1 0 3 を含む。生体試料分析装置 6 1 0 0 の例としては、フローサイトメータ及びイメージングサイトメータを挙げることができる。生体試料分析装置 6 1 0 0 は、生体試料 S 内の特定の生体粒子 P の分取を行う分取部 6 1 0 4 を含んでもよい。分取部 6 1 0 4 を含む生体試料分析装置 6 1 0 0 の例としては、セルソータを挙げることができる。

[0110] (生体試料)

生体試料 S は、生体粒子 P を含む液状試料であってよい。生体粒子 P は、例えば細胞又は非細胞性生体粒子である。前記細胞は、生細胞であってよく、より具体的な例として、赤血球や白血球などの血液細胞、及び精子や受精卵等生殖細胞を挙げることができる。また前記細胞は全血等検体から直接採取されたものでもよいし、培養後に取得された培養細胞であってもよい。前記非細胞性生体粒子として、細胞外小胞、特にはエクソソーム及びマイクロベシクルなどを挙げることができる。生体粒子 P は、1 つ又は複数の標識物質（例えば色素（特には蛍光色素）及び蛍光色素標識抗体など）によって標識されていてもよい。なお、本開示の生体試料分析装置により、生体粒子 P 以外の粒子が分析されてもよく、キャリブレーションなどのために、ビーズなどが分析されてもよい。

[0111] (流路)

流路 C は、生体試料 S が流れるように構成される。特には、流路 C は、生体試料 S に含まれる生体粒子 P が略一列に並んだ流れが形成されるように構成されうる。流路 C を含む流路構造は、層流が形成されるように設計されて

よい。特に、当該流路構造は、生体試料Sの流れ（サンプル流）がシース液の流れによって包まれた層流が形成されるように設計される。当該流路構造の設計は、当業者により適宜選択されてよく、既知のものが採用されてもよい。流路Cは、マイクロチップ（マイクロメートルオーダーの流路を有するチップ）又はフローセルなどの流路構造体（flow channel structure）中に形成されてよい。流路Cの幅は、1 mm以下であり、特に10 μ m以上1 mm以下であってよい。流路C及びそれを含む流路構造体は、プラスチックやガラスなどの材料から形成されてよい。

[0112] 流路C内を流れる生体試料S、特に当該生体試料S中の生体粒子Pに、光照射部6101からの光が照射されるように、生体試料分析装置6100は構成される。生体試料分析装置6100は、生体試料Sに対する光の照射点（interrogation point）が、流路Cが形成されている流路構造体中にあるように構成されてよく、又は、当該光の照射点が、当該流路構造体の外にあるように構成されてもよい。前者の例として、マイクロチップ又はフローセル内の流路Cに前記光が照射される構成を挙げることができる。後者では、流路構造体（特にそのノズル部）から出た後の生体粒子Pに前記光が照射されてよく、例えばJet in Air方式のフローサイトメータを挙げることができる。

[0113] （光照射部）

光照射部6101は、光を出射する光源部と、当該光を照射点へと導く導光光学系とを含む。前記光源部は、1又は複数の光源を含む。光源の種類は、例えばレーザ光源又はLEDである。各光源から出射される光の波長は、紫外光、可視光、又は赤外光のいずれかの波長であってよい。導光光学系は、例えばビームスプリッター群、ミラー群又は光ファイバなどの光学部品を含む。また、導光光学系は、光を集光するためのレンズ群を含んでよく、例えば対物レンズを含む。生体試料と光が交差する照射点は、1つ又は複数であってよい。光照射部6101は、一の照射点に対して、一つ又は異なる複数の光源から照射された光を集光するよう構成されていてもよい。

[0114] (検出部)

検出部 6102 は、生体粒子 P への光照射により生じた光を検出する少なくとも一つの光検出器を備えている。検出する光は、例えば蛍光又は散乱光（例えば前方散乱光、後方散乱光、及び側方散乱光のいずれか 1 つ以上）である。各光検出器は、1 以上の受光素子を含み、例えば受光素子アレイを有する。各光検出器は、受光素子として、1 又は複数の PMT（光電子増倍管）及び／又は APD 及び MPPC 等のフォトダイオードを含んでよい。当該光検出器は、例えば複数の PMT を一次元方向に配列した PMT アレイを含む。また、検出部 6102 は、CCD 又は CMOS などの撮像素子を含んでもよい。検出部 6102 は、当該撮像素子により、生体粒子 P の画像（例えば明視野画像、暗視野画像、及び蛍光画像など）を取得しうる。

[0115] 検出部 6102 は、所定の検出波長の光を、対応する光検出器に到達させる検出光学系を含む。検出光学系は、プリズムや回折格子等の分光部又はダイクロイックミラーや光学フィルタ等の波長分離部を含む。検出光学系は、例えば生体粒子 P への光照射により生じた光を分光し、当該分光された光が、生体粒子 P が標識された蛍光色素の数より多い複数の光検出器にて検出されるよう構成される。このような検出光学系を含むフローサイトメータをスペクトル型フローサイトメータと呼ぶ。また、検出光学系は、例えば生体粒子 P への光照射により生じた光から特定の蛍光色素の蛍光波長域に対応する光を分離し、当該分離された光を、対応する光検出器に検出させるよう構成される。

[0116] また、検出部 6102 は、光検出器により得られた電気信号をデジタル信号に変換する信号処理部を含みうる。当該信号処理部が、当該変換を行う装置として A/D 変換器を含んでよい。当該信号処理部による変換により得られたデジタル信号が、情報処理部 6103 に送信されうる。前記デジタル信号が、情報処理部 6103 により、光に関するデータ（以下「光データ」ともいう）として取り扱われうる。前記光データは、例えば蛍光データを含む光データであってよい。より具体的には、前記光データは、光強度データで

あってよく、当該光強度は、蛍光を含む光の光強度データ（Area、Height、Width等の特徴量を含んでもよい）であってよい。

[0117] （情報処理部）

情報処理部6103は、例えば各種データ（例えば光データ）の処理を実行する処理部及び各種データを記憶する記憶部を含む。処理部は、蛍光色素に対応する光データを検出部6102より取得した場合、光強度データに対し蛍光漏れ込み補正（コンペンセーション処理）を行いうる。また、処理部は、スペクトル型フローサイトメータの場合、光データに対して蛍光分離処理を実行し、蛍光色素に対応する光強度データを取得する。前記蛍光分離処理は、例えば特開2011-232259号公報に記載されたアンミキシング方法に従い行われてよい。検出部6102が撮像素子を含む場合、処理部は、撮像素子により取得された画像に基づき、生体粒子の形態情報を取得してもよい。記憶部は、取得された光データを格納できるように構成されていてよい。記憶部は、さらに、前記アンミキシング処理において用いられるスペクトラルリファレンスデータを格納できるように構成されていてよい。

[0118] 生体試料分析装置6100が後述の分取部6104を含む場合、情報処理部6103は、光データ及び／又は形態情報に基づき、生体粒子Pを分取するかの判定を実行しうる。そして、情報処理部6103は、当該判定の結果に基づき当該分取部6104を制御し、分取部6104による生体粒子Pの分取が行われうる。

[0119] 情報処理部6103は、各種データ（例えば光データや画像）を出力することができるように構成されていてよい。例えば、情報処理部6103は、当該光データに基づき生成された各種データ（例えば二次元プロット、スペクトルプロットなど）を出力しうる。また、情報処理部6103は、各種データの入力を受け付けることができるように構成されていてよく、例えばユーザによるプロット上へのゲーティング処理を受け付ける。情報処理部6103は、当該出力又は当該入力を実行させるための出力部（例えばディスプレイなど）又は入力部（例えばキーボードなど）を含みうる。

[0120] 情報処理部6103は、汎用のコンピュータとして構成されてよく、例えばCPU、RAM、及びROMを備えている情報処理装置として構成されてよい。情報処理部6103は、光照射部6101及び検出部6102が備えられている筐体内に含まれていてよく、又は、当該筐体の外にあってもよい。また、情報処理部6103による各種処理又は機能は、ネットワークを介して接続されたサーバコンピュータ又はクラウドにより実現されてもよい。

[0121] (分取部)

分取部6104は、情報処理部6103による判定結果に応じて、生体粒子Pの分取を実行する。分取の方式は、振動により生体粒子を含む液滴を生成し、分取対象の液滴に対して電荷をかけ、当該液滴の進行方向を電極により制御する方式であってよい。分取の方式は、流路構造体内にて生体粒子Pの進行方向を制御し分取を行う方式であってもよい。当該流路構造体には、例えば、圧力（噴射若しくは吸引）又は電荷による制御機構が設けられる。当該流路構造体の例として、流路Cがその下流で回収流路及び廃液流路へと分岐している流路構造を有し、特定の生体粒子が当該回収流路へ回収されるチップ（例えば特開2020-76736に記載されたチップ）を挙げることができる。

[0122] 以上、実施の形態およびその変形例、ならびに適用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持ってもよい。

[0123] また、例えば、本開示は以下のような構成を取ることができる。

(1)

行列状に配置された複数の画素と、

前記複数の画素に対してTDI (Time Delay Integration) 制御を行う制御部と

を備え、

各前記画素は、
光入射に応じて光パルスを生成する光パルス応答部と、
初期値を書き換える書き換え回路と、前記初期値に対して前記光パルスに応じた情報を加算する加算回路とを含むカウンタ部と
を有し、
前記制御部は、前記カウンタ部に保持されている情報を、列方向の次段の前記画素に含まれる前記カウンタ部に対して初期値として書き込ませた後、
前記光パルス応答部から得られた前記光パルスに応じた情報を前記初期値に加算させる
撮像装置。

(2)

前記カウンタ部は、 k ビット ($k \geq 1$) のデジタルカウンタである

(1) に記載の撮像装置。

(3)

各前記画素は、前記カウンタ部から入力された情報を保持するラッチ部を更に有し、

前記制御部は、前記ラッチ部に保持されている、前記カウンタ部から入力された情報を、列方向の次段の前記画素に含まれる前記カウンタ部に対して初期値として書き込ませる

(2) に記載の撮像装置。

(4)

前記カウンタ部は、ビットごとに複数のフリップフロップを含み、
ビットごとに設けられた前記複数のフリップフロップのうちの1つの前記フリップフロップが前記ラッチ部を兼ねている

(3) に記載の撮像装置。

(5)

前記カウンタ部の上位ビットは、前記複数の画素が行列状に形成された領域の外に形成されている

(2) ないし (4) のいずれか 1 つに記載の撮像装置。

(6)

前記カウンタ部のビット数は、列方向の初段と比べて列方向の後段の方が大きくなっている

(2) ないし (5) のいずれか 1 つに記載の撮像装置。

(7)

各前記画素は、2 つの前記カウンタ部を有し、

前記制御部は、一方の前記カウンタ部である第 1 のカウンタ部に保持されている情報を、列方向の次段の前記画素に含まれる前記第 1 のカウンタ部に対して初期値として書き込ませている間に、他方の前記カウンタ部である第 2 のカウンタ部に保持されている情報を、列方向の次段の前記画素に含まれる前記第 2 のカウンタ部に対して初期値として書き込ませる

(1) ないし (6) のいずれか 1 つに記載の撮像装置。

(8)

前記制御部から前記複数の画素に対して入力する制御信号が伝搬する配線に、前記制御信号の波形なまりを改善する素子が挿入されている

(1) ないし (7) のいずれか 1 つに記載の撮像装置。

(9)

各前記画素は、前記カウンタ部が飽和したか否かを判定し、判定の結果、前記カウンタ部が飽和したと判定したときには、前記光パルスに応じた情報の代わりにクロックに応じた情報を前記初期値に加算させる制御を前記カウンタ部に対して行う判定部を更に有する

(1) ないし (8) のいずれか 1 つに記載の撮像装置。

(10)

各前記画素は、前記カウンタ部が飽和したか否かを判定し、判定の結果、前記カウンタ部が飽和したと判定したときには、このときの時刻コードを記録させる制御を前記カウンタ部に対して行う判定部を更に有する

(1) ないし (8) のいずれか 1 つに記載の撮像装置。

(11)

行列状に配置された複数の画素と、
前記複数の画素に対してTDI (Time Delay Integration) 制御を行う制御部と
を備え、
各前記画素は、
光入射に応じて光パルスを生成する光パルス応答部と、
列ラインに含まれる前記画素の数と等しい数の入力端子のうちの1つと、
1つの出力端子とを接続するスイッチ部と
前記スイッチ部を介して、列ラインに含まれる全ての前記光パルス応答部から得られた前記光パルスに応じた情報を積算するカウンタ部と、
を有し、
前記制御部は、前記スイッチ部に、前記列ラインに含まれる全ての前記光パルス応答部を1つずつ順次選択させることにより、前記全ての前記光パルス応答部から得られた前記光パルスに応じた情報の積算を前記カウンタ部に対して行わせる
撮像装置。

(12)

前記カウンタ部は、デジタルカウンタである

(11)に記載の撮像装置。

(13)

前記カウンタ部の上位ビットは、前記複数の画素が行列状に形成された領域の外に形成されている

(11)または(12)に記載の撮像装置。

(14)

前記制御部から前記複数の画素に対して入力する制御信号が伝搬する配線に、前記制御信号の波形なまりを改善する素子が挿入されている

(11)ないし(13)のいずれか1つに記載の撮像装置。

(15)

各前記画素は、前記カウンタ部が飽和したか否かを判定し、判定の結果、前記カウンタ部が飽和したと判定したときには、前記光パルスに応じた情報の代わりにクロックに応じた情報を前記初期値に加算させる制御を前記カウンタ部に対して行う判定部を更に有する

(11) ないし (14) のいずれか 1 つに記載の撮像装置。

(16)

各前記画素は、前記カウンタ部が飽和したか否かを判定し、判定の結果、前記カウンタ部が飽和したと判定したときには、このときの時刻コードを記録させる制御を前記カウンタ部に対して行う判定部を更に有する

(11) ないし (14) のいずれか 1 つに記載の撮像装置。

(17)

行列状に配置された複数の画素と、

前記複数の画素のうち、行方向に並んで配置された複数組の画素ラインから得られた情報を用いて TDI (Time Delay Integration) 処理を行うことで画像データを生成する生成部と

を備え、

各前記画素は、

光入射に応じて光パルスを生成する光パルス応答部と、

前記光パルス応答部から得られた前記光パルスに応じた情報を積算するカウンタ部と、

を有する

撮像装置。

(18)

前記カウンタ部は、デジタルカウンタである

(17) に記載の撮像装置。

(19)

列ラインに含まれる前記複数の画素は、互いに共通の波長帯の光を検出す

るように構成されている

(1) ないし (10) のいずれか 1 つに記載の撮像装置。

(20)

3つの列ラインを一組の列ライン群としたとき、各前記列ライン群において、1つ目の前記列ラインに含まれる前記複数の画素は赤色光を検出するように構成され、2つ目の前記列ラインに含まれる前記複数の画素は緑色光を検出するように構成され、3つ目の前記列ラインに含まれる前記複数の画素は青色光を検出するように構成されている

(19) に記載の撮像装置。

(21)

列ラインに含まれる前記複数の画素は、互いに共通の波長帯の光を検出するように構成されている

(11) ないし (16) のいずれか 1 つに記載の撮像装置。

(22)

3つの列ラインを一組の列ライン群としたとき、各前記列ライン群において、1つ目の前記列ラインに含まれる前記複数の画素は赤色光を検出するように構成され、2つ目の前記列ラインに含まれる前記複数の画素は緑色光を検出するように構成され、3つ目の前記列ラインに含まれる前記複数の画素は青色光を検出するように構成されている

(21) に記載の撮像装置。

(23)

列ラインに含まれる前記複数の画素は、互いに共通の波長帯の光を検出するように構成されている

(17) または (18) に記載の撮像装置。

(24)

3つの列ラインを一組の列ライン群としたとき、各前記列ライン群において、1つ目の前記列ラインに含まれる前記複数の画素は赤色光を検出するように構成され、2つ目の前記列ラインに含まれる前記複数の画素は緑色光を

検出するように構成され、３つ目の前記列ラインに含まれる前記複数の画素は青色光を検出するように構成されている

（２３）に記載の撮像装置。

（２５）

撮像により画像データを取得する撮像装置と、

前記撮像装置で得られた前記画像データを処理する処理部と

を備え、

前記撮像装置は、

行列状に配置された複数の画素と、

前記複数の画素に対してＴＤＩ（Time Delay Integration）制御を行う制御部と、

前記ＴＤＩ制御により得られた前記画像データを前記処理部に出力する出力部と

を有し、

各前記画素は、

光入射に応じて光パルスを生成する光パルス応答部と、

初期値を書き換える書き換え回路と、前記初期値に対して前記光パルスに応じた情報を加算する加算回路とを含むカウンタ部と

を有し、

前記制御部は、前記カウンタ部に保持されている情報を、列方向の次段の前記画素に含まれる前記カウンタ部に対して初期値として書き込ませた後、前記光パルス応答部から得られた前記光パルスに応じた情報を前記初期値に加算させる

情報処理システム。

（２６）

撮像により画像データを取得する撮像装置と、

前記撮像装置で得られた前記画像データを処理する処理部と

を備え、

前記撮像装置は、
行列状に配置された複数の画素と、
前記複数の画素に対して T D I (Time Delay Integration) 制御を行う制御部と、
前記 T D I 制御により得られた前記画像データを前記処理部に出力する出力部と
を有し、
各前記画素は、
光入射に応じて光パルスを生成する光パルス応答部と、
列ラインに含まれる前記画素の数と等しい数の入力端子のうちの 1 つと、
1 つの出力端子とを接続するスイッチ部と
前記スイッチ部を介して、列ラインに含まれる全ての前記光パルス応答部から得られた前記光パルスに応じた情報を積算するカウンタ部と、
を有し、
前記制御部は、前記スイッチ部に、前記列ラインに含まれる全ての前記光パルス応答部を 1 つずつ順次選択させることにより、前記全ての前記光パルス応答部から得られた前記光パルスに応じた情報の積算を前記カウンタ部に対して行わせる
情報処理システム。

(27)

撮像により画像データを取得する撮像装置と、
前記撮像装置で得られた前記画像データを処理する処理部と
を備え、
前記撮像装置は、
行列状に配置された複数の画素と、
前記複数の画素のうち、行方向に並んで配置された複数組の画素ラインから得られた情報を用いて T D I (Time Delay Integration) 処理を行うことで前記画像データを生成する生成部と

を有し、
各前記画素は、
光入射に応じて光パルスを生成する光パルス応答部と、
前記光パルス応答部から得られた前記光パルスに応じた情報を積算するカウンタ部と、
を有する
情報処理システム。

[0124] 本開示の第1の側面に係る撮像装置および本開示の第2の側面に係る情報処理システムでは、各画素において、カウンタ部に保持されている情報が、列方向の次段の画素に含まれるカウンタ部に対して初期値として書き込まれた後、光パルス応答部から得られた光パルスに応じた情報が初期値に加算される。これにより、加算後にカウンタ部に保持されている情報が、列方向の次段の画素に含まれるカウンタ部に対して、初期値として書き込まれる。その結果、AD変換処理を行うことなく、加算処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、CDS処理を行う必要がない。従って、AD変換処理やCDS処理を必要としない撮像装置を提供することができる。

[0125] 本開示の第3の側面に係る撮像装置および本開示の第4の側面に係る情報処理システムでは、スイッチ部によって、列ラインに含まれる全ての光パルス応答部が1つずつ順次選択されることにより、全ての光パルス応答部から得られた光パルスに応じた情報の積算がカウンタ部において行われる。これにより、AD変換処理を行うことなく、加算処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、CDS処理を行う必要がない。従って、AD変換処理やCDS処理を必要としない撮像装置を提供することができる。

[0126] 本開示の第5の側面に係る撮像装置および本開示の第6の側面に係る情報処理システムでは、各画素において、光パルス応答部から得られた光パルスに応じた情報が積算され、複数の画素のうち、行方向に並んで配置された複

数組の画素ラインから得られた情報（積算値）を用いてT D I処理を行うことで画像データが生成される。これにより、A D変換処理を行うことなく、T D I処理を行うことができる。また、このようにして得られた画素データは低ノイズのデータであるので、C D S処理を行う必要がない。従って、A D変換処理やC D S処理を必要としない撮像装置を提供することができる。なお、本開示の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

[0127] 本出願は、日本国特許庁において2021年7月1日出願された日本国特許出願番号第2021-110226号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0128] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 行列状に配置された複数の画素と、
前記複数の画素に対して T D I (Time Delay Integration) 制御を行う制御部と
を備え、
各前記画素は、
光入射に応じて光パルスを生成する光パルス応答部と、
初期値を書き換える書き換え回路と、前記初期値に対して前記光パルスに応じた情報を加算する加算回路とを含むカウンタ部と
を有し、
前記制御部は、前記カウンタ部に保持されている情報を、列方向の次段の前記画素に含まれる前記カウンタ部に対して初期値として書き込ませた後、前記光パルス応答部から得られた前記光パルスに応じた情報を前記初期値に加算させる
撮像装置。
- [請求項2] 前記カウンタ部は、 k ビット ($k \geq 1$) のデジタルカウンタである
請求項 1 に記載の撮像装置。
- [請求項3] 各前記画素は、前記カウンタ部から入力された情報を保持するラッチ部を更に有し、
前記制御部は、前記ラッチ部に保持されている、前記カウンタ部から入力された情報を、列方向の次段の前記画素に含まれる前記カウンタ部に対して初期値として書き込ませる
請求項 2 に記載の撮像装置。
- [請求項4] 前記カウンタ部は、ビットごとに複数のフリップフロップを含み、
ビットごとに設けられた前記複数のフリップフロップのうちの 1 つの前記フリップフロップが前記ラッチ部を兼ねている
請求項 3 に記載の撮像装置。
- [請求項5] 前記カウンタ部の上位ビットは、前記複数の画素が行列状に形成さ

れた領域の外に形成されている

請求項 2 に記載の撮像装置。

[請求項6] 前記カウンタ部のビット数は、列方向の初段と比べて列方向の後段の方が大きくなっている

請求項 2 に記載の撮像装置。

[請求項7] 各前記画素は、2つの前記カウンタ部を有し、
前記制御部は、一方の前記カウンタ部である第1のカウンタ部に保持されている情報を、列方向の次段の前記画素に含まれる前記第1のカウンタ部に対して初期値として書き込ませている間に、他方の前記カウンタ部である第2のカウンタ部に保持されている情報を、列方向の次段の前記画素に含まれる前記第2のカウンタ部に対して初期値として書き込ませる

請求項 1 に記載の撮像装置。

[請求項8] 前記制御部から前記複数の画素に対して入力する制御信号が伝搬する配線に、前記制御信号の波形なまりを改善する素子が挿入されている

請求項 1 に記載の撮像装置。

[請求項9] 各前記画素は、前記カウンタ部が飽和したか否かを判定し、判定の結果、前記カウンタ部が飽和したと判定したときには、前記光パルスに応じた情報の代わりにクロックに応じた情報を前記初期値に加算させる制御を前記カウンタ部に対して行う判定部を更に有する

請求項 1 に記載の撮像装置。

[請求項10] 各前記画素は、前記カウンタ部が飽和したか否かを判定し、判定の結果、前記カウンタ部が飽和したと判定したときには、このときの時刻コードを記録させる制御を前記カウンタ部に対して行う判定部を更に有する

請求項 1 に記載の撮像装置。

[請求項11] 行列状に配置された複数の画素と、

前記複数の画素に対して T D I (Time Delay Integration) 制御を行う制御部と

を備え、

各前記画素は、

光入射に応じて光パルス生成する光パルス応答部と、

列ラインに含まれる前記画素の数と等しい数の入力端子のうちの 1 つと、 1 つの出力端子とを接続するスイッチ部と

前記スイッチ部を介して、列ラインに含まれる全ての前記光パルス応答部から得られた前記光パルスに応じた情報を積算するカウンタ部と、

を有し、

前記制御部は、前記スイッチ部に、前記列ラインに含まれる全ての前記光パルス応答部を 1 つずつ順次選択させることにより、前記全ての前記光パルス応答部から得られた前記光パルスに応じた情報の積算を前記カウンタ部に対して行わせる

撮像装置。

[請求項12] 前記カウンタ部は、デジタルカウンタである

請求項 1 1 に記載の撮像装置。

[請求項13] 前記カウンタ部の上位ビットは、前記複数の画素が行列状に形成された領域の外に形成されている

請求項 1 1 に記載の撮像装置。

[請求項14] 前記制御部から前記複数の画素に対して入力する制御信号が伝搬する配線に、前記制御信号の波形なまりを改善する素子が挿入されている

請求項 1 1 に記載の撮像装置。

[請求項15] 各前記画素は、前記カウンタ部が飽和したか否かを判定し、判定の結果、前記カウンタ部が飽和したと判定したときには、前記光パルスに応じた情報の代わりにクロックに応じた情報を前記初期値に加算さ

せる制御を前記カウンタ部に対して行う判定部を更に有する

請求項 1 1 に記載の撮像装置。

[請求項16] 各前記画素は、前記カウンタ部が飽和したか否かを判定し、判定の結果、前記カウンタ部が飽和したと判定したときには、このときの時刻コードを記録させる制御を前記カウンタ部に対して行う判定部を更に有する

請求項 1 1 に記載の撮像装置。

[請求項17] 行列状に配置された複数の画素と、
前記複数の画素のうち、行方向に並んで配置された複数組の画素ラインから得られた情報を用いて T D I (Time Delay Integration) 処理を行うことで画像データを生成する生成部と

を備え、

各前記画素は、

光入射に応じて光パルスを生成する光パルス応答部と、

前記光パルス応答部から得られた前記光パルスに応じた情報を積算するカウンタ部と、

を有する

撮像装置。

[請求項18] 前記カウンタ部は、デジタルカウンタである

請求項 1 7 に記載の撮像装置。

[請求項19] 列ラインに含まれる前記複数の画素は、互いに共通の波長帯の光を検出するように構成されている

請求項 1 に記載の撮像装置。

[請求項20] 3つの列ラインを一組の列ライン群としたとき、各前記列ライン群において、1つ目の前記列ラインに含まれる前記複数の画素は赤色光を検出するように構成され、2つ目の前記列ラインに含まれる前記複数の画素は緑色光を検出するように構成され、3つ目の前記列ラインに含まれる前記複数の画素は青色光を検出するように構成されている

請求項 1 9 に記載の撮像装置。

[請求項21] 列ラインに含まれる前記複数の画素は、互いに共通の波長帯の光を検出するように構成されている

請求項 1 1 に記載の撮像装置。

[請求項22] 3つの列ラインを一組の列ライン群としたとき、各前記列ライン群において、1つ目の前記列ラインに含まれる前記複数の画素は赤色光を検出するように構成され、2つ目の前記列ラインに含まれる前記複数の画素は緑色光を検出するように構成され、3つ目の前記列ラインに含まれる前記複数の画素は青色光を検出するように構成されている

請求項 2 1 に記載の撮像装置。

[請求項23] 列ラインに含まれる前記複数の画素は、互いに共通の波長帯の光を検出するように構成されている

請求項 1 7 に記載の撮像装置。

[請求項24] 3つの列ラインを一組の列ライン群としたとき、各前記列ライン群において、1つ目の前記列ラインに含まれる前記複数の画素は赤色光を検出するように構成され、2つ目の前記列ラインに含まれる前記複数の画素は緑色光を検出するように構成され、3つ目の前記列ラインに含まれる前記複数の画素は青色光を検出するように構成されている

請求項 2 3 に記載の撮像装置。

[請求項25] 撮像により画像データを取得する撮像装置と、
前記撮像装置で得られた前記画像データを処理する処理部と
を備え、
前記撮像装置は、
行列状に配置された複数の画素と、
前記複数の画素に対して T D I (Time Delay Integration) 制御を行う制御部と、
前記 T D I 制御により得られた前記画像データを前記処理部に出力する出力部と

を有し、
各前記画素は、
光入射に応じて光パルス生成する光パルス応答部と、
初期値を書き換える書き換え回路と、前記初期値に対して前記光パルスに応じた情報を加算する加算回路とを含むカウンタ部と
を有し、
前記制御部は、前記カウンタ部に保持されている情報を、列方向の次段の前記画素に含まれる前記カウンタ部に対して初期値として書き込ませた後、前記光パルス応答部から得られた前記光パルスに応じた情報を前記初期値に加算させる
情報処理システム。

[請求項26]

撮像により画像データを取得する撮像装置と、
前記撮像装置で得られた前記画像データを処理する処理部と
を備え、
前記撮像装置は、
行列状に配置された複数の画素と、
前記複数の画素に対してTDI (Time Delay Integration) 制御を行う制御部と、
前記TDI制御により得られた前記画像データを前記処理部に出力する出力部と
を有し、
各前記画素は、
光入射に応じて光パルス生成する光パルス応答部と、
列ラインに含まれる前記画素の数と等しい数の入力端子のうちの1つと、1つの出力端子とを接続するスイッチ部と
前記スイッチ部を介して、列ラインに含まれる全ての前記光パルス応答部から得られた前記光パルスに応じた情報を積算するカウンタ部と、

を有し、

前記制御部は、前記スイッチ部に、前記列ラインに含まれる全ての前記光パルス応答部を1つずつ順次選択させることにより、前記全ての前記光パルス応答部から得られた前記光パルスに応じた情報の積算を前記カウンタ部に対して行わせる

情報処理システム。

[請求項27]

撮像により画像データを取得する撮像装置と、

前記撮像装置で得られた前記画像データを処理する処理部と

を備え、

前記撮像装置は、

行列状に配置された複数の画素と、

前記複数の画素のうち、行方向に並んで配置された複数組の画素ラインから得られた情報を用いてTDI (Time Delay Integration) 処理を行うことで前記画像データを生成する生成部と

を有し、

各前記画素は、

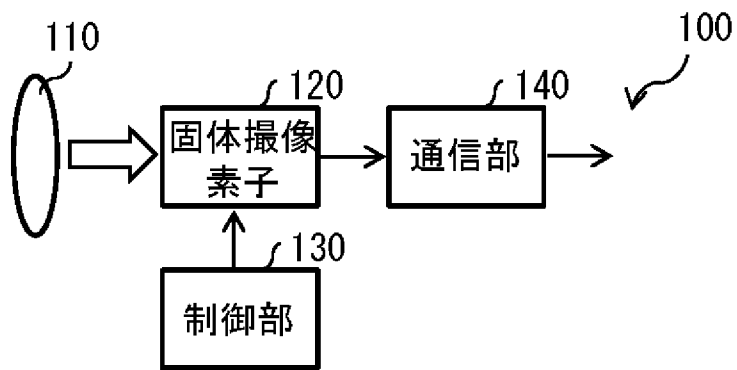
光入射に応じて光パルスを生成する光パルス応答部と、

前記光パルス応答部から得られた前記光パルスに応じた情報を積算するカウンタ部と、

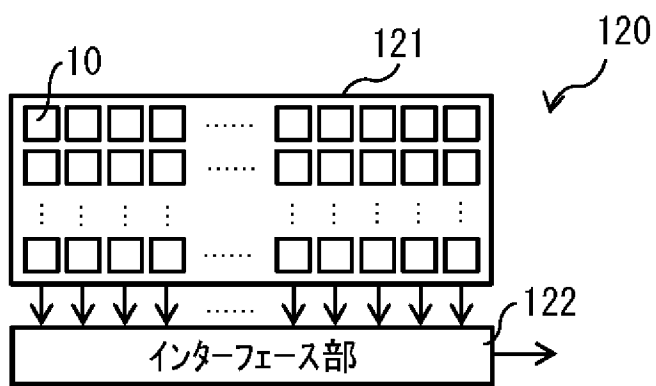
を有する

情報処理システム。

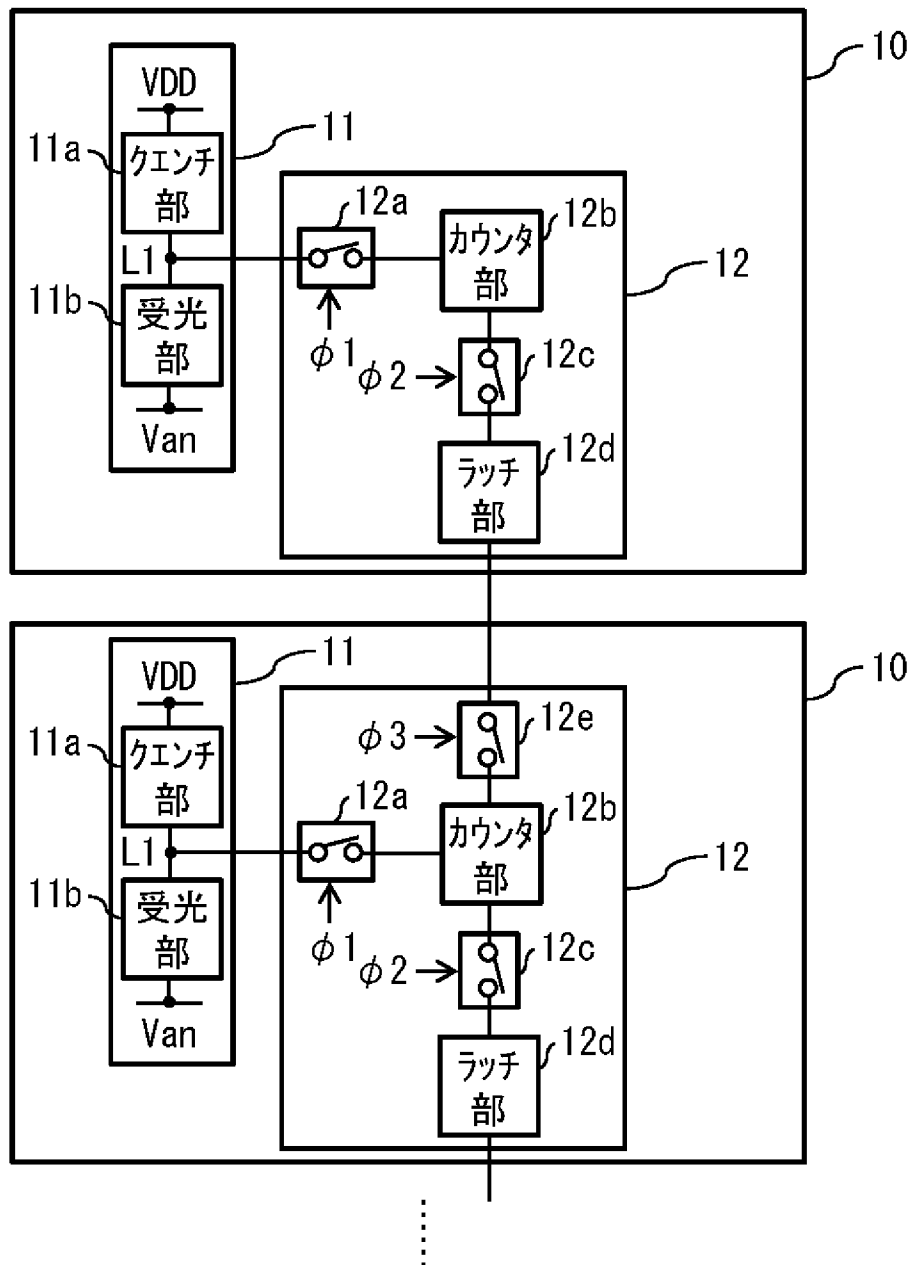
[図1]



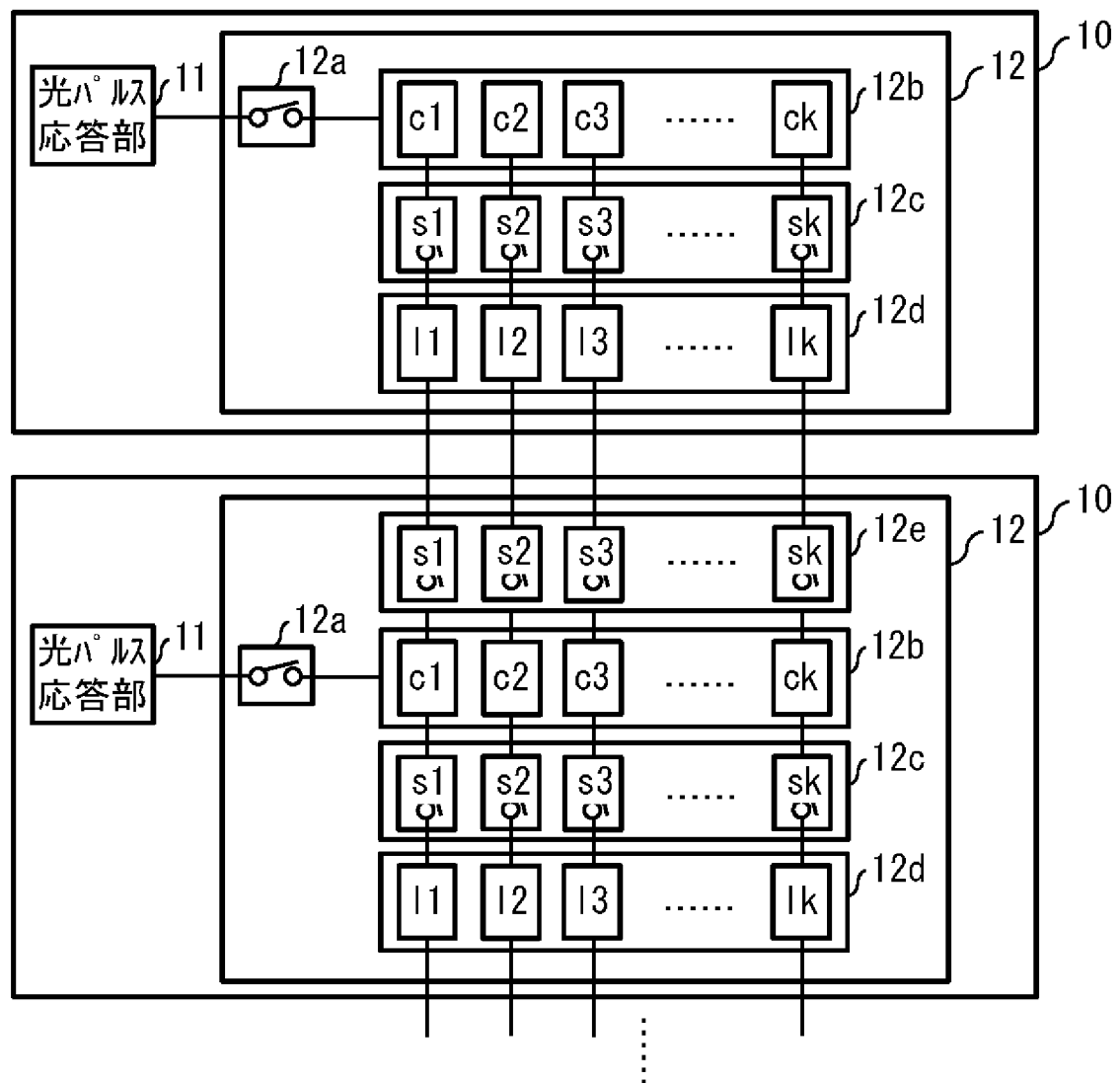
[図2]



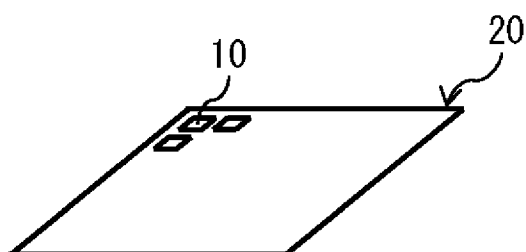
[図3]



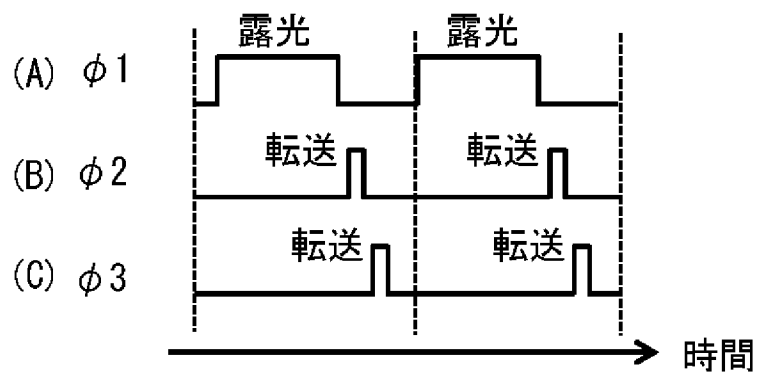
[図4]



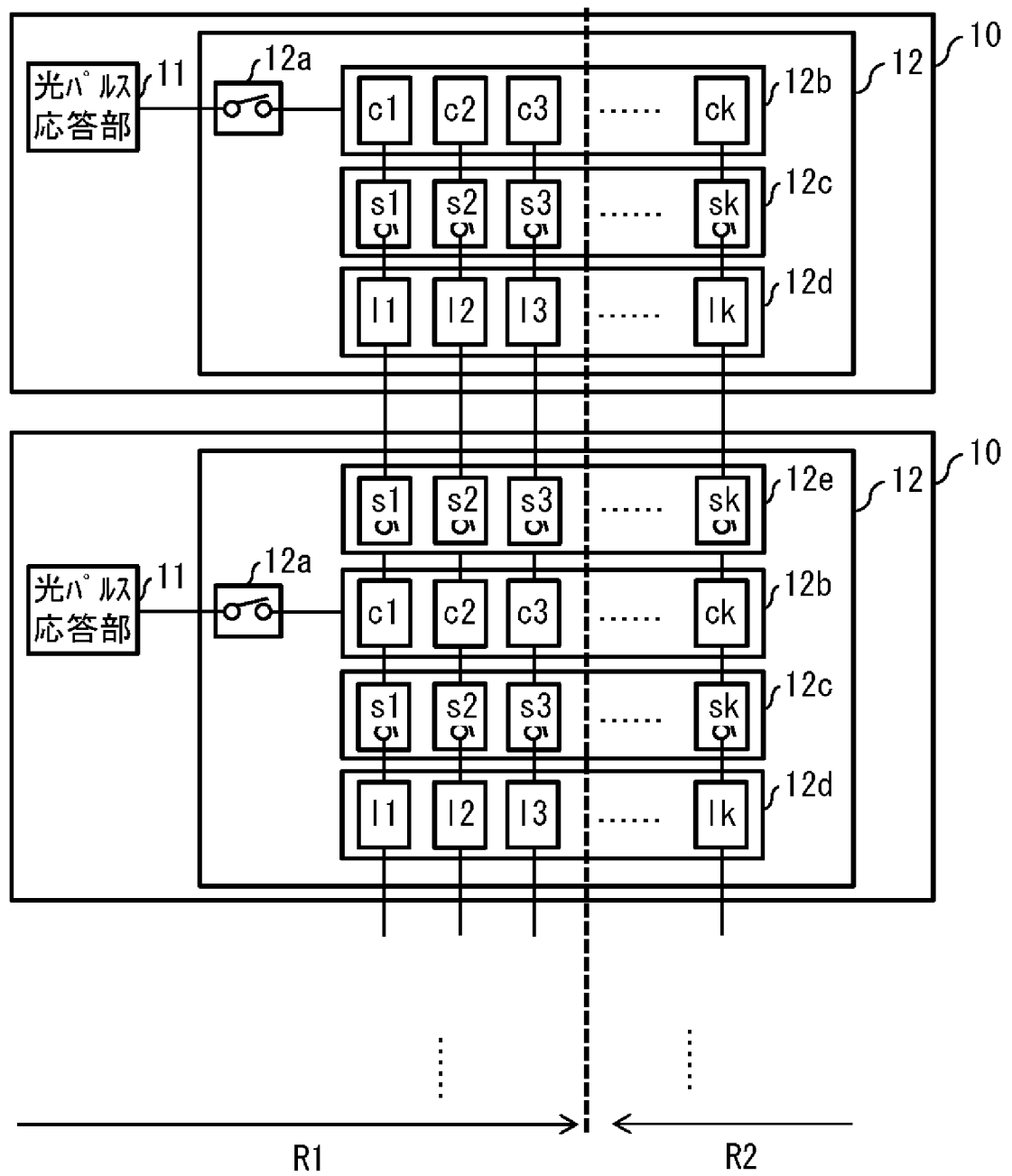
[図5]



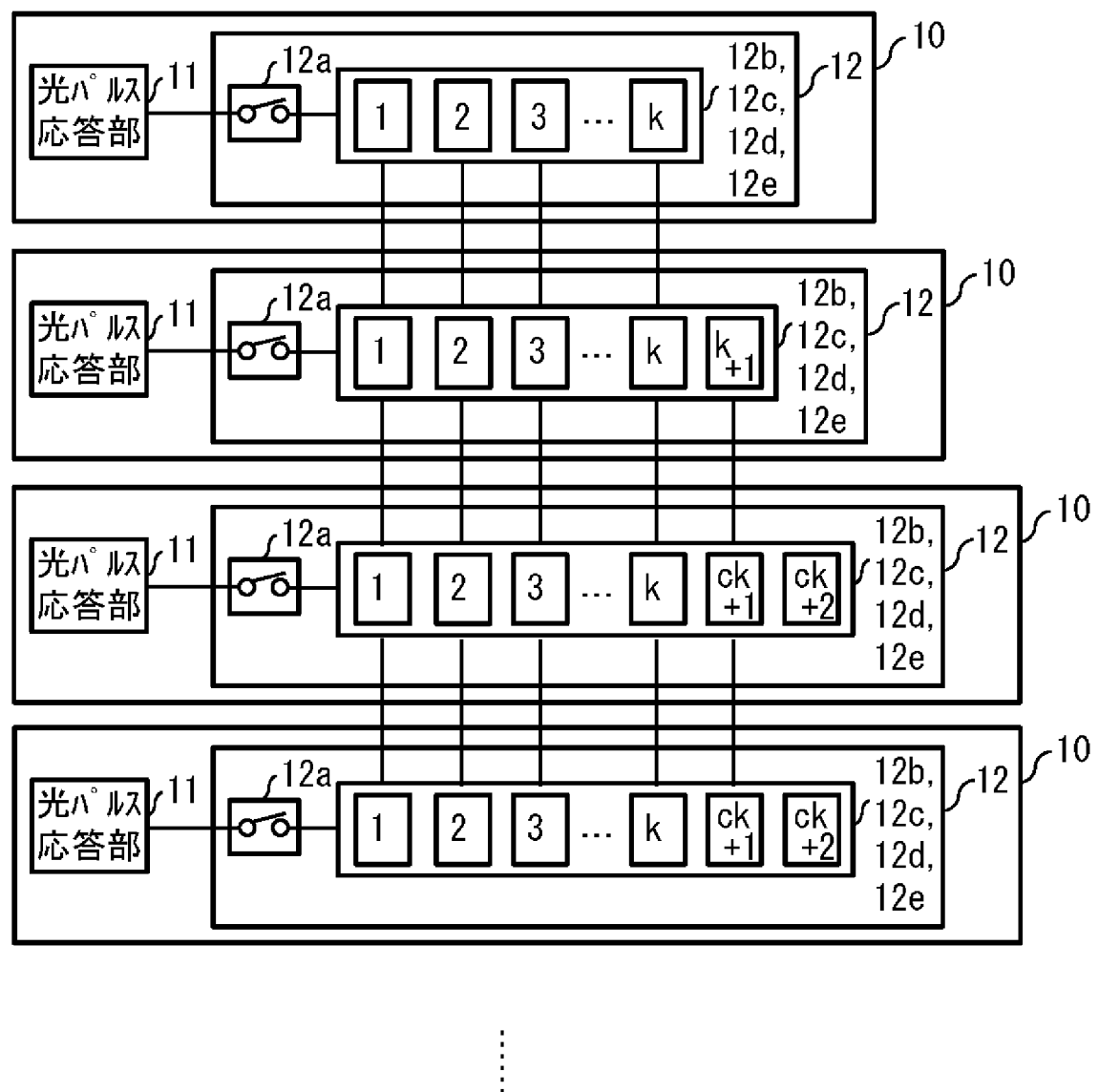
[図6]



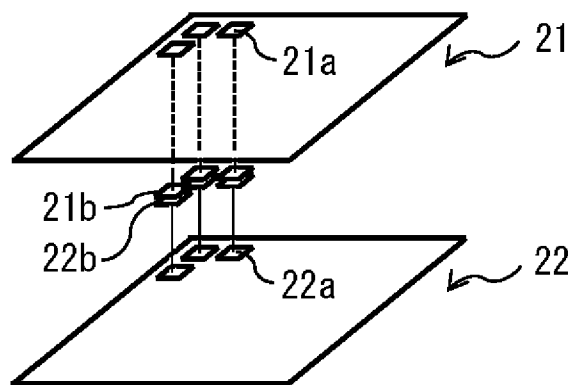
[図7]



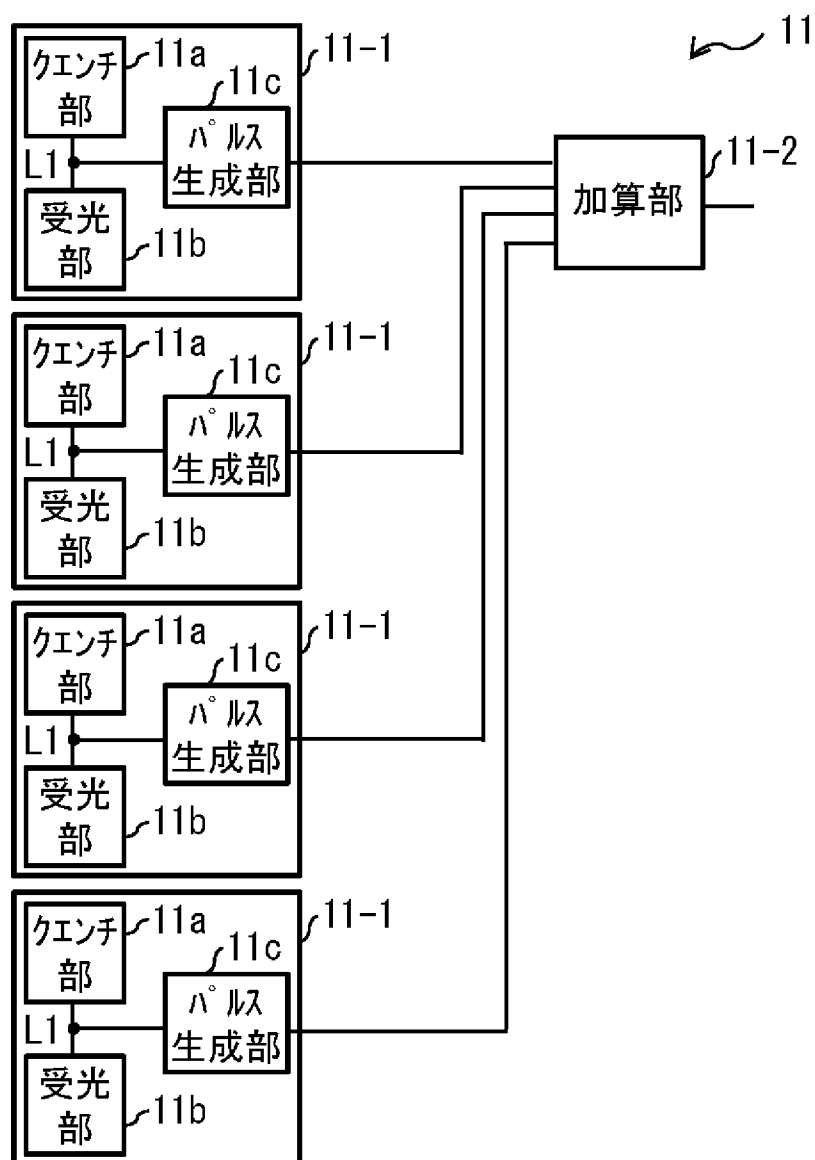
[図8]



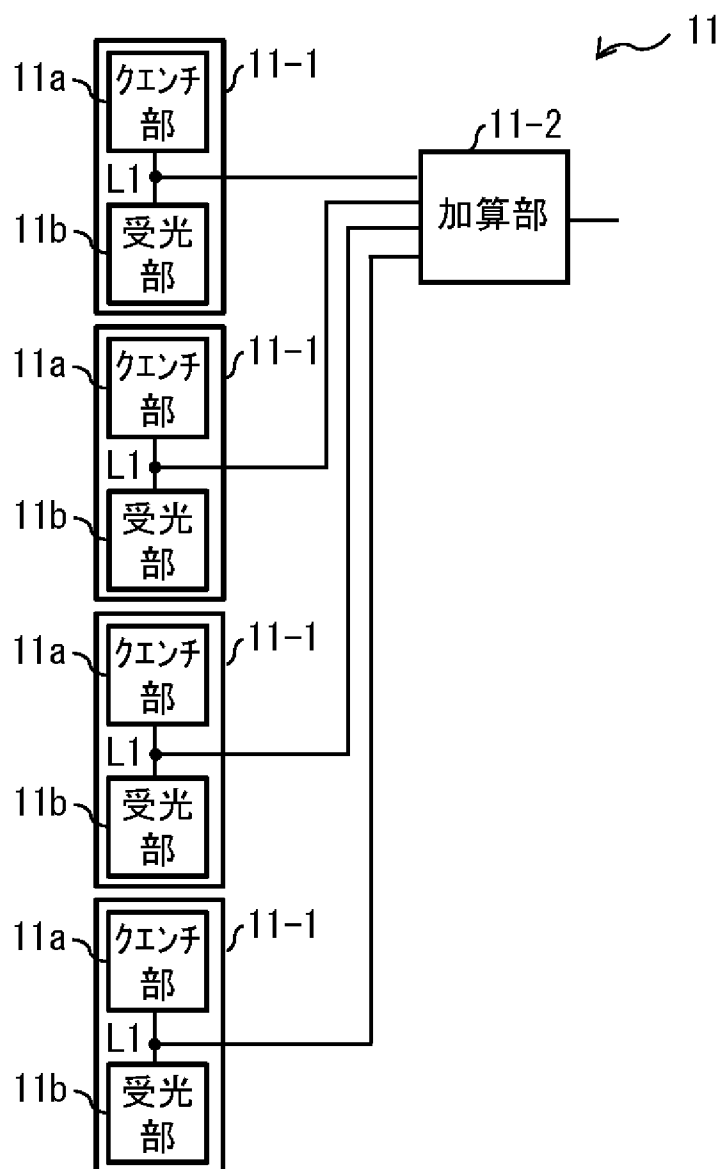
[図9]



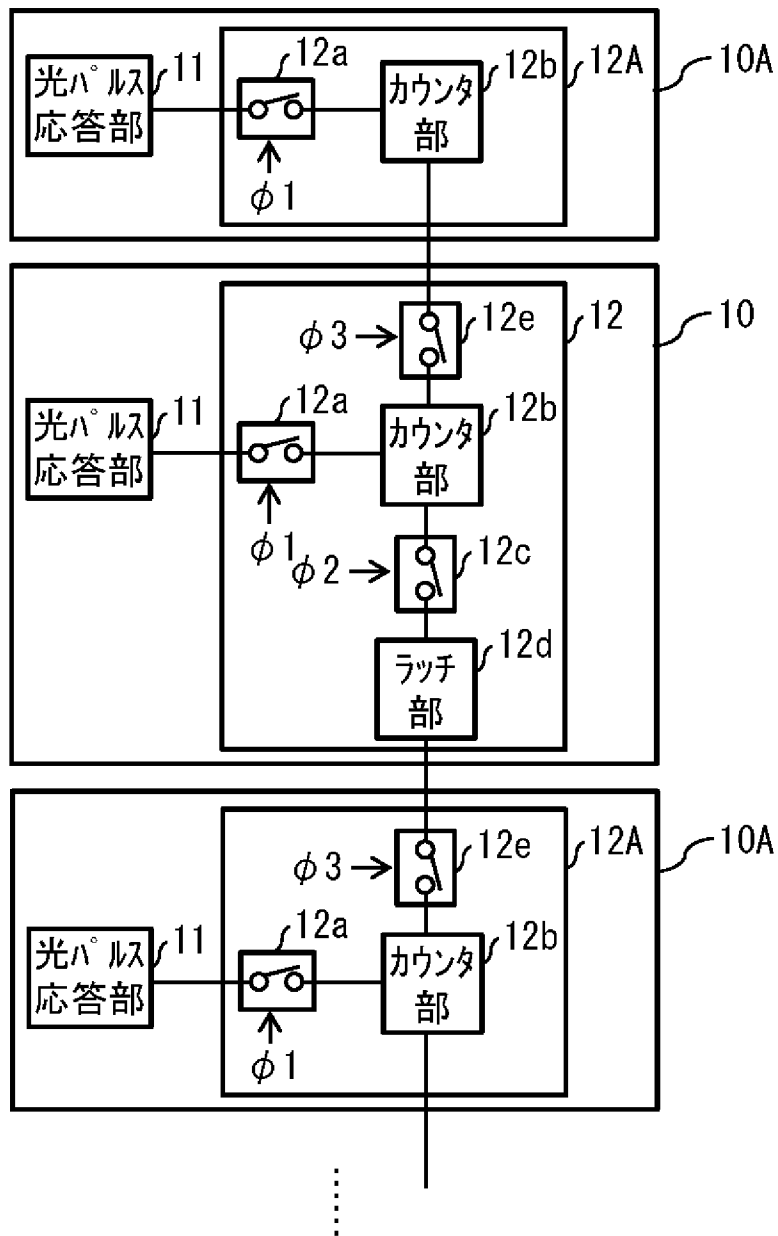
[図10]



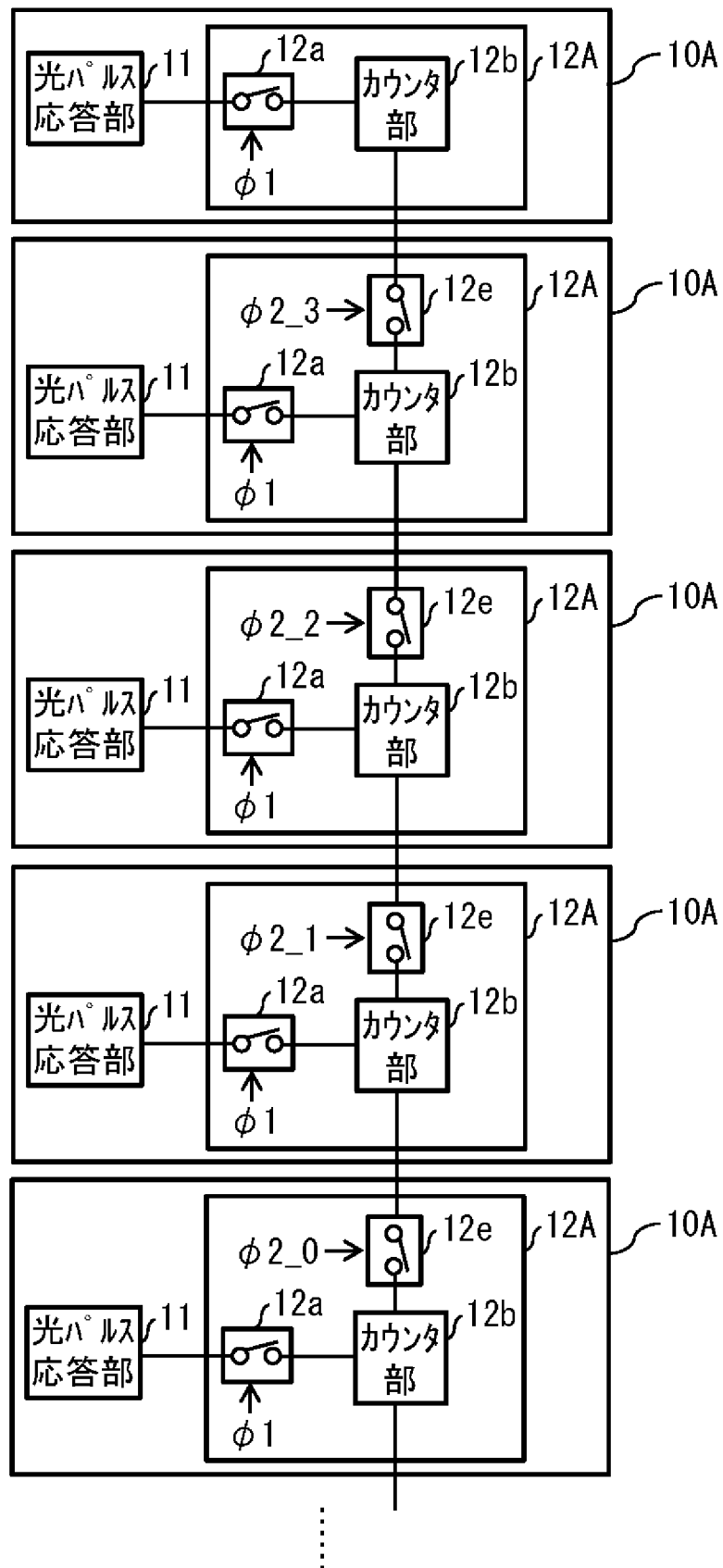
[図11]



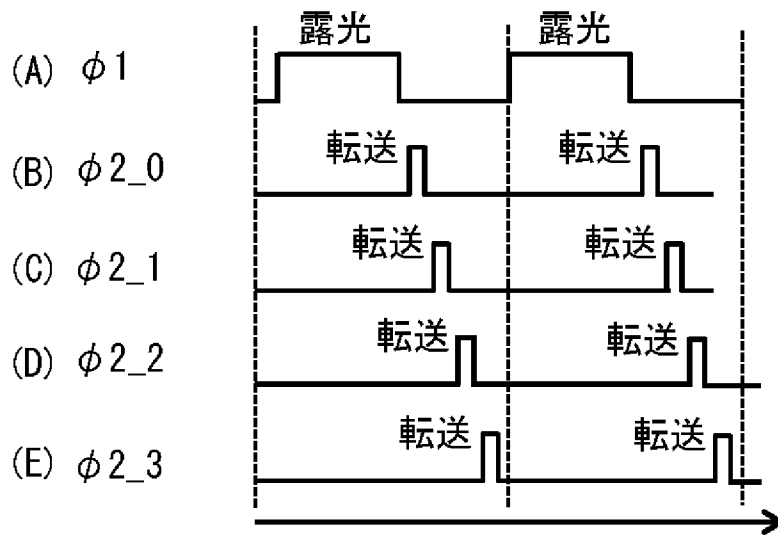
[図12]



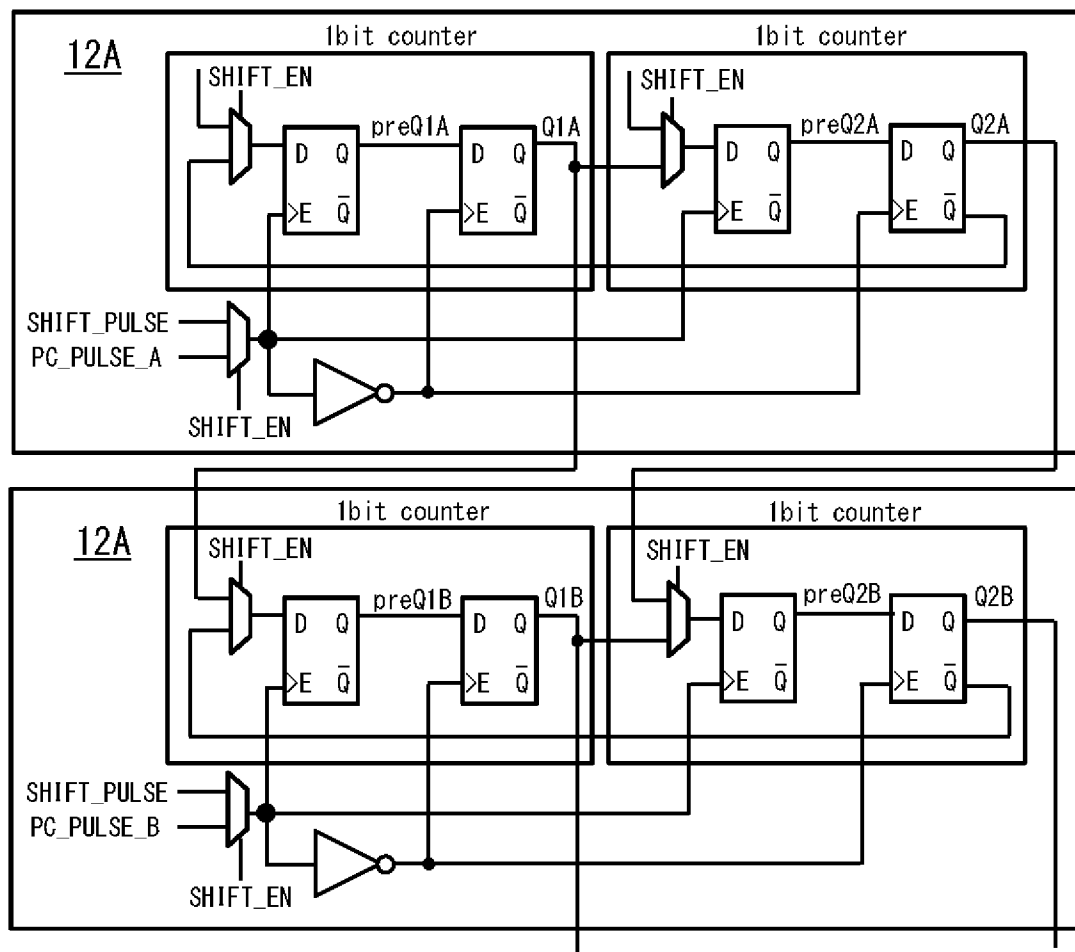
[図13]



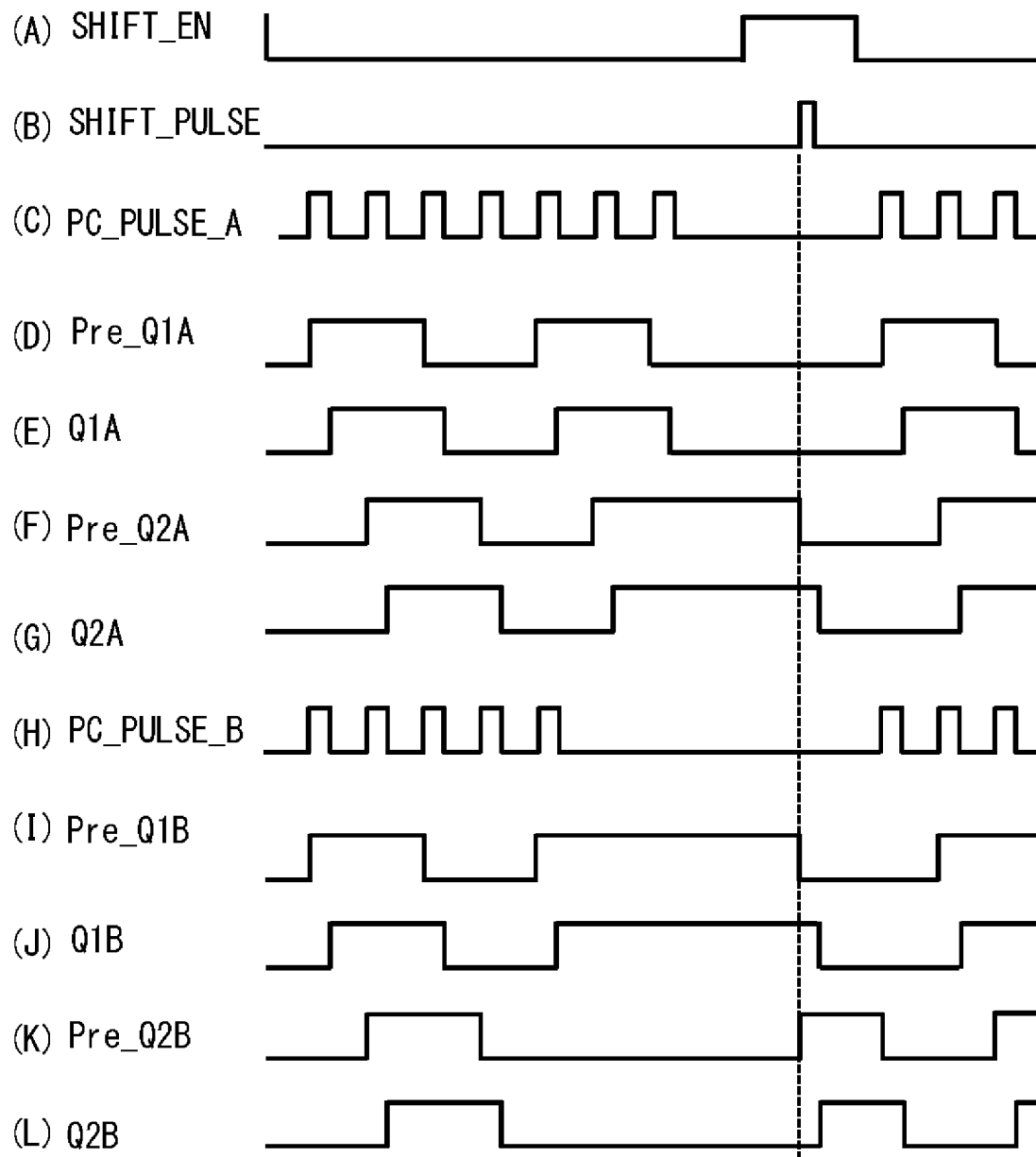
[図14]



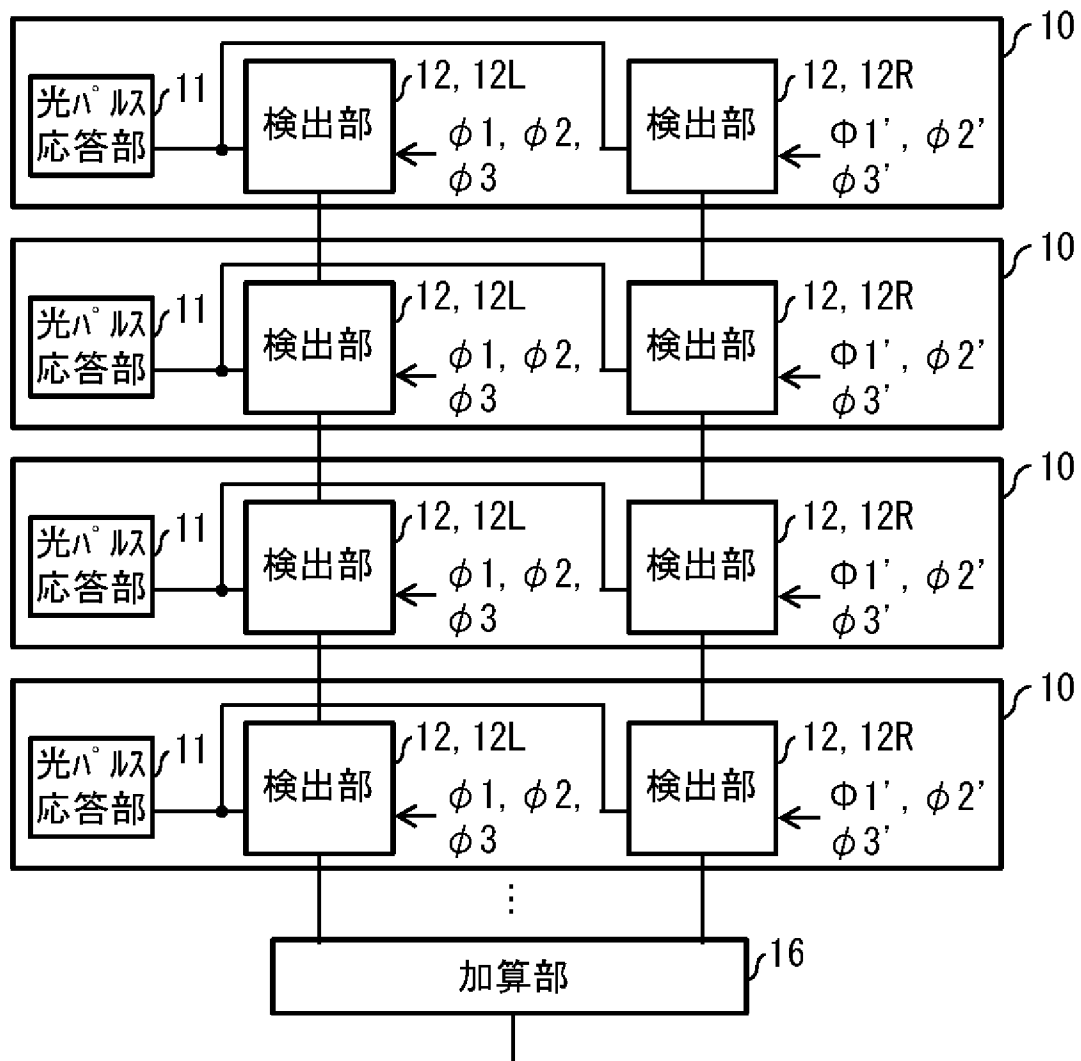
[図15]



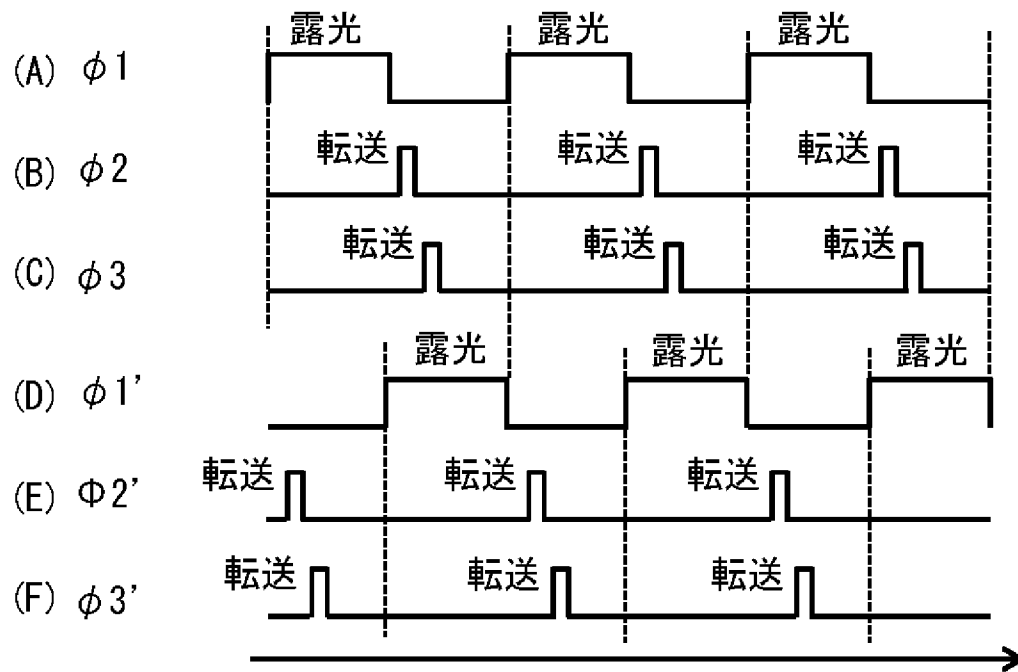
[図16]



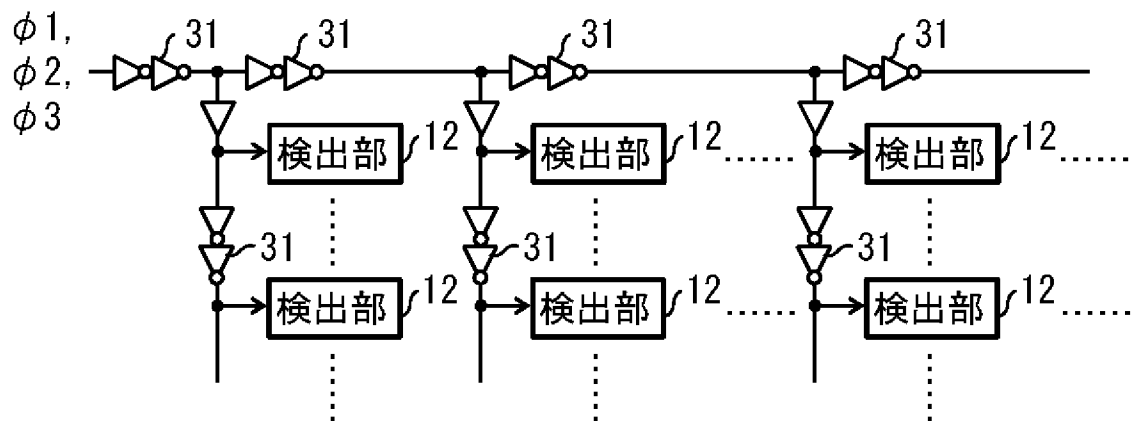
[図17]



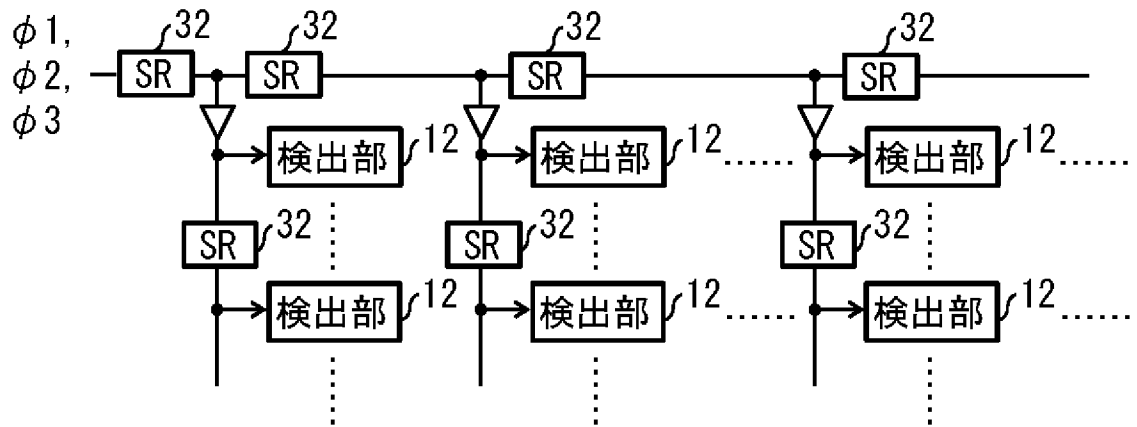
[図18]



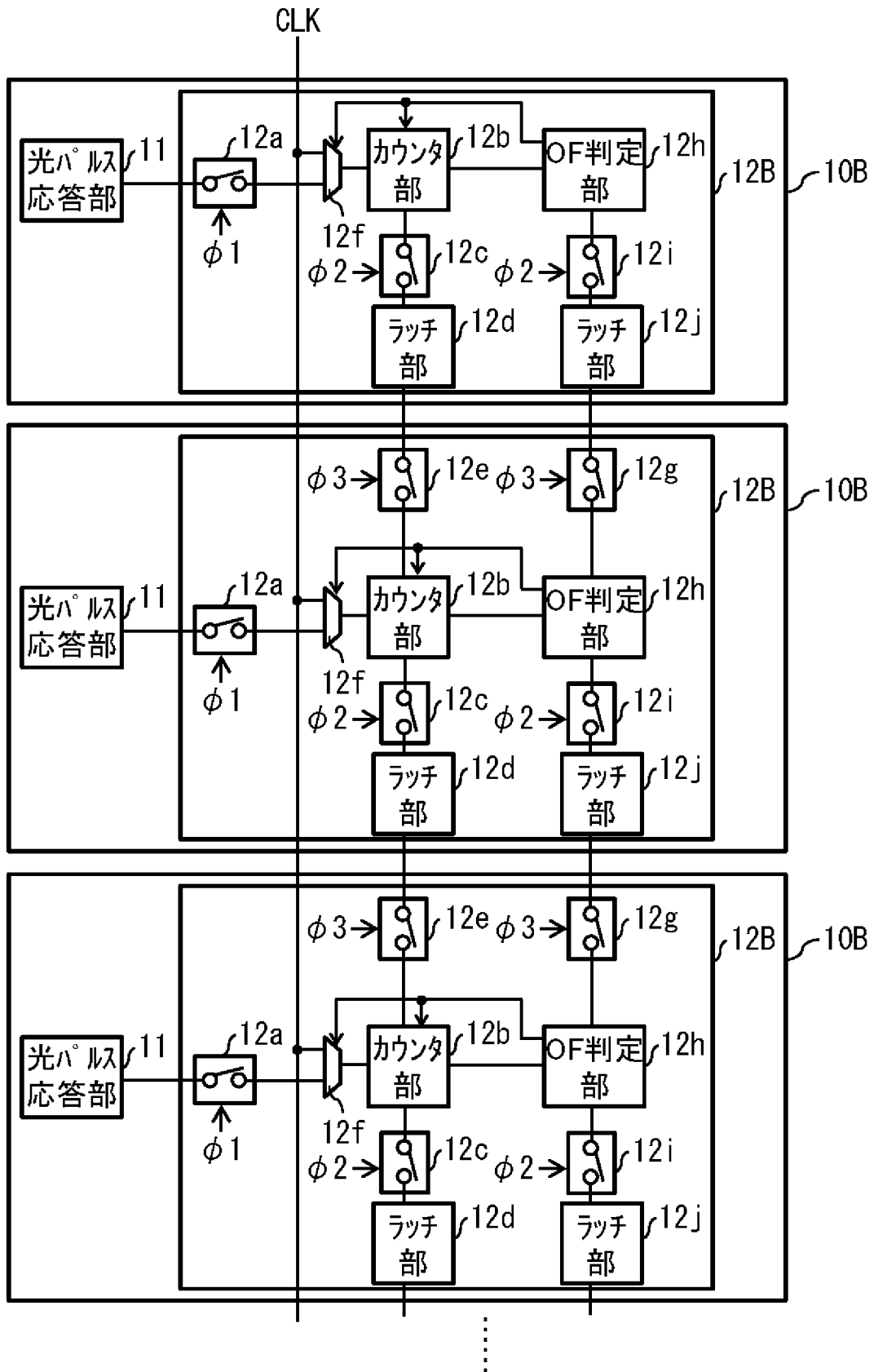
[図19]



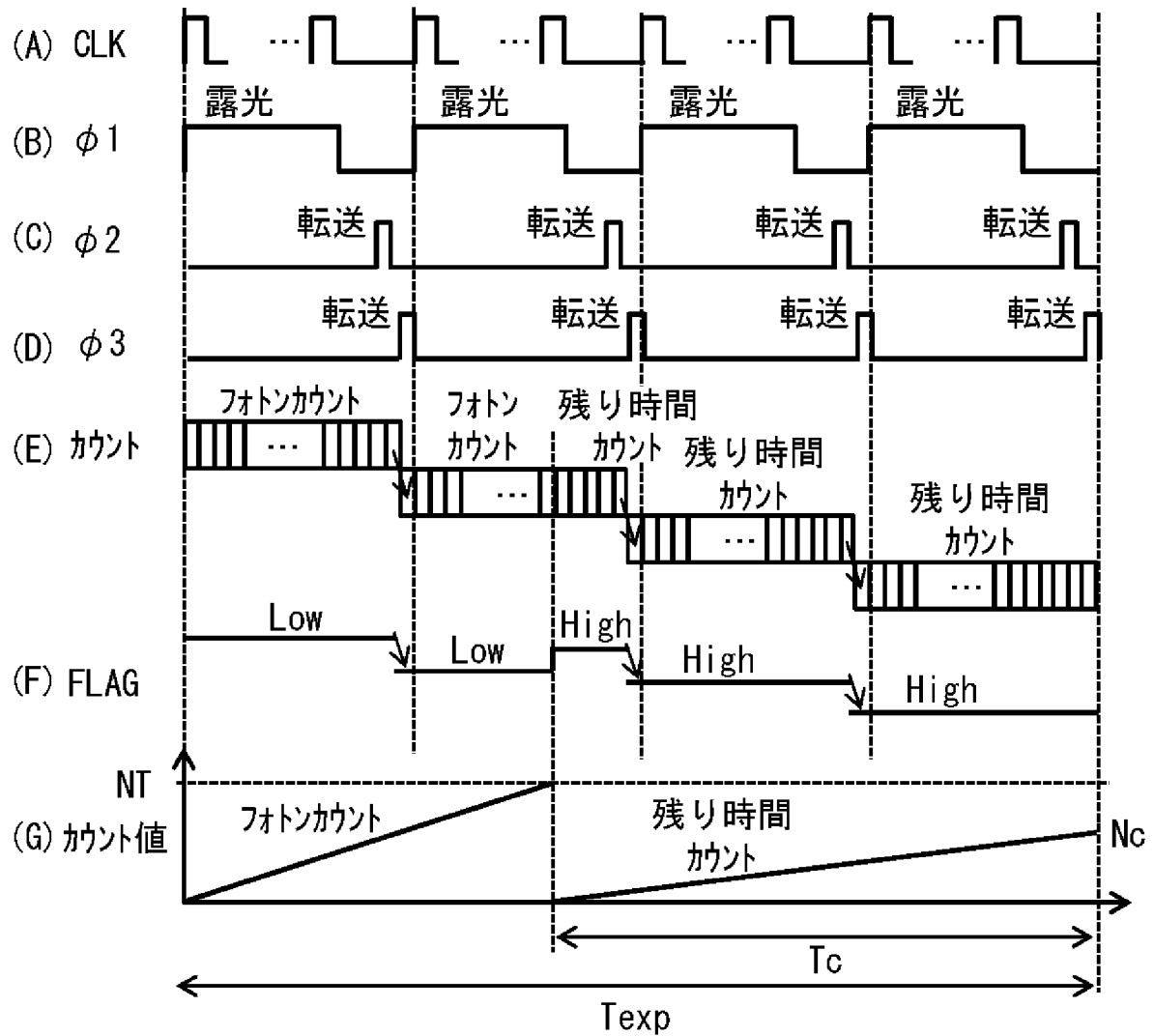
[図20]



[図21]

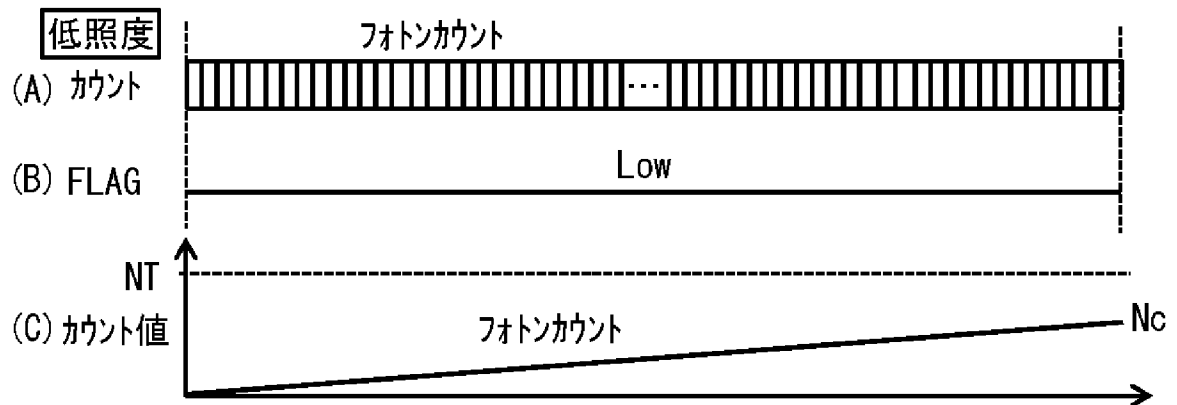


[図22]

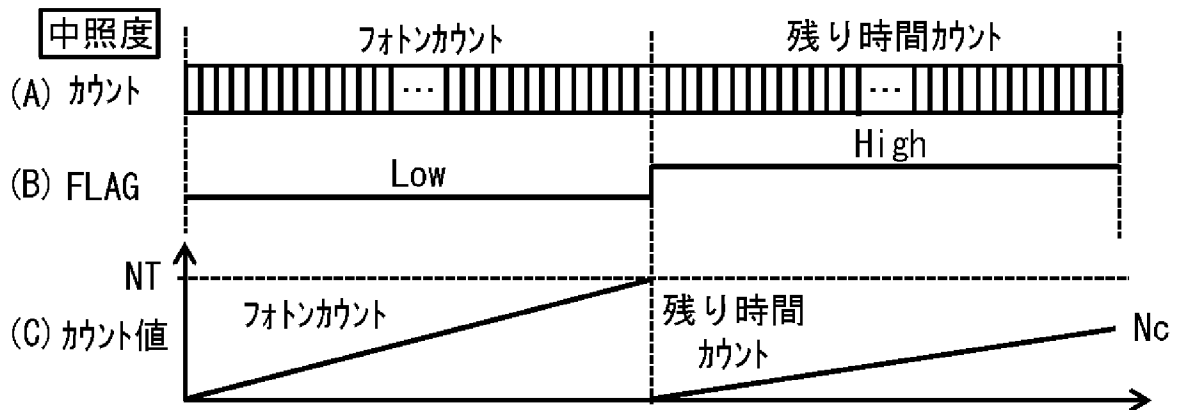


If FLAG=1	$N = N_c \times T_{exp}/T_c$ $T_c = T_{clk} \times N_c$
If FLAG=0	$N = N_c$

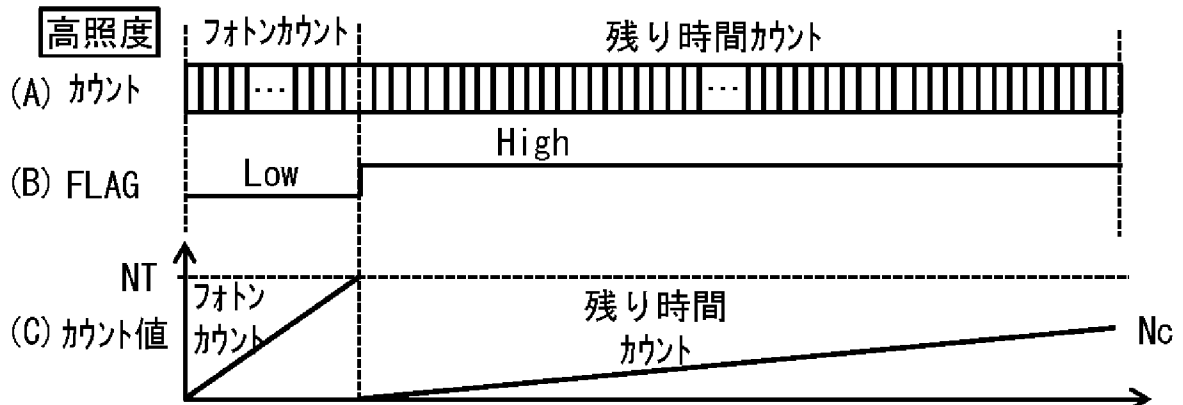
[図23]



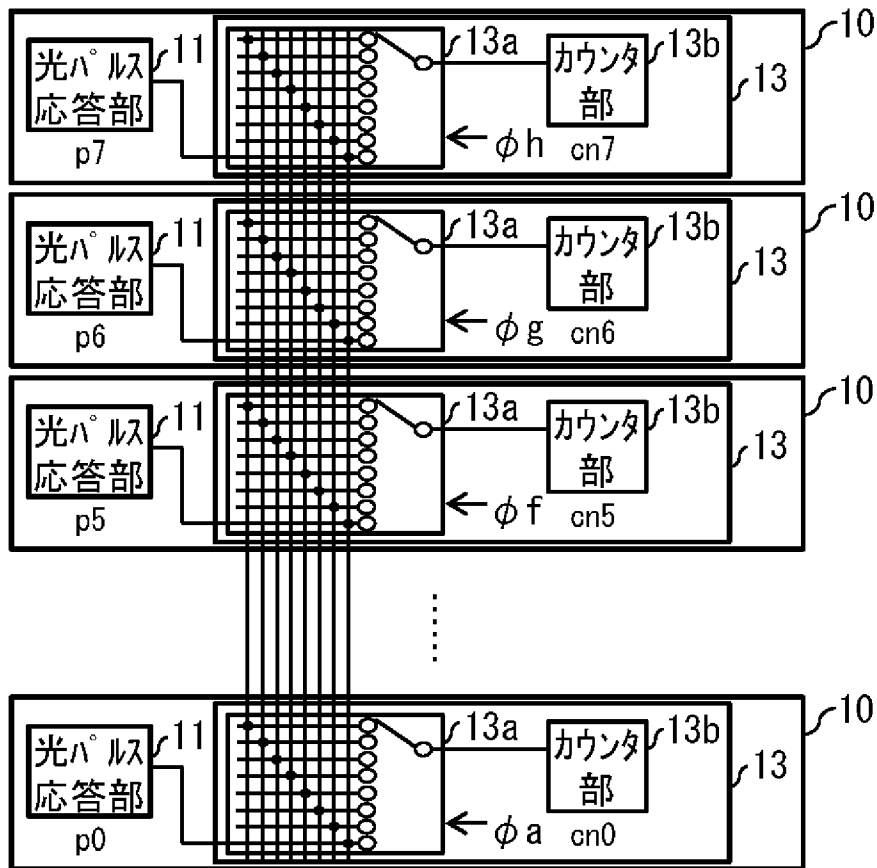
[図24]



[図25]



[図26]



[図27]

データパターン

pixel	H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11	H12	H13	H14	H15	H16
p7	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W
p6	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V
p5	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U
p4	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T
p3	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S
p2	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R
p1	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q
p0	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P

[図28]

スイッチ切り替え

counter	H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11	H12	H13	H14	H15	H16
cn7	p7	p6	p5	p4	p3	p2	p1	p0	p7	p6	p5	p4	p3	p2	p1	p0
cn6	p6	p5	p4	p3	p2	p1	p0	p7	p6	p5	p4	p3	p2	p1	p0	p7
cn5	p5	p4	p3	p2	p1	p0	p7	p6	p5	p4	p3	p2	p1	p0	p7	p6
cn4	p4	p3	p2	p1	p0	p7	p6	p5	p4	p3	p2	p1	p0	p7	p6	p5
cn3	p3	p2	p1	p0	p7	p6	p5	p4	p3	p2	p1	p0	p7	p6	p5	p4
cn2	p2	p1	p0	p7	p6	p5	p4	p3	p2	p1	p0	p7	p6	p5	p4	p3
cn1	p1	p0	p7	p6	p5	p4	p3	p2	p1	p0	p7	p6	p5	p4	p3	p2
cn0	p0	p7	p6	p5	p4	p3	p2	p1	p0	p7	p6	p5	p4	p3	p2	p1

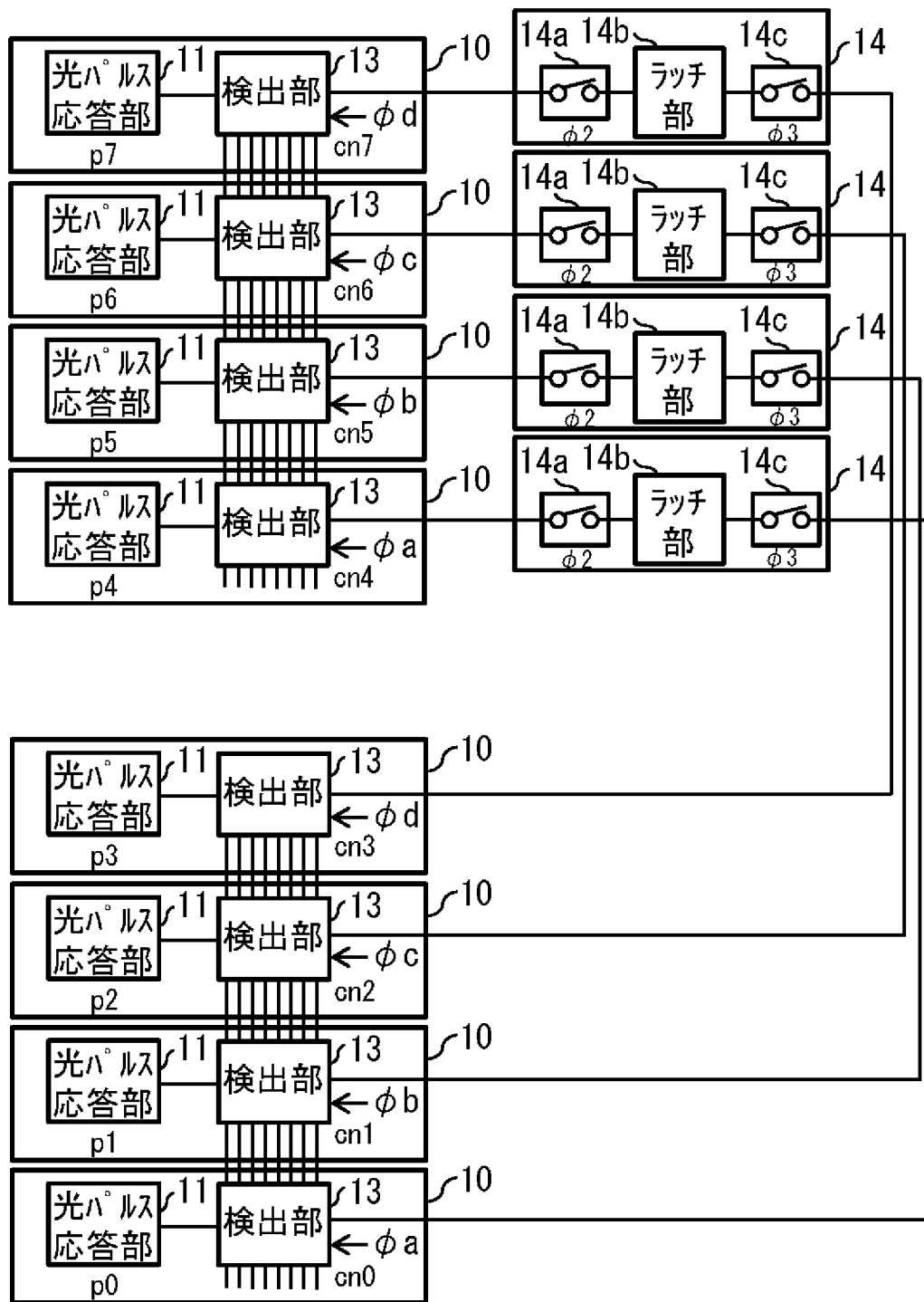
[図29]

データ出力

counter	H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11	H12	H13	H14	H15	H16
cn7	H	H	H	H	H	H	H	H	P	P	P	P	P	P	P	P
cn6	G	G	I	J	K	L	G	O	O	O	O	O	O	O	O	W
cn5	F	F	H	I	J	F	N	N	N	N	N	N	N	N	V	V
cn4	E	E	E	E	E	M	M	M	M	M	M	M	M	U	U	U
cn3	D	D	D	D	L	L	L	L	L	L	L	L	T	T	T	T
cn2	C	C	C	K	K	K	K	K	K	L	K	S	S	S	S	S
cn1	B	B	J	J	J	J	J	J	J	J	R	R	R	R	R	R
cn0	A	I	I	I	I	I	I	I	I	Q	Q	Q	Q	Q	Q	Q

加算

[図30]



[図31]

スイッチ切り替え →

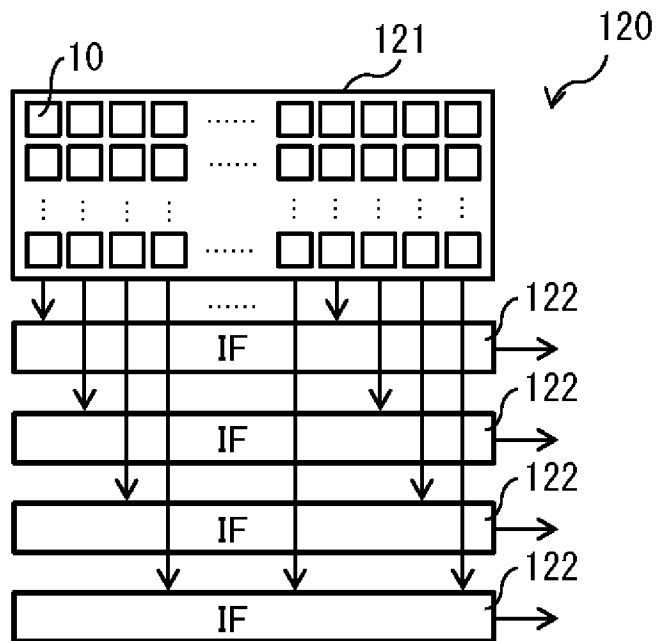
counter	H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11	H12	H13	H14	H15	H16
cn7	p7	p6	p5	p4	p7	p6	p5	p4	p7	p6	p5	p4	p7	p6	p5	p4
cn6	p6	p5	p4	p7	p6	p5	p4	p7	p6	p5	p4	p7	p6	p5	p4	p7
cn5	p5	p4	p7	p6	p5	p4	p7	p6	p5	p4	p7	p6	p5	p4	p7	p6
cn4	p4	p7	p6	p5	p4	p7	p6	p5	p4	p7	p6	p5	p4	p7	p6	p5
cn3	p3	p2	p1	p0	p3	p2	p1	p0	p3	p2	p1	p0	p3	p2	p1	p0
cn2	p2	p1	p0	p3	p2	p1	p0	p3	p2	p1	p0	p3	p2	p1	p0	p3
cn1	p1	p0	p3	p2	p1	p0	p3	p2	p1	p0	p3	p2	p1	p0	p3	p2
cn0	p0	p3	p2	p1	p0	p3	p2	p1	p0	p3	p2	p1	p0	p3	p2	p1

[図32]

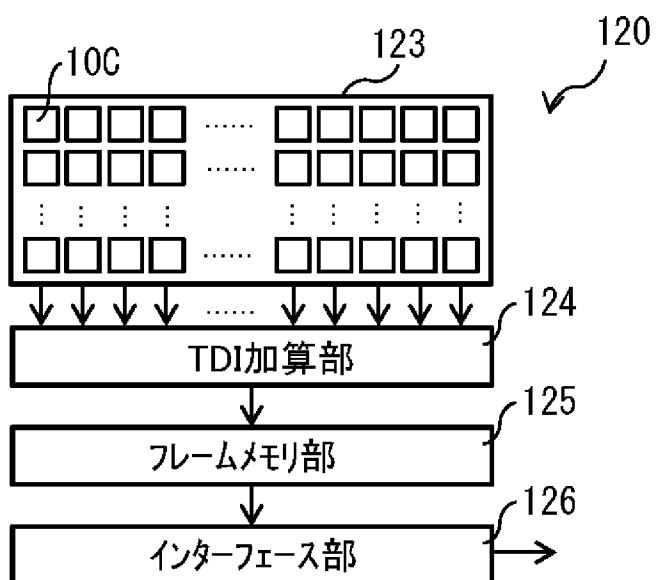
データ出力

counter	H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11	H12	H13	H14	H15	H16
cn7	H	H	H	H	L	L	L	L	P	P	P	P	T	T	T	T
cn6	G	G	G	K	K	K	K	Q	Q	Q	Q	S	S	S	S	W
cn5	F	F	J	J	J	J	N	N	N	N	R	R	R	R	V	V
cn4	E	I	I	I	I	M	M	M	M	Q	Q	Q	Q	U	U	U
cn3	D	D	D	D	H	H	H	H	L	L	L	L	P	P	P	P
cn2	C	C	C	G	G	G	G	K	K	K	K	Q	Q	Q	Q	S
cn1	B	B	F	F	F	F	J	J	J	J	N	N	N	N	R	R
cn0	A	E	E	E	E	I	I	I	I	M	M	M	M	Q	Q	Q

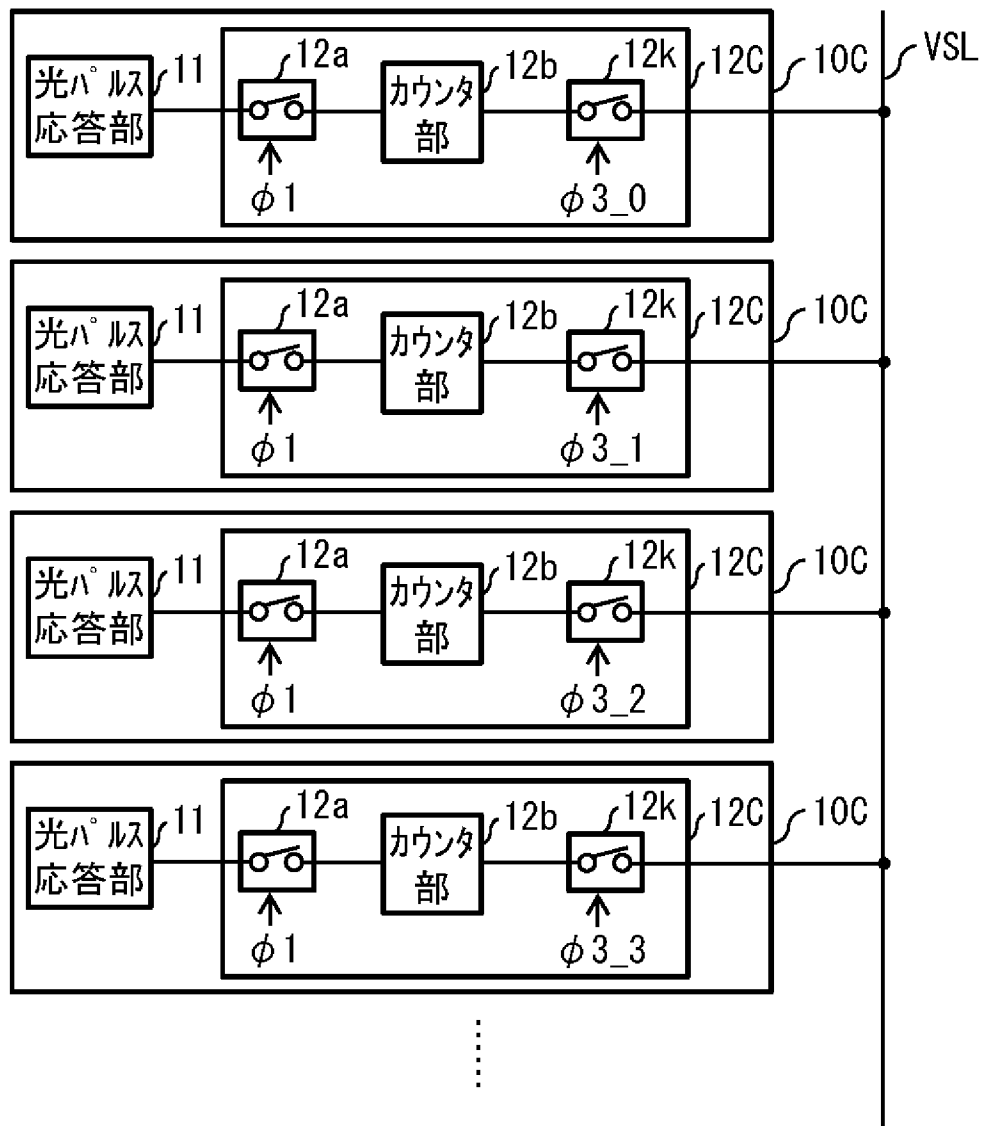
[図33]



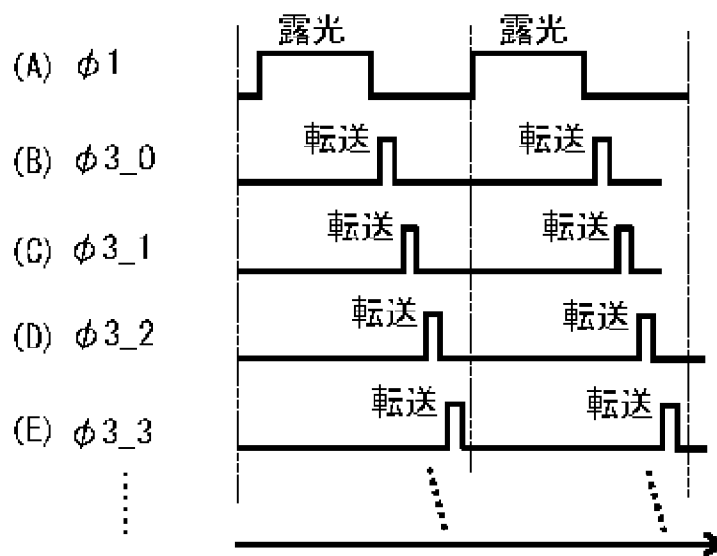
[図34]



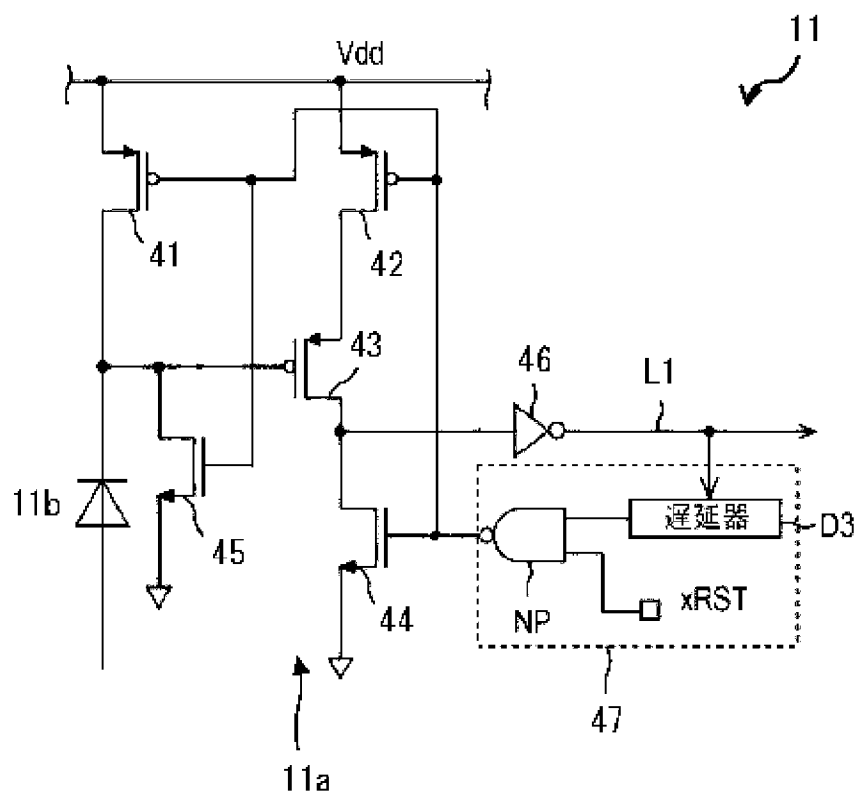
[図35]



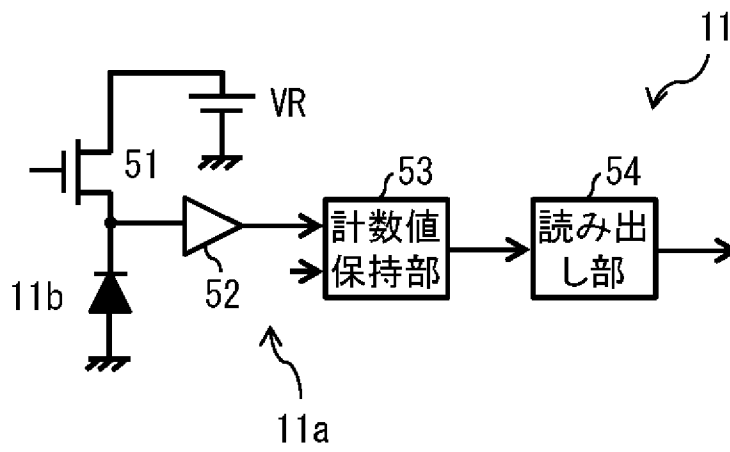
[図36]



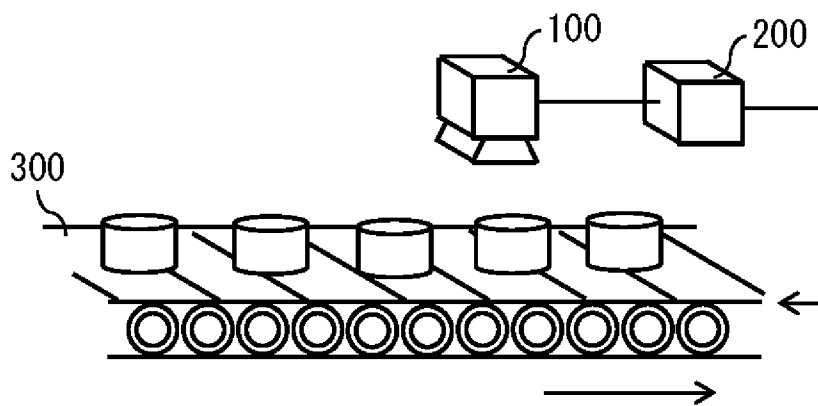
[図37]



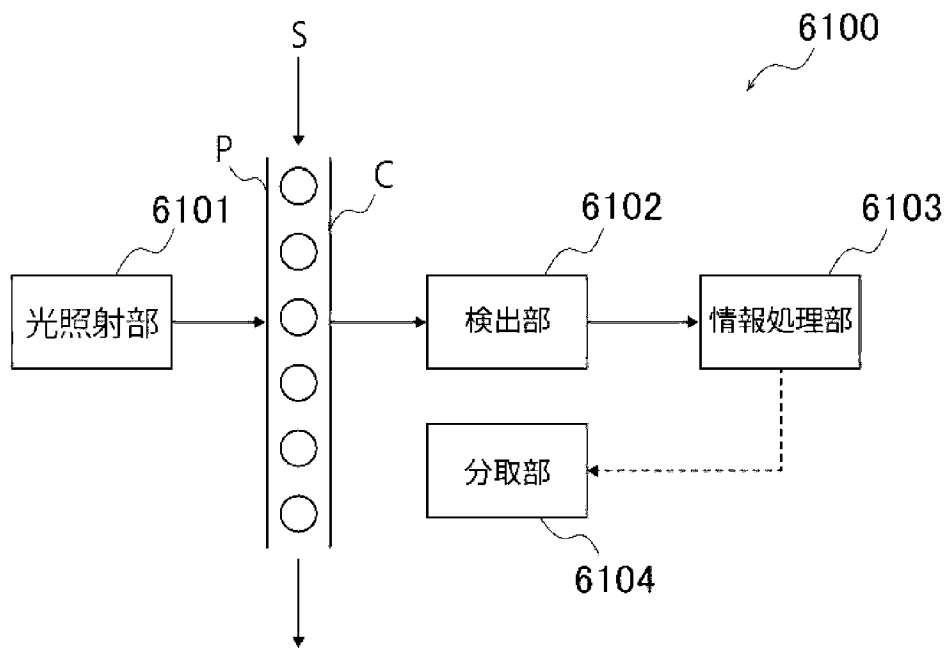
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/011132

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/374**(2011.01)i; **H04N 5/3745**(2011.01)i

FI: H04N5/374 300; H04N5/3745 500

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374; H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-34862 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 01 March 2021 (2021-03-01) paragraphs [0127]-[0134], fig. 19	1-27
A	JP 2018-61079 A (MITSUBISHI ELECTRIC CORP.) 12 April 2018 (2018-04-12) paragraphs [0012]-[0017], fig. 1	1-27
A	JP 2020-127122 A (CANON INC.) 20 August 2020 (2020-08-20) paragraphs [0014]-[0017], fig. 1	1-27

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 May 2022

Date of mailing of the international search report

24 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/011132

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2021-34862	A	01 March 2021	WO 2021/039017 A1 paragraphs [0128]-[0135], fig. 19	
JP	2018-61079	A	12 April 2018	(Family: none)	
JP	2020-127122	A	20 August 2020	US 2020/0252563 A1 paragraphs [0051]-[0054], fig. 1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/374(2011.01)i; H04N 5/3745(2011.01)i FI: H04N5/374 300; H04N5/3745 500														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/374; H04N5/3745														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2022年													
日本国実用新案登録公報	1996 - 2022年													
日本国登録実用新案公報	1994 - 2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2021-34862 A（ソニーセミコンダクタソリューションズ株式会社）01.03.2021 （2021 - 03 - 01） 段落 [0127] - [0134] , 図19	1-27												
A	JP 2018-61079 A（三菱電機株式会社）12.04.2018（2018 - 04 - 12） 段落 [0012] - [0017] , 図1	1-27												
A	JP 2020-127122 A（キヤノン株式会社）20.08.2020（2020 - 08 - 20） 段落 [0014] - [0017] , 図1	1-27												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 16.05.2022	国際調査報告の発送日 24.05.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/011132

引用文献			公表日	パテントファミリー文献	公表日
JP	2021-34862	A	01.03.2021	WO 2021/039017 A1 段落 [0128] - [0135] , 図 19	
JP	2018-61079	A	12.04.2018	(ファミリーなし)	
JP	2020-127122	A	20.08.2020	US 2020/0252563 A1 段落 [0051] - [0054] , 図1	