



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0020462
(43) 공개일자 2014년02월19일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2012-0086854
(22) 출원일자 2012년08월08일
심사청구일자 2012년08월08일

(71) 출원인
고려대학교 산학협력단
서울시 성북구 안암로 145 (안암동)
(72) 발명자
성만영
서울 중랑구 신내로21길 16, 521동 604호 (목동,
신내두산아파트)
조유습
서울 마포구 양화진2길 34, 103호 (합정동)
(74) 대리인
최관락, 송인호, 민영준

전체 청구항 수 : 총 5 항

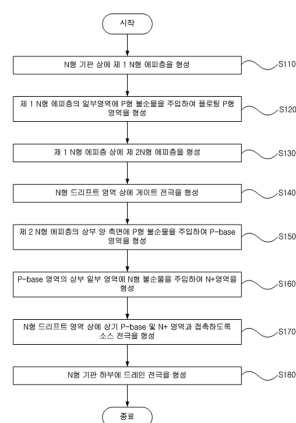
(54) 발명의 명칭 단일 FLI 구조를 갖는 반도체 소자의 제조 방법 및 그 제조 방법으로 제조된 반도체 소자

(57) 요약

본 발명은 단일 FLI 구조를 갖는 반도체 소자의 제조 방법 및 그 제조 방법으로 제조된 반도체 소자에 관한 것이다.

본 발명의 일실시예에 의한 반도체 소자의 제조 방법은 N형 기판 상에 제 1 N형 에피층을 형성시키는 단계; 상기 제 1 N형 에피층의 일부 영역에 P형 불순물을 주입하여 플로팅 P형 영역을 형성시키는 단계; 상기 제 1 N형 에피층 상에 제 2 N형 에피층을 형성시키는 단계; 상기 제 2 N형 에피층의 상부 양 측면에 P형 불순물을 주입하여 P-base 영역을 형성시키는 단계; 상기 P-base 영역의 상부 일부 영역에 N형 불순물을 주입하여 N+ 영역을 형성시키는 단계; 상기 N형 드리프트 영역 상에 게이트 전극을 형성시키는 단계; 상기 N형 드리프트 영역 상에 상기 P-base 및 상기 N+ 영역과 접촉하도록 소스 전극을 형성시키는 단계; 및 상기 N형 기판 하부 상에 드레인 전극을 형성시키는 단계를 포함하되, 상기 제 1 N형 에피층 및 상기 제 2 N형 에피층은 N형 드리프트 영역을 형성하고, 상기 N형 드리프트 층에 포함된 N형 불순물의 농도는 플로팅 P형 영역이 없고, N형 드리프트 층의 농도가 Nd인 특정 반도체 소자에 해당하는 항복 전압에 근거하여 결정될 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

N형 기판 상에 제 1 N형 에피층을 형성시키는 단계;

상기 제 1 N형 에피층의 일부 영역에 P형 불순물을 주입하여 플로팅 P형 영역을 형성시키는 단계;

상기 제 1 N형 에피층 상에 제 2 N형 에피층을 형성시키는 단계;

상기 제 2 N형 에피층의 상부 양 측면에 P형 불순물을 주입하여 P-base 영역을 형성시키는 단계;

상기 P-base 영역의 상부 일부 영역에 N형 불순물을 주입하여 N+ 영역을 형성시키는 단계;

상기 N형 드리프트 영역 상에 게이트 전극을 형성시키는 단계;

상기 N형 드리프트 영역 상에 상기 P-base 및 상기 N+ 영역과 접촉하도록 소스 전극을 형성시키는 단계; 및

상기 N형 기판 하부 상에 드레인 전극을 형성시키는 단계를 포함하되,

상기 제 1 N형 에피층 및 상기 제 2 N형 에피층은 N형 드리프트 영역을 형성하고,

상기 N형 드리프트 층에 포함된 N형 불순물의 농도는 플로팅 P형 영역이 없고, N형 드리프트 층의 농도가 Nd인 특정 반도체 소자에 해당하는 항복 전압에 근거하여 결정되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서, 상기 N형 드리프트 층에 포함된 N형 불순물의 농도는,

상기 반도체 소자에 해당하는 항복 전압이 상기 특정 반도체 소자에 해당하는 항복 전압의 $\pm 10\%$ 오차 이내의 값이 되도록 결정되는 것인 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 N형 드리프트 층에 포함된 N형 불순물의 농도는 상기 Nd에 n을 곱한 값으로 정의되고,

상기 n은 2.268 ~ 2.772인 것인 반도체 소자의 제조 방법.

청구항 4

제 1 항에 있어서, 상기 플로팅 P형 영역은

P형 반도체 영역으로 Si, SiC, GaAs, 및 GaN 중 적어도 하나의 물질로 이루어진 영역인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항의 반도체 소자의 제조 방법에 의해 제조된 반도체 소자.

명세서

기술 분야

[0001] 본 발명은 반도체 소자의 제조 방법 및 그 제조 방법으로 제조된 반도체 소자에 관한 것으로, 보다 상세하게는 단일 FLI 구조를 갖는 반도체 소자의 제조 방법 및 그 제조 방법으로 제조된 반도체 소자에 관한 것이다.

배경 기술

[0002] 파워 반도체는 고전압 고전류를 제어하는 전기적 스위치 역할을 하는 반도체 소자로서, 전력전자산업이 발달함에 따라 그 중요성이 점점 높아지고 있다.

- [0003] 특히 최근 에너지 절감과 관련된 기술들이 큰 화두로 떠올라 파워 반도체 분야에서도 에너지 절감을 위한 노력이 이루어지고 있다.
- [0004] 파워 반도체 소자의 하나로 Power MOSFET이 있다. Power MOSFET은 큰 전력(약 600V 이상)을 처리하기 위해 설계된 금속 산화막 반도체 전계효과 트랜지스터 (MOSFET)의 특정 종류이다. 다른 전력 반도체 소자(절연 게이트 양극성 트랜지스터 (IGBT), 사이리스터 등)들에 비해 주요한 장점은 낮은 전압에서 통신 속도가 빠르고 효율이 좋다는 것이다. 이것은 절연 게이트 양극성 트랜지스터의 격리된 게이트와 공유되어 신호인가를 쉽게 할 수 있다.
- [0005] Power MOSFET은 높은 입력 임피던스 및 빠른 스위칭 특성으로 모바일기기, 가전제품, 사무기기뿐만 아니라 미래 자동차인 전기자동차에도 전기적 에너지 제어를 위해 필수적이다.
- [0006] 진술한 바와 같이, 에너지절감, 즉 Power MOSFET의 특성 향상을 위해서는 높은 항복 전압을 확보하는 동시에 좋은 전도도를 갖도록 설계해야 한다. 하지만 이 두 가지 특성은 Trade-off 관계를 가지므로 동시에 만족 시키기 어려운 문제점이 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명의 목적은 단일 FLI(Floating Island) 구조를 가지는 반도체 소자의 항복 전압이 FLI 구조가 없는 특정 반도체 소자에 해당하는 항복 전압과 동일 또는 유사하게 유지되도록 최적화된 N형 드리프트 층의 불순물 농도를 가지는 반도체 소자 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

- [0008] 상기 목적을 달성하기 위해 본 발명의 일실시예에 의하면, N형 기판 상에 제 1 N형 에피층을 형성시키는 단계; 상기 제 1 N형 에피층의 일부 영역에 P형 불순물을 주입하여 플로팅 P형 영역을 형성시키는 단계; 상기 제 1 N형 에피층 상에 제 2 N형 에피층을 형성시키는 단계; 상기 제 2 N형 에피층의 상부 양 측면에 P형 불순물을 주입하여 P-base 영역을 형성시키는 단계; 상기 P-base 영역의 상부 일부 영역에 N형 불순물을 주입하여 N+ 영역을 형성시키는 단계; 상기 N형 드리프트 영역 상에 게이트 전극을 형성시키는 단계; 상기 N형 드리프트 영역 상에 상기 P-base 및 상기 N+ 영역과 접촉하도록 소스 전극을 형성시키는 단계; 및 상기 N형 기판 하부 상에 드레인 전극을 형성시키는 단계를 포함하되, 상기 제 1 N형 에피층 및 상기 제 2 N형 에피층은 N형 드리프트 영역을 형성하고, 상기 N형 드리프트 층에 포함된 N형 불순물의 농도는 플로팅 P형 영역이 없고, N형 드리프트 층의 농도가 Nd인 특정 반도체 소자에 해당하는 항복 전압에 근거하여 결정되는 반도체 소자의 제조 방법.
- [0009] 상기 목적을 달성하기 위해 본 발명의 일실시예에 의하면, 상기 반도체 소자의 제조 방법에 의해 제조된 반도체 소자가 제공된다.

발명의 효과

- [0010] 본 발명의 일실시예에 의한 반도체 소자의 제조 방법 및 상기 반도체 소자의 제조 방법에 의해 제조된 반도체 소자는 높은 항복 전압을 확보하는 동시에 좋은 전도도를 가질 수 있다.
- [0011] 본 발명의 일실시예에 의하면, N형 드리프트 층의 불순물 농도의 조절을 통해 단일 FLI 구조를 가지는 반도체 소자의 항복 전압이 FLI 구조가 없는 특정 반도체 소자에 해당하는 항복 전압과 동일 또는 유사하게 유지될 수 있다.

도면의 간단한 설명

- [0012] 도 1은 FLI 구조가 없는 특정 반도체 소자의 예시도이다.
- 도 2는 FLI 구조가 없는 특정 반도체 소자의 항복 전압을 계산하는 방법을 설명하기 위한 도면이다.
- 도 3은 단일 FLI 구조를 가지는 반도체 소자의 예시도이다.
- 도 4는 본 발명의 일실시예와 관련된 단일 FLI 구조를 가지는 반도체 소자의 제조 방법을 나타내는 흐름도이다.
- 도 5 내지 도 13은 본 발명의 일실시예와 관련된 단일 FLI 구조를 가지는 반도체 소자의 제조 방법을 설명하기 위한 상태도이다.

도 14는 본 발명의 일실시예와 관련된 단일 FLI 구조를 가지는 반도체 소자의 전계 프로파일을 나타내는 예시도이다.

도 15는 본 발명의 일실시예와 관련된 단일 FLI 구조를 가지는 반도체 소자의 불순물 농도를 결정하는 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 본 발명의 일실시예와 관련된 단일 FLI 구조를 갖는 반도체 소자의 제조 방법 및 그 제조 방법으로 제조된 반도체 소자에 도면을 참조하여 설명하도록 하겠다.
- [0014] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다.
- [0015] 먼저, FLI 구조가 없는 특정 반도체 소자 및 상기 특정 반도체 소자의 항복 전압을 구하는 방법에 대해 설명하고, 본 발명의 일실시예와 관련된 단일 FLI 구조를 가지는 반도체 소자의 제조 방법 및 상기 반도체 소자의 제조 방법에 의해 제조된 반도체 소자에 대해 설명하도록 하겠다.
- [0016] 도 1은 FLI 구조가 없는 특정 반도체 소자의 예시도이다.
- [0017] 도 1에 도시된 특정 반도체 소자(예: Power MOSFET 또는 파워 반도체 소자)의 Switch-ON 상태에서의 전력 손실은 정격전류에서의 전압 강하량으로 생각할 수 있다. 전압강하는 Power MOSFET이 Switch-ON 상태에서 전류를 통할 때 반도체 소자 내의 저항에 의한 강하이다. 즉, Switch-ON 상태 전압강하는 반도체 소자에서 각 영역의 저항 성분으로 분석할 수 있으며 이를 수식으로 표현하면 아래 수학적 식 1과 같다.

수학적 식 1

$$R_{ON} = R_{N+} + R_{CH} + R_A + R_J + R_D + R_S$$

- [0018]
- [0019] 수학적 식 1의 저항 중 Switch-ON 상태 전압강하에 영향을 미치는 저항은 R_J 와 R_0 이다. R_J 는 JFET 영역의 저항으로, 플라나 게이트 MOSFET에서 P 베이스 사이의 전류 통과 영역의 저항이다. 이러한 JFET 영역은 온 상태에서 역방향 전압이 인가되어 P 베이스(P base)와 N-드리프트(N-drift) 접합에 형성되는 공핍층의 확장에 의해 면적이 변할 수 있다.
- [0020] R_0 는 N-드리프트 영역의 저항이다. 이 저항 성분들은 N-드리프트 영역의 저항률과 관계된 저항이므로, 각 영역의 도핑 농도에 의해 정해진다. 그리고 N-드리프트 영역의 도핑 농도가 높을수록 저항은 작아지고 전도도 특성은 우수해져 에너지가 절감될 수 있다.
- [0021] 도 2는 FLI 구조가 없는 특정 반도체 소자의 항복 전압을 계산하는 방법을 설명하기 위한 도면이다.
- [0022] 항복 전압은 도 2(a)에 도시된 Power MOSFET(또는 파워 반도체 소자)의 오프 상태 유지 능력을 나타내는 중요한 전기적 특성일 수 있다.
- [0023] 상기 항복 전압은, 도 2(b)에서와 같이 Switch-OFF 된 MOSFET의 PN 접합에서 공핍층에 인가되는 전기장의 넓이라고 할 수 있다.
- [0024] 이것은 Poisson 방정식인 아래 수학적 식 2 및 수학적 식 3에 의해 소자 내부의 인가되는 전기장의 적분값이 소자가 견디는 전압이기 때문일 수 있다.

수학식 2

$$-\frac{\rho_{charge}}{\epsilon_s} = -\frac{dE(y)}{dy} = \frac{d^2V(y)}{dy^2}$$

[0025]

수학식 3

$$BreakdownVoltage = \int_0^d E(y)dy$$

[0026]

[0027] 여기서, Breakdown Voltage는 항복 전압이다.

[0028] PN 접합에서의 공핍층의 길이는 N-드리프트 영역의 도핑농도에 반비례하므로 도 2(c)와 같이 도핑농도가 높을수록(예를 들어, 도 2(b)의 2배의 도핑농도) MOSFET의 항복 전압이 낮아짐을 알 수 있다.

[0029] 따라서 파워 MOSFET의 항복 전압과 전도도 특성은 서로 Trade-off 관계이고, 항복 전압 대비 최대 전도도 특성을 가지도록 최적화하여 설계하는 것이 중요할 수 있다.

[0030] 도 3은 단일 FLI 구조를 가지는 반도체 소자의 예시도이다.

[0031] 도 3에 도시된 FLI구조를 가지는 반도체 소자(예: MOSFET)는 N-드리프트 영역에 P형 FLI 층(또는 플로팅 P형 영역)을 삽입한 구조이다. MOSFET의 성능을 향상시키려면 N-드리프트 영역의 도핑 농도를 높이는 것이 중요하지만 결과적으로 항복 전압 특성은 저하될 수 있다.

[0032] 그러나 P형 FLI 층을 삽입하게 되면 N-드리프트 영역에서 또 다른 PN 접합 구조가 형성되어 인가된 전압을 견딜 수 있는 영역이 추가될 수 있다.

[0033] 도 3과 같이 도핑 농도를 높인 N-드리프트 영역에 P형 FLI 층을 삽입함으로써 추가적인 삼각형의 전기장 분포가 생기게 되고, 추가된 삼각형의 전기장 분포가 특정 반도체 소자(FLI 구조 없는 MOSFET)에 인가된 전기장과 동일한 넓이를 갖게 해 줄 수 있다.

[0034] 그러므로 FLI 구조의 항복 전압은 기존 MOSFET(FLI 구조 없는 MOSFET)의 항복 전압과 동일 또는 유사해질 수 있다.

[0035] 특히, 수학식 2에 의해 수학식 4가 도출될 수 있다.

수학식 4

$$\frac{\rho_{charge}}{\epsilon_s} = \frac{qN_D}{\epsilon_s} = \frac{dE(y)}{dy}$$

[0036]

[0037] 수학식 4는 MOSFET에 인가되는 전기장의 미분값, 즉 기울기가 N-드리프트 영역의 도핑농도인 N_D 와 비례함을 나타낼 수 있다. 따라서 FLI MOSFET은 기존 MOSFET보다 높은 도핑 농도의 N-드리프트 영역을 갖게 되어 높은 전도도 특성으로 기존과 동일한 항복 전압을 확보할 수 있을 수 있다.

[0038] 이하에서는 FLI 구조 없는 MOSFET의 항복 전압과 항복 전압과 동일 또는 유사한 항복 전압이 유지될 수 있는 단일 FLI 구조를 가지는 반도체 소자의 제조 방법에 대해 설명하도록 하겠다.

[0039] 도 4는 본 발명의 일실시예와 관련된 단일 FLI 구조를 가지는 반도체 소자의 제조 방법을 나타내는 흐름도이다.

[0040] 먼저, N형 기판 상에 제 1 N형 에피층을 형성시킬 수 있다(S110). 상기 S110 단계는 도 5 내지 도 6에 도시되어

있다.

- [0041] 상기 N형 기판(110)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 N형 기판(110)은 벌크 결정으로써, Czochralski 제조법, Floating Zone 제조법, Acheson 제조법, Lely 제조법 및 Epitaxial 공정 제조법 중 적어도 하나의 방식으로 제작될 수 있다.
- [0042] 또한, 상기 N형 기판(110)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 N형 기판(110)은 N형 반도체로써 N형 불순물이 각각 첨가된 Si, SiC, GaAs 및 GaN 중 적어도 하나의 물질로 이루어질 수 있다.
- [0043] 상기 N형 기판(110)의 두께는 1 ~ 650um 사이일 수 있다.
- [0044] 상기 제 1 N형 에피층(120)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 제 1 N형 에피층(120)은 ALCVD(Atomic Layer Chemical Vapor Deposition), CVD(Cheical Vapor Deposition) 및 MOCVP(Metal Organic Chemical Vapor Deposition) 중 적어도 하나의 방식으로 제작될 수 있다.
- [0045] 또한, 상기 제 1 N형 에피층(120)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 제 1 N형 에피층(120)은 N형 반도체로써 N형 불순물이 각각 첨가된 Si, SiC, GaAs 및 GaN 중 적어도 하나의 물질로 이루어질 수 있다.
- [0046] 상기 제 1 N형 에피층(120)의 두께는 1 ~ 60um 의 길이로 성장시킬 수 있다.
- [0047] 다음으로, 상기 제 1 N형 에피층의 일부 영역에 P형 불순물을 주입하여 플로팅 P형 영역을 형성시킬 수 있다(S120). S120 단계는 도 7에 도시되어 있다.
- [0048] 제 1 N형 에피층(120)상부에 플로팅 P형 영역(121)을 주입시킨다. 상기 플로팅 P형 영역(121)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 플로팅 P형 영역(121)은 불순물 주입공정, 확산공정 및 식각 후 증착 공정 중 적어도 하나의 방식으로 제작될 수 있다.
- [0049] 또한, 상기 플로팅 P형 영역(121)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 플로팅 P형 영역(121)은 P형 반도체 영역으로써 P형 불순물이 각각 첨가된 Si, SiC, GaAs 및 GaN 중 적어도 하나의 물질로 이루어질 수 있다.
- [0050] 상기 플로팅 P형 영역(121)의 두께는 0.01 ~ 5um 사이일 수 있다.
- [0051] 다음으로, 상기 제 1 N형 에피층 상에 제 2 N형 에피층을 형성시킬 수 있다(S130). S130 단계는 도 8에 도시되어 있다.
- [0052] 제 1 N형 에피층(120) 상부에 제 2 N형 에피층(130)을 성장시킨다. 상기 제 2 N형 에피층(130)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 제 2 N형 에피층(130)은 ALCVD(Atomic Layer Chemical Vapor Deposition), CVD(Cheical Vapor Deposition) 및 MOCVP(Metal Organic Chemical Vapor Deposition) 중 적어도 하나의 방식으로 제작될 수 있다.
- [0053] 또한, 상기 제 2 N형 에피층(130)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 제 2 N형 에피층(130)은 N형 반도체로서 N형 불순물이 각각 첨가된 Si, SiC, GaAs 및 GaN 중 적어도 하나의 물질로 이루어질 수 있다.
- [0054] 상기 제 2 N형 에피층(130)의 두께는 1 ~ 60um 의 길이로 성장시킬 수 있다.
- [0055] 다음으로, 상기 N형 드리프트 영역 상에 게이트 전극을 형성시킬 수 있다(S140). S140 단계는 도 9에 도시되어 있다.
- [0056] 제 2 N형 에피층(130) 상부에 게이트 전극(140) 및 게이트 절연체(141)를 형성시킨다. 상기 게이트 전극(140)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 게이트 전극(140)은 ALCVD(Atomic Layer Chemical Vapor Deposition), CVD(Cheical Vapor Deposition), MOCVP(Metal Organic Chemical Vapor Deposition) 및 PVD(Physical Vapor Deposition) 중 적어도 하나의 방식으로 제작될 수 있다.
- [0057] 또한, 상기 게이트 전극(140)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 게이트 전극(140)은 Al, 불순물이 첨가된 Poly Silicon, 불순물이 첨가된 Ti 및 W 중 적어도 하나의 물질로 이루어질 수 있다.
- [0058] 상기 게이트 전극(140)의 두께는 0.01 ~ 1um 사이일 수 있다.
- [0059] 상기 게이트 절연체(141)는 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 게이트 절연체(141)는 산화공정, ALCVD(Atomic Layer Chemical Vapor Deposition), CVD(Cheical Vapor Deposition), MOCVP(Metal Organic Chemical Vapor Deposition) 및 PVD(Physical Vapor Deposition) 중 적어도 하나의 방식으로 제작될 수

있다.

- [0060] 또한, 상기 게이트 절연체(141)는 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 게이트 절연체(141)는 SiO₂ 및 Al₂O₃ 중 적어도 하나의 물질로 이루어질 수 있다.
- [0061] 상기 게이트 절연체(141)의 두께는 0.001 ~ 1μm 사이일 수 있다.
- [0062] 다음으로, 상기 제 2 N형 에피층의 상부 양 측면에 P형 불순물을 주입하여 P-base 영역을 형성시킬 수 있다(S150). S150 단계는 도 10에 도시되어 있다.
- [0063] 다음으로, 제 2 N형 에피층(130)상부에 P-base 영역(131)을 주입시킨다. 상기 P-base 영역(131)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 P-base 영역(131)은 불순물 주입공정, 확산공정 및 식각 후 증착 공정 중 적어도 하나의 방식으로 제작될 수 있다.
- [0064] 또한, 상기 P-base 영역(131)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 P-base 영역(131)은 P형 반도체 영역으로써 P형 불순물이 각각 첨가된 Si, SiC, GaAs 및 GaN 중 적어도 하나의 물질로 이루어질 수 있다.
- [0065] 상기 P-base 영역(131)의 두께는 0.01 ~ 5μm 사이일 수 있다.
- [0066] 다음으로, 상기 P-base 영역의 상부 일부 영역에 N형 불순물을 주입하여 N+ 영역을 형성시킬 수 있다(S160). S160 단계는 도 11에 도시되어 있다.
- [0067] 다음으로, P-base 영역(131) 상부에 N+ 영역(132)을 주입시킨다. 상기 N+ 영역(132)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 N+ 영역(132)은 불순물 주입공정, 확산공정 및 식각 후 증착 공정 중 적어도 하나의 방식으로 제작될 수 있다.
- [0068] 또한, 상기 N+ 영역(132)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 N+ 영역(132)은 N형 반도체 영역으로써 N형 불순물이 각각 첨가된 Si, SiC, GaAs 및 GaN 중 적어도 하나의 물질로 이루어질 수 있다.
- [0069] 상기 N+ 영역(132)의 두께는 0.01 ~ 2.5μm 사이일 수 있다.
- [0070] 다음으로, 상기 N형 드리프트 영역 상에 상기 P-base 및 상기 N+ 영역과 접촉하도록 소스 전극을 형성시킬 수 있다(S170). S170 단계는 도 12에 도시되어 있다.
- [0071] 구조 최상부에 소스 전극(150)을 형성시킨다. 상기 소스 전극(150)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 소스 전극(150)은 ALCVD(Atomic Layer Chemical Vapor Deposition), CVD(Chemical Vapor Deposition), MOCVP(Metal Organic Chemical Vapor Deposition) 및 PVD(Physical Vapor Deposition) 중 적어도 하나의 방식으로 제작될 수 있다.
- [0072] 또한, 상기 소스 전극(150)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 소스 전극(150)은 Al, Poly Silicon, Ti 및 Au 중 적어도 하나의 물질로 이루어질 수 있다.
- [0073] 상기 소스 전극(150)의 두께는 0.01 ~ 5μm 사이일 수 있다.
- [0074] 다음으로, 상기 N형 기판 하부 상에 드레인 전극을 형성시킬 수 있다(S180). 상기 S180 단계는 도 13에 도시되어 있다.
- [0075] 구조 하단부에 드레인 전극(160)을 형성시킨다. 상기 드레인 전극(160)은 다양한 방법(또는 방식)으로 제작될 수 있다. 예를 들어, 상기 드레인 전극(160)은 기판을 뒤집은 뒤에 수행되는 ALCVD(Atomic Layer Chemical Vapor Deposition), CVD(Chemical Vapor Deposition), MOCVP(Metal Organic Chemical Vapor Deposition) 및 PVD(Physical Vapor Deposition) 중 적어도 하나의 방식으로 제작될 수 있다.
- [0076] 또한, 상기 드레인 전극(160)은 다양한 물질로 이루어질 수 있다. 예를 들어, 상기 드레인 전극(160)은 Al, Poly Silicon, Ti 및 Au 중 적어도 하나의 물질로 이루어질 수 있다.
- [0077] 상기 드레인 전극(160)의 두께는 0.01 ~ 5μm 사이일 수 있다.
- [0078] 이 경우, 상기 제 1 N형 에피층(120) 및 상기 제 2 N형 에피층(130)은 N형 드리프트 영역을 형성하고, 상기 N형 드리프트 층에 포함된 N형 불순물의 농도는, 플로팅 P형 영역이 없고, N형 드리프트 층의 농도가 Nd인 특정 반도체 소자에 해당하는 항복전압을 근거로 결정되는 것일 수 있다.
- [0079] 이하에서는 상기 N형 드리프트 층에 포함된 N형 불순물의 농도를 결정하는 방법에 대해 구체적으로 설명하도록

하겠다.

- [0080] 도 14는 본 발명의 일실시예와 관련된 단일 FLI 구조를 가지는 반도체 소자의 전계 프로파일을 나타내는 예시도이다.
- [0081] 도 14에 도시된 FLI 구조의 MOSFET은 전도도 특성과 항복 전압의 특성의 Trade-OFF 관계를 해결할 수 있는 구조일 수 있다.
- [0082] 다만, Power MOSFET에 FLI 구조를 적용함에 있어 항복 전압을 결정하는 최대 임계 전계는 파워 반도체의 도핑 농도와 상관없다고 생각될 수 있지만, 실제로 최대 임계 전계는 도핑농도를 높일수록 높아지게 될 수 있다.
- [0083] 그 이유는 불순물의 농도가 높아질수록 Scattering이 강해져 Avalanche Breakdown을 일으키기 위한 전자의 가속이 방해 받기 때문일 수 있다. 즉, 외부에서 인가되는 전계가 더 강해져야 반도체 내부의 전자가 Avalanche Breakdown 현상을 일으킬 수 있다. 따라서 항복현상을 일으키는 최대 임계 전계는 도핑 농도가 높아질수록 높아질 수 있다.
- [0084] Fulop의 실험식에 의해, 도핑 농도에 따른 실리콘 반도체의 최대 임계 전계는 수학식 5와 같이 표현될 수 있다.

수학식 5

$$E_c(Si) = 4010 \times N_D^{\frac{1}{8}}$$

- [0085]
- [0086] 수학식 5를 이용하여 FLI MOSFET을 설계 시 기존 MOSFET(FLI 구조가 없는 MOSFET)과 같은 항복 전압을 갖기 위한 최대 도핑 농도와 FLI 층의 수직 위치를 보다 정확히 얻어낼 수 있게 된다.
- [0087] 전술한 도 3의 경우, FLI 구조의 적용 및 기존 해석 방법을 나타내는 것으로, 단일 FLI 층 삽입시 최대 임계 전계 변화를 고려하지 않았다.
- [0088] 그러나 도핑 농도에 따른 최대 임계 전계 변화를 고려하게 되면, 2배의 도핑 농도로 인해 아래 수학식 6과 같이 9%의 임계 전계 향상으로 도 5와 같이 기존 BV보다 넓이가 증가할 수 있다.

수학식 6

$$E_{C,modified}(Si) = 4010 \times (2N_D)^{\frac{1}{8}} = 1.09 E_c(Si)$$

- [0089]
- [0090] 도 14에서 보이는 Excess Area는 항복 전압을 높여주지만 인가된 전기장의 기울기 값을 더 크게 만들 수 있는 여지가 있다는 점에서 손실이다. 즉, MOSFET에 도핑 농도를 더욱 높일 수 있는 Margin을 갖고 있음을 알 수 있다. 따라서 상기 Margin을 고려하여 불순물의 농도를 결정하는 것이 필요하다.
- [0091] 도 15는 본 발명의 일실시예와 관련된 단일 FLI 구조를 가지는 반도체 소자의 불순물 농도를 결정하는 방법을 설명하기 위한 도면이다.
- [0092] 도 15에 도시된 바와 같이, 더욱 높은 전도도 특성을 위한 효과적인 FLI 구조 적용을 위해 기존 전기장 분포와 같은 넓이로 더욱 가파른 전기장의 기울기를 확보하는 방법으로 보다 정확한 FLI 구조를 설계할 수 있다. 도 15에 도시된 실시예에서는 항복전압을 유지한 채 도핑할 수 있는 최대 도핑 농도를 기존 MOSFET의 도핑 농도의 배수 n으로 정의할 수 있다.
- [0093] 아래 수학식 7과 같이 기존 MOSFET의 항복전압은 최대 임계 전계와 공핍층의 수직 길이가 이루는 삼각형의 넓이로 나타낼 수 있다.

수학식 7

$$BV = 0.5 \times E_c (Si) \times d$$

[0094]

[0095] 도 15에서와 같이 단일 FLI 구조에서 이와 같은 항복전압을 갖도록 설계하려면 항복전압을 나타내는 삼각형의 넓이가 0.5 BV의 값을 가져야 한다. FLI 구조에 기존 구조 도핑량의 n배인 nNd로 도핑했다면 최대 임계 전계는 Fulop의 실험식을 이용하여 아래 수학식 8과 같이 나타낼 수 있다.

수학식 8

$$E_{c,n} = 4010 \times (nN_D)^{\frac{1}{8}} = E_c (Si) \times \sqrt[8]{n}$$

[0096]

[0097] 전기장 분포가 형성하는 삼각형의 기울기는 Poisson 방정식 수학식 2에 의해 qNd/ϵ 에서 $qnNd/\epsilon$ 로 n배가 되었으므로 공핍층의 수직 길이 x는 아래와 같은 수학식 9 및 수학식 10을 통하여 얻어질 수 있다.

수학식 9

$$\frac{qN_D}{\epsilon_s} \times n = -\frac{\sqrt[8]{n}E_c}{x} = -\frac{E_c}{d} \times n$$

[0098]

수학식 10

$$x = \frac{\sqrt[8]{n}}{n} d$$

[0099]

[0100] 삼각형 하나의 넓이는 0.5 BV 이므로, 아래와 같은 수학식 11 내지 수학식 13과 같은 결과를 얻을 수 있다.

수학식 11

$$0.5BV = \frac{1}{2} \times \sqrt[8]{n}E_c \times \frac{\sqrt[8]{n}}{n} d = \frac{\sqrt[4]{n}}{2n} E_c d$$

[0101]

수학식 12

$$\frac{\sqrt[4]{n}}{n} = \frac{1}{2}$$

[0102]

수학식 13

$$\therefore n = 2.52$$

[0103]

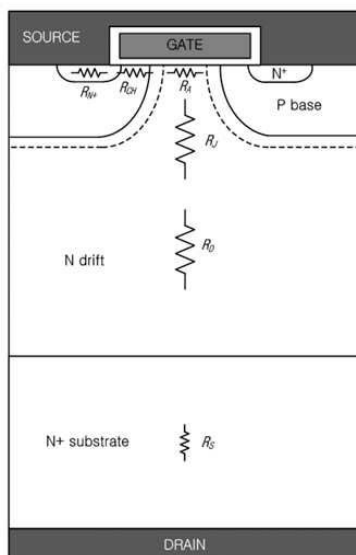
- [0104] 이와 더불어 공핍층 수직 길이는 수학식 10에 의해 $n = 2.52$ 일 때 $2x = 0.89d$ 로, 공핍층의 수직 길이도 11% 줄어들어 N-드리프트 길이를 줄이는 효과를 얻을 수 있다. 최종적으로, 단일 FLI 구조 MOSFET에서 동일한 항복전압을 유지하면서 도핑 가능한 최대 농도는 기존 MOSFET 도핑 농도 N_d 의 2.52배인 $2.52N_d$ 일 수 있다.
- [0105] 본 발명의 일실시예에 의하면, 상기 반도체 소자(100)에 대한 다양한 변화(또는 변수)를 고려하여 상기 n 은 $\pm 10\%$ 의 마진을 가질 수 있다. 예를 들어, 공정 변화(variation)등 다양한 변수를 고려하여, 상기 n 은 2.52의 $\pm 10\%$ 범위인 2.268 ~ 2.772인 것일 수 있다.
- [0106] 전술한 바와 같이, 본 발명의 일실시예에 의한 반도체 소자의 제조 방법 및 상기 방법에 의해 제조된 반도체 소자는 N형 드리프트 층의 불순물 농도의 조절을 통해 단일 FLI 구조를 가지는 반도체 소자의 항복 전압이 FLI 구조가 없는 특정 반도체 소자에 해당하는 항복 전압과 동일 또는 유사하게 유지될 수 있다.
- [0107] 상기와 같이 설명된 단일 FLI 구조를 갖는 반도체 소자의 제조 방법 및 그 제조 방법으로 제조된 반도체 소자는 상기 설명된 실시예들의 구성과 방법이 한정되게 적용될 수 있는 것이 아니라, 상기 실시예들은 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수도 있다.

부호의 설명

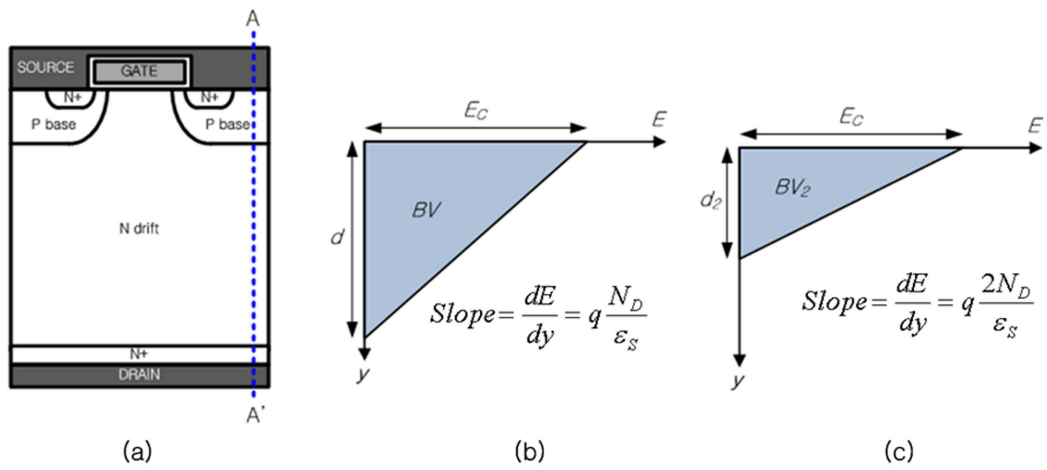
- [0108] 100: 반도체 소자
110: N형 기판
120: 제 1N형 에피층
121: 플로팅 P형 영역
130: 제 2 N형 에피층
131: P-base 영역
132: N+ 영역
140: 게이트 전극
141: 절연체
150: 소스 전극
160: 드레인 전극

도면

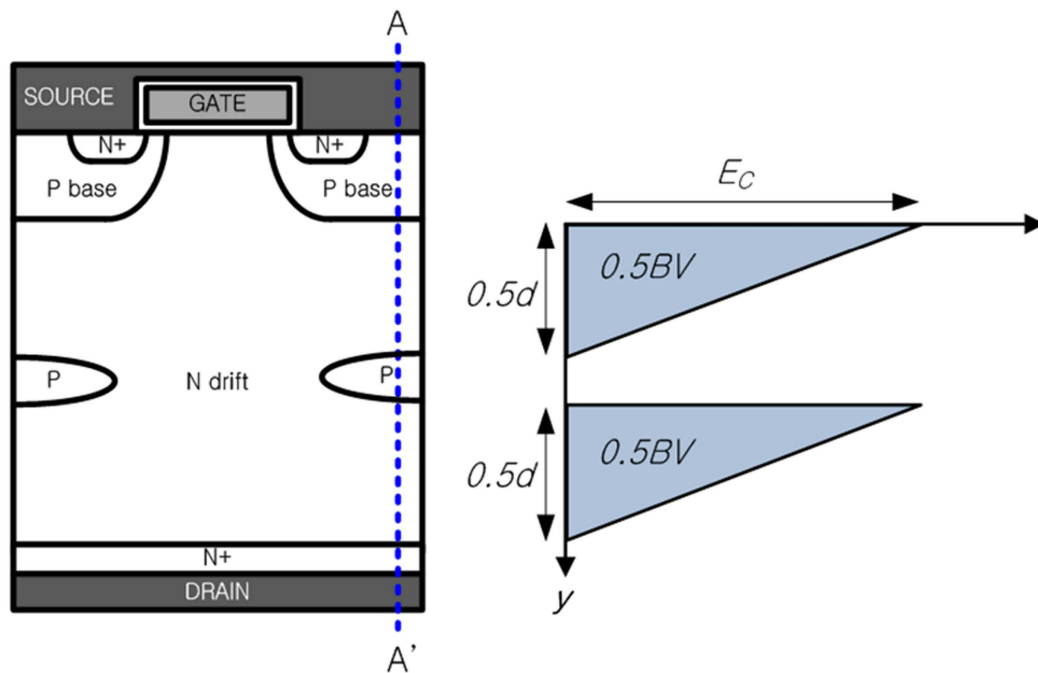
도면1



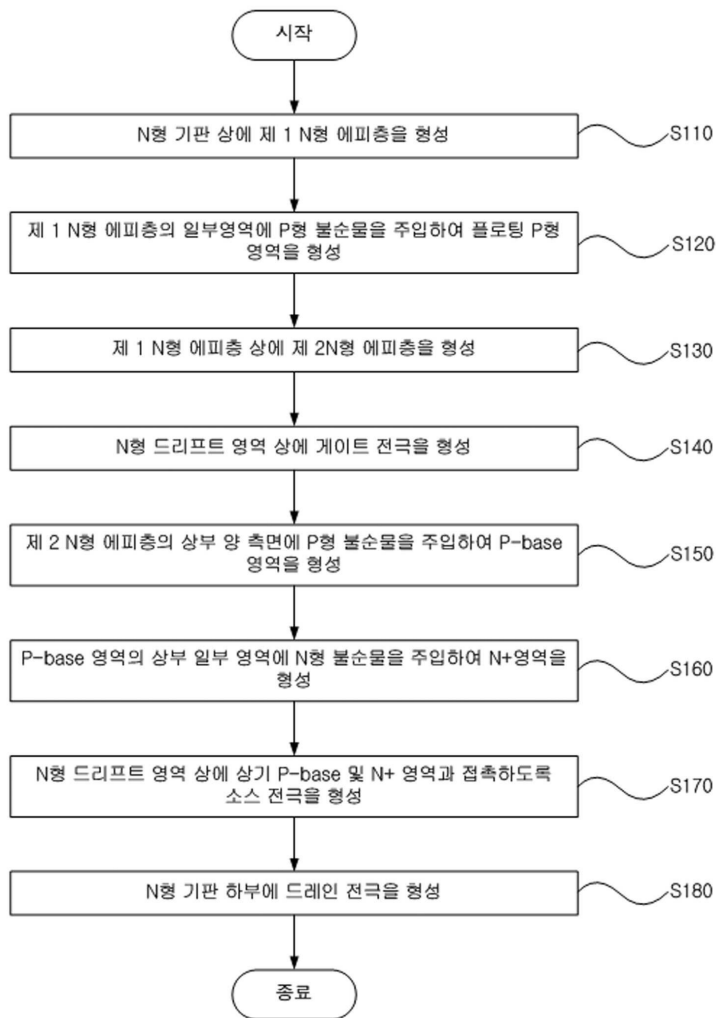
도면2



도면3



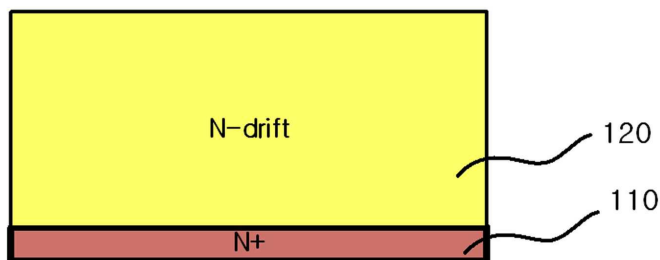
도면4



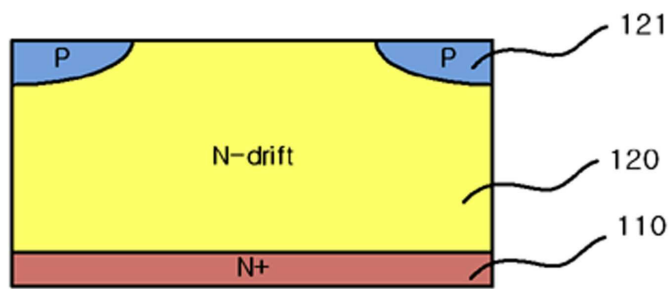
도면5



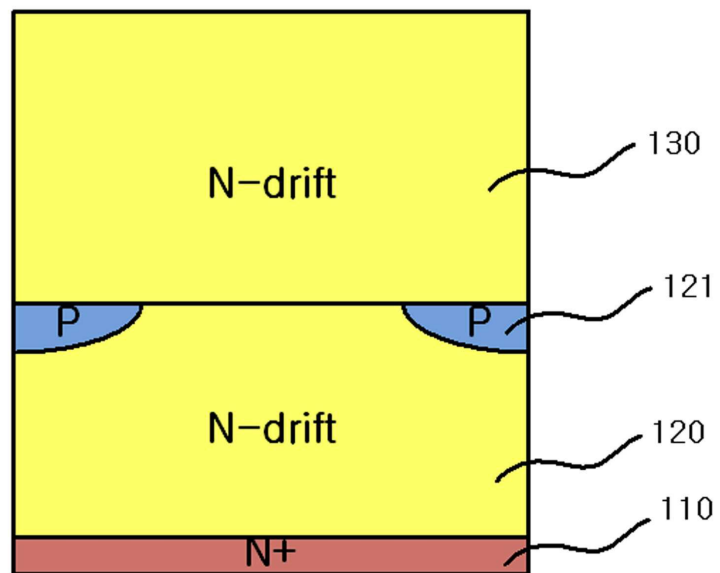
도면6



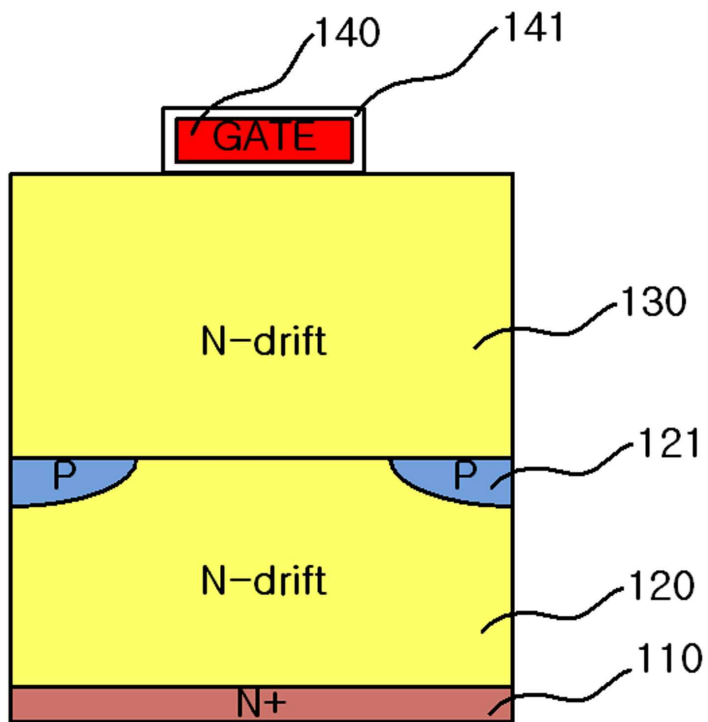
도면7



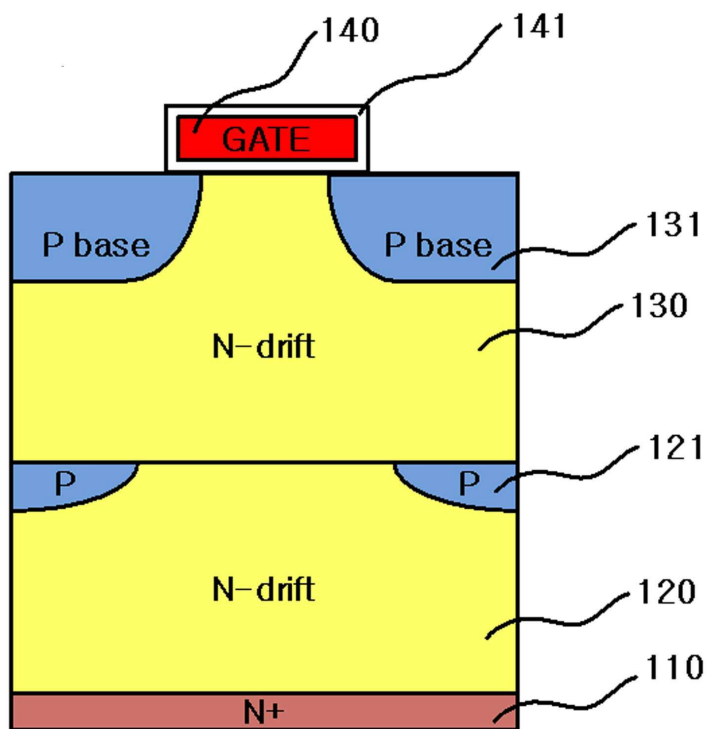
도면8



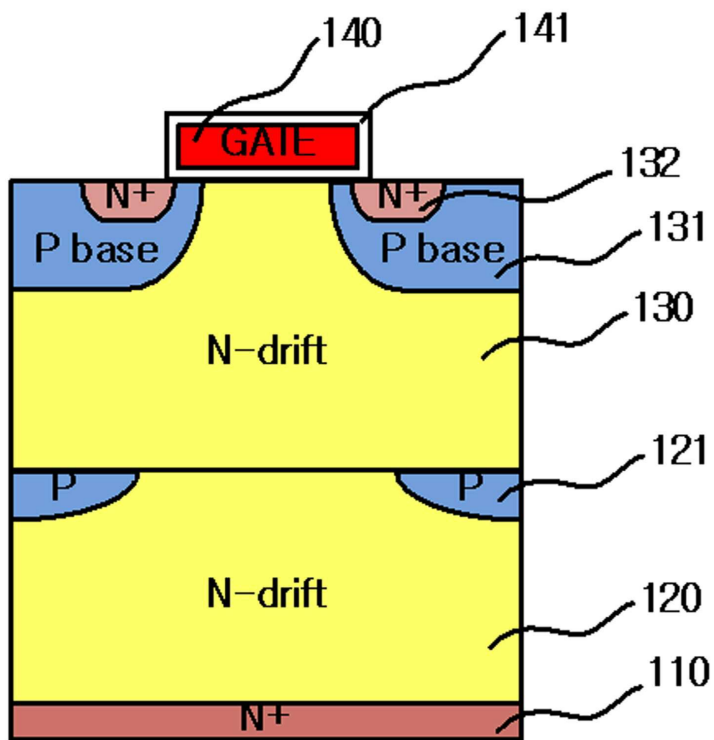
도면9



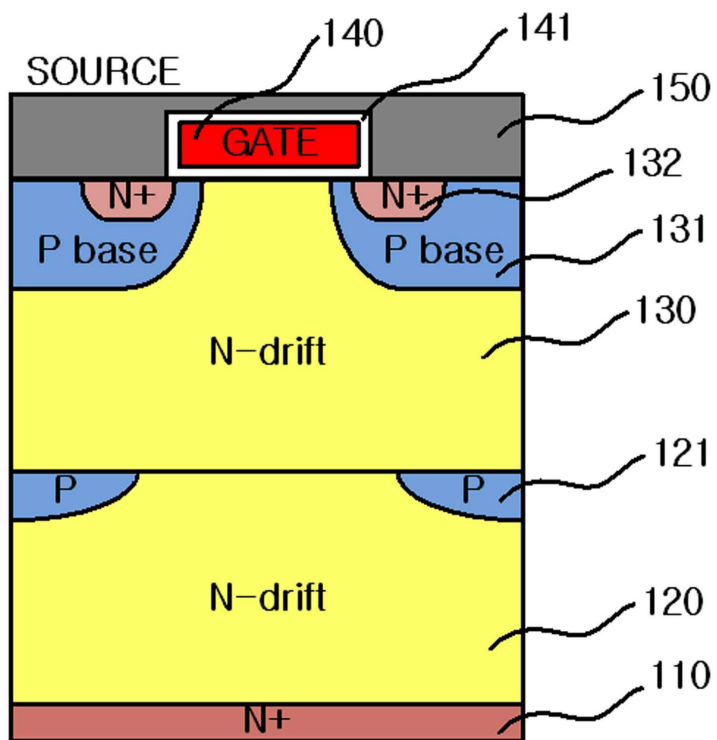
도면10



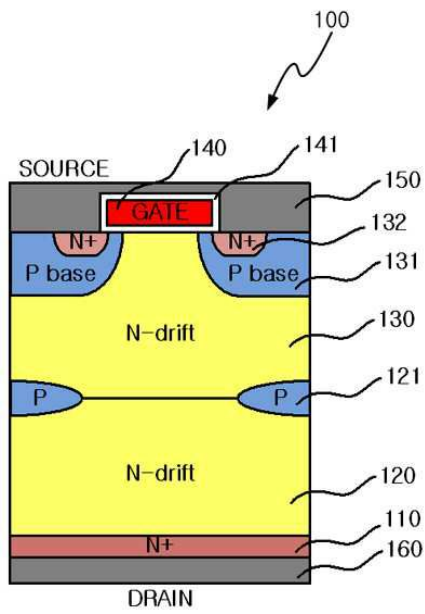
도면11



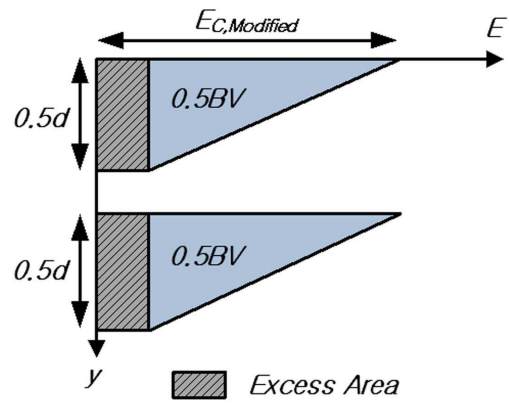
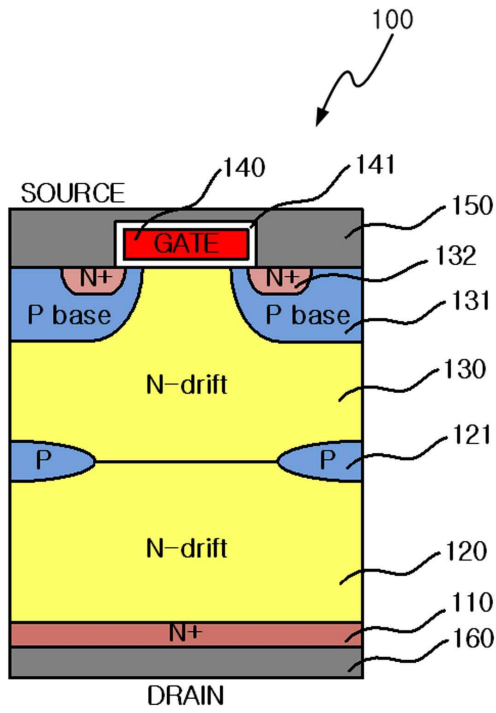
도면12



도면13



도면14



도면15

