

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 7 月 21 日 (2005.7.21)

【公表番号】特表 2004-529500 (P2004-529500A)
 【公表日】平成 16 年 9 月 24 日 (2004.9.24)
 【年通号数】公開・登録公報 2004-037
 【出願番号】特願 2003-500974 (P2003-500974)
 【国際特許分類第 7 版】

H 0 1 L 21/8247
 H 0 1 L 21/3205
 H 0 1 L 21/768
 H 0 1 L 27/115
 H 0 1 L 29/788
 H 0 1 L 29/792

【F I】

H 0 1 L 27/10 4 3 4
 H 0 1 L 29/78 3 7 1
 H 0 1 L 21/88 J
 H 0 1 L 21/90 C

【手続補正書】
 【提出日】平成 15 年 11 月 28 日 (2003.11.28)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

メモリセルアレイ内にビットラインコンタクトを提供するための方法であって、第一の方向に配列された複数のビットライン (2) であって、該ビットライン (2) は、分離層 (3) によって覆われる複数のビットラインと、該第一の方向の該ビットライン (2) 上方で交差する第二の方向に配列された複数のワードライン (4) と、該ビットラインおよびワードラインが互いに交差する場所に配置されるメモリセルとを含み、

該方法は、

該ワードライン (4) によって覆われていない部分で該分離層 (3) を該ビットライン (2) から除去する工程であって、該ビットライン (2) 間の領域内の該分離層 (3) は維持される、工程と、

該ビットラインの露出された部分上に導電材料 (18) を提供する工程とを包含する、方法。

【請求項 2】

前記分離層 (3) を前記ビットライン (2) から除去する工程は、
 フォトレジスト材料 (17) を堆積する工程と、
 ストライプパターンを有するマスクを用いて該フォトレジスト材料 (17) をパターニングする工程と、

前記ワードライン (4) に対して前記分離層 (3) を選択的にエッチングする工程とを包含する、請求項 1 に記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項 3】

ストライプパターンを有する前記マスクは、前記ビットライン（２）が以前に規定されたビットラインマスクである、請求項２に記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項４】

メモリセルアレイ内にビットラインコンタクトを提供するための方法であって、基板（１）上に第一の方向に配列された複数のビットライン（２）と、該基板（１）上で該第一の方向の該ビットライン（２）上方で交差する第二の方向に配列された複数のワードライン（４）と、該ビットラインとワードラインとが互いに交差する場所に配置されるメモリセルとを含み、該ビットラインは、分離層（３）によって覆われ、該ワードラインによって覆われていない該ビットライン間の該メモリセルアレイの全部分は、少なくとも一つの分離層（５、６、７）によって覆われ、該方法は、

該ワードライン（４）によって覆われていない部分において該少なくとも一つの分離層の上部（５、７）が該メモリセルアレイから除去される工程によって該分離層（３）を該ビットラインから除去する工程と、

該ビットラインの露出された部分上に導電材料（１８）を提供する工程とを包含する、方法。

【請求項５】

前記分離層（３）を前記ビットライン（２）から除去する工程は、前記ワードライン（４）に対して選択的に該分離層（３）を時間制御してエッチングする工程を含む、請求項４に記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項６】

前記ビットラインの露出された部分上に導電材料（１８）を提供する工程は、

前記メモリセルアレイ上に分離材料を堆積する工程と、

フォトリソグラフィ材料をコーティングし、該フォトリソグラフィ材料内にコンタクトホールをリソグラフィにより規定する工程と、

該コンタクトホールを生成するように該分離材料をエッチングする工程と、

導電材料で該コンタクトホールを満たすように導電材料を堆積する工程と

を包含する、請求項１～５のいずれか１つに記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項７】

前記ビットラインの露出された部分上に導電材料（１８）を提供する工程は、

前記メモリセルアレイ上に該導電材料（１８）を堆積する工程と、

該導電材料（１８）を該ビットライン間の領域から除去する工程と、

該ビットライン間の領域内に分離材料（２０）を堆積する工程と

を包含する、請求項１～３のいずれか１つに記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項８】

前記導電材料（１８）を前記ビットライン（２）間の領域から除去する工程は、

該導電材料上にフォトリソグラフィ材料をコーティングし、ストライプパターンを有するマスクを用いて該導電材料が除去されることになる領域をリソグラフィにより規定する工程と、

露出された領域内の該導電材料（１８）を除去する工程と

を包含する、請求項７に記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項９】

前記ビットラインの露出された部分上に導電材料（１８）を提供する工程は、

前記メモリセルアレイ上に該導電材料（１８）を堆積する工程と、

該導電材料（１８）を該ビットライン間の領域から除去する工程と、

該ビットライン間の領域内に分離材料（１８）を堆積する工程と

を包含する、請求項４または５に記載のメモリセルアレイ内にビットラインコンタクト

を提供するための方法。

【請求項 10】

前記導電材料(18)を前記ビットライン(2)間の領域から除去する工程は、
該導電材料上にフォトリソ材料をコーティングし、ストライプパターンを有するマスクを用いて該導電材料が除去されることになる領域をリソグラフィーにより規定する工程と、

露出された領域内の該導電材料(18)を除去する工程と
を包含する、請求項9に記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項 11】

前記分離層(3)を前記ビットラインから除去する工程によって、前記基板(1)は、前記ワードラインによって覆われていないビットライン間の部分において露出され、前記導電材料(18)をエッチングする工程は、該導電材料の下の前記基板(1)の部分が除去されるようにオーバーエッチング工程として行われる、請求項10に記載のメモリセルアレイ内のビットラインコンタクトを提供するための方法。

【請求項 12】

前記分離材料(20)は、ホウ素および/またはリンでドーピングされたシリケートガラスである、請求項6～11のいずれか1つに記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項 13】

前記導電材料(18)は、ドーピングされたポリシリコンである、請求項1～12のいずれか1つに記載のメモリセルアレイ内にビットラインコンタクトを提供するための方法。

【請求項 14】

窒化物リードオンリーメモリ(NROM)チップを製造する方法であって、
分離層(3)によって覆われ、第一の方向に配列された複数のビットライン(2)と、
該第一の方向に直交する第二の方向に配列された複数のワードライン(4)とが互いに交差する点に複数のメモリセルが配置されたメモリセルアレイであって、該メモリセルのそれぞれは、金属-絶縁体-半導体電界効果型トランジスタからなり、該絶縁体は、1以上の注入された電子を格納するための酸化物-窒化物-酸化物多層スタックである、メモリセルアレイを提供する工程と、

論理コンポーネントを含む周辺部分を提供する工程と、

該ビットライン(2)と続く工程において形成される金属ラインとの間に電氣的コンタクトを達成するために、請求項1～13の任意において規定される方法によりビットラインコンタクトを提供する工程と、

該ビットライン上方に第一の方向に配列された金属ラインを提供する工程と
を包含する、方法。

【請求項 15】

請求項1～13のいずれか1つの方法によって作製されるビットラインコンタクトを有するメモリセルアレイ。

【請求項 16】

請求項14の方法によって製造された窒化物リードオンリーメモリ(NROM)チップ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本発明の第一の局面によると、第一の方向に配列された複数のビットラインであって、該ビットラインは、分離層によって覆われる、複数のビットラインと、該ビットライン

上方で該第一の方向と交差する第二の方向に配列された複数のワードラインと、該ビットラインおよびワードラインが互いに交差する場所に配置されたメモリセルとを含むメモリセルアレイ内にビットラインコンタクトを提供するための方法であって、該方法は、該ワードラインによって覆われていない全ての位置において該ビットラインから該分離層を除去する工程であって、該ビットライン間の領域内の該分離層は、維持される、工程と、該ビットラインの露出された部分上に導電材料を提供する工程とを包含する、方法によって上記目的が達成される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

本発明の第二の局面によると、基板上に第一の方向に配列された複数のビットラインと、該基板上の該ビットライン上方に該第一の方向に交差する第二の方向に配列された複数のワードラインと、該ビットラインおよびワードラインが互いに交差する場所に配置されたメモリセルとを含むメモリセルアレイ内にビットラインコンタクトを提供するための方法であって、該ビットラインは、分離層によって覆われ、該ワードラインによって覆われていない該ビットライン間の該メモリセルアレイの全部分は、少なくとも一つの分離層によって覆われ、該方法は、該少なくとも一つの分離層の上部も、該ワードラインによって覆われていない全部分にあるメモリセルアレイから取り除かれる工程によって該ビットラインから該分離層を取り除く工程と、該ビットラインの露出された部分上に導電物質を提供する工程とを含む、方法によって上記目的は達成される。