



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년02월05일
(11) 등록번호 10-2761835
(24) 등록일자 2025년01월24일

- (51) 국제특허분류(Int. Cl.)
H10B 41/20 (2023.01) H01L 21/308 (2006.01)
H10B 41/50 (2023.01) H10B 43/20 (2023.01)
H10B 43/50 (2023.01) H10D 48/00 (2025.01)
- (52) CPC특허분류
H10B 41/20 (2023.02)
H01L 21/308 (2013.01)
- (21) 출원번호 10-2021-7021013
- (22) 출원일자(국제) 2019년12월04일
심사청구일자 2022년12월02일
- (85) 번역문제출일자 2021년07월05일
- (65) 공개번호 10-2021-0091822
- (43) 공개일자 2021년07월22일
- (86) 국제출원번호 PCT/US2019/064538
- (87) 국제공개번호 WO 2020/117978
국제공개일자 2020년06월11일
- (30) 우선권주장
62/775,310 2018년12월04일 미국(US)
- (56) 선행기술조사문헌
JP2010251572 A*
US20160126292 A1*
WO2018039654 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
선라이즈 메모리 코포레이션
미국 캘리포니아주 95131 산호세 차르코트 애비뉴 225
- (72) 발명자
헤르너, 스콧 브래드
미국 콜로라도주 80026 라파에트 캐스케이드 크릭 드라이브 2849
치엔, 우-이 헨리
미국 캘리포니아주 95120 산 호세 엘드리지 디알. 6844
(뒷면에 계속)
- (74) 대리인
특허법인 광장리앤코

전체 청구항 수 : 총 16 항

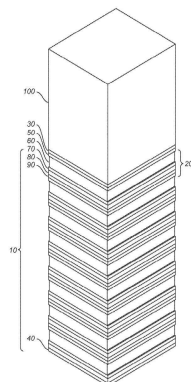
심사관 : 최정민

(54) 발명의 명칭 다중-층 수평 NOR-타입의 박막 메모리 스트링들을 형성하기 위한 방법

(57) 요약

(i) 단일의 매우 까다로운 높은 종횡비의 식각 단계를, 더 넓고 기계적으로 더 안정적인 활성 스트립들을 수반하는 덜 까다로운 종횡비들의 두 개 이상의 식각 단계들로 대체하고, (ii) 높은 종횡비의 식각 단계 및 후속하는 처리 단계들 동안 구조적인 안정성을 유지하기 위해 지지를 위한 유전체 필러들을 사용하며; 및 더 넓고 기계적으로 더 안정적인 활성 스트립들을 수반하는 덜 까다로운 종횡비들의 두 개 이상의 식각 단계들을 제공하기 위해 다수의 마스크 단계들을 사용함으로써, 다양한 방법들이 한계들을 극복하고 우수한 크기 조정을 달성한다.

대표도 - 도1



(52) CPC특허분류

H10B 41/50 (2023.02)

H10B 43/20 (2023.02)

H10B 43/50 (2023.02)

H10D 30/0413 (2025.01)

(72) 발명자

주, 지에

미국 캘리포니아주 95120-1913 산 호세 파이프우드
코트 6558

하라리, 일리

미국 캘리포니아주 95070 사라토가 힐 애비뉴
20238

명세서

청구범위

청구항 1

기판의 평면 표면 위에 형성되는 메모리 구조를 위한 높은 종횡비의 식각을 위한 방법으로서:

상기 평면 표면 위에 복수의 재료 다중-층들을 준비하는 단계 - 상기 평면 표면에 직교하는 제1 방향을 따라 상기 복수의 재료 다중-층들 중 하나가 다른 하나 위에 적층되며, 각 재료 다중-층은 제1 전도성 재료의 제1 층 및 제2 층을 포함함 -;

상기 재료 다중-층들을 통해 상기 제1 방향을 따라 연장하는 복수의 유전체 필러(pillar)들을 제공하는 단계; 및

상기 유전체 필러들을 제공한 후에, 상기 재료 다중-층들을 다중-층 스택들의 그룹으로 나누는 트렌치들의 세트를 생성하기 위해 마스크를 사용하여 상기 제1 방향을 따라 상기 재료 다중-층들을 패터닝 및 식각하는 단계 - 각 트렌치는 상기 기판의 상기 표면에 평행한 제2 방향을 따라 연장하고, 각 유전체 필러는 두 개의 이웃하는 다중-층 스택들과 인접함 -를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 제1 전도성 재료는 도핑된 반도체 재료를 포함하는, 방법.

청구항 3

제1항에 있어서,

상기 트렌치들을 유전체 재료로 채우는 단계 및 각 트렌치에서 상기 유전체 재료의 일부를 상기 제1 방향을 따라 연장하는 복수의 전도성 컬럼들로 대체하는 단계를 더 포함하는, 방법.

청구항 4

제3항에 있어서,

각 트렌치에서 상기 유전체 재료의 일부를 대체하는 단계는:

상기 제1 방향을 따라 연장하는 복수의 샤프트들을 제공하기 위해 상기 트렌치에서 상기 유전체 재료를 식각하는 단계;

각 샤프트에 등각으로 데이터 저장 재료를 증착하는 단계; 및

상기 전도성 컬럼들을 형성하기 위해 각 샤프트를 제2 전도성 재료로 채우는 단계를 포함하는, 방법.

청구항 5

제4항에 있어서,

상기 재료 다중-층들을 준비하는 단계 이전에, 상기 기판의 상기 표면 위에 복수의 전도체들을 제공하는 단계 - 각 전도체는 상기 제1 방향 및 상기 제2 방향의 각각에 직교하는 제3 방향을 따라 연장함 -를 더 포함하는, 방법.

청구항 6

제5항에 있어서,

각 전도체는 도핑된 반도체 또는 금속을 포함하는, 방법.

청구항 7

제5항에 있어서,

각 전도성 컬럼이 상기 전도체들 중 하나에 전기적으로 연결되는 것을 가능하게 하기 위해 전도성 경로를 제공하는 단계를 더 포함하는, 방법.

청구항 8

제4항에 있어서,

상기 다중-층 스택들 위에 복수의 전도체들을 제공하는 단계 - 각 전도체는 상기 제1 방향 및 상기 제2 방향의 각각에 직교하는 제3 방향을 따라 연장함 -를 더 포함하는, 방법.

청구항 9

제8항에 있어서,

각 전도성 컬럼이 상기 전도체들 중 하나에 전기적으로 연결되는 것을 가능하게 하기 위해 전도성 경로를 제공하는 단계를 더 포함하는, 방법.

청구항 10

제8항에 있어서,

상기 기판에 회로 요소들을 제공하는 단계; 및

상기 전도성 컬럼들 중 선택된 컬럼들을 상기 회로 요소들 중 대응하는 회로 요소들에 전기적으로 연결하는 단계 - 상기 선택된 전도성 컬럼들의 각각은 그의 대응하는 회로 요소 위에 위치됨 -를 더 포함하는, 방법.

청구항 11

제10항에 있어서,

상기 회로 요소들과 상기 전도성 컬럼들 사이에 분리 층(isolation layer)을 제공하는 단계 - 상기 전도성 컬럼들 중 선택된 컬럼들을 그에 대응하는 회로 요소들에 전기적으로 연결하는 단계는 상기 분리 층을 통해 전도성 경로들을 생성하는 단계를 포함함 -를 더 포함하는, 방법.

청구항 12

제1항에 있어서,

각 다중-층 스택의 하나 이상의 단부들에 계단 구조(stair case structure)를 생성하는 단계를 더 포함하고, 각 계단 구조는 상기 제2 방향을 따라 상기 다중-층 스택의 상기 층들을 연속적으로 연장하는 스텝들(steps)을 갖는, 방법.

청구항 13

제12항에 있어서,

상기 계단 구조 위에 전기적으로 절연성인 재료를 제공하는 단계 및 상기 계단 구조들의 스텝의 노출된 반도체 층 또는 전도성 층에 전기적으로 연결시키기 위해 상기 제1 방향을 따라 비아 연결들을 제공하는 단계를 더 포함하는, 방법.

청구항 14

제1항에 있어서,

각 재료 다중-층은 상기 제1 전도성 재료의 상기 제1 층과 상기 제2 층 사이의 희생 층을 더 포함하고, 상기 방법은 상기 희생 층의 일부를 상기 제1 전도성 재료의 제3 층으로 대체하는 단계를 더 포함하는, 방법.

청구항 15

제1항에 있어서,

각 재료 다중-층은 상기 제1 전도성 재료의 상기 제1 층에 인접하는 희생 층을 더 포함하고, 상기 방법은 상기 희생 층의 일부를 제3 전도성 재료로 대체하는 단계를 더 포함하는, 방법.

청구항 16

제15항에 있어서, 상기 제3 전도성 재료는 금속을 포함하는, 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

발명의 설명

기술분야

- [0001] 연관된 출원에 대한 상호 참조
- [0002] 본 출원은 (i) 2018년 12월 4일에 출원되고 명칭이 "Methods for Forming Multilayer Horizontal NOR-type Thin-film Memory Strings"인 미국 가출원("가출원 I") 제62/775,310호의 우선권을 주장하고 이에 관련된다.
- [0003] 본 발명은 또한, (i) 2018년 7월 12일에 출원되고 명칭이 "Fabrication Method for a 3-Dimensional NOR Memory Array"인 미국 가출원("가출원 II") 제62/697,085호; (ii) 2018년 10월 29일에 출원되고 명칭이 "3-Dimensional NOR Memory Array with Very Fine Pitch: Device and Method"인 미국 가출원("가출원 III") 제 62/752,092호; 및 (iii) 2018년 11월 27일에 출원되고 명칭이 "Staircase Structures for Electrically Connecting Multiple Horizontal Conductive Layers of a 3-Dimensional Memory Device"인 미국 가출원("가출원 IV") 제62/771,922호에 관련된다.
- [0004] 본 출원은 또한, 2018년 6월 19일에 출원되고, 명칭이 "3-Dimensional NOR Memory Array Architecture and Methods for Fabrication Thereof"인 미국 정규특허출원("정규출원") 제16/012,731호에 관련된다.
- [0005] 가출원 I, 가출원 II, 가출원 III 및 가출원 IV 및 정규출원의 개시들은 그 전체가 본원에 참조로 통합된다.
- [0006] 기술분야
- [0007] 본 발명은 3차원 메모리 구조들을 형성하는 것에 관한 것이다. 특히, 본 발명은 반도체 기판의 평면 표면 위에서 이에 실질적으로 평행한 NOR-타입 박막 메모리 스트링들에 대한 3차원 메모리 구조들을 형성하는 것에 관한 것이다.

배경기술

- [0008] 수평 NOR-타입(horizontal NOR-type, "HNOR") 박막 메모리 스트링들을 형성하기 위한 방법들이 이전에 설명되었다. 예를 들어, 위에서 참조로 통합된 가출원 II에 개시된 3차원 수평 NOR-타입 메모리 스트링들을 참조한다. 이 상세한 설명에서, "활성 스트립(active strip)"이란 용어 - 일부 경우에서 때때로 "NIN 스트립들" 또는 "비트 라인 스트립들"로 지칭됨 -는, 박막 트랜지스터들이 그의 길이를 따라 형성되도록 채널 영역, 소스 영역 및 드레인 영역을 용이하게 하거나 또는 이를 제공할 수 있는 반도체 및 다른 재료들의 다양한 층들을 포함하는 얇고 연장된 재료들의 스트립을 지칭한다. 상기 박막 트랜지스터들은 공통 소스 영역 및 공통 드레인 영역을 공유함으로써 NOR-타입 메모리 스트링으로서 구성될 수 있다. 일부 실시예들에서, NOR-타입 메모리 스트링의 트랜지스터 중 하나 이상을 통해 액세스될 때를 제외하고, 소스 영역은 전기적으로 플로팅되고(electrically floating), 공통 드레인 영역은 NOR-타입 메모리 스트링에 대한 비트 라인의 역할을 한다. 활성 스트립에서 재료 층들의 집합은 "활성 층"으로 지칭된다. 가출원 II에서 설명된 프로세스 흐름은 먼저 다수의 활성 층들을 증착하고, 이어서 다수의 활성 층들을 패터닝 및 식각함으로써 활성 스트립들의 스택들("활성 스택들")을 형성하는 것을 교시한다. 각 스택에서의 결과적인 활성 스트립들은 서로 평행하게 이어지고(run), 인접한 활성 스택들은 깊은 트렌치들에 의해 서로 분리된다. 결과적인 활성 스택들은 각각 수평으로 배열된 NOR-타입 메모리 스트링들의 3차원 어레이("HNOR 메모리 어레이")을 나타내는 블록들로 구성될 수 있다.
- [0009] 가출원 II의 프로세스는 더 좁은 활성 스트립들 및 더 높은 활성 스택들을 형성하기 위한 그의 능력을 개선함으로써 고도로 크기 조정되고(highly scaled) 낮은 비용의 HNOR 메모리 어레이들을 달성하지만, 이는 점점 더 까다로운(challenging) 높은 중횡비의 식각을 수행하는 것을 요구한다. 이를 위해, 정규출원은 구조적인 안정성 또는 기계적인 안정성을 향상시키기 위해, 각 활성 스택의 길이를 따라 적절한 간격들로 버팀대(braces) 또는 스트럿들(struts)을 사용하는 것을 교시한다. 구조적 불안정성은 인접한 활성 스트립들 간에 기울어짐, 구부러짐(snaking), 꼬임(twisting), 휘어짐(bowing), 리보닝(ribboning) 또는 단락을 유발할 수 있다. 이들 현상은 더 많은 수의 활성 층들을 갖는 더 큰 스택들에 의해 악화된다. 구조적 불안정성은 각 활성 스트립을 더 짧은 활성 스트립들로 분할하거나, 더 많은 버팀대들을 더 짧은 간격들로 배치하거나, 또는 더 넓은 활성 스트립들 또는 더 낮은 스택 높이들을 형성함으로써 완화될 수 있다. 이들 접근법들이 모두 구조적인 견고성을 높이는 데 기여하지만, 이들은 비트 당 더 많은 실리콘 공간(real estate)을 요구하며, 그러므로 비트 당 비용을 증가시킨다.

발명의 내용

- [0010] 본 발명의 제1 실시예에 따른 방법들은 단일의 매우 까다로운 높은 중횡비의 식각 단계를, 더 넓고 기계적으로

더 안정적인 활성 스트립들을 수반하는 덜 까다로운 중형비들의 두 개 이상의 식각 단계들로 대체함으로써 위에서 언급된 한계들을 -- 우수한 크기 조정을 달성하면서 -- 실질적으로 극복한다.

[0011] 본 발명의 제2 실시예에 따른 방법들은 메모리 구조를 지지하고, 높은 중형비의 식각 단계 및 후속 처리 단계들 동안 기계적인 안정성을 유지하기 위해 유전체 필러들(pillars)을 사용한다.

[0012] 본 발명의 제3 실시예에 따른 방법들은 더 넓고 기계적으로 더 안정적인 활성 스트립들을 수반하는 덜 까다로운 중형비들의 두 개 이상의 식각 단계들을 제공하기 위해 다수의 마스크 단계들을 사용한다.

[0013] 본 발명은 첨부 도면들과 함께 아래의 상세한 개시를 고려하면 더 잘 이해된다.

도면의 간단한 설명

[0014] 도 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23 및 24는 본 발명의 제1 실시예에 따른, HNOR 메모리 어레이의 활성 스택들을 두 개 이상의 식각 단계들로 형성하는 것을 도시한다.

도 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35 및 36은 본 발명의 제2 실시예에 따른, 활성 층들의 세트들 HNOR 메모리 어레이의 활성 스택들로 식각하기 위해 단일 식각 단계를 사용한 HNOR 메모리 어레이의 형성을 도시한다.

도 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49 및 50은 본 발명의 제3 실시예에 따른, HNOR 메모리 어레이의 활성 스택들을 두 개의 식각 단계들로 형성하는 것을 도시한다.

도 51a 및 51b는 리보닝 현상을 도시한다.

이하의 상세한 설명 및 도면들 간의 요소들의 상호 참조를 용이하게 하기 위해, 유사한 요소들은 유사한 참조 번호들이 할당된다.

발명을 실시하기 위한 구체적인 내용

[0015] 상세한 설명은 본 발명의 다양한 실시예에 따른 프로세스 흐름들을 제시한다. 이때, 하나 이상의 실시예들이 제조 가능성의 이유들로 선호될 수 있지만, 다른 실시예들이 다른 이유로 선호될 수 있다. 이 상세한 설명에 나타난 바와 같이, 적절한 경우, 일부 실시예들에서 특정 피쳐들의 채택은 리보닝, 구조적 불안정성 또는 층간 오정렬을 방지하는 것과 같은 상기 제조 고려사항들에 기초한 절충안(trade-off)을 나타낼 수 있다. 예를 들어, 도 1-24에 따른 실시예들은 다수의 식각 단계들에서 활성 스택들을 형성함으로써 리보닝을 회피한다. 두 개 이상의 식각 단계들로 활성 스택들을 형성함으로써, 각 식각에 의해 달성되도록 요구되는 중형비가 감소되고, 이는 또한, 형성될 활성 스트립들의 구조적 안정성을 향상시킨다. 하지만, 두 개 이상의 식각 단계들로 활성 스택들을 식각함으로써, 동일한 단계에서 식각되지 않은 활성 스트립들 사이의 정렬이 악화될 수 있다.

[0016] (도 51a 및 51b는 미세한 직사각형 피쳐의 응력-유발된 변형인 리보닝 현상을 도시한다. 도 51a는 의도된 치수들의 폭 X1, 길이 Y1 및 높이 Z1을 갖는 미세한 직사각형 피쳐(예를 들어, 마스크 재료를 개발하는 것으로부터 형성된 피쳐)를 도시한다. 일부 제조 프로세스들에서, 중형비 Z1/X1이 10을 초과할 때, 직사각형 피쳐에서의 응력은 결과적인 피쳐가 도 51b에 도시된 바와 같이 일련의 연결된 S-커브들이 되게 하기 위해 의도된 직선으로부터 "리보닝되도록" 길이 Y1을 따른 변형을 이룰 수 있다. 특히, 폭 X1이 약 45nm 미만으로 크기 조정될 때 리보닝은 더 작은 폭으로 더 날카롭다).

[0017] 아래의 상세한 설명에서, 문맥이 지시하지 않거나 또는 본원에서 달리 구체적으로 명시되지 않는 한, 본원에서 논의된 상이한 프로세스 단계들은 임의의 순서로 또는 동시에 수행될 수 있다. 추가로, 문맥이 지시하지 않거나 또는 본원에서 달리 구체적으로 명시되지 않는 한, 하나 이상의 추가적인 단계들은 본원에서 논의된 임의의 프로세스 단계 전후 또는 본원에서 논의된 임의의 두 개의 프로세스 단계들 사이에서 수행될 수 있다. 예를 들어, 실시예들 중 하나가 하나 이상의 금속 층들이 다른 실시예들과 함께 설명되지 않은 보호 반도체막 배리어 층으로 피복되는(cladded) 것으로 설명되었지만, 이러한 피복 단계는 또한, 다른 실시예들의 각각과 함께 사용될 수 있다.

[0018] 도 1-24는 본 발명의 제1 실시예에 따라 두 개의 식각 단계들로 HNOR 메모리 어레이의 활성 스택들을 형성하는 것을 도시한다. 도 1에 도시된 바와 같이, 메모리 구조(10)는 하드 마스크 층(hard mask layer, 30)과 식각-정지 층(40) 사이에 상이한 재료들의 8개의 연속적으로 증착된 활성 층들(예를 들어, 활성 층(20))을 포함한다. (도 1이 8개의 활성 층들을 도시하지만, 활성 층들의 상기 개수는 단지 설명의 목적만으로 제공된다. 1, 2, 4,

6, 16, 32개 또는 그를 초과하는 활성 층들과 같은 임의의 적합한 수의 활성 층들이 제공될 수 있다. 각 활성 층(예를 들어, 활성 층(20))은: (i) 제1 반도체 층("소스 층")(50), (ii) 제1 희생 층("SAC1") 층(60), (iii) 제2 반도체 층("드레인 층")(70), (iv) 제2 희생 층("SAC4")(80) 및 (v) 층간 유전체 층("ILD 층")(90)을 포함할 수 있다. 소스 층(50) 및 드레인 층(70)은 임의의 적합한 반도체 재료(예를 들어, p형 반도체에 대한 붕소 또는 인듐, 또는 n형 반도체에 대한 비소, 인 또는 안티모니와 같은 하나 이상의 적합한 도펀트로 n형 또는 p형으로 도핑되는 실리콘, 실리콘 게르마늄)를 포함할 수 있다. 하드 마스크 층(30), 식각 정지 층(40), SAC1 층(60), SAC4 층(80) 및 ILD 층(90)은 임의의 적합한 재료, 예를 들어 SiO₂, SiN, SiON, SiC, 실리콘 게르마늄 또는 SiCOH를 포함할 수 있다. 예를 들어, 일 구현에서, SAC1 층(60)은 SiO₂를 포함할 수 있고, SAC4 층(80)은 SiN을 포함할 수 있고, ILD 층(90)은 SiCOH일 수 있다. 활성 층(20)에서의 각 재료 층은 저압 화학 기상 증착(low pressure chemical vapor deposition, LPCVD), 플라즈마 향상된 CVD(plasma enhanced CVD, PECVD), 원자층 증착(atomic layer deposition, ALD, 이는 CVD의 다른 형태임), 스퍼터링, 또는 바람직하게는 PECVD에 의한 증발을 사용하여 증착될 수 있다.

[0019] 마스크 층(100)은 메모리 구조(10)의 상단에 증착될 수 있다. 마스크 층(100)은 예를 들어, 탄소-기반 층 및 포토레지스트 층 모두를 포함할 수 있다. 도 2는 마스크 층(100)이 패터닝된 이후의 도 1의 메모리 구조(10)를 도시한다. 도 2에 도시된 바와 같이, 마스크 층(100)은 각각 폭(L₂)을 갖고 각각 폭(L₁)의 트렌치에 의해 그의 이웃들로부터 분리되는 - 폭(L₂)은 바람직하게, 원하는 폭(L₁)의 두 배 미만이 아님 - 마스크 구조(115)로 패터닝된다. 폭(L₁)은 형성될 활성 스트립들 사이의 트렌치들의 원하는 폭을 정의한다.

[0020] 도 3은 메모리 구조(10)에 트렌치들(110)을 생성하는 식각 단계를 도시한다. 도 3의 식각 단계 이후에, 도 4에 도시된 바와 같이 마스크 층(100)이 제거된다. 그 후, 트렌치들(110)에 노출된 각 활성 층에서의 SAC1 층(60)은 다른 층들을 실질적으로 식각하지 않으면서, 미리 결정된 깊이(예를 들어, 5-10 나노미터 사이)의 리세스된 캐비티(recessed cavity)를 형성하도록 선택적으로 식각된다. 선택적 식각은 임의의 적합한 기술을 사용하여 가령, 부식성 가스, 습식 화학 산 또는 염기에 의해, 바람직하게는 부식성 가스에 의해 달성될 수 있다. 도 4는 SAC1 층(60)의 작은 부분이 트렌치들(110)의 양측들에서 SAC1 층들의 노출된 면들의 각각으로부터 선택적 식각에 의해 제거되는 것을 도시한다.

[0021] 도 5를 참조하면, 트렌치들(110)은 LPCVD 또는 ALD와 같은 임의의 적합한 기술을 사용하여 임의의 적합한 재료(예를 들어, 그 자리에(in situ) 도핑될 수 있는, p형 또는 n형 실리콘 또는 실리콘 게르마늄)를 포함할 수 있는 반도체 층(120)에 의해 채워진다. 반도체 층(120)은 트렌치들(110)이 완전히 채워지지 않고 좁은 트렌치들(135)을 남기기 위한 두께로 등각으로 증착될 수 있다. 도 6은 이방성 및 부분적으로 측면 식각(sideway etch) 이후에, 반도체 층(120)이 SAC1 층(60)에서의 리세스된 캐비티들을 제외하고 트렌치들(110)로부터 제거되는 것을 도시한다. 리세스된 캐비티들에 남아있는 반도체 층(120)은 결국, 박막 NOR 트랜지스터들이 형성되도록 p형 또는 n형 채널들 영역들의 역할을 할 것이다.

[0022] 도 7을 참조하면, 트렌치(110)는 공극들을 형성하는 것을 회피하도록 고려하는 LPCVD, PECVD 또는 ALD와 같은 임의의 적합한 기술들을 사용하여, 하나 이상의 유전체 재료들(예를 들어, SiO₂, SiN, SiON, SiC, 다공성 SiO₂ 또는 SiCOH)로 이후에 채워진다. 메모리 구조(10)의 상단에 증착된 임의의 유전체 재료는 제어된 식각 또는 CMP(화학적 기계적 연마(chemical mechanical polishing))에 의해 제거될 수 있다. 일 실시예에서, 트렌치(110)는 (i) 등각 초박형 벽-보호 층(130)(예를 들어, SiN) 및(ii) 벽 보호 층(130) 위에 증착되는 더 두꺼운 층(140)(예를 들어, SiO₂)의 두 개의 유전체 재료의 층들로 채워질 수 있다. 유전체 층(130 및 140)은 트렌치(110)들을 완전히 채운다.

[0023] 도 8을 참조하면, 이미 형성된 트렌치들(110)에 평행한 트렌치들의 제2 세트를 식각하는데 사용하기 위한 하드 마스크 구조들(155)을 형성하기 위해 하드 마스크 층이 증착되고 패터닝된다. 도 2의 마스크 구조들(115)에서와 같이, 하드 마스크 구조들(155)은 각각 폭(L₂)을 가지며, 각각 폭(L₁)의 트렌치들에 의해 그의 이웃들로부터 분리된다. 하드 마스크 구조들(155)은 트렌치들(110)을 완전히 보호하기 위해 마스크 구조들(115)의 위치들에 대해 각각 시프트된다. 하드 마스크 구조들(155)은 또한, 각 스택을 폭(L₁)(즉, 각 활성 스트립에 대해 원하는 폭) 미만이 아닌 정도로 중첩시키기 위해, 그의 바로 아래의 트렌치의 양 측면들에서 활성 스택들의 위로 각각 연장된다. 실제로, 기존의 리소그래피 도구들의 한계에 기인하여, 일부 오정렬이 발생할 수 있어서, 그의 아래의 좌측 및 우측 스택들 위의 각 하드 마스크 구조(155)의 중첩들이 정확하게 동일하지는 않다. 예를 들어, 타

겟 폭(L_1)이 50 나노미터이고 최악의 오정렬이 ± 5 나노미터이면, 좌측 증첩은 폭이 55 나노미터만큼 넓을 수 있는 한편, 우측 증첩은 폭이 45 나노미터만큼 좁을 수 있다. 이 제조 변동성은 예를 들어, 각 스택의 좌측 및 우측 박막 트랜지스터들을 두 개의 별도의 그룹들에 속하는 것으로 처리함으로써 - 각 그룹은 그들의 각각의 그룹들 내로부터 구성되는 그의 전용 기준 트랜지스터들 또는 기준 메모리 스트링들을 제공받음 -, 칩 설계 내에 흡수될 수 있다.

[0024] 도 9는 트렌치들(160)의 제2 세트를 제공하기 위해 식각되고, 따라서 활성 스택들(170)을 형성하는 메모리 구조(10)를 도시한다. 각 활성 스택은 마스크 구조(155)의 폭(L_2)보다 상당히 작은 공칭 폭(L_1)을 갖는다. 마스크 구조(155)의 상대적으로 큰 폭(L_2)은 리보닝을 방지한다. 도 10을 참조하면, SAC4 층(80)은 트렌치(160)의 노출된 측면들로부터 시작되는 선택적인 식각 단계에 의해 제거된다(이전에 SAC4(80)에 의해 차지된 각 활성 스트립에서의 공간은 이제 도 10에서 참조번호 80'로 표시된다). 이러한 식각은 임의의 적합한 기술(예를 들어, 부식성 가스, 습식 화학 산 또는 염기에 의한 식각)을 사용하여 달성될 수 있다. 예를 들어, SAC4 층(80)을 구현하기에 적합한 SiN 층은 180°C로 가열된 인산에서 습식 식각에 의해 제거될 수 있다. 식각은 SAC4 층(80)이 트렌치들(110)에서의 충전재들(130 및 140)까지 식각될 때 정지된다. 유전체 재료 층들(130 및 140)이 식각되지 않기 때문에, 이들의 지지체는 각 활성 스트립에서의 구성 SAC4 층(80)이 제거되고 그로 인해 활성 스택들(170)에 캐비티들 또는 불연속들을 생성하더라도, 활성 스택들(170)이 그들의 의도된 구조적 형태들(즉, 전체 길이를 따라 각각 좁고 길고 높음)을 유지하는 것을 허용한다. 적합한 간격들로 배치된 버팀대들이 기존의 최신 기술 하에 좁은 활성 스택들(170)을 지지하지 않아도 된다는 것에 유의한다. 하지만, 이러한 버팀대들은 폭(L_2)이 훨씬 더 좁아지거나, 또는 활성 스택들이 너무 높을 때(예를 들어, 활성 스트립들의 수가 너무 많을 때) 고도로 크기 조정된 3차원 HNR 메모리 어레이들에 대해 추후에 요구될 수 있어서, 이는 매우 긴 활성 스택들을 적합한 간격들로 지지하는 것이 신중해진다.

[0025] 도 11은 트렌치들(160)의 측면들 및 활성 스트립들에서의 선택적으로 식각된 캐비티들 모두가 금속으로 채워지고, 그로 인해 사실상 선택적 식각에 의해 제거된 SAC4 층(80)을 금속 층(175)으로 대체하는 것을 도시한다. (트렌치들(160)은 바람직하게는 완전히 채워지지 않는다는 점에 유의한다). 금속 층(175)은 임의의 적합한 재료(예를 들어, TiN, TaN, Ta, W, Mo 또는 이들의 임의의 조합)를 포함할 수 있다. 도 11은 예를 들어, 얇은 TiN 층 및 상대적으로 두꺼운 텅스텐(W)의 조합인 금속 층(175)을 도시한다. 그 후, 금속 층(175)은 적합한 식각에 의해 트렌치(160)의 측면들로부터 제거되고, 도 12에 도시된 바와 같이 활성 스트립에만 금속 층(175)을 남긴다. 일부 실시예들에서, 금속 층(175)은 이 기술분야의 기술자에 의해 알려진 바와 같이, 그 안에 배치될 산화물 캡 층 또는 실리콘 배리어 캡 층을 수용하기 위해, 트렌치들(160)의 측면들로부터 약 6 나노미터까지 선택적으로 식각함으로써 더 리세스된다. 산화물 캡 층 또는 실리콘 배리어 캡 층은 금속 층(175)이 아직 형성되지 않은 전하 트래핑 층과 직접적으로 접촉하는 것을 분리한다. 유사한 금속 대체 방식이 정규출원에 개시된다.

[0026] 트렌치들(160)에 노출된 활성 스트립들의 측면들은 SAC1 층(60)의 표면들을 포함한다는 점에 유의한다. 도 13은, SAC1 층(60)의 제2 선택적 식각 이후에, SAC1 층(60)의 리세스된 부분이 도 4와 함께 이전에 논의된 트렌치들(110)을 향하는 SAC1 층(60)의 리세스된 부분에 유사하게, 각 활성 스트립에 형성되는 것을 도시한다. 도 14를 참조하면, 반도체 층(180)은 그 후, 트렌치들(160) 및 SAC1 층(60)의 리세스된 부분들을 채우기 위해 증착된다. 반도체 층(180)은 트렌치들(160)을 부분적으로만 채울 필요가 있다. 도 15는 반도체 층(180)의 식각 이후에, 반도체 층(180)이 활성 스트립들에서의 SAC1 층(60)의 리세스된 부분들 및 금속 층(175)에서의 임의의 리세스된 부분에만 남는 것을 도시한다.

[0027] 그 후, 도 16에 도시된 바와 같이, 트렌치들(160)은 트렌치들(110)의 충전에 관련하여 위에서 설명된 방식으로, 공극들(voids)을 형성하는 것을 회피하도록 고려하면서 유전체 재료(130 및 140)로 채워진다.

[0028] 상기 스테이지에서, 8개의 활성 층들은 좁은 활성 스트립의 스택 내에 형성되며, 각 활성 스트립은 소스 층, 교체된 금속 층(즉, 비트 라인)과 접촉하는 드레인 및 소스 및 드레인 층들과 접촉하고 그 사이의 활성 스트립의 반대편 측면들 상의 리세스된 반도체 스트립들을 갖는다. 상기 층들은 트랜지스터들이 활성 스트립의 양측 엣지들을 따라 형성되도록 공통 소스 영역, 공통 드레인 영역 및 채널 영역들을 각각 형성하도록 제공된다. (물론, 위에서 설명된 프로세스 흐름은 하나의 측면에서만 리세스된 채널들을 갖는 활성 스트립들을 형성함으로써 단순화될 수 있다. 이러한 활성 스트립은 활성 스트립을 따라 가능한 트랜지스터들 수의 절반만을 제공한다). 3차원 HNR 메모리 어레이를 완성하기 위해, 다음 프로세스 단계들은 전하 트래핑 층들, 제어 게이트들의 역할을 하는 로컬 워드 라인들, 로컬 워드 라인들을 반도체 기판에서의 회로에 연결하기 위한 메모리 구조(10) 위 및 아래의 글로벌 워드선들을 제공한다. 또한, HNR 메모리 어레이에서의 메모리 스트링들에 대한 비트 라인들을 반도체

기관에서의 CMOS 논리 디바이스들(예를 들어, 감지 증폭기들, 디코더들, 제어 및 입력 또는 출력 논리 디바이스들)과 상호 연결시키기 위한 전도체들에 대한 계단 구조(staircase structure)가 형성된다. 이들 프로세스 단계들은 다음에서 설명된다.

[0029] 도 17은 메모리 구조(10)의 바닥으로 연장하는 샤프트들의 제1 세트(도 17에서 참조부호 190으로 라벨링됨)를 형성하기 위해 트렌치들(160) 내의 유전체 층들(130 및 140)의 일부가 (예를 들어, 마스크 층(미도시)을 사용하여) 패터닝되고 식각되는 것을 도시한다. 유전체 층(140)은 예를 들어, 고전력 바이어스된 플라즈마(high-power biased plasma)를 통한 부식성 가스 이방성 식각 또는 다른 적합한 식각을 사용하여 제거될 수 있는 SiO₂를 포함할 수 있다. 유전체 층(130)은 예를 들어, 고전력 바이어스된 플라즈마 식각 동안 손상으로부터 노출된 부분 반도체 층(즉, 소스 층(50), 드레인 층(70) 및 증착된 반도체 층(120 및 180))을 보호하는 SiN을 포함할 수 있다. 유전체 층(130)은 반도체 층들을 손상시키지 않는 습식 화학 식각(예를 들어, 고온 인산)을 사용하여 후속적으로 제거될 수 있다. 다른 실시예에서, 샤프트(190)들의 제2 세트(도 17에 도시되지 않음)는 트렌치들(110)의 유전체 층들(130 및 140)에 또한 동시에 형성된다.

[0030] 도 18의 압도를 참조하면, 터널링 산화물 층(200), 전하 저장 층(210) 및 차단 유전체 층(220)은 그 후, 트렌치들(160)의 샤프트들(190) 내로 연속적으로 등각으로 증착된다. 터널링 산화물 층(200)은 SiO₂를 포함할 수 있고, 전하 저장 층(210)은 SiN 또는 실리콘이 풍부한 SiN을 포함할 수 있으며, 차단 유전체 층(220)은 SiO₂, Al₂O₃, HfO₂, 다른 유전체 재료 또는 이들 유전체 재료들 중 두 개 이상의 임의의 조합을 포함할 수 있다. 층들(200, 210 및 220)은 임의의 적합한 방법(예를 들어, CVD 또는 ALD)을 사용하여 증착될 수 있다. 일부 실시예들에서, 상기 층들에서 양호한 재료 품질을 보장하기 위해, 이들의 증착 이후에 어닐링 단계가 수행될 수 있다.

[0031] 그 후, 이방성 식각은 터널링 산화물 층(200), 전하 저장 층(210) 및 트렌치들(160)에서의 각 샤프트의 바닥에서의 차단 유전체 층뿐만 아니라, 메모리 구조(10) 아래의 (예를 들어, 반도체 기관에서의) 회로에 연결하기 위한 글로벌 워드 라인들(230)(압도로 도시됨) 또는 다른 랜딩 패드들(미도시)과 메모리 구조(10)의 바닥 사이의 절연 층을 통해 비아를 관통하고 개방한다. 실리콘의 얇은 층(미도시)은 비아 식각 동안 이를 보호하기 위해 차단 유전체 층(220)의 측벽들 위에 먼저 증착될 수 있다. 그 후, 게이트 층(240)은 각 샤프트를 채워서 "로컬 워드 라인"을 형성하기 위해 증착된다. 각 로컬 워드 라인은 반도체 기관의 표면에 수직인 방향을 따라 연장한다. 도 18의 좌측 압도에 도시된 바와 같이, 각 로컬 워드 라인은 메모리 구조(10)의 활성 층들의 증착들 이전에 형성된 글로벌 워드 라인들(230) 중 하나에 접촉한다. 글로벌 워드 라인들(230)은 로컬 워드 라인들을 반도체 기관 또는 다른 곳의 회로에 연결한다. 게이트 층(240)은(i) n형 또는 p형 고농도로 도핑된 실리콘, 실리콘 게르마늄 또는 다른 반도체, 또는 (ii) 금속(예를 들어, TiN, TaN, Ti, Ta, Mo 또는 W 또는 두 개 이상의 이러한 금속들의 임의의 조합), 바람직하게는, CVD 또는 ALD와 같은 임의의 적합한 기술을 사용하여 증착된 높은 금속 일 함수를 갖는 금속과 같은 임의의 적합 전도성 재료를 포함할 수 있다. 터널링 층(200), 전하 저장 층(210), 차단 유전체 층(220) 및 게이트 층(240)의 상단 표면들은 기본 반도체 기관(미도시)의 평면 표면에 실질적으로 평행한 표면(250)을 제공하기 위해 평탄화 기술(예를 들어, CMP 또는 에치-백(etch back))을 사용하여 평탄화될 수 있다.

[0032] 트렌치들(160)의 유전체 층들(130 및 140)에서 샤프트들(190)을 패터닝 및 식각하고, 층들(200, 210 및 220)을 증착하고, 로컬 워드 라인들을 형성하기 위해 게이트 층(240)에 의해 샤프트들의 나머지를 채우고, 글로벌 워드 라인들(230)에 대한 로컬 워드 라인들을 연결하는 도 17 및 18의 단계들은 트렌치들(160)에 로컬 워드 라인들의 제2 세트를 형성하기 위해 반복된다. (다른 실시예에서, 유사한 샤프트들이 트렌치들(110) 및 트렌치들(160) 모두에서 동시에 식각되고; 또한 트렌치들(110 및 160)에서의 샤프트들은 서로에 대해 엇갈릴 수 있다). 그 후, 도 17-19의 단계들은 또한, 로컬 워드 라인들의 다른 세트(270)를 형성하기 위해 트렌치들(110)에서 반복된다. 일 실시예에서, 트렌치들(160)에서의 로컬 워드 라인들은 인접한 행들에서의 로컬 워드 라인들 사이에 추가적인 공간 분리를 제공하기 위해 트렌치(110)들에서의 로컬 워드 라인들에 대해 엇갈린다. 일 실시예에서, 트렌치들(110)에서의 로컬 워드 라인들의 상기 제2 세트(270)는 (예를 들어, 샤프트들의 바닥에서 비아 개방 단계를 생략함으로써) 글로벌 워드 라인들(230)에 연결되도록 만들어지지 않는다. 대신에, 로컬 워드 라인들의 세트(270)는 형성될 글로벌 워드 라인들의 다른 세트에 연결된다. 도 20은 반도체 기관들 및 어느 곳에서의 회로를 로컬 워드 라인들의 세트(270)에 연결하도록 제공되는, 메모리 구조(10) 위에 형성된 글로벌 워드 라인(280)을 도시한다. 매우 미세한 피치에서 HNOR 메모리 어레이에 대한 로컬 워드 라인들의 형성은 또한, 위에서 참조로 통합된 가출원 III에 개시된다.

[0033] 일부 실시예들에서, 다이 크기의 고려들을 위해, 메모리 구조(10) 바로 아래에 있는 반도체 기관의 일부에 글로

별 워드 라인들(230) 또는 글로벌 워드 라인들(280)을 통해 전기적으로 연결되는 일부 회로(예를 들어, 디코딩 회로들 및 일부 읽기, 쓰기 및 소거 공급 전압원들)를 배치하는 것이 유리할 수 있다. (상기 디코딩 회로들 및 전압원들은 도 20에 도시되지 않는다). 글로벌 워드 라인들(230)과 반도체 기관에서의 상기 회로들 사이의 전기적인 연결들은 쉽게 이용 가능하다. 반도체 기관에서의 상기 회로들을 메모리 구조(10) 위의 글로벌 워드 라인(280)에 전기적으로 연결하는 것은 메모리 구조(10)의 하나 이상의 측면들에 제공된 수직 커넥터들 및 글로벌 워드 라인들(230)과 반도체 기관에서의 회로들 사이에 배치될 수평 커넥터를 제공하는 것을 요구할 수 있다. 일 실시예에서, 이러한 회로 경로들은 밀집하게 패키징된 메모리 구조(10) 및 밀집하게 이격된 전역 워드 라인들(230)을 통해 직접적으로 반도체 기관에서의 회로들에 글로벌 워드 라인들(280)을 연결하는 수직 전도체들을 제공함으로써 회피될 수 있다. 상기 수직 전도체들은 로컬 워드 라인들(270)(도 19) 중 선택된 것이 또한, 반도체 기관의 회로들에 연결하기 위한 전도체들의 역할을 하게 함으로써 구현될 수 있다. 상기 수직 전도체들을 사용하여 전기 경로들을 설정하는 것은 이러한 회로들이 반도체 기관에 배치된 곳 바로 위 또는 이에 가까운 위치들에서 그의 각각의 샤프트들의 바닥에 비아 개구부들을 천공하기 위한 추가적인 마스크 및 식각 단계를 요구할 수 있다.

[0034] 일부 실시예들에서, 메모리 구조(10) 아래의 글로벌 워드 라인들(230)은 로컬 워드 라인들(240)이 모두 메모리 구조(10) 위에 형성된 글로벌 워드 라인들(280)에 연결될 때 형성될 필요가 없다. 상기 배열은 샤프트들(190)의 바닥에 비아들을 형성하기 위해 요구되는 천공 마스크 및 식각 단계들을 제거한다. 역으로, 로컬 워드 라인들(240)은 모두 천공 비아들을 통해 메모리 구조(10)의 바닥에서의 글로벌 워드 라인들(230)에 접촉될 수 있다. 어느 경우든, 이중 노출들 또는 더 진보된 리소그래피를 요구할 수 있는, 글로벌 워드 라인들이 글로벌 워드 라인들(230) 또는 글로벌 워드 라인들(280)의 피치의 약 절반을 갖는 경우, 글로벌 워드 라인들의 두 개의 세트 중 하나는 제거될 수 있다.

[0035] 비트 라인들에 대한 연결들은 "계단" 방법에 의해 이루어진다. 계단 구조에서, 활성 스택에서의 활성 스트립들은 수직 전도체들이 스텝들(steps)에서 연속적인 활성 스트립들의 드레인 층들과 접촉하는 것을 허용하도록 연속적으로 더 긴 길이로 절단된다. 상기 방법들의 예시들은 예를 들어, 위에서 참조로 통합된 가출원 IV에 개시된다. 도 21은 메모리 구조(10) 위에 제공되는 증착되고 패턴화된 마스크 층(300)을 도시하고, 활성 층의 일부(참조 번호 310으로 표시됨)는 그의 길이를 따라 한쪽 또는 양쪽 단부에서 제거된다. (도 21은 스텝이 활성 스택(170)의 상단 활성 스트립을 절단함으로써 형성되는 것을 도시한다; 도 21에서의 메모리 구조(10)는 도 20의 뷰로부터 90°로 보이고 활성 스트립들의 길이를 따라 단부 부분만을 도시한다는 것에 유의한다). 예를 들어, 가출원 IV에서 논의된 포토레지스트 리세스 기술을 사용하여, 마스크 층(300)은 후속하는 식각 단계를 위한 활성 층들(310 및 320)의 부분들을 노출시키기 위한 추가적인 포토-리소그래피 단계 없이 한쪽 또는 양쪽 단부들로부터 리세스된다. 식각 단계로부터 초래되는 구조는 도 22에 도시된다. 포토레지스트 리세스 및 식각 단계는 가장 낮은 활성 층을 제외한 모든 활성 층들이 계단 구조를 형성하도록 식각될 때까지 반복될 수 있다; 반복된 단계들로부터 초래된 구조는 도 23에 도시된다. 계단 구조는 연속적인 활성 층들의 각각에서 소스 층(60) 또는 드레인 층(70)을 노출시킨다. 그 후, 유전체 재료는 계단 구조 위에 증착되고 CMP에 의해 평탄화된다. 도 24는 결과적인 유전체 재료가 비아 개구부에 대해 패턴화되고 식각되고, 그 후 계단 구조에 의해 노출된 각 활성 층에서 소스 층(60) 또는 드레인 층(70)(즉, 비트 라인)의 단부들에 접촉을 제공하기 위해 전도성 재료(예를 들어, 텅스텐과 같은 내화성 금속)로 이후에 채워진다. 상기 방식에서, 각 비트 라인은 반도체 기관에서의 선택적 회로(예를 들어, 디코더 및 감지 증폭기)에 연결되거나, 또는 별도의 동반 집적 회로(companion integrated circuit)에 연결된다. 상기 집적 회로는 (예를 들어, 연결된 웨이퍼들 사이의 다수의 소형 구리 스테드들을 통해) 이 기술분야에 알려진 플립-웨이퍼 기술을 사용하여 반도체 기관의 회로에 연결될 수 있다.

[0036] 본 발명의 제2 실시예에 따라, 도 25-36에 도시된 바와 같이, 오정렬을 회피하기 위해 단일 식각 단계가 활성 층들을 HNOR 메모리 어레이의 활성 스택들로 식각하기 위해 사용된다. 기계적인 지지를 제공하기 위해, 활성 스택들을 생성하기 위해 활성 층들을 식각하기 전에 유전체 필러들이 형성된다. 상기 필러들은 그의 구조적인 안정성을 유지함으로써 이후에 형성된 활성 스택들에 대한 지지를 제공한다. 피치 중형비의 적합한 선택은 높은 중형비 식각 단계들 동안 리보닝을 회피한다.

[0037] 도 25는 도 1에서와 같이, 하드 마스크 층(30)과 식각-정지 층(40) 사이에 8개의 활성 층들(예를 들어, 활성 층(20))을 포함하는 메모리 구조(10)를 도시한다. 각 활성 층의 구성 층들은 도 1과 함께 논의된 활성 층들과 동일할 수 있다. 마스크 구조(500)는 비아들(505)의 세트(미도시)를 제공하기 위해 메모리 구조(10)가 식각-정지 층(40)으로 패턴화되고 식각되는 것을 허용한다. 마스크 구조(500)가 제거된 이후에, 비아들(505)은 유전체 재료로 채워지며, 따라서 도 26에 도시된 유전체 필러들(510)을 형성한다. 유전체 필러들(510)은 LPCVD, ALD 또는

고밀도 플라즈마 CVD("HDP CVD")와 같은 임의의 적합한 방법을 사용하여 증착될 수 있는 임의의 적합한 유전체 재료(예를 들어, SiO₂, SiN, SiON, SiCOH)를 포함할 수 있다. 증착 이후에, 메모리 구조(10)의 상단 표면(520) 상의 유전체 재료는 CMP 또는 에치-백과 같은 임의의 적합한 평탄화 기술을 사용하여 제거될 수 있다.

- [0038] 그 후, 도 27에 도시된 바와 같이, 메모리 구조(10)는 활성 스택들(530)으로 패턴화되고 식각되며, 활성 단계들 사이에서 트렌치들(540)을 절단한다. 식각 단계는 이들 필러들이 형성 시 활성 스택들(530)에 구조적 무결성 및 기계적 강도를 제공하는 것을 허용하기 위해, 유전체 필러들(510)을 온전하게 남긴다. 그 후, 위에서 논의된 트렌치들(110 및 160)에서 유전체 층들(130 및 140)과 유사한 유전체 재료 층들(550 및 560)이 트렌치들(540)에 증착되고 트렌치(540)를 채울 수 있다. 그 후, 활성 스택들(530) 및 채워진 트렌치들(540)의 절반을 보호하기 위해 마스크 층(미도시)이 적용되고 패턴화된다. 그 후, 유전체 재료 층들(550 및 560)을 제거하기 위해 트렌치들(540) 중 노출된 것들이 식각되지만, 유전체 필러들(510)은 식각하지 않는다. 결과적인 구조는 도 29에 도시된다.
- [0039] 도 29를 참조하면, 활성 스택들(530)의 각 활성 층에서의 SAC4 층(80)은 그 후, 선택적인 식각에 의해 제거될 수 있다. 금속 층들(570)은 도 30에 도시된 바와 같이, 제거된 SAC4 층(80) 대신에 파진 트렌치들(540)을 부분적으로 채우기 위해 증착된다. 도 31을 참조하면, 금속 층들(570)의 부분들은 그 후, 트렌치들(540)로부터 선택적 이방성 식각에 의해 제거되고, 각 활성 스트립의 SAC4 층(80)을 대체한 금속 층들(570)의 부분들을 남긴다.
- [0040] 그 후, 나머지 유전체 층들(550 및 560)은 도 32에 도시된 바와 같이, 선택적 식각에 의해 모든 곳에서 채워진 트렌치들(540)로부터 제거되고, 활성 스택들(530) 및 유전체 필러들(510)을 남긴다. 도 33을 참조하면, 각 활성 스트립의 SAC1 층(60)의 부분들은 그 후, 선택적 식각에 의해 리세스된다. 상기 선택적 식각은 마스크 층을 요구하지 않는다. 덧붙여, 도 34에 도시된 바와 같이, 각 활성 층의 금속 층(570)의 부분들은 또한, 트렌치들(540)에 대해 리세스된 면들을 갖는 연장된 금속 스트립으로 각 활성 스트립의 금속 층(570)을 성형하기 위해, 또한 마스크 층 없이 선택적 식각에 의해 리세스된다.
- [0041] 그 후, 반도체 층(580)이 증착된다. 도 35에 도시된 바와 같이, 반도체 층(580)은 트렌치들(540)을 부분적으로 채우고 리세스된 캐비티들(580A 및 580B)을 채우며, 여기서 SAC1 층(60)의 부분들 및 각 활성 스트립의 금속 층(570)의 부분들이 각각 제거된다. 그 후, 반도체 층(580)의 부분들은 도 36에 도시된 바와 같이 선택적 이방성 식각에 의해 제거된다. 반도체 층(580A)은 형성될 박막 트랜지스터의 채널 영역을 형성하는 한편, 반도체 층(580B)은 HNOR 메모리 어레이가 메모리 구조(10)로부터 형성될 비트 라인을 형성하는 금속 층(570)을 피복한다. 반도체 층(580B)은 후속 구조들의 금속 오염을 최소화하고 형성될 전하 트래핑 층과 금속 층(570) 사이의 직접적인 접촉을 제거한다.
- [0042] 도 36의 메모리 구조(10)에 대한 제조 중 나머지는 온전한 유전체 필러들(510)을 통해 위의 도 17 내지 24에 도시된 것과 동일한 방식으로 진행될 수 있다.
- [0043] 본 발명의 제3 실시예에 따라, 도 37-50에 도시된 바와 같이, 두 개의 식각 단계들로 HNOR 메모리 어레이의 활성 스택들을 형성하기 위한 방법이 제공되며, 이는 리보닝이 생길 가능성을 최소화하고 구조적인 안정성을 유지한다. 상기 제3 실시예에 따른 방법은 활성 스트립들을 형성하기 위해 상이한 특성들의 세 개의 마스크: (i) 모든 활성 스트립들을 동시에 정의하여, 그로 인해 활성 스트립들 간의 오정렬을 회피하는 제1 마스크; (ii) 제1 마스크의 상단에 배치되고 활성 스트립들의 제1 절반을 정의하는 제2 마스크; 및 (iii) 제1 마스크 및 제2 마스크가 제거된 이후에 제공되는, 활성 스트립들의 나머지 절반을 정의하는 제3 마스크를 사용한다.
- [0044] 도 37에 도시된 바와 같이, 메모리 구조(10)는 하드 마스크 층(30)과 식각-정지 층(40) 사이에 8개의 활성 층들(예를 들어, 활성 층(20))으로 시작한다. 도 37에서, 활성 스택에서 각 활성 스트립의 원하는 폭을 나타내는 폭(L₁)의 각각의 마스크 구조들(600)을 갖도록(예를 들어, 위의 도 9 참조) 제1 마스크 층이 증착되고 패턴화된다. 그 후, 도 38에 도시된 바와 같이, 마스크 구조들(610)을 갖는 제2 마스크 층은 마스크 구조(610)가 층간 오정렬을 고려하여, 마스크 구조(600)를 분리하는 모든 다른 공간을 차지하고 보호하도록, 마스크 구조(600)를 중첩시키기 위해 증착되고 패턴화된다. 제1 마스크 층 및 제2 마스크 층은 상이한 식각 특성들을 가지며, 상이한 재료들을 포함할 수 있다.
- [0045] 도 39를 참조하면, 메모리 구조(10)를 통한 트렌치들(620)이 그 후 식각된다. 도 40을 참조하면, 트렌치들(620)에 노출된 각 활성 층의 SAC1 층(60)의 부분들은 온전한 마스크 구조들(600 및 610)을 통해 미리 결정된 깊이(예를 들어, 5 내지 10 나노미터 사이)까지 선택적 식각에 의해 리세스된다. 그 후, 도 41에 도시된 바와 같이, 반도체 층(630)이 이후에 증착되고, 도 5와 함께 논의된 반도체 층(120)과 실질적으로 동일한 방식으로, 트렌치

들(620), 및 각 활성 스트립에서 SAC1 층(60)의 부분들의 제거로부터 초래되는 리세스된 캐비티들을 부분적으로 채운다. 그 후, 도 42에 도시된 바와 같이, 트렌치들(620)의 측벽들을 따라 반도체 층(630)의 부분들이 제거되고, 리세스된 캐비티들에서 반도체 층(630)의 부분들을 남긴다.

[0046] 그 후, 도 43에 도시된 바와 같이, 트렌치들(620)은 위의 도 7과 함께 논의된 유전체 층들(130 및 140)과 실질적으로 동일한 방식으로 유전체 층(640 및 650)으로 채워지고, 이어서 식각에 의한 제2 마스크의 마스크 구조들(610)의 제거가 후속한다. 도 44는 트렌치들(625)이 이후에 메모리 구조(10)에서 식각되는 것을 도시한다. 도 45를 참조하면, SAC4 층(80)은 그 후, 트렌치들(625)에서의 노출된 표면들로부터 선택적 식각에 의해 제거되고, 이어서 도 46에 도시된 바와 같이 트렌치들(625), 및 각 활성 스트립의 SAC4 층(80)의 제거로부터 초래되는 캐비티들을 부분적으로 채우는 금속 층(660)의 증착이 후속한다. 도 47을 참조하면, 트렌치들(625)의 측벽들 상의 금속 층(660)의 부분들은 선택적 이방성 식각 및 측방 등방성 식각에 의해 제거된다.

[0047] 도 48을 참조하면, 트렌치들(625)에 노출된 각 활성 층의 SAC1 층(60)의 부분들은 그 후, 선택적 식각에 의해 리세스된다. 그 후, 반도체 층(670)이 증착되고, 도 49에 도시된 바와 같이 트렌치들(625) 및 각 활성 층의 SAC1 층(60)의 리세스된 캐비티들을 부분적으로 채운다. 제1 마스크 층의 마스크 구조(600)와 함께, 메모리 구조(10) 위의 유전체 층들(620 및 640)의 부분들이 그 후, 제거된다. 그 후, 트렌치들(625)의 측벽들 상의 반도체 층(670)의 부분들은 도 50에 도시된 바와 같이 선택적 이방성 식각에 의해 제거되고, 도 45와 함께 위에서 논의된 것과 실질적으로 동일한 방식으로 유전체 층(640 및 650)에 의해 대체된다.

[0048] 메모리 구조(10)에 대한 제조 중 나머지는 위의 도 17 내지 24에 도시된 것과 동일한 방식으로 진행될 수 있다.

[0049] 위에서 논의된 바와 같이, 두 개의 식각 단계들로 활성 스택들을 형성하는 제1 실시예에 따른 방법들은 인접한 활성 스택들의 폭들에 영향을 미치는 최대 약 ± 5 나노미터의 리소그래피 오정렬들을 겪는다. 예를 들어, 상기 오정렬들은 대안적인 활성 스택들이 상이한 폭들을 갖게 할 수 있다(예를 들어, 하나의 활성 스택은 L_1+5 나노미터의 폭을 가질 수 있는 한편, 그의 인접한 활성 스트립은 L_1-5 나노미터의 폭을 가질 수 있다). 고도로 크기 조정된 치수들을 제외하고, 상기 오정렬들은 메모리 칩 설계 내에서 쉽게 수용될 수 있다. 다른 한편으로, 식각 단계들의 각각에서 훨씬 더 넓은 피쳐들은 제2 실시예에 따른 방법들과 함께 사용되는 것과 같이, 미리 결정된 간격들로 배치되는 영역-소비 지지 필러들을 필요로 하지 않으면서 더 강력한 안정성을 제공한다.

[0050] 본 발명에 따른 HNOR 메모리 어레이에서, 활성 스트립의 통상적인 공칭 최소 폭(L_1)은 50 나노미터인 한편, 인접한 활성 스택들을 분리하는 트렌치(110)(도 3)의 공칭 최소 폭은 80 나노미터이고, 8개의 활성 층들을 갖는 활성 스택의 높이는 약 2,000 나노미터(2 마이크론)일 수 있다. 그러므로, 50 나노미터 폭의 독립형 활성 스택(stand-alone active stack)의 중형비는 2000/50 또는 40:1이며, 이는 수율 및 비용에 부정적인 영향을 미칠 연속적인 프로세스 단계들을 하는 것은 고사하고, 식각 중에 똑바르게 서있는 것(standing erect)을 유지하는 것도 매우 까다로울 것이다. 하지만, 본 발명의 제1 또는 제3 실시예에 따른 방법을 사용하여, 도 3의 각 마스크 구조(115)의 폭(L_2)은 $50+80+50=180$ 나노미터이며, 그러므로 마스크 구조들(115)을 사용한 식각의 중형비는 2,000/180 또는 11:1이다.

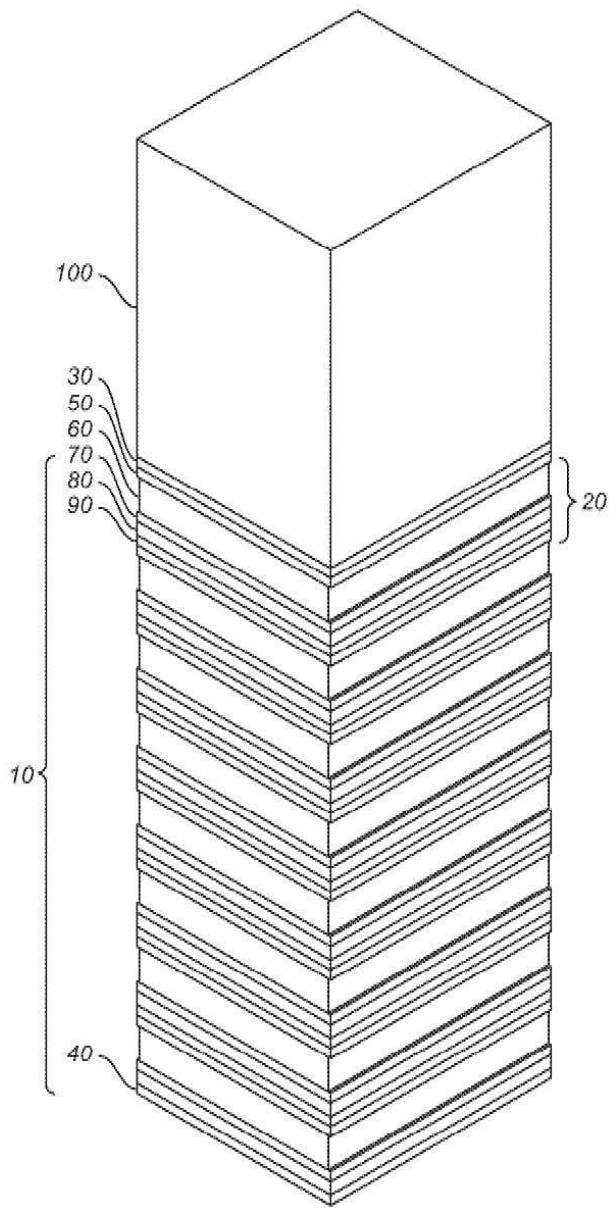
[0051] 제2 실시예에 따른 방법을 통해, 활성 스택들은 하나의 식각 단계로 형성되고, 그로 인해 활성 스택들 사이에 발생할 수 있는 ± 5 나노미터의 오정렬을 회피한다. 상기 방법은 활성 스택 형성 이전에, 후속적으로 형성되는 활성 스택들에 대한 지지를 제공하고 이의 구조적 안정성을 유지하기 위해 유전체 필러들을 형성한다. 하지만, 제2 실시예의 방법은 식각 단계 동안의 높은 중형비에 기인한 리보닝 및 유전체 필러들에 의해 차지되는 영역들에 기인한 유용한 메모리 어레이 영역의 양에서의 감소를 모두 겪을 수 있다.

[0052] 본 발명의 제3 실시예에 따른 방법을 통해, 제1 마스크는 제2 마스크 및 제3 마스크를 제공하기 위해 사용되는 재료들에 대해, 제1 마스크에 대해 선택적인 적어도 두 개의 활성 스택 식각 단계들을 견디도록 요구된다. 나아가, 제1 마스크 및 제2 마스크를 제공하기 위해 사용되는 하드 마스크 재료들은 특정 유전체 증착(예를 들어, LPCVD SiO_2)과 호환 가능하도록 요구된다. 일부 하드 마스크들 재료들(예를 들어, 탄소)은 산소를 필요로 하는 SiO_2 증착과 호환되지 않는다. 상기 하드 마스크 재료들은 산소와 반응하고 산소에 의해 식각될 것이다.

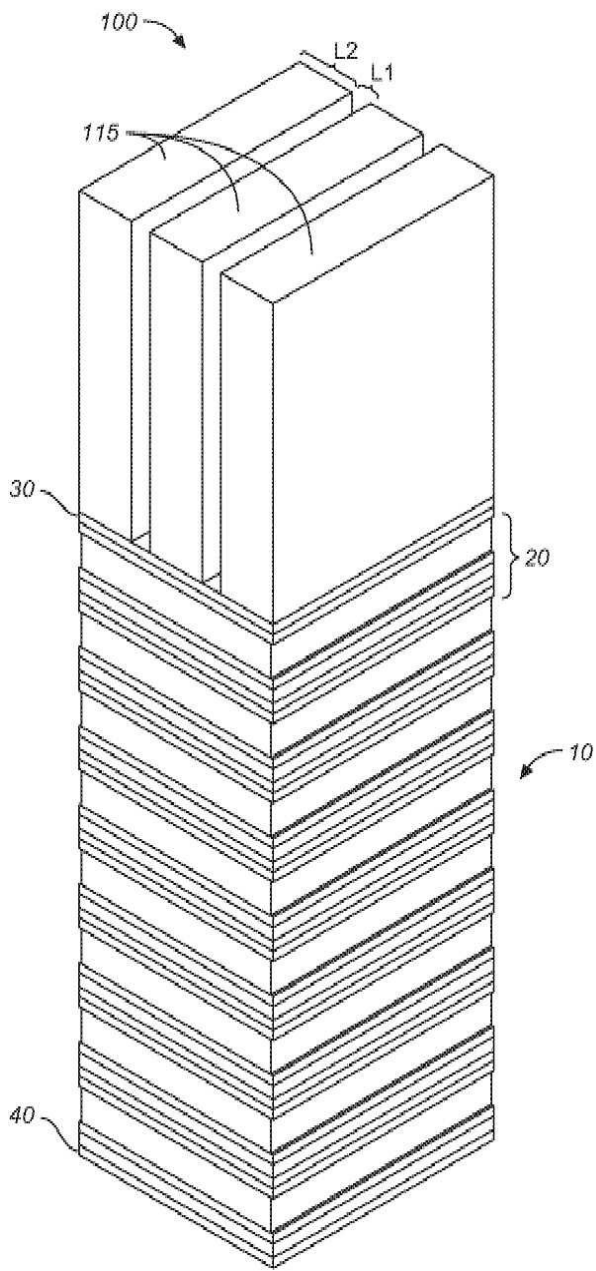
[0053] 위의 상세한 설명은 본 발명의 특정한 실시예들을 예시하기 위해 제공되며 이를 제한하려는 것이 아니다. 본 발명의 범주 내의 수많은 변형들 및 수정들이 가능하다. 본 발명은 동반하는 청구범위에 제시된다.

도면

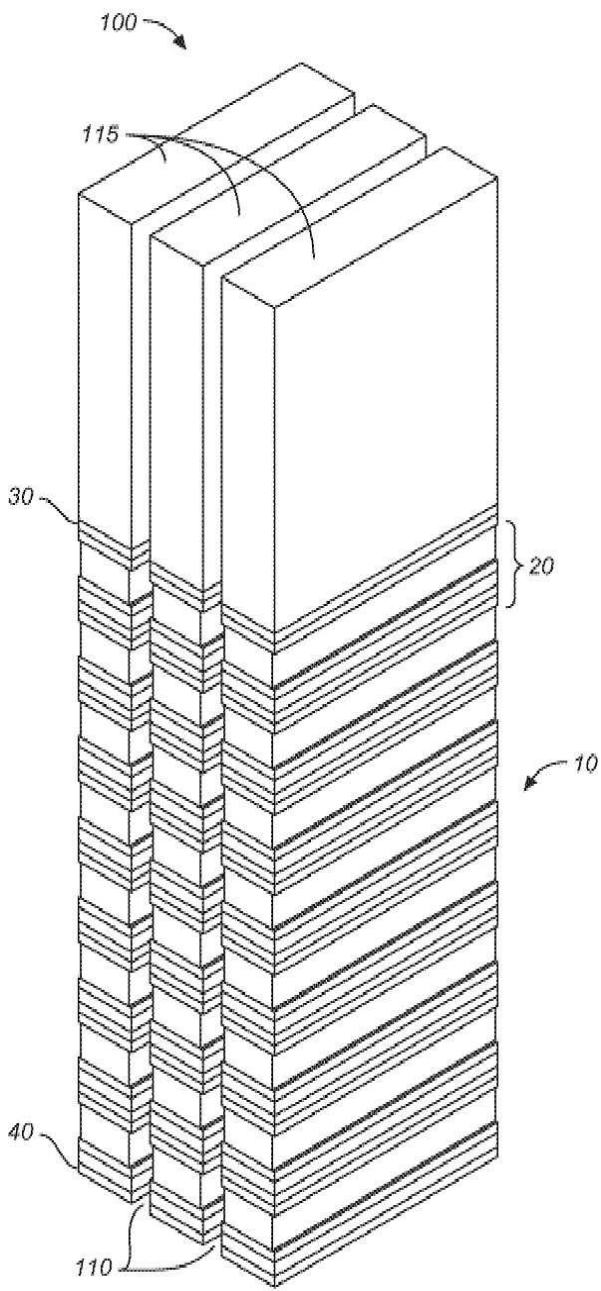
도면1



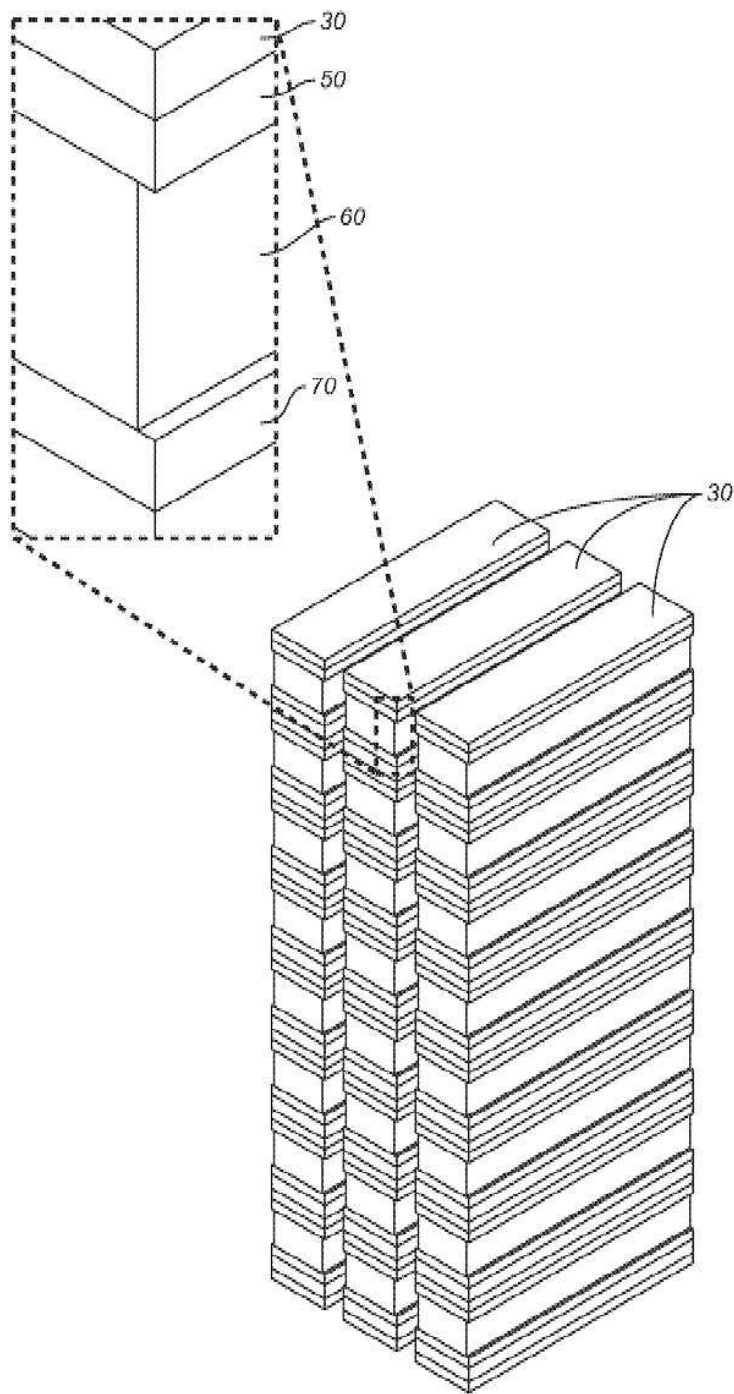
도면2



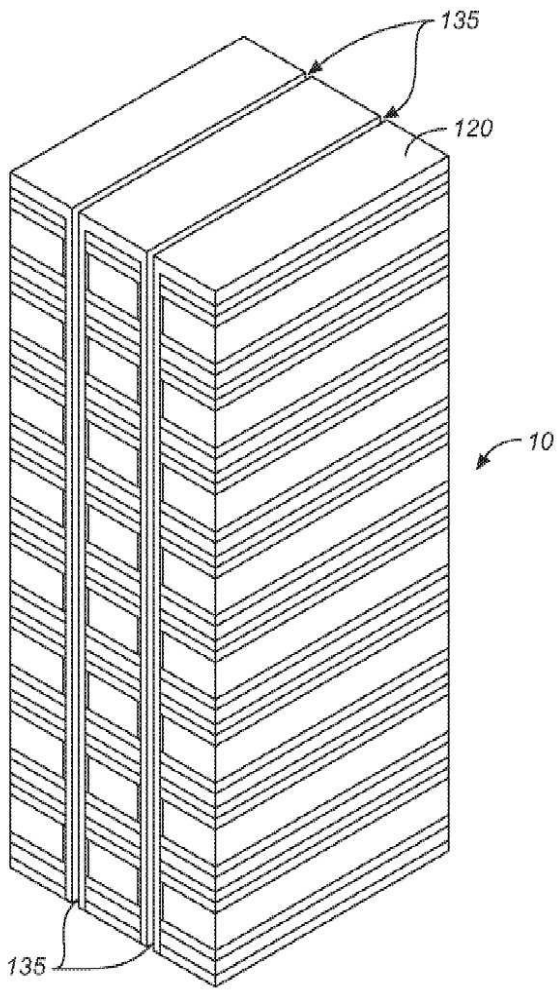
도면3



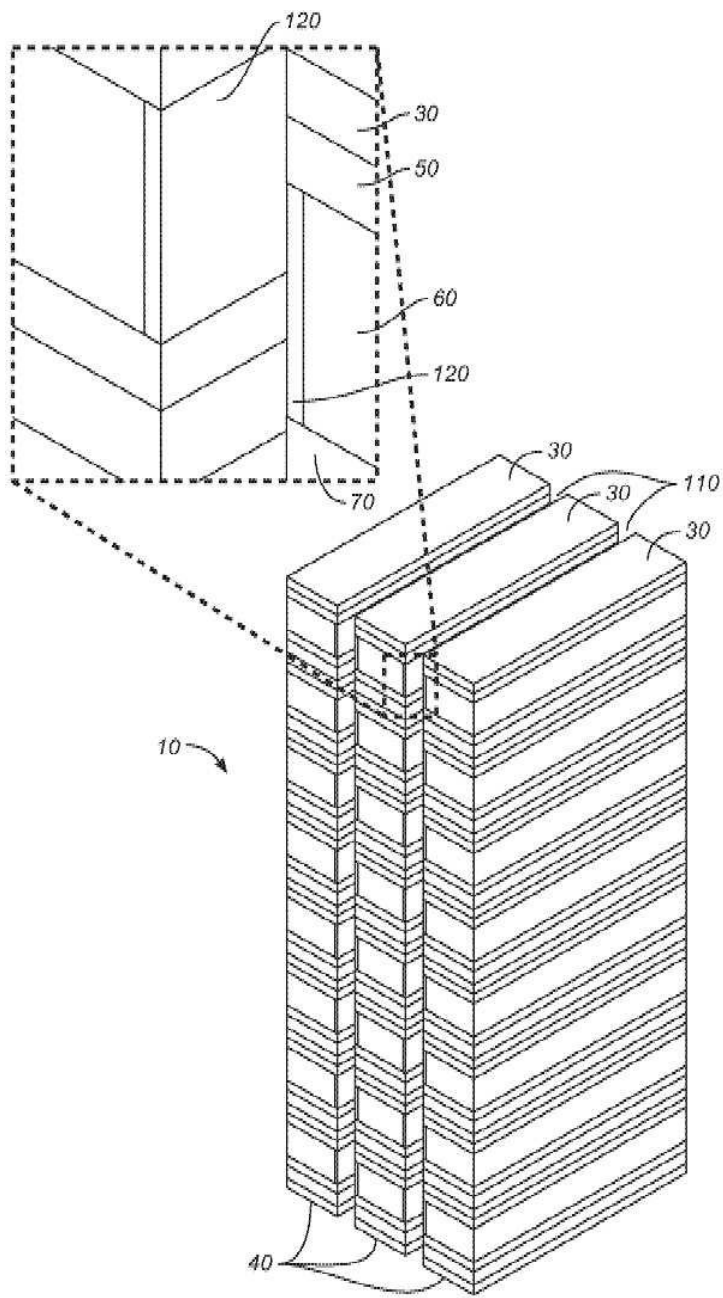
도면4



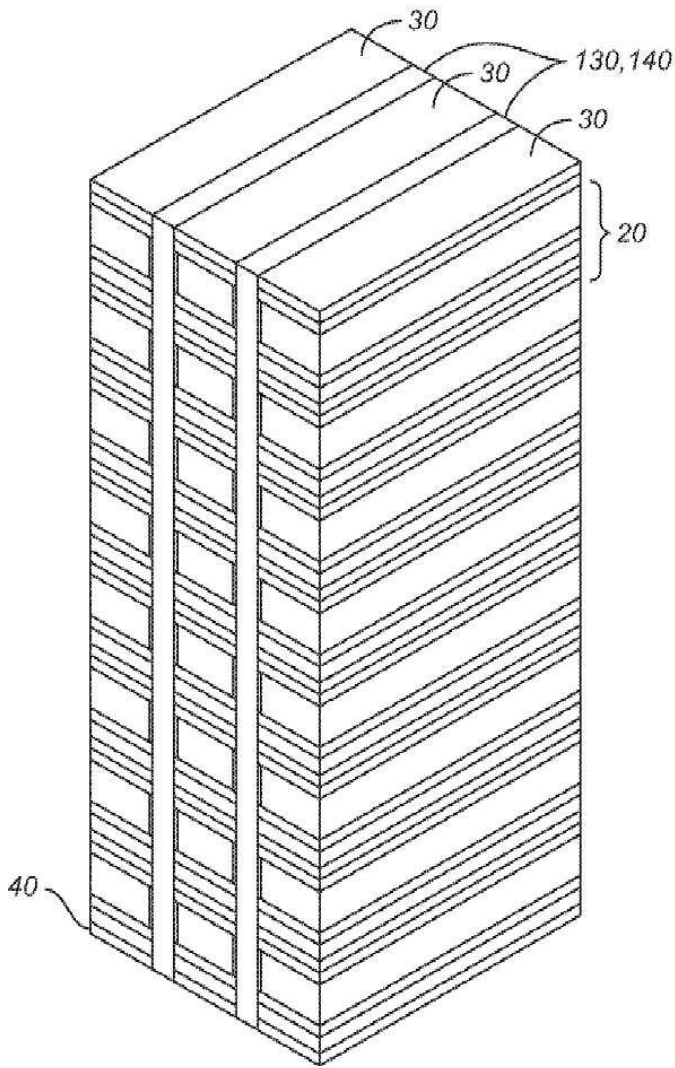
도면5



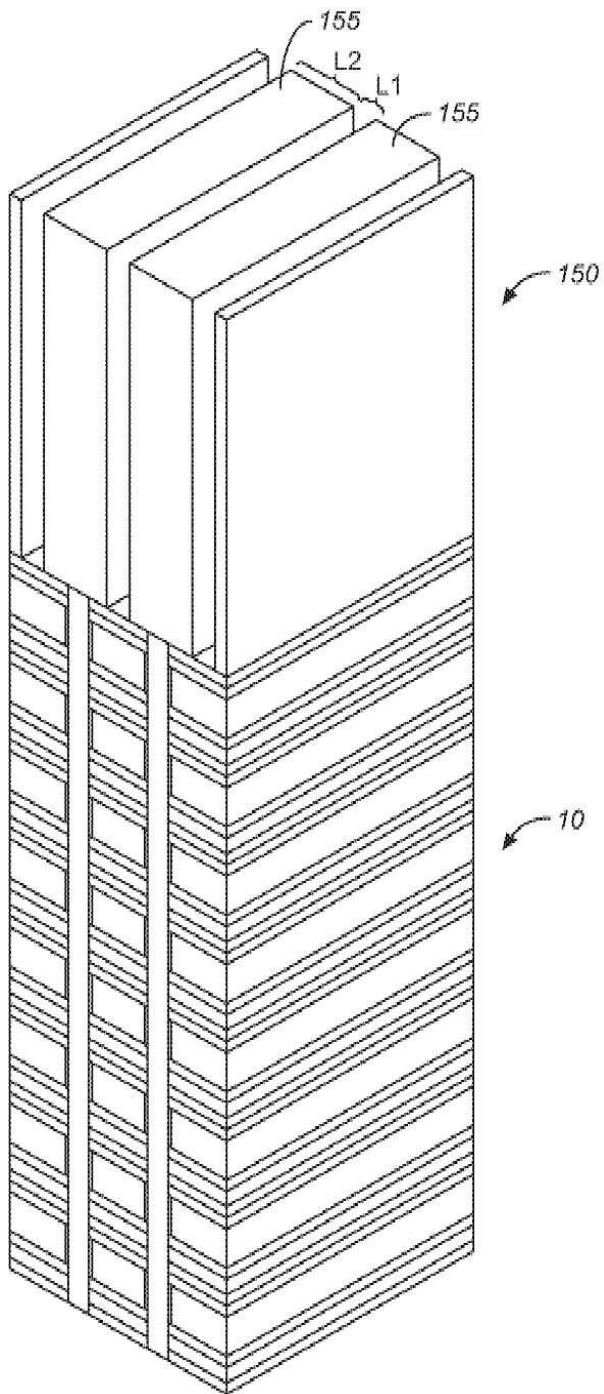
도면6



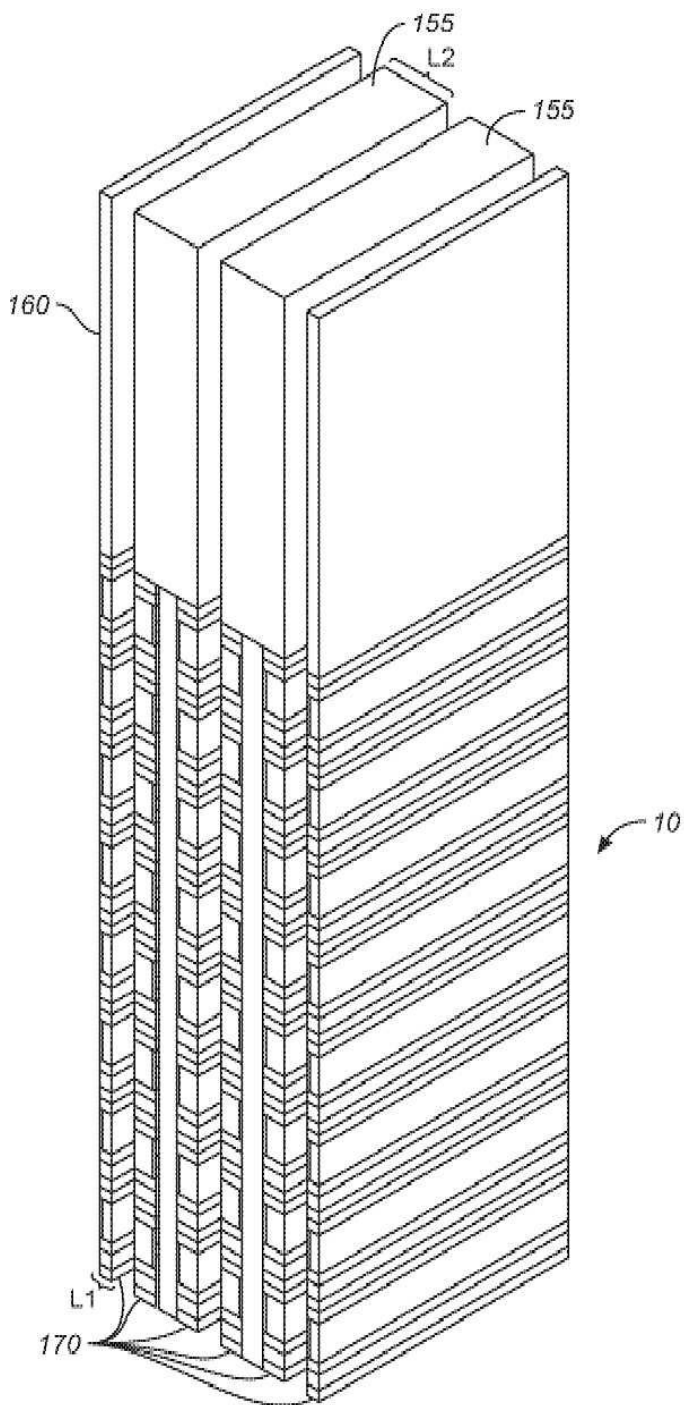
도면7



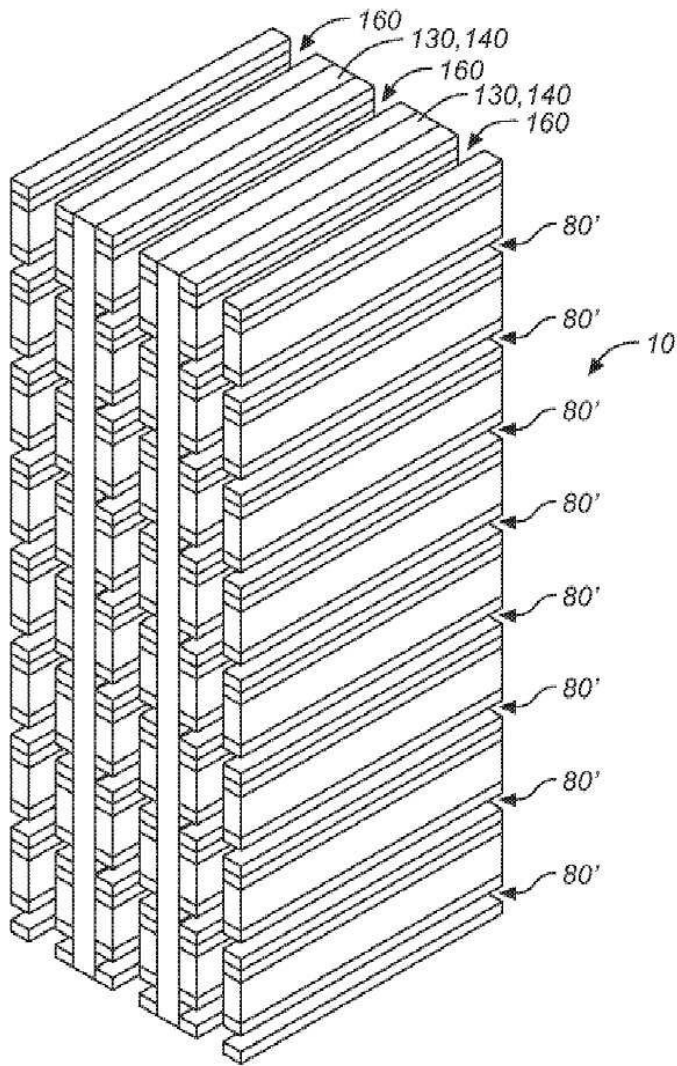
도면8



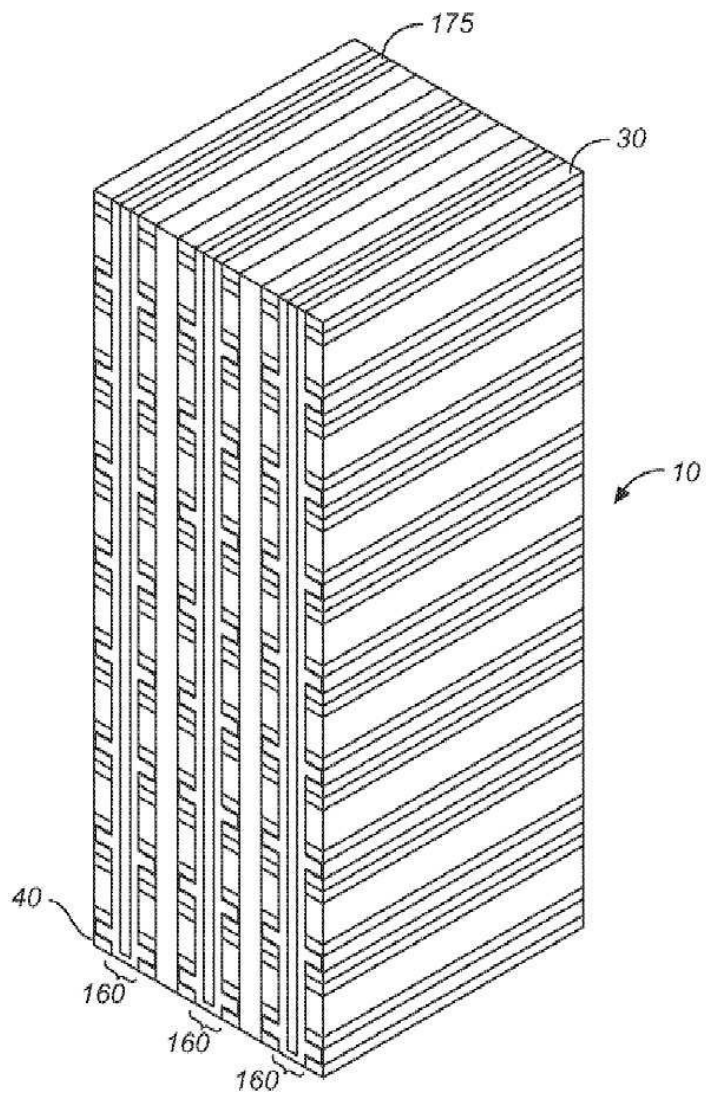
도면9



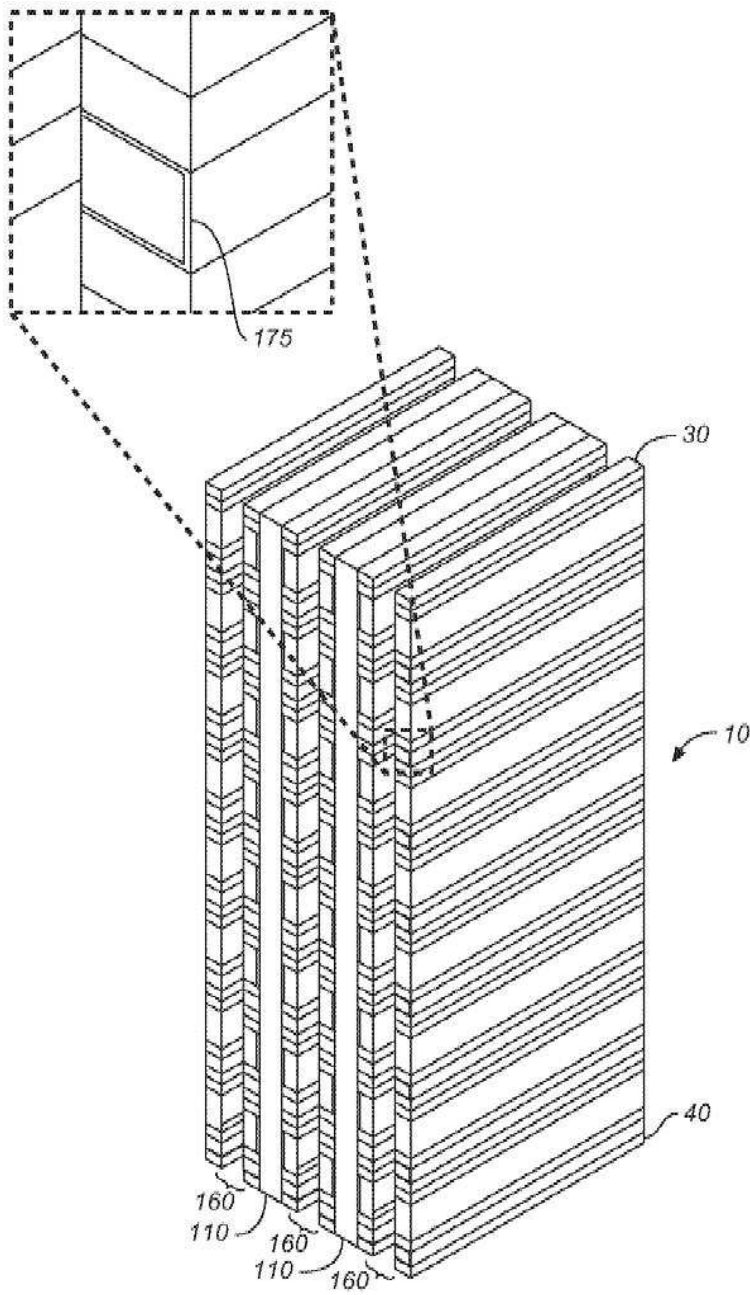
도면10



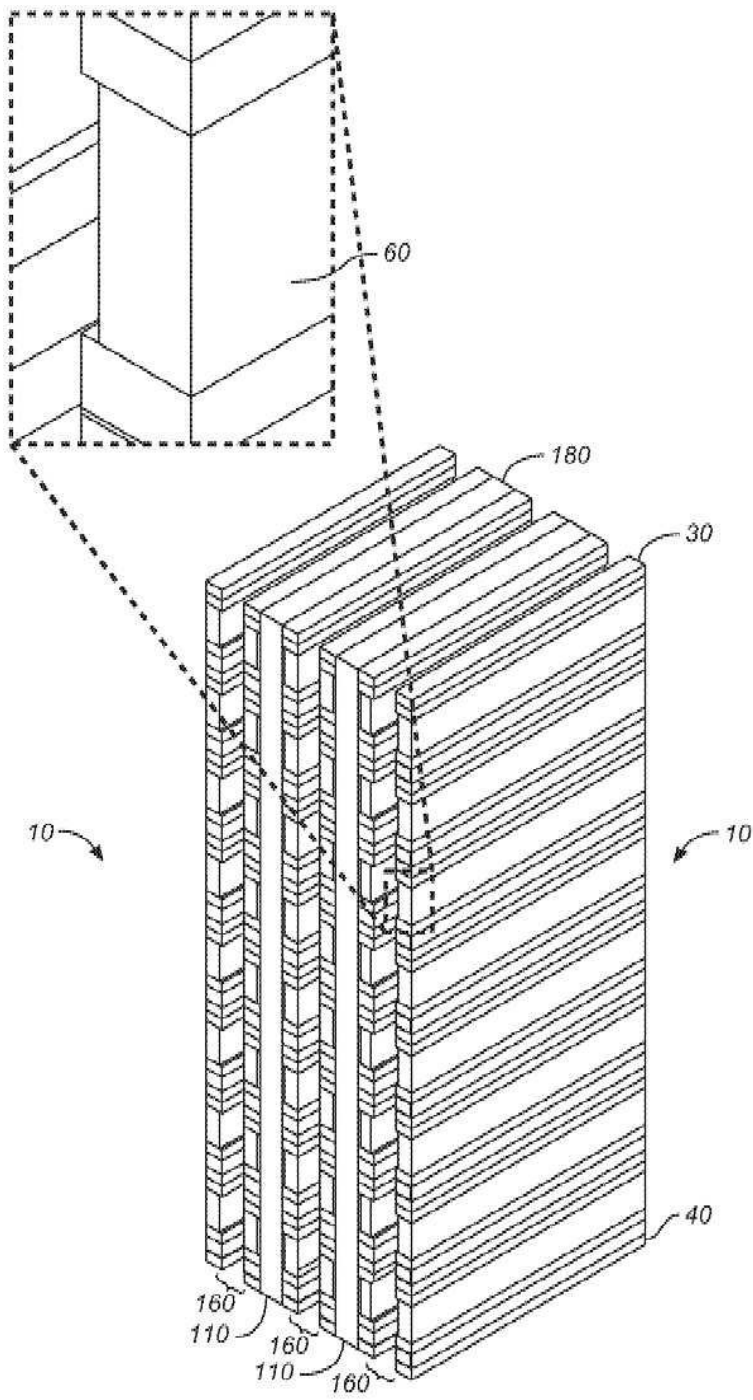
도면11



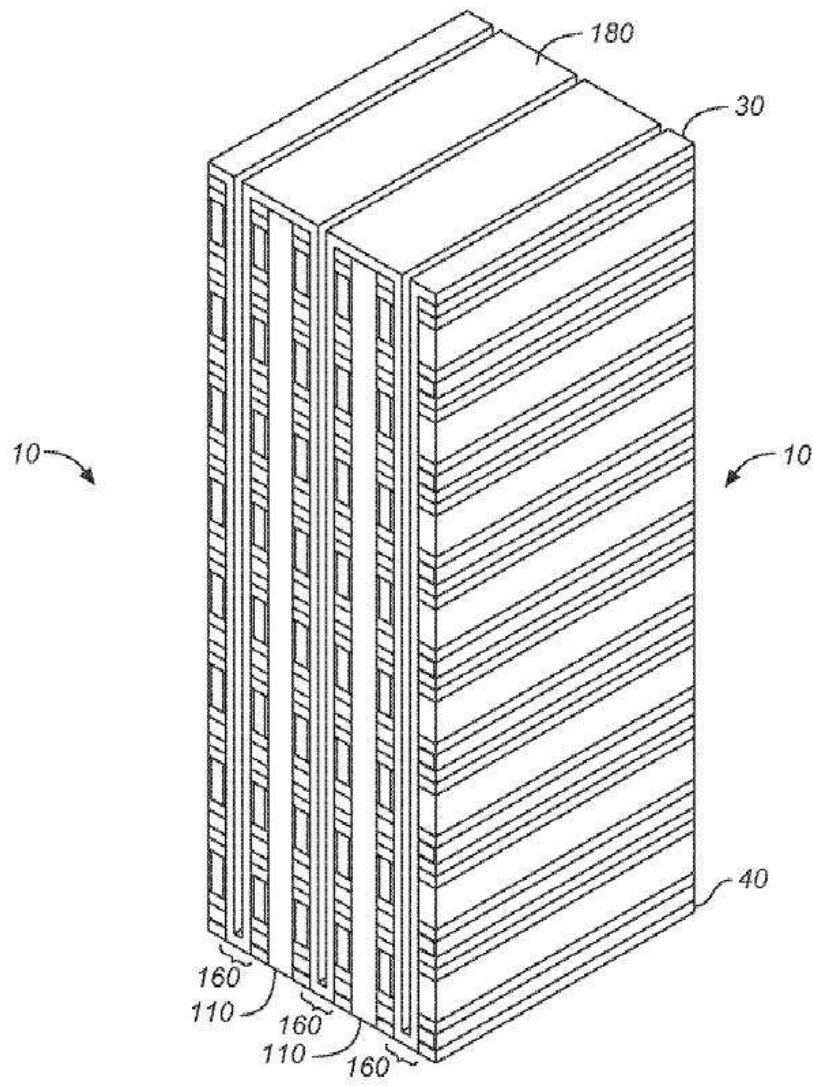
도면12



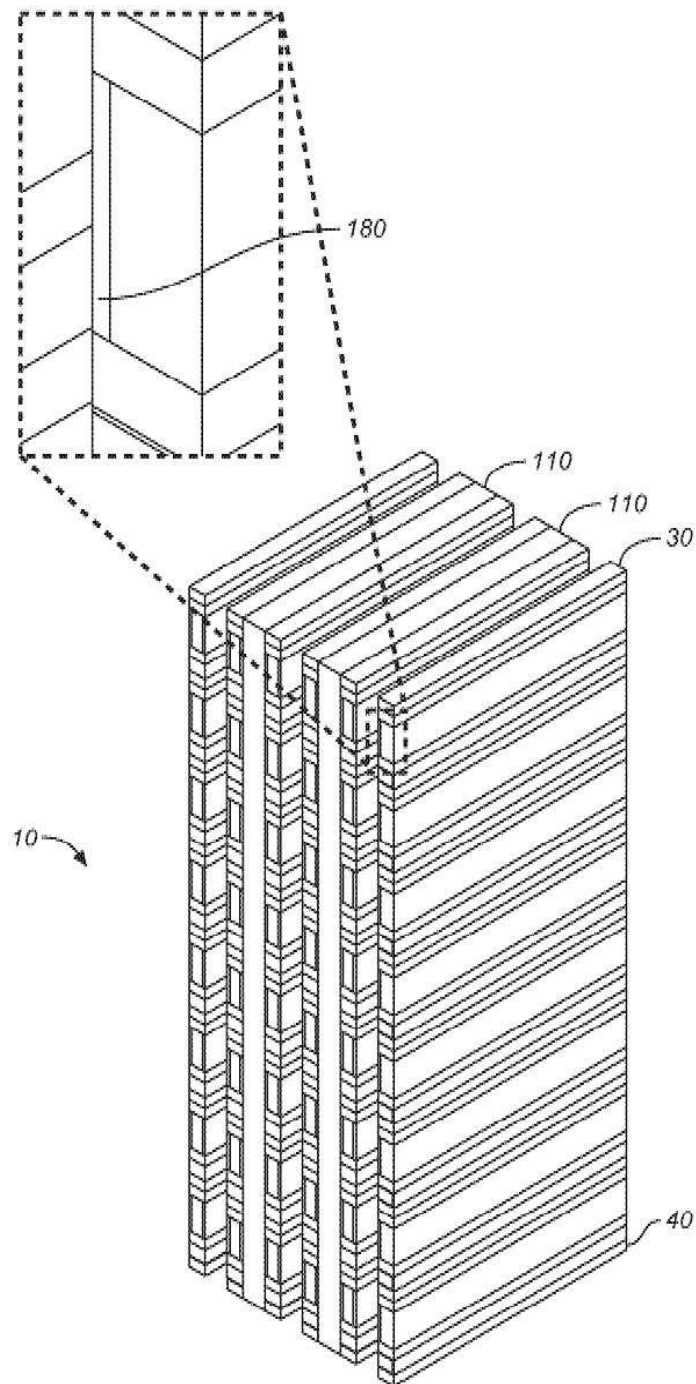
도면13



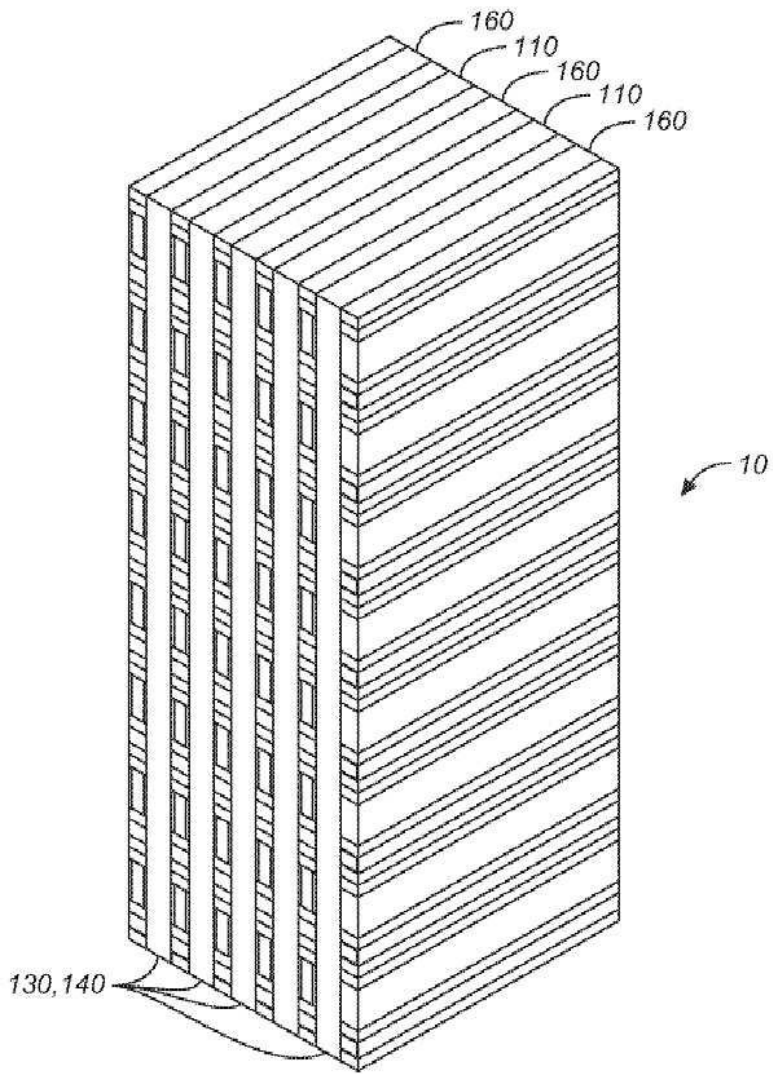
도면14



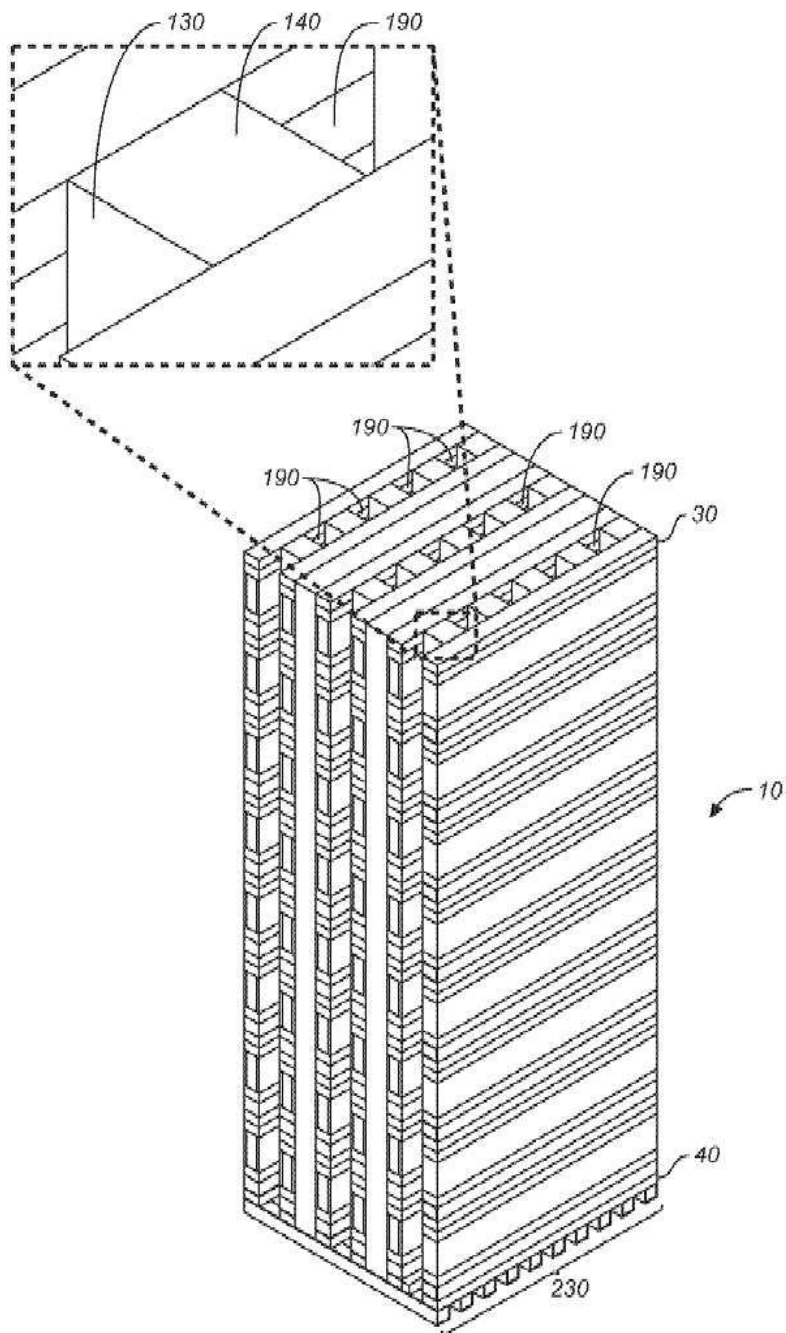
도면15



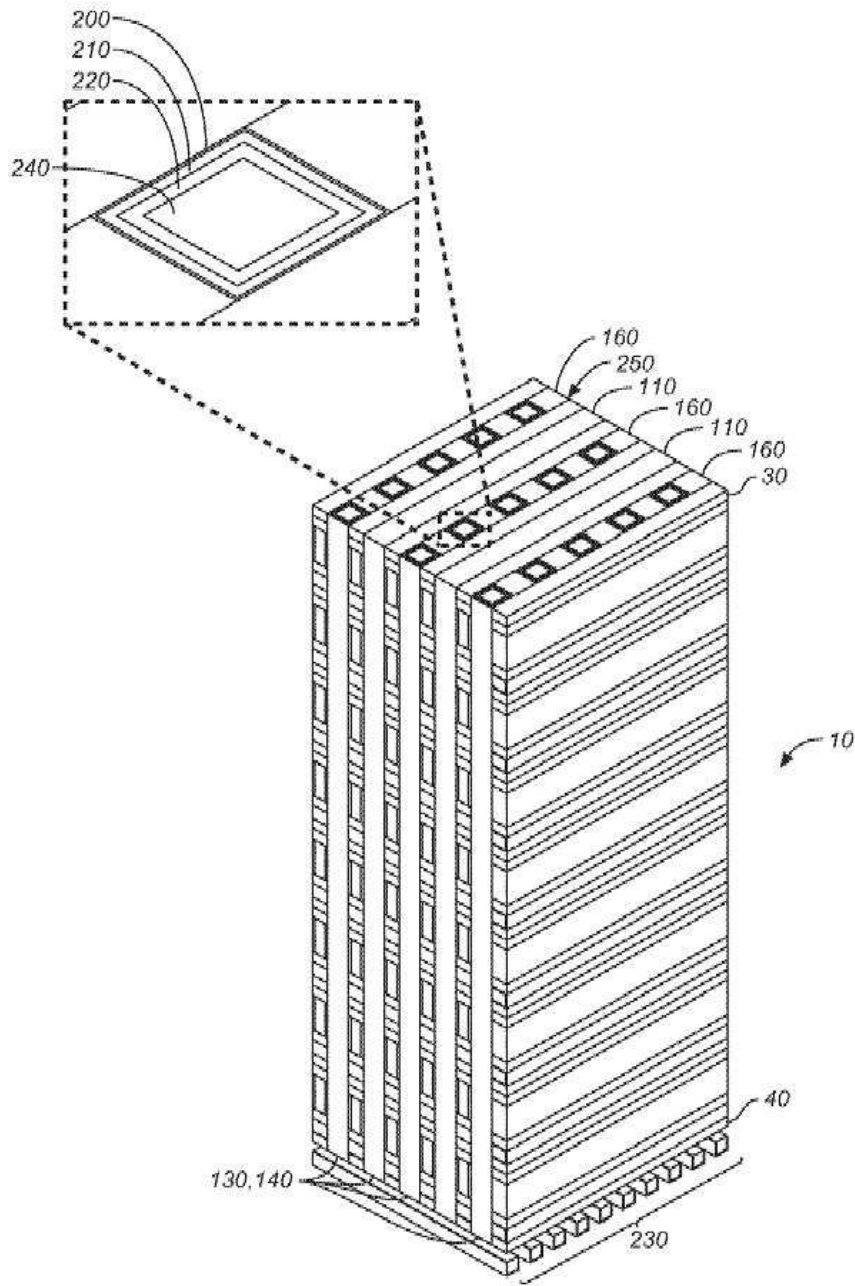
도면16



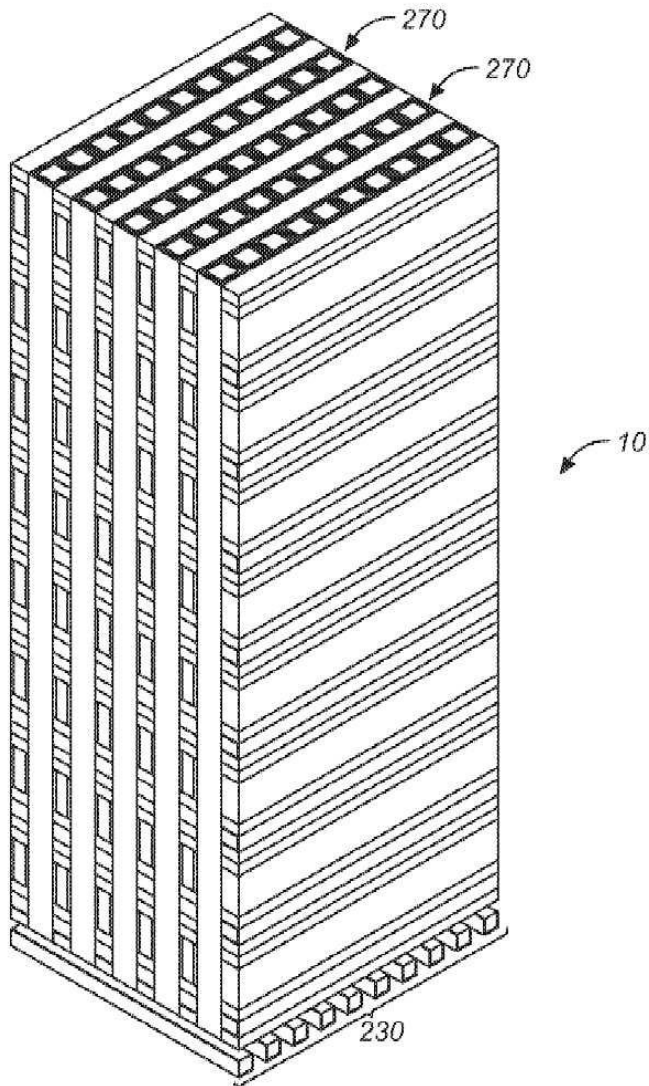
도면17



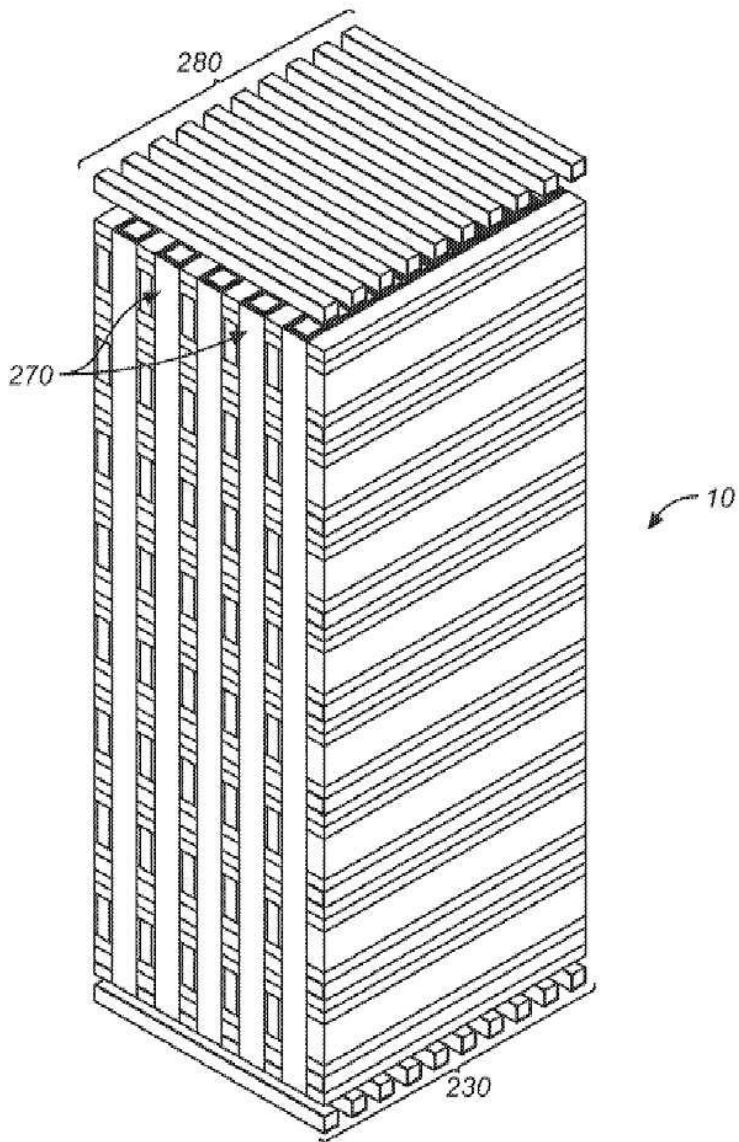
도면18



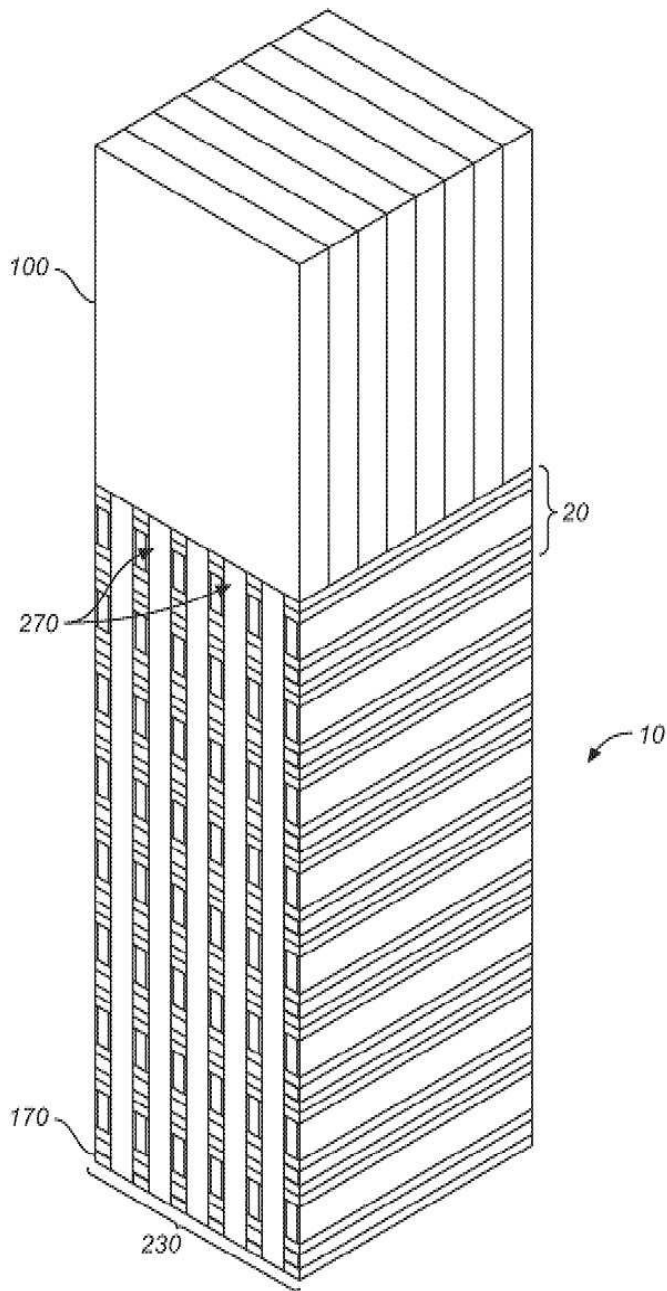
도면19



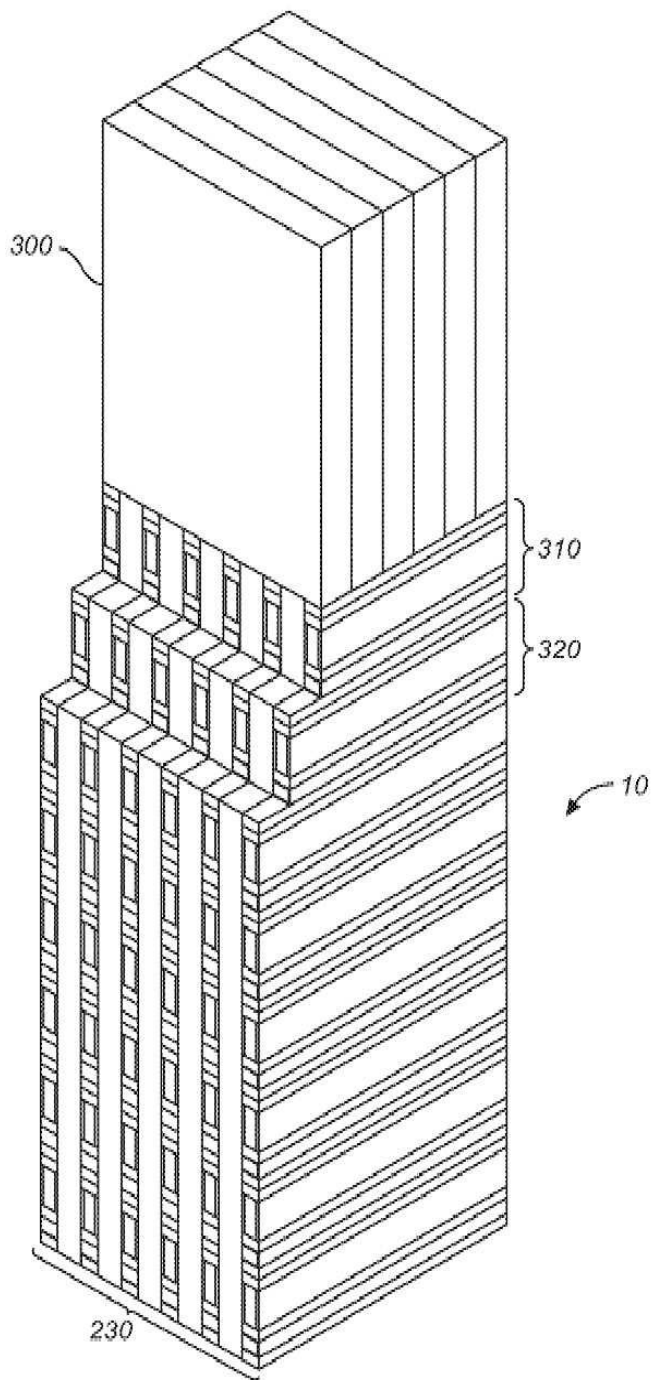
도면20



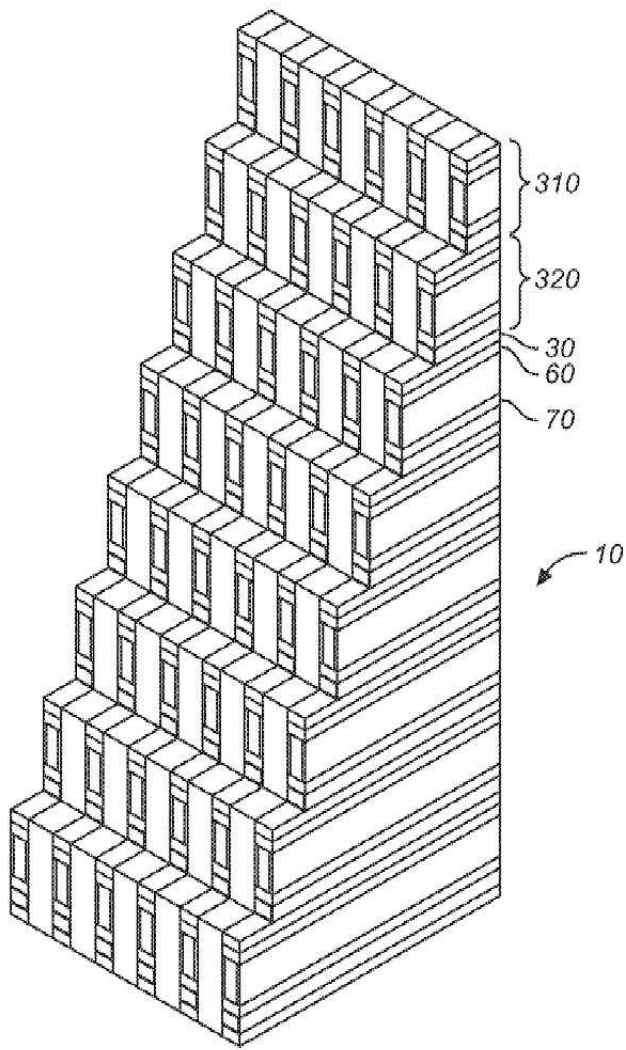
도면21



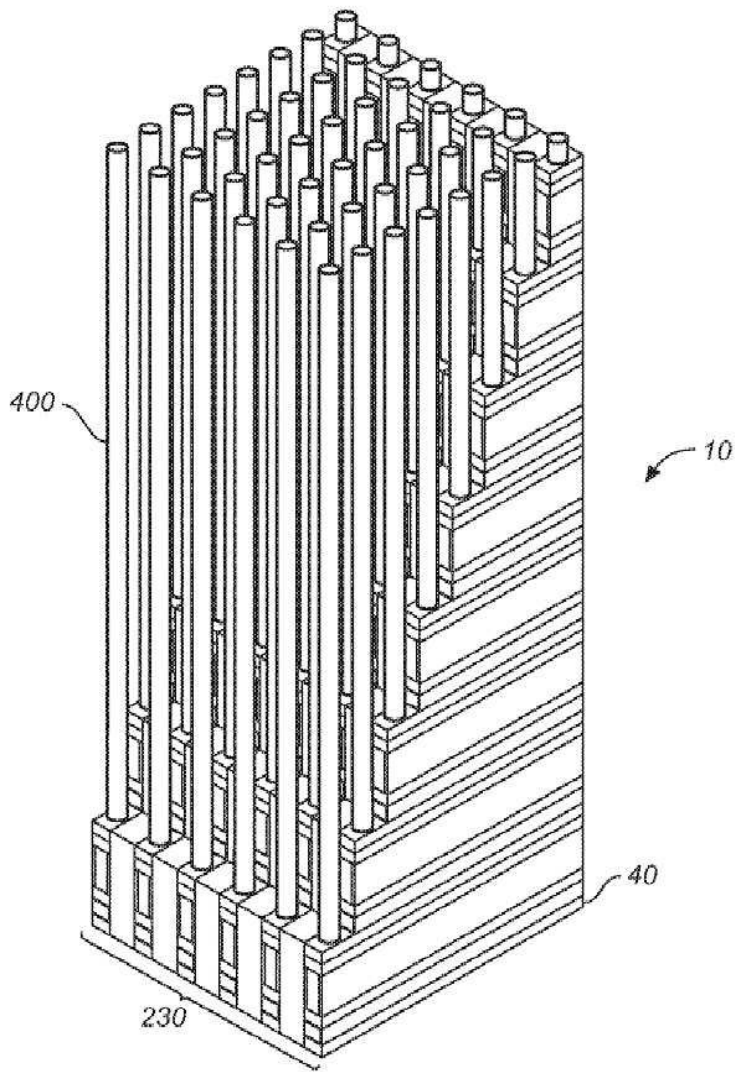
도면22



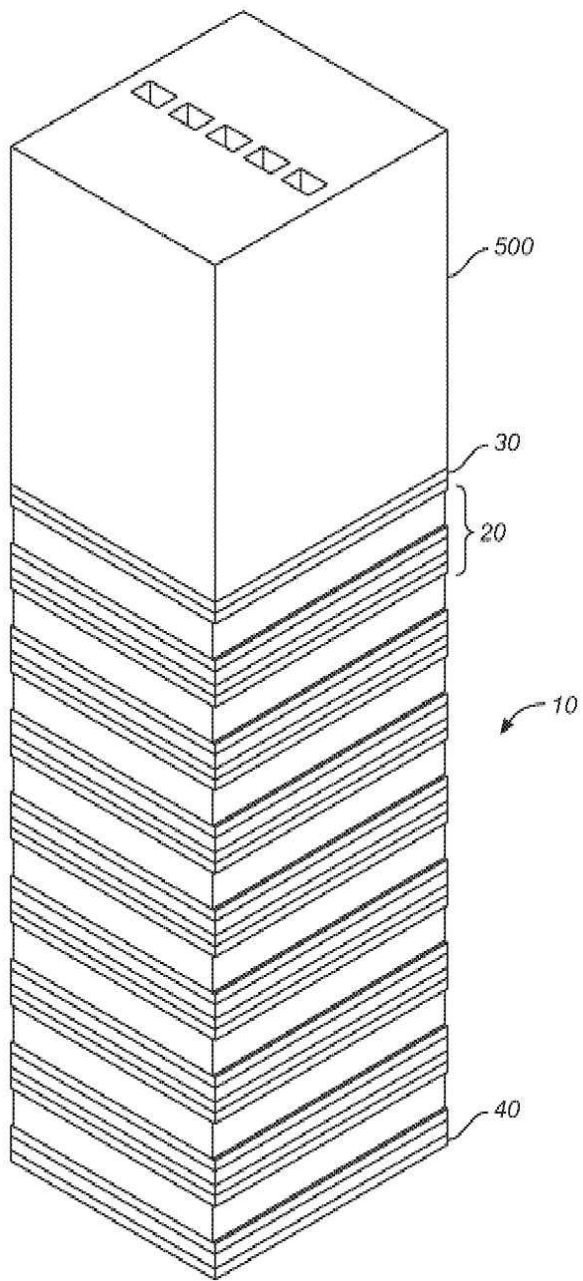
도면23



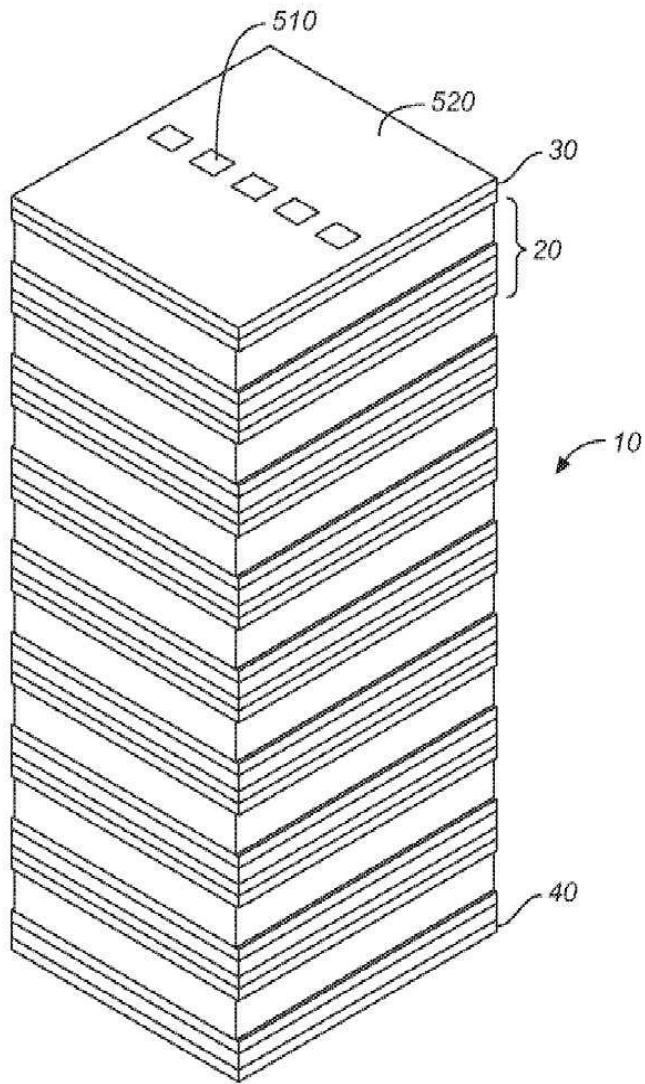
도면24



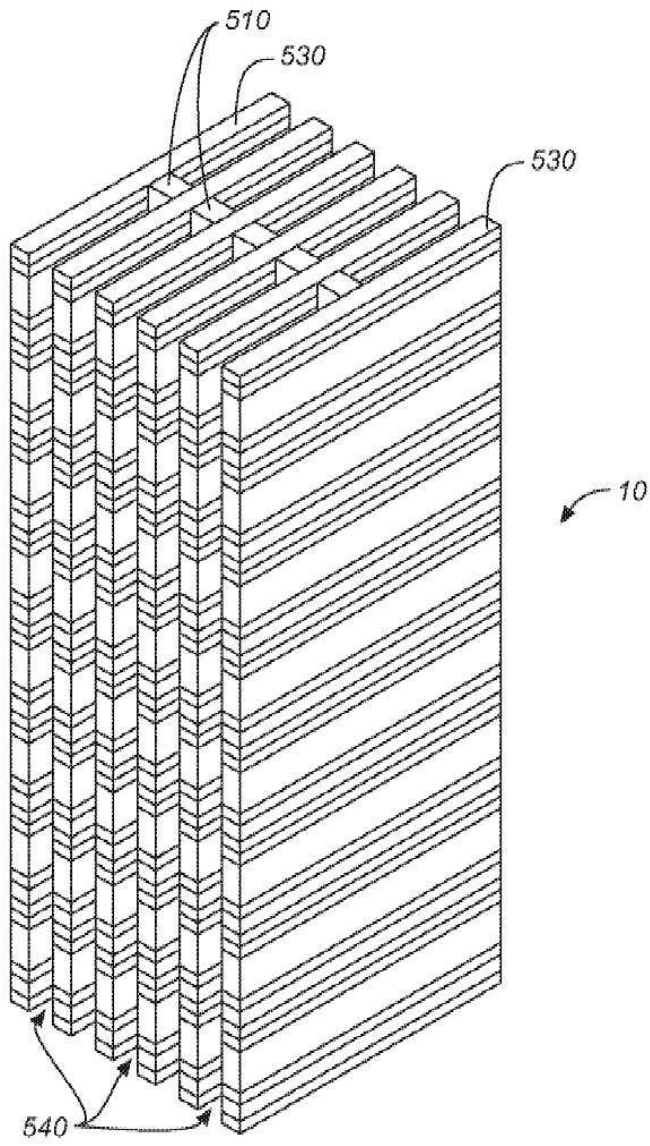
도면25



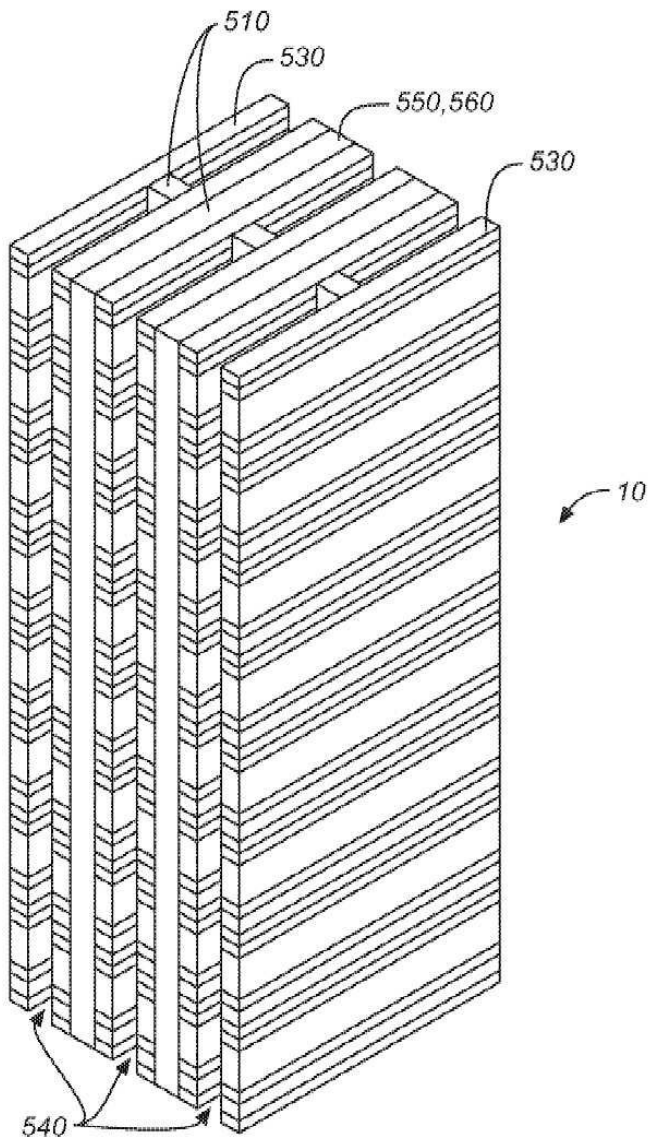
도면26



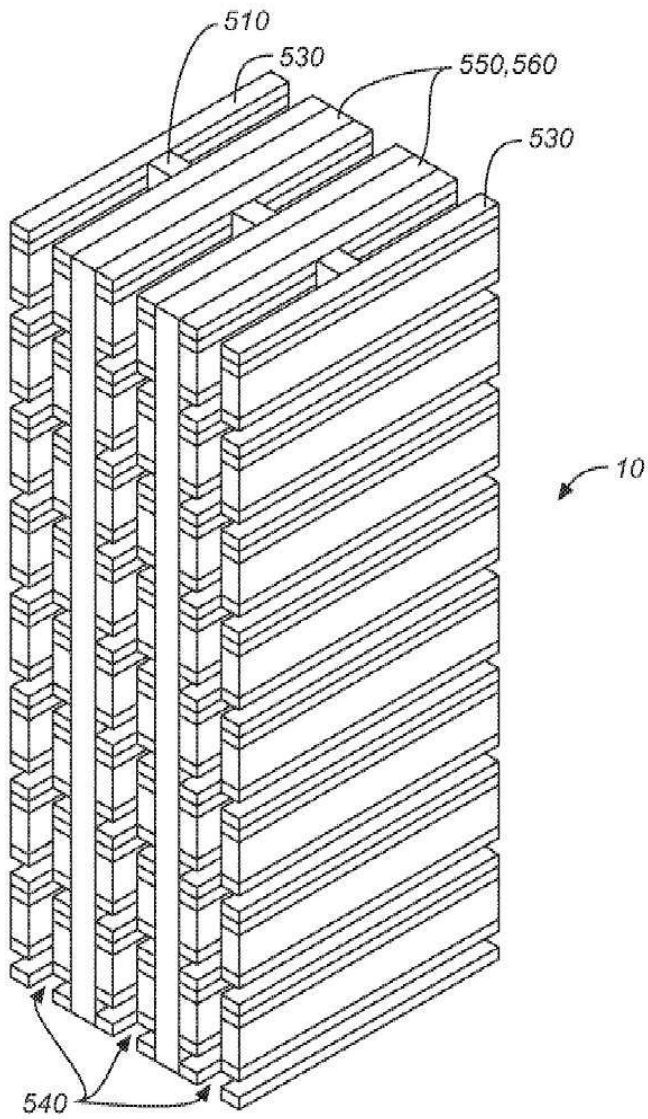
도면27



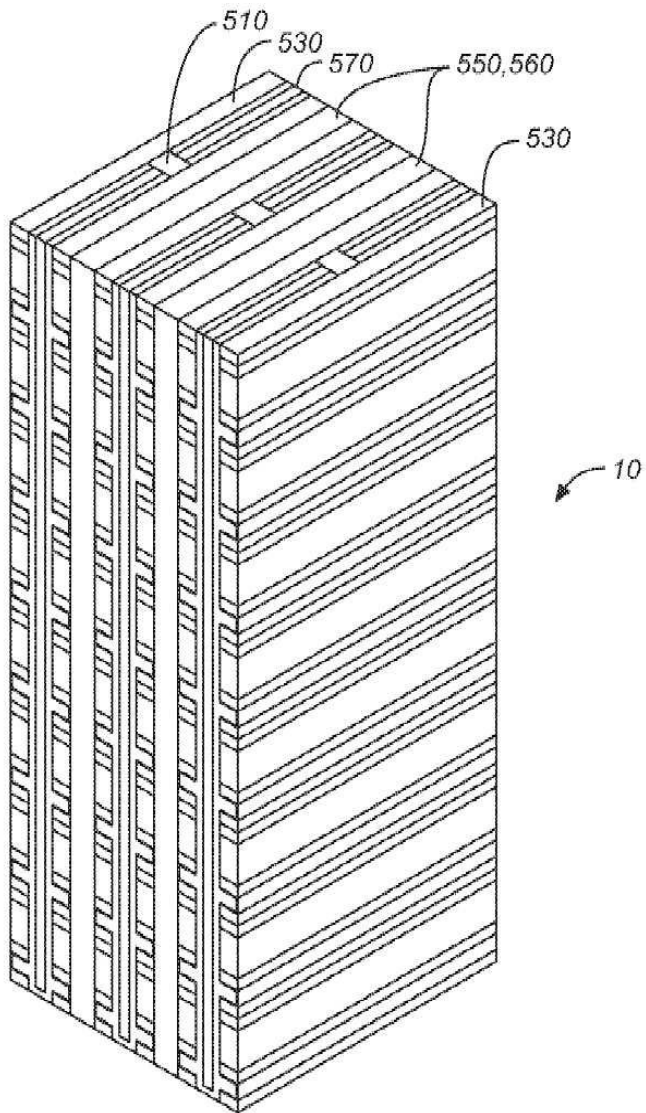
도면28



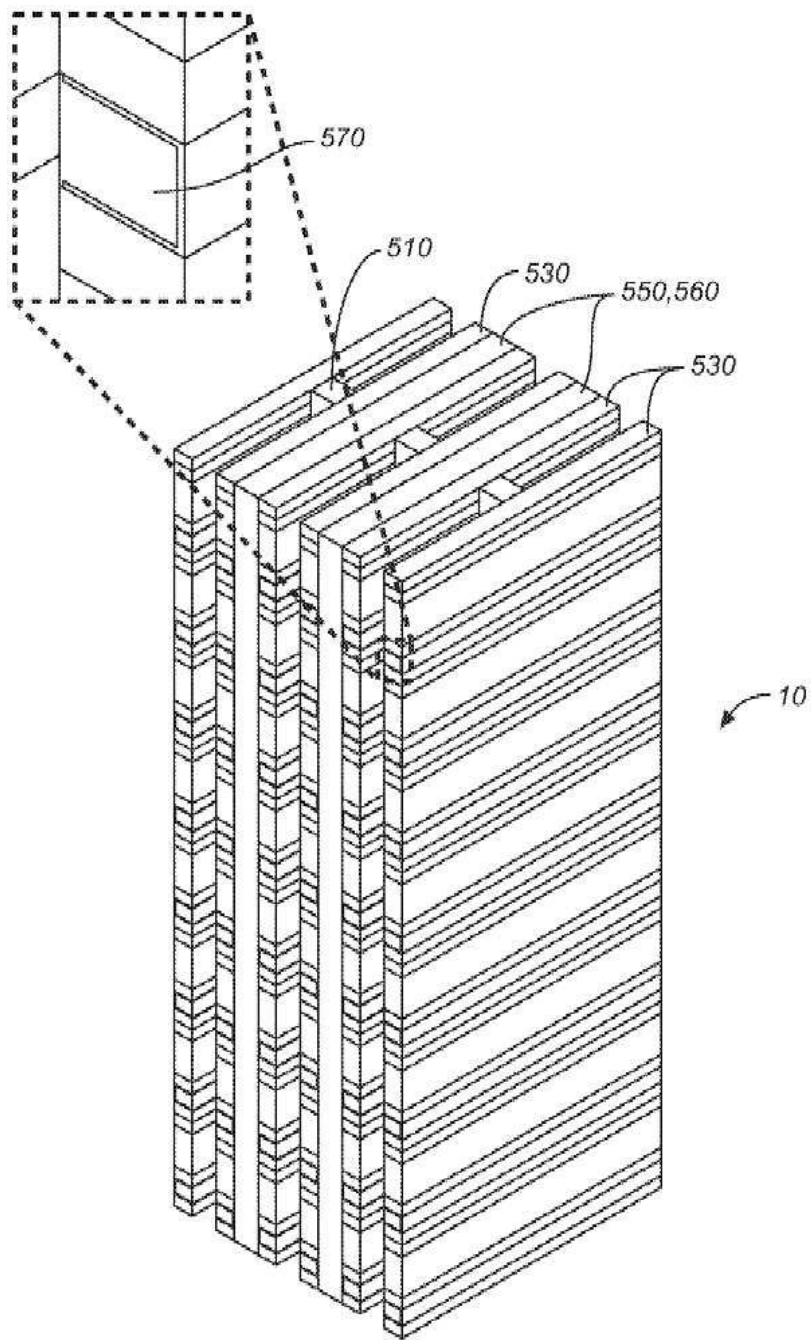
도면29



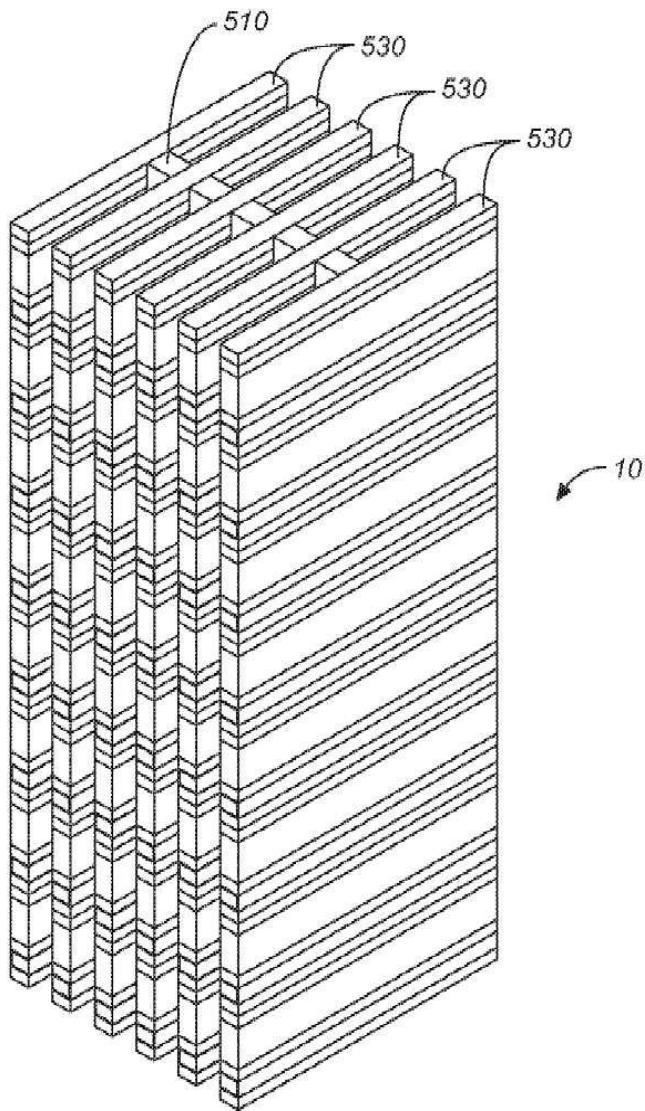
도면30



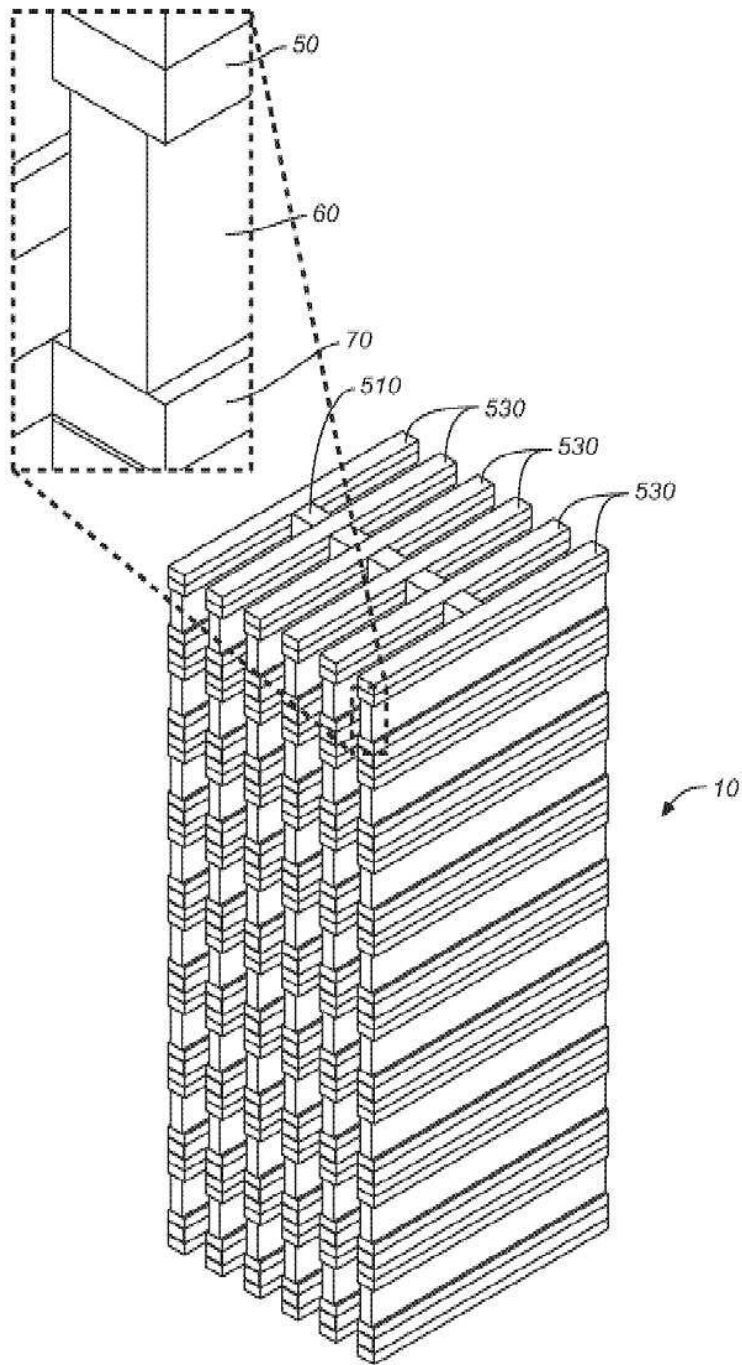
도면31



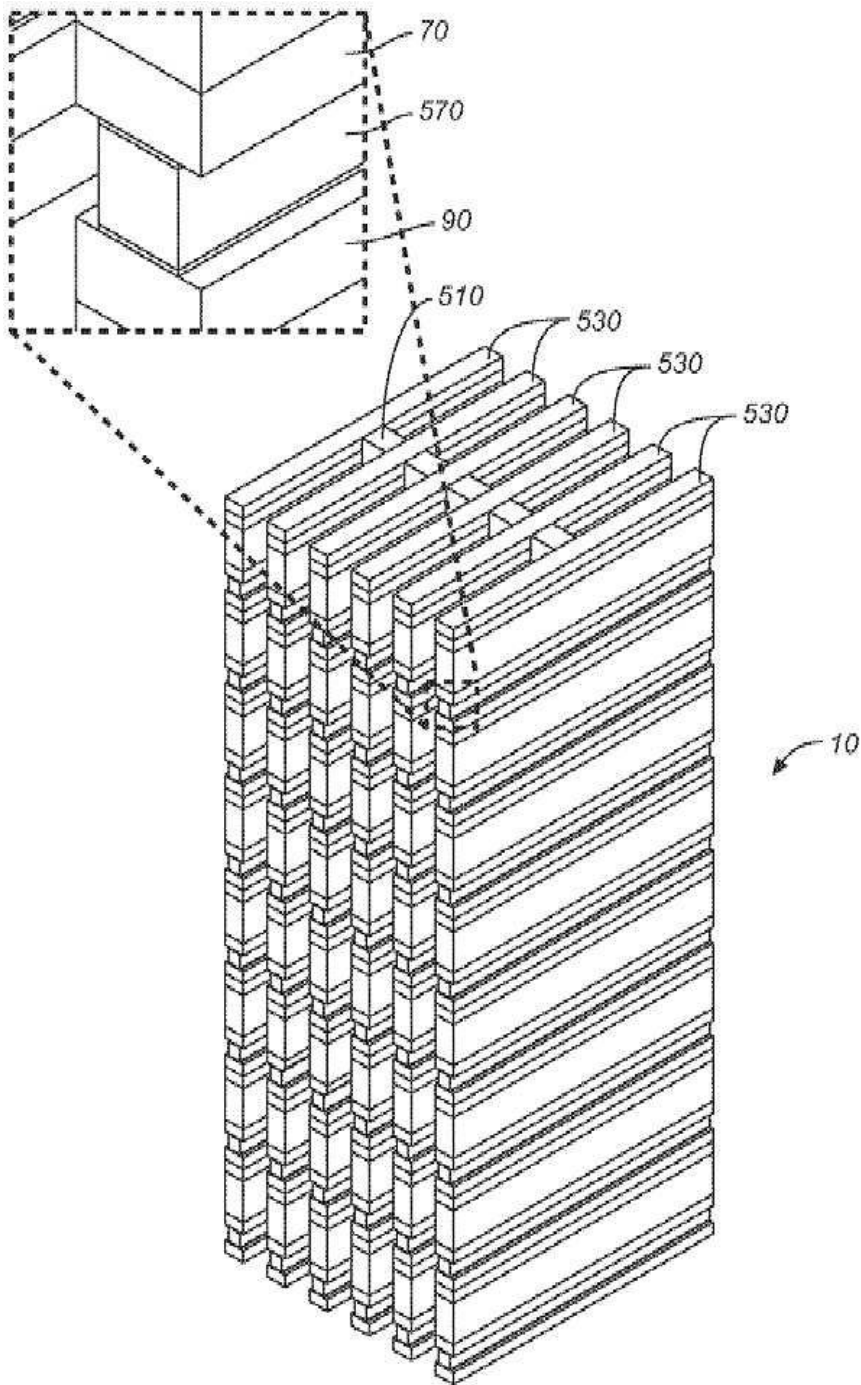
도면32



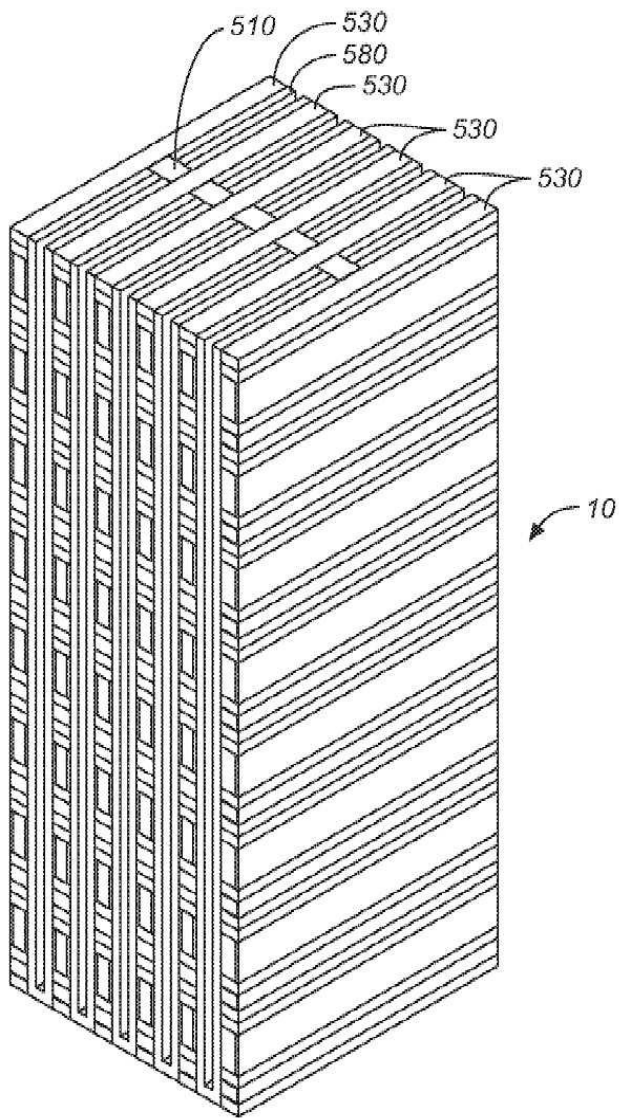
도면33



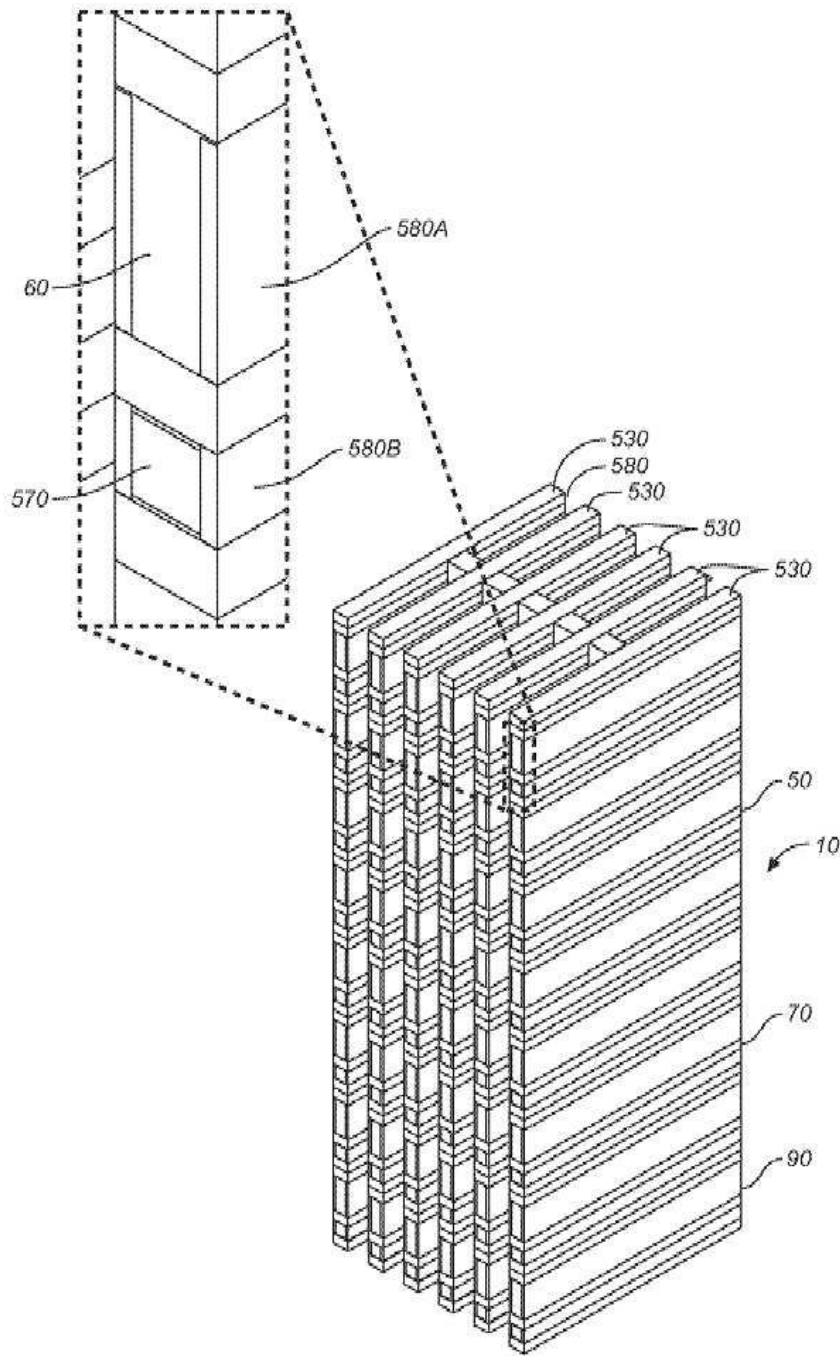
도면34



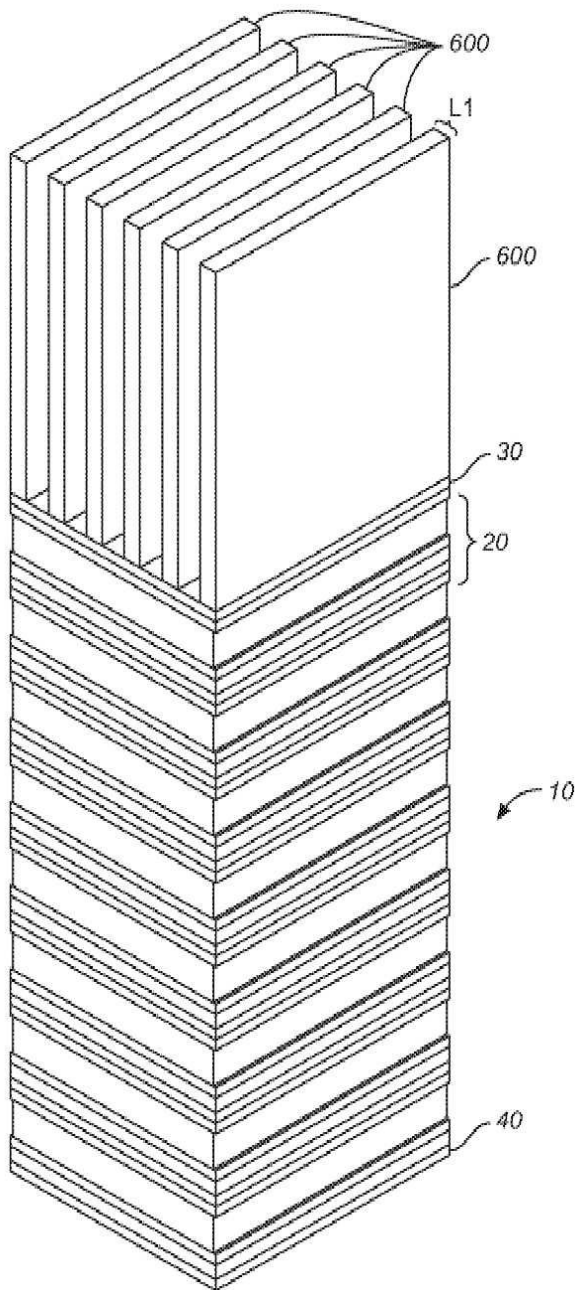
도면35



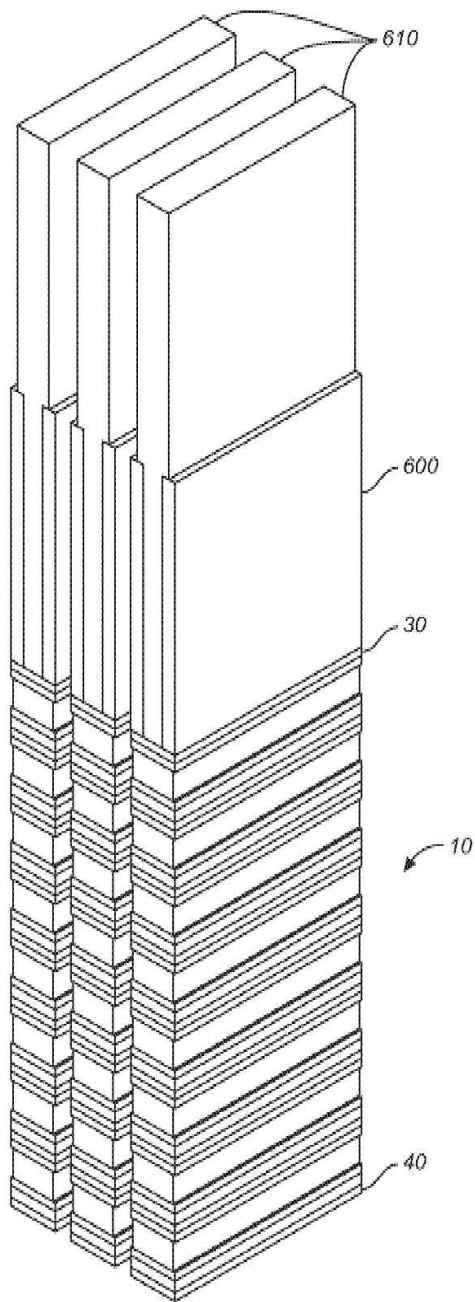
도면36



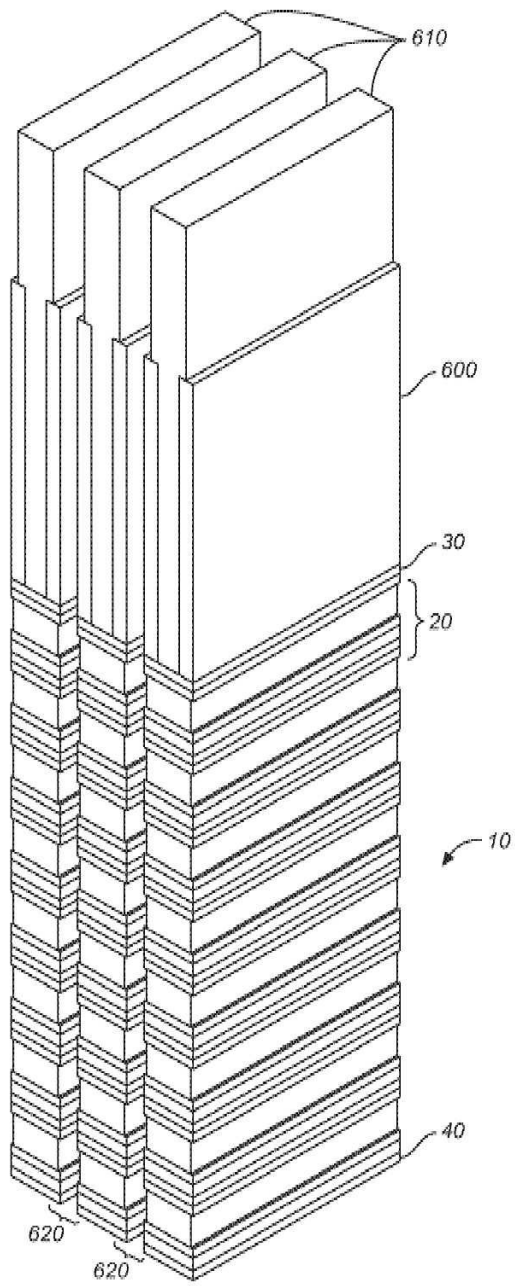
도면37



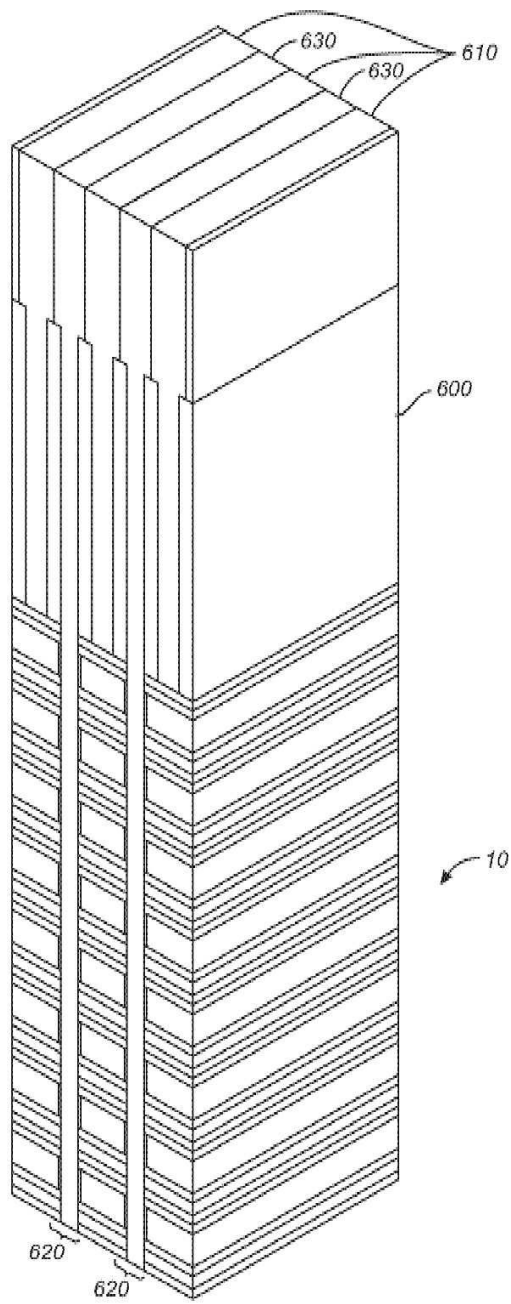
도면38



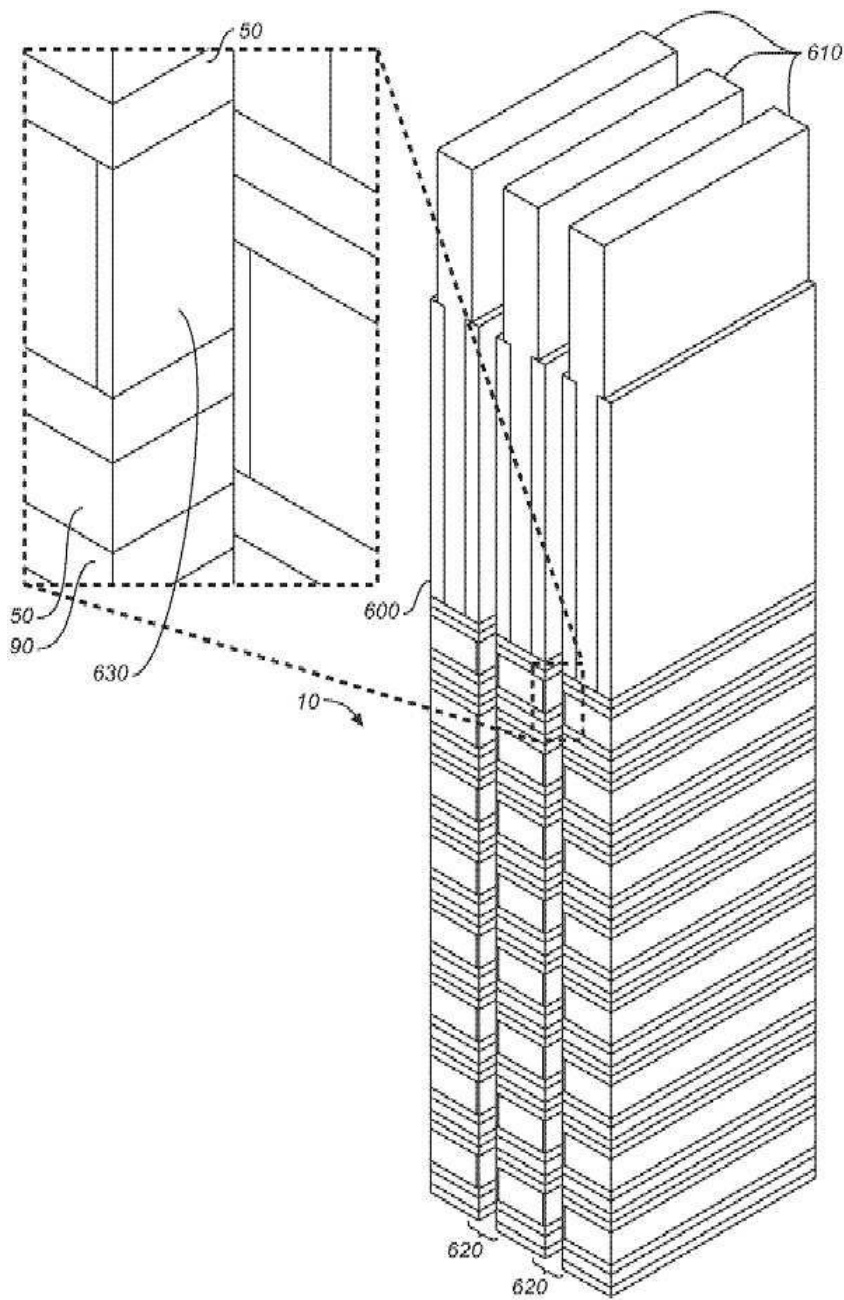
도면39



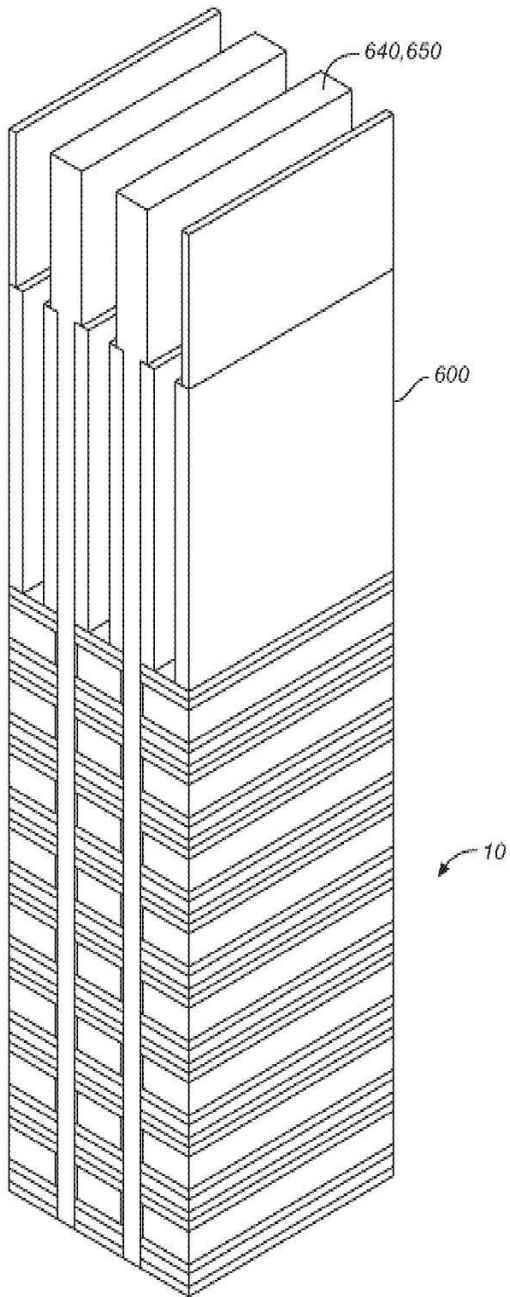
도면41



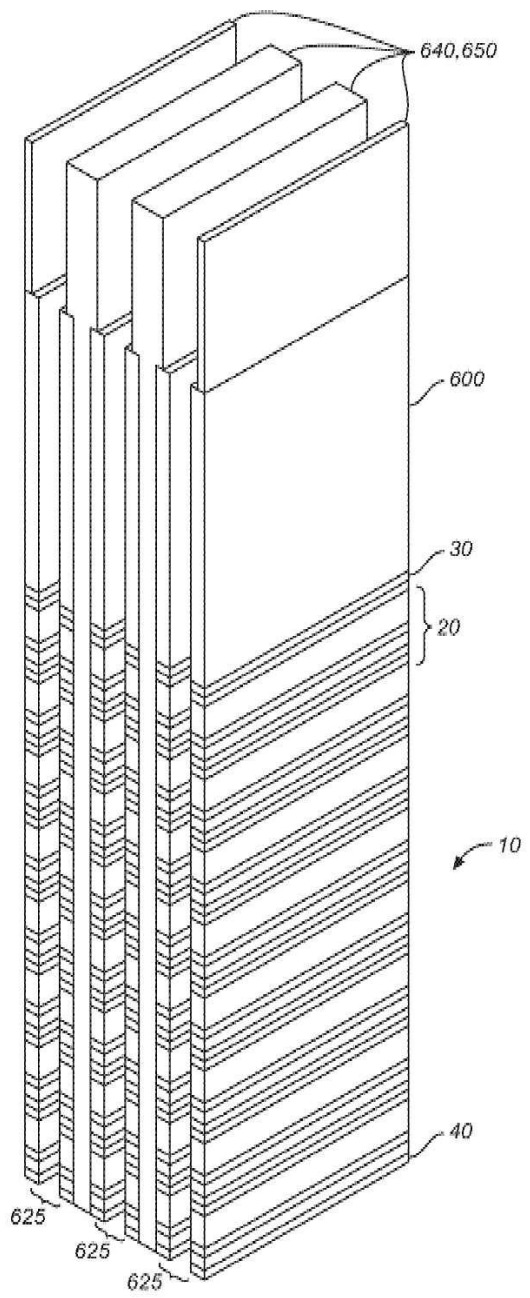
도면42



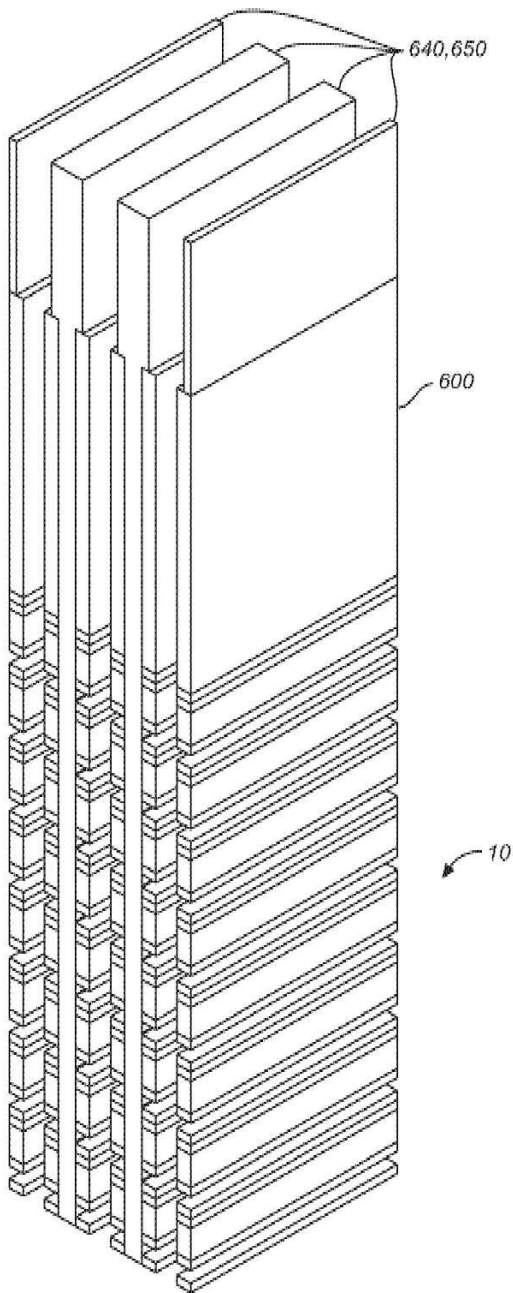
도면43



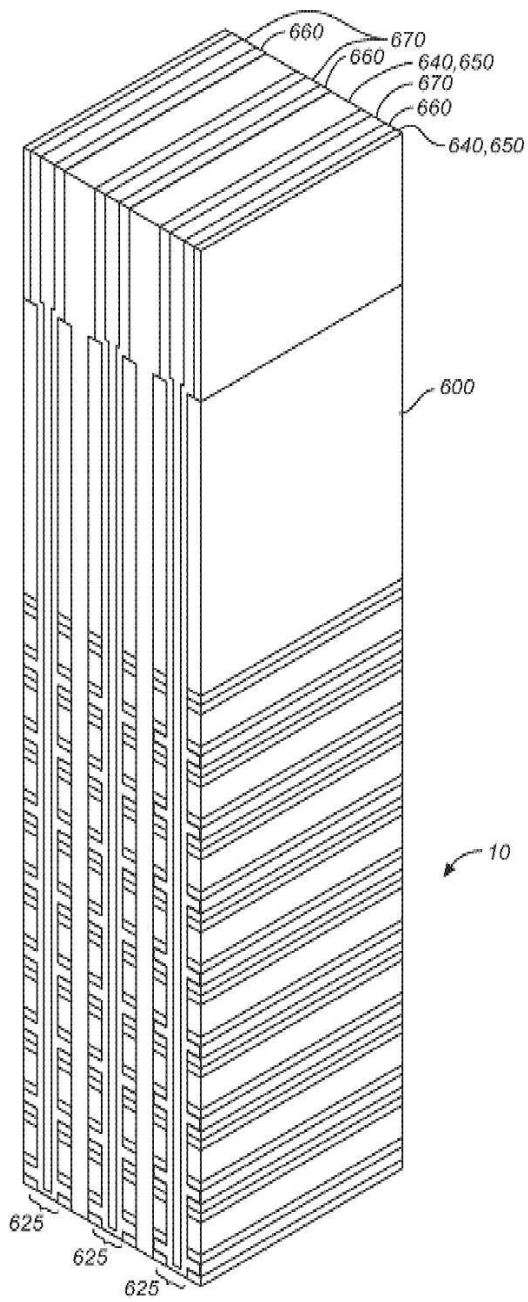
도면44



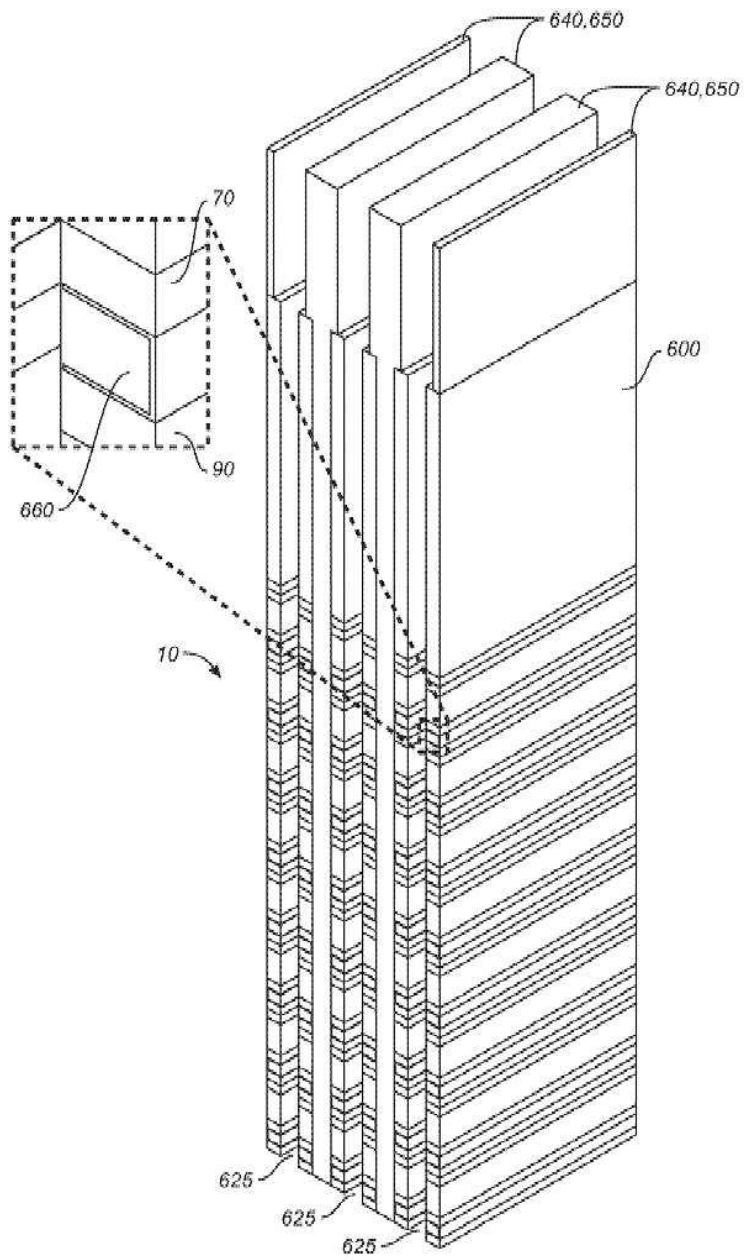
도면45



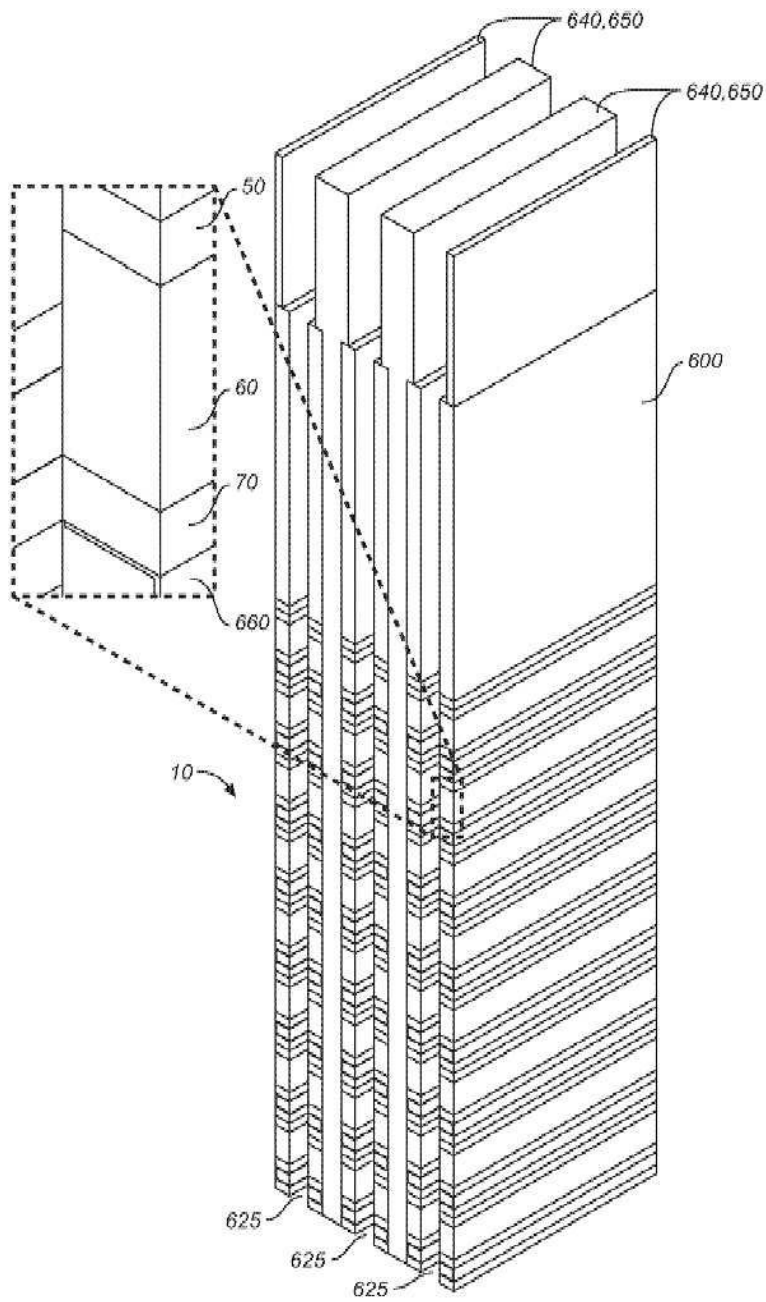
도면46



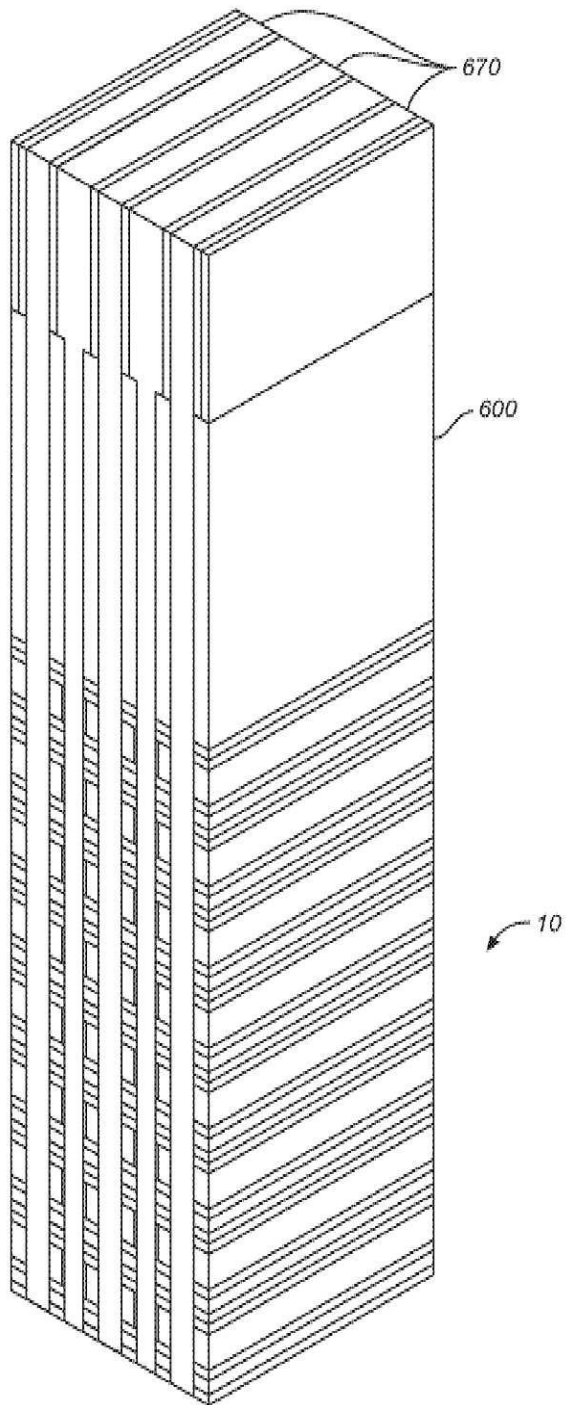
도면47



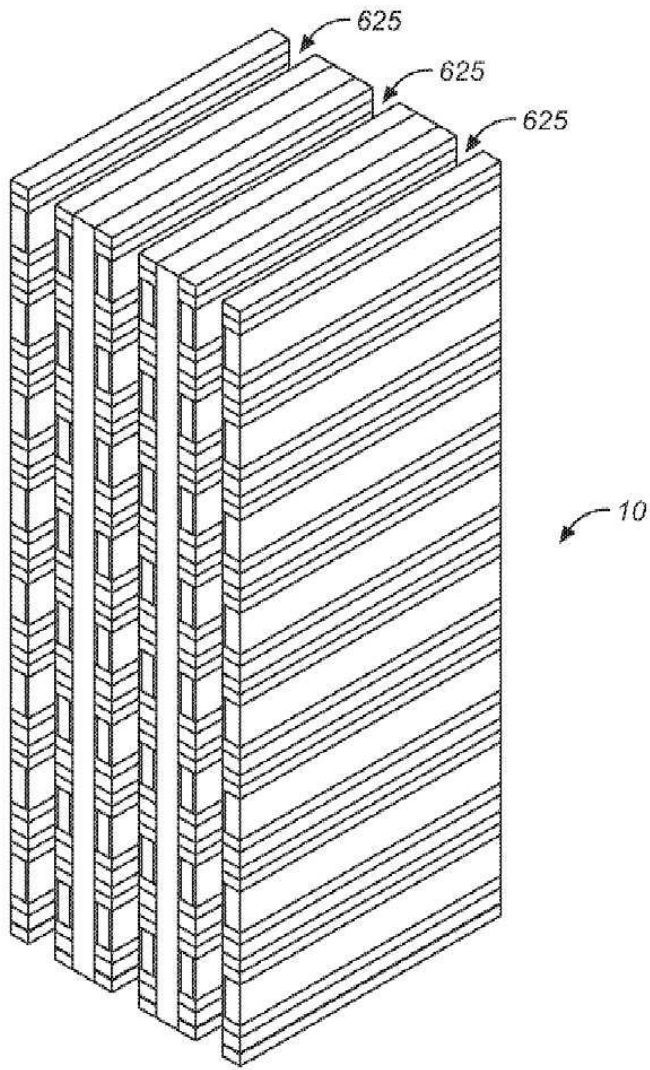
도면48



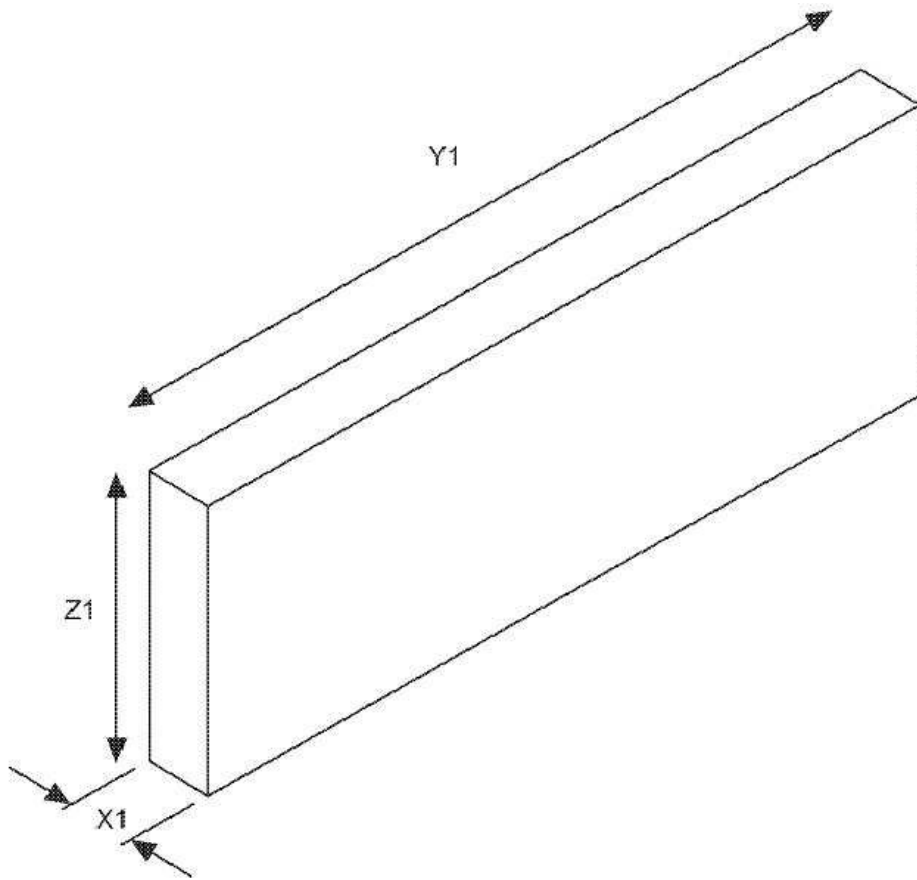
도면49



도면50



도면51a



도면51b

