



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년09월18일
(11) 등록번호 10-1184182
(24) 등록일자 2012년09월12일

- (51) 국제특허분류(Int. Cl.)
H03K 3/037 (2006.01)
- (21) 출원번호 10-2006-0059564
(22) 출원일자 2006년06월29일
심사청구일자 2011년05월13일
(65) 공개번호 10-2007-0001843
(43) 공개일자 2007년01월04일
(30) 우선권주장
JP-P-2005-00189102 2005년06월29일 일본(JP)
(56) 선행기술조사문헌
KR1020040011992 A
JP11340795 A
JP08274594 A
KR1020040035499 A

- (73) 특허권자
르네상스 일렉트로닉스 가부시키가이샤
일본국 카나가와Ken 카와사키시 나카하라쿠 시모누마베 1753반지
(72) 발명자
오노우치 마사후미
일본국 도쿄도 치요다쿠 마루노우치1쵸메6번1고마루노우치센타비루12카이 가부시키가이샤 히타치세이사쿠쇼지테크자이산肯hon부나이
간노 유수케
일본국 도쿄도 치요다쿠 마루노우치1쵸메6번1고마루노우치센타비루12카이 가부시키가이샤 히타치세이사쿠쇼지테크자이산肯hon부나이
(뒷면에 계속)
- (74) 대리인
특허법인 원전

전체 청구항 수 : 총 18 항

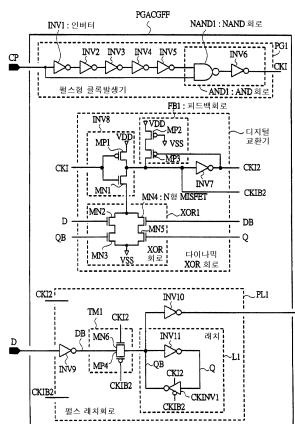
심사관 : 김남인

(54) 발명의 명칭 반도체 집적회로 장치

(57) 요약

플립 플롭에 있어서의 글리치(glitch) 전력을 삼감하고, 반도체집적회로장치의 저소비 전력화를 실현한다.

펄스형 클록을 이용해서 데이터 래치를 하는 펄스형 클록 발생기내장 자동클록 게이팅 플립 플롭(PGACGFF)에 있어서, 펄스형 클록이 하이레벨(VDD)인 기간에 비교 회로인 다이내믹XOR회로(DXOR1)의 출력에 근거해서 입력 데이터(D)의 래치를 하고, 로우레벨(VSS)인 기간에 다이내믹XOR회로(DXOR1)를 차단한다.

대 표 도 - 도1

(72) 발명자

미즈노 히로유키

일본국 도쿄도 치요다구 마루노우치1쵸메6번1고마루노우치센타비루12카이 가부시키가이샤 히타치세이사쿠쇼지테키자이산肯혼부나이

시마자키 야수히사

일본국 도쿄도 지요다구 마루노우찌2쵸메 4-1 가부시키가이샤르네사스 테크놀로지나이

야마다 테츠야

일본국 도쿄도 치요다구 마루노우치1쵸메6번1고마루노우치센타비루12카이 가부시키가이샤 히타치세이사쿠쇼지테키자이산肯혼부나이

특허청구의 범위

청구항 1

반도체 집적회로 장치에 있어서,

상기 반도체 집적회로 장치는,

외부 클록 신호가 입력되어, 상기 외부 클록 신호의 제1레벨로부터 제2레벨로의 변이에 동기하고, 상기 외부 클록 신호보다 제2레벨 기간이 짧은 펄스형 클록 신호(pulsed clock signal)를 출력하는 펄스형 클록 발생회로(pulsed generator circuit);와 입력 데이터 신호와 내부 클록 신호가 입력되어, 내부 클록 신호가 제4레벨에 있는 기간에 상기 입력데이터 신호값을 취입하고, 내부 클록 신호가 제3레벨에 있는 기간에 취입된 값을 유지하며, 상기 취입한 값을 유지데이터신호로서 출력하는 데이터 래치 회로(data latch circuit);와 상기 펄스형 클록 신호와 상기 데이터 래치 회로의 상기 입력 데이터 신호와 상기 유지 데이터 신호가 입력되는 데이터 비교 회로를 포함하며,

상기 데이터 비교 회로는, 상기 펄스형 클록 신호가 제1레벨인 기간에 제3레벨의 내부 클록 신호를 출력하고, 상기 데이터 비교 회로는 상기 펄스형 클록 신호가 제2레벨인 기간에 상기 입력 데이터 신호와 상기 유지 데이터 신호를 비교하고, 불일치의 경우는 제4레벨의 상기 내부 클록 신호를 출력하고, 일치했을 경우에는 제3레벨의 내부 클록 신호를 출력 하며,

상기 데이터 비교 회로에서, 펄스형 클록 신호가 제1레벨일 때에, 상기 입력 데이터 신호, 상기 유지 데이터 신호, 그리고 상기 입력 데이터 신호 와 상기 유지 데이터 신호의 각각의 반전 값(inverted values)이 입력되는 트랜지스터가 상기 펄스형 클록 신호에 의해 전원 혹은 접지로부터 차단되는 것을 특징으로 하는

반도체 집적회로 장치.

청구항 2

제 1항에 있어서,

상기 데이터 비교회로는 배타적 논리화회로(exclusive OR circuit)를 포함하고, 상기 배타적 논리화회로는 상기 트랜지스터를 포함하며, 상기 트랜지스터는 직렬 접속된 2개의 n형 MOSFET가 2병렬로 접속된 구성을 포함하고, 그리고 직렬 접속된 상기 n형 MOSFET의 한 방향의 접속부가 접지되며, 직렬 접속된 상기 n형 MOSFET의 다른 방향의 접속부는 펄스형 클록 신호가 입력되는 인버터회로의 n형MOSFET의 소스측에 접속된 것을 특징으로 하는 반도체집적회로장치.

청구항 3

제 1항에 있어서,

상기 데이터 비교회로는 배타적 논리화회로(exclusive OR circuit)를 포함하고, 상기 배타적 논리화회로는 상기 트랜지스터를 포함하며,

상기 트랜지스터는 직렬 접속된 2개의 p형 MOSFET가 2병렬로 접속된 구성을 포함하고, 그리고 직렬 접속된 상기 p형 MOSFET의 한 방향의 접속부가 전원에 접지되며, 직렬 접속된 상기 p형 MOSFET의 다른 방향의 접속부는 펄스형 클록 신호가 입력되는 인버터 회로의 p형MOSFET의 소스측에 접속된 것을 특징으로 하는 반도체집적회로장치.

청구항 4

제 1항에 있어서,

상기 데이터 비교 회로는,상기 펄스형 클록 신호가 제2레벨인 기간에서 상기 입력 데이터 신호와 상기 유지 데이터(저장 데이터) 신호의 비교 결과가 일치하는 경우에, 내부 클록의 제 3레벨을 보증하는 피드백 회로(feedback circuit)를 포함하는 것을 특징으로 하는 반도체 직접회로장치.

청구항 5

제 4항에 있어서,

상기 피드백 회로에 제공되는 전류값을 제어하는 트랜지스터를 부가한 것을 특징으로 하는 반도체집적회로장치.

청구항 6

제1항에 있어서,

상기 데이터 래치 회로의 데이터 유지용의 루프 회로로, 클록드 인버터(clocked inverter)가 사용되는 것을 특징으로 하는 반도체집적회로장치.

청구항 7

제1항에 있어서,

상기 데이터 래치 회로의 데이터 유지용의 루프 회로로, 인버터가 이용되는 것을 특징으로 하는 반도체집적회로장치.

청구항 8

제1항에 있어서,

상기 데이터 비교 회로에서, 상기 입력 데이터 신호, 상기 유지 데이터 신호, 그리고 상기 입력 데이터 신호와 상기 유지 데이터 신호의 반전 값이 입력되는 각 트랜지스터들의 문턱치전압(threshold voltage) 값이 펄스형 클록신호가 입력되는 트랜지스터의 문턱치 전압보다도 낮은 것을 특징으로 하는 반도체집적회로장치.

청구항 9

제1항에 있어서,

상기 제1레벨은 로우레벨이며, 상기 제2레벨은 하이레벨이며, 상기 제3레벨은 로우레벨이며, 상기 제4레벨은 하이레벨인 것을 특징으로 하는 반도체집적회로장치.

청구항 10

제1항에 있어서,

상기 제1레벨은 로우레벨이며, 상기 제2레벨은 하이레벨이며, 상기 제3레벨은 하이레벨이며, 상기 제4레벨은 로우레벨인 것을 특징으로 하는 반도체집적회로장치.

청구항 11

제1항에 있어서,

상기 제1레벨은 하이레벨이며, 상기 제2레벨은 로우레벨이며, 상기 제3레벨은 로우레벨이며, 상기 제4레벨은 하이레벨인 것을 특징으로 하는 반도체집적회로장치.

청구항 12

제1항에 있어서,

상기 제1레벨은 하이레벨이며, 상기 제2레벨은 로우레벨이며, 상기 제3레벨은 하이레벨이며, 상기 제4레벨은 로우레벨인 것을 특징으로 하는 반도체집적회로장치.

청구항 13

제1항에 있어서,

상기 펄스형 클록 발생 회로, 상기 데이터 래치 회로 및 상기 데이터 비교 회로를 하나의 셀로서 레이아웃 함을 특징으로 하는 반도체집적회로장치.

청구항 14

제1항에 있어서,

상기 펄스형 클록 발생 회로를 1개의 셀로 레이아웃하고, 상기 데이터 래치 회로와 상기 데이터 비교 회로는 다른 셀로서 레이아웃하는 것을 특징으로 하는 반도체집적회로장치.

청구항 15

제 14항에 있어서,

상기 펄스형 클록 발생 회로가 출력하는 상기 펄스형 클록 신호의 짧은 제2레벨 기간을 보증하기 위해서, 상기 펄스형 클록 발생 회로의 셀로부터 일정한 거리에 상기 데이터 래치 회로와 상기 데이터 비교 회로의 셀을 복수개 배치한 것을 특징으로 하는 반도체집적회로장치.

청구항 16

제 15항에 있어서,

상기 펄스형 클록 발생 회로 1개의 셀과, 복수의 상기 데이터 래치 회로의 셀 및 복수의 상기 데이터 비교 회로의 셀을 1개의 플립플롭셀(flip-flop cell)로서 하나의 어레이상(狀)으로 레이아웃한 것을 특징으로 하는 반도체집적회로장치.

청구항 17

제 16항에 있어서,

상기 플립 플롭 셀이 세로 길이로 레이아웃된 것을 특징으로 하는 반도체집적회로장치.

청구항 18

제 16항에 있어서,

상기 플립플롭 셀이 버스와 기능블록(module) 사이의 계면(interface)에 배치된 것을 특징으로 하는 반도체집적회로장치.

청구항 19

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0031] 본 발명은, 반도체집적회로장치에 관한 것이며, 특히, 휴대기기용 시스템(LSI)에 적용시에 유용한 것이다.
- [0032] 최근, 휴대전화용 시스템 (LSI)을 비롯한 SoC(System-on-a-Chip)은 IP(Intellectual Property)의 집적이 용이해진 것도 있고, 다기능화가 진행되고 있다.
- [0033] 많은 IP를 집적하는 것으로써 그 동작시의 전력증대가 더욱 현저해지고 있어, 한정된 전지용량에서의 구동이 요청되는 휴대기기용 LSI에 있어서는 전력삭감이 점점 중요시되어 왔다.
- [0034] LSI의 동작시 전력을 삭감하기 위해서, 지금까지 클록게이팅이라는 기술이 사용되어 왔다. 클록계(clock system)의 전력이 LSI의 전소비 전력에 대하여 큰 비율을 차지하고 있기 때문이다.
- [0035] 예를 들면, 비특허문헌1에는, 39%이상의 전력이 삭감 가능하다는 보고가 있다. 그러나, 현상에서는 클록 게이팅의 실시가 충분하지 않다 (비특허문헌1 참조).그것은, 클록분배를 생각하면 클록 트리(clock tree)라고 불리는 클록 분배의 계층의 하층으로 진행함에 따라, 회로수가 폭발적으로 증가하며, 클록 게이팅을 실현하기 위한 조건이 어렵게 되기 때문이다.
- [0036] 클록 게이팅을 실시하기 위한 조건이란, 어떤 경우에 클록 게이팅을 할지, 또한 어떤 경우에 클록 게이팅을 실

시하지 않을지를 판정하기 위한 조건이다.

[0037] 그래서, 본원 발명자들은, 클록 트리의 밀단에 배치되는 플립 플롭에 있어서의 개별적인 클록 게이팅은 비교적 용이한 것을 알아내고, 그 실시 방법을 검토했다.

[0038] 플립 플롭에서의 게이팅을 실시하려는 시도는, 예를 들면, 특허문현1, 특허문현2에 있는 것과 같은 회로가 제안되어 있지만, 실제의 회로상에서 생길 수 있는 글리치(glitch)라고 불리는 노이즈에 대한 충분한 검토가 실시되지 않고 있었다. (특허문현1, 특허문현2 참조).

[0039] [비특허문현1] Kitahara, T.etal . .(1998).

[0040] A Clock -Gating Method for Low-Power LSI Design," proceedings of the ASC-DAC' 98, Conference, p.307 -312.

[0041] [특허문현1] 특개 2000-232339호 공보

flip-flop circuit with clock signal control function and clock control circuit.

[0043] [특허문현2] 특개 2004-056667호 공보

conditional clocking flip-flop circuit.

발명이 이루고자 하는 기술적 과제

[0045] 배경기술에서도 서술했지만, 일반적인 LSI에 있어서 클록계의 전력이 대단히 많다. 그 안에서도 플립 플롭의 전력이 대단히 많다. 따라서, 이 플립 플롭의 전력을 삭감하는 것이 중요하다.

[0046] 그 전력을 삭감하기 위해서, 특허문현1 및 특허문현2에 나타낸 자동 클록 게이팅 플립플롭이 제안되고 있다.

[0047] 이 플립 플롭은, 도 19에 도시한 바와 같이, 입력 데이터(D)의 논리값과 플립 플롭의 유지 데이터(Q)의 논리값의 배타적 논리화의 반전값 A가 다이나믹하게 클록(CLK)을 제어한다.

[0048] 우선, 입력 데이터(D)의 논리값과 유지 데이터(Q)의 논리값이 같을 경우에는, 익스클루시브 NOR가 하이레벨(VDD)이 되어 (NOR)의 출력이 로우레벨(VSS)이 되는 것으로 (NAND)의 출력이 하이레벨(VDD)에 고정된다. 결과로서, 클록(CLK)의 논리값에 관계없이, (CKI)는 로우레벨(VSS), (CKIB)은 하이레벨(VDD)에 고정된다.

[0049] 다음에, 입력 데이터(D)의 논리값과 유지 데이터(Q)의 논리값이 다른 경우에는, 익스클루시브 노아(exclusive NOR)가 로우레벨(VSS)이 된다. 이 때, 클록(CLK)이 로우레벨(VSS)이면 AND의 출력도 로우레벨(VSS)이 되므로 NOR의 출력은 하이레벨(VDD)이 된다.

[0050] 여기서 클록(CLK)이 하이레벨(VDD)이 되면 (NAND)의 출력은 로우레벨(VSS)

[0051]로 변화되고, 내부(CKI)은 하이레벨(VDD), (CKIB)은 로우레벨(VSS)로 변화되고, 입력데이터(D)는 유지 데이터(Q)로 래치된다.

[0052] 그 결과 (A)는 하이레벨(VDD)이 되고, (NOR)의 출력은 로우레벨(VSS), (NAND)의 출력은 하이레벨(VDD)로 변화되고, (CKI)은 로우레벨(VSS), (CKIB)은 하이레벨(VDD)로 변화된다.

[0053] 그런데, 이 자동클록 게이팅 플립 플롭은 입력 데이터가 변화되지 않는 경우는 입력 데이터(D)의 취(取)입이 발생되지 않기 위한 저전력화를 할 수 있는 효과가 있다. 그러나, 실제의 제품에 있어서는, 글리치(glitch)라고 불리는 노이즈의 영향도 검토하지 않으면 안되고, 그 영향을 검토한 결과, 종래 기술에서는 글리치에 의해 소비하는 전력이 많은 것을 알았다.

[0054] 글리치(glitch)란, 신호가 최종적인 논리값으로 확정될 때까지 로우레벨(VSS)과 하이레벨(VDD)으로 몇번인 가 변이하는 것이다.

[0055] 그 이유로서는 플립 플롭 간의 지연 시간의 상이함을 들 수 있다. 글리치는 플립플롭간의 지연 시간을 완전히 동일하게 하면 방지하는 것이 가능하지만, 그러한 설계는 근본적으로 불가능하기 때문에, 동기회로를 설계하는 경우에서 본질적인 문제다.

[0056] 글리치가 발생했을 경우, 종래 회로에 있어서는 유지 데이터(Q)와 (QB)에 접속된 트랜스미션 게이트

(transmission gate)가 동시에 도통(導通)하는 기간이 생기고, 유지 데이터(Q)와 (QB)사이에서 관통 전류가 흐르게 되어 버린다. 이 관통 전류는 글리치가 발생한 회수만 몇번이라도 흐르게 된다.

[0057] 이상에서 말한 것 같이, 글리치 전력을 생각하면, 종래 기술로는 불충분해서, 이 글리치 전력을 삭감해야 한다.

[0058] 본 발명의 목적은, 플립 플롭의 글리치 전력을 삭감하고, 반도체집적회로장치의 저소비 전력화를 실현하는 기술을 제공하는 것에 있다.

[0059] 본 발명의 상기 및 그 밖에의 목적과 신규한 특징에 대해서는, 본 명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.

발명의 구성 및 작용

[0060] 본원에 있어서 개시되는 발명 중, 대표적이지만 개요를 간단히 설명하면, 다음과 같다.

[0061] 본원발명에 앞서 발명자들이 실시한 검토에 의하면, 상기 글리치를 삭감하기 위해서는, 입력 데이터(D)와 유지 데이터(Q)를 비교하는 시간 및 취입(取込 : 거두어들임)기간과, 유지 데이터(Q)를 유지하는 기간을 명확히 나누고, 유지 데이터(Q)를 유지하는 기간에 있어서의 글리치를 저지하는 것이 중요하다는 견해에 이르렀다.

[0062] 그것을 위해서는, 보통 플립 플롭(flip-flop)에 공급되는 클록을 펠스화하고, 짧은 데이터 취입 기간과 긴 데이터 유지 기간으로 명확히 분리하는 것이 본질이라고 알아차렸다. 왜냐하면, 입력 데이터(D)와 유지 데이터(Q)의 비교 및 유지 데이터(Q)의 갱신을 될 수 있는 한 짧은 시간으로 실시하고, 그 이외의 전기간을 유지 데이터(Q)의 유지와 글리치의 저지에 충당하려고 했을 경우, 듀티비(duty ratio) 50%의 클록 신호에서는 피드백 제어가 필요하게 되어버리기 때문이다.

[0063] 피드백 제어에는 입력 데이터(D)와 유지 데이터(Q)의 비교 결과가 필요하기 때문에, 유지 데이터(Q)의 유지 기간에 있어서도 입력 데이터(D)와 유지 데이터(Q)의 비교를 실시하지 않으면 안된다. 그렇게 하면 종래예와 같이 글리치에 의한 관통 전류가 흘러 버린다.

[0064] 더욱이, 펠스형 클록을 FF로의 분배에만 쓰고, 그것을 매크로셀(macro cell)로서 레이아웃함으로써 종래의 설계 플로우에 주는 영향을 최소한으로 한다.

[0065] 이하, 본 발명의 실시형태를 도면에 근거해서 상세히 설명한다. 또, 실시형태를 설명하기 위한 전도(全圖)에 있어서, 동일한 부재(部材)에는 원칙으로서 동일한 부호를 붙이고, 그 반복된 설명은 생략한다.

[0066] 도 1은 본 발명인 펠스형 클록 발생기내장 자동 클록 게이팅 플립플롭(PGACGFF)의 기본적인 구성을 나타낸 회로도이다.

[0067] 도 1은 듀티비 50%의 클록(CP)을 하이레벨(VDD)인 기간이 짧은 펠스형 클록(CKI)에 변환하는 펠스형 클록 발생기(PG1), 입력 데이터(D)와 유지 데이터(Q)와 각각의 반전 논리(DB)와 (QB)의 논리값을 이용하고, 입력 데이터(D)와 유지 데이터(Q)를 비교하고, 그 결과를 이용해서 펠스형 클록(CKI)을 동적으로 차단하는 다이내믹XOR(비타적 논리화)회로(데이터 비교 회로)(DXOR1), 펠스형 클록(CKI)이 하이 레벨(VDD)인 기간을 이용하고, 입력 데이터(D)의 논리값을 유지 데이터(Q)로서 기억하는 펠스 래치 회로(데이터 래치 회로)(PL1)로 구성되어 있다.

[0068] 펠스형 클록 발생기(PG1)는 홀수 개의 인버터 체인을 구성하는 인버터(INV1~INV5)와, NAND(부정 논리곱)회로(NAND1)와 인버터(INV6)로부터 되는 AND(논리곱)회로(AND1)로부터 구성된다. 여기에서는 인버터 체인의 단수를 5라고 했지만, 이 수는 펠스형 클록 발생기(PG1)로 발생시키는 펠스 폭에 따라 알맞게 변경할 수 있다.

[0069] 다이내믹XOR회로(DXOR1)는 인버터(INV7), (INV8)와, 4개의 n형 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)(MN2 ~ MN5)로부터 되는 XOR회로(XOR1)와, 2개의 p형MOSFET(MP2, MP3)로부터 되는 피드백 회로(FB1)로부터 구성된다.

[0070] 펠스 래치 회로(PL1)는 2개의 인버터(INV9 ~ INV10)와, p형MOSFET(MP4)과 n형MOSFET(MN6)로부터 되는 트랜스미션 게이트(TM1)와, 인버터(INV11)와 클록드 인버터(CKINV1)로부터 되는 래치(L1)로부터 구성된다.

[0071] 펠스형 클록 발생기(PG1)에 있어서, 클록(CP)은 인버터(INV1 ~ INV5)와 AND회로(AND1)의 한 방향에 접속되어, 인버터(INV1 ~ INV5)의 출력이 AND회로(AND1)의 다른 방면에 접속된다.

[0072] 다이내믹XOR회로(DXOR1)에 있어서, 펠스형 클록(CKI)은 인버터(INV8)에 접속되고, 인버터(INV8)의 n형

MOSFET(MN1)측에 XOR회로(XOR1)가 접속되어, 인버터(INV8)의 출력 내부 펠스형 클록의 반전 신호(CKIB2)에는 인버터(INV7)가 접속되고, 인버터(INV7)의 내부 펠스형 클록(CKI2)과 그 반전 신호(CKIB2)에 피드백 회로(FB1)가 병렬로 접속된다.

[0073] 펠스 래치 회로(PL1)에 있어서, 입력 데이터(D)는 인버터(INV9)에 접속되고, 인버터(INV9)의 출력(DB)은 트랜스미션 게이트(TM1)에 접속되고, 트랜스미션 게이트(TM1)의 출력(QB)은 래치 회로(L1)와 인버터(INV10)에 접속되어, 인버터(INV10)의 출력은 출력 데이터(OUT)가 된다. 또한, 트랜스미션 게이트(TM1)와 클록드 인버터(CKINV1)에는 각각 내부 펠스형 클록(CKI2)과 그 반전 신호(CKIB2)가 접속된다.

[0074] 본 발명의 특징은, 펠스형 클록(CKI)의 논리값이 하이레벨(VDD)인 기간에, 입력 데이터(D)와 유지 데이터(Q)와 각각의 반전 논리값 DB와 QB를 이용해서 펠스형 클록(CKI)의 차단 제어를 하는 것이다.

[0075] 그리고, 펠스형 클록(CKI)의 논리값이 로우레벨(VSS)인 기간을 이용해서 입력 데이터(D)의 클리치에 의한 불필요한 전력소비를 억제하는 것이다.

[0076] 펠스형 클록(CKI)의 차단 제어는 펠스형 클록(CKI)의 논리값이 하이레벨(VDD)인 기간에서 행하여지고, 입력 데이터(D)와 유지 데이터(Q)가 다른 논리값의 경우만 펠스형 클록(CKI)을 후단에 전달함으로써 실현한다.

[0077] 이 때, 입력 데이터(D) 및 유지 데이터(Q)의 논리값에 따라, XOR회로(XOR1)를 구성하는 n형MOSFET(MN2), (MN3)의 조(組) 및 n형MOSFET(MN4), (MN5)의 조가 선택적으로 on 하기 위해서, 인버터(INV8)가 구동 가능해지기 때문이다.

[0078] 인버터(INV8)가 구동되는 것에 따라 펠스형 클록(CKI)의 VSS→VDD→VSS로 이루어지는 변이에 따라 내부 펠스형 클록의 반전 신호(CKIB2)는 VDD→VSS→VDD로 변이한다.

[0079] 그 결과, 트랜스미션 게이트(TM1)가 도통하고, 클록드 인버터(CKINV1)가 구동되어서 유지 데이터(Q)의 논리값이 입력 데이터(D)의 논리값으로 갱신된다.

[0080] 또한, 입력 데이터(D)와 유지 데이터(Q)가 같은 논리값인 경우에는 XOR회로(XOR1)를 구성하는 n형MOSFET(MN2), (MN5)의 조 또는 n형MOSFET(MN3), (MN4)의 조를 선택적으로 on 하고, XOR 회로로서는 off가 되기 위해서, 펠스형 클록(CKI)의 논리값이 VSS→VDD→VSS로 변이해도 내부 펠스형 클록의 반전 신호(CKIB2)의 논리값은 하이레벨(VDD)인 채로 있다.

[0081] 이 때 한순간 내부 펠스형 클록의 반전 신호(CKIB2)가 플로팅 상태(floating state)가 되지만, 피드백 회로(FB1)가 내부 펠스형 클록의 반전 신호(CKIB2)에 대하여 피드백을 걸고 있으므로 오동작의 우려는 없다.

[0082] 도 2를 이용해서 도 1에서 나타낸 본원발명의 기본적인 동작을 설명한다.

[0083] 입력 데이터(D)의 논리값과 유지 데이터(Q)의 논리값이 다른 경우의 동작 과정을 (T1 ~ T4) 및 (T7 ~ T10)에, 입력 데이터(D)의 논리값과 유지 데이터(Q)의 논리값이 같을 경우의 동작 과정을 (T5 ~ T6) 및 (T11 ~ T12)로 나타낸다.

[0084] 우선, 입력 데이터(D)가 로우레벨(VSS)로부터 하이레벨(VDD)로 변화되고, 그 입력 데이터(D)를 받아들일 경우를 설명한다.

[0085] 펠스형 클록 발생기(PG1)의 클록(CP)이 VSS→VDD로 변화되면 인버터(INV1 ~ INV5)의 지연분(T2'-T2)이 펠스가 되어서 펠스형 클록(CKI)은 VSS→VDD→VSS로 변화된다.

[0086] 펠스형 클록(CKI)은 다이내믹XOR회로(DXOR1)에 입력되지만, 시간(T3)에서는 입력 데이터(D)가 하이레벨, 유지 데이터(Q)가 로우레벨(VSS)이기 때문에, XOR회로(XOR1)를 구성하는 2개의 n형MOSFET(MN2), (MN3)이 on 하고, 인버터(INV8)가 구동 가능해진다.

[0087] 그 결과, 여기에서는 도시하지 않았지만, 인버터(INV8)가 구동되어서 내부 펠스형 클록의 반전 신호(CKIB2)가 VDD→VSS→VDD로 변화되고, 내부 펠스형 클록(CKI2)이 VSS→VDD→VSS로 변화된다.

[0088] 내부 펠스형 클록(CKI2)이 하이레벨(VDD), 혹은 내부 펠스형 클록의 반전 신호(CKIB2)가 로우레벨(VSS)인 기간에 있어서, 펠스 래치 회로(PL1)의 트랜스미션 게이트(TM1)가 닫히고, 클록드 인버터(CKINV1)가 열리기 위해서, 시간(T4)에 있어서 펠스 래치 회로(PL1)의 입력 데이터(D)의 논리값이 유지 데이터(Q)에 기록된다.

[0089] 다음에, 입력 데이터(D)가 하이레벨(VDD)로부터 로우레벨(VSS)로 변화되고, 그 입력 데이터(D)를 받아들일 경

우를 설명한다.

- [0090] 시간(T7)에 있어서 펄스형 클록 발생기(PG1)의 클록(CP)이 VSS→VDD로 변화되면, 입력 데이터(D)가 로우레벨(VSS)로부터 하이레벨(VDD)로 변이할 경우와 같이, 인버터 체인의 지연분이 펄스가 되어서 펄스형 클록(CKI)은 VSS→VDD→VSS로 변화되고, 시간(T8)에 있어서 펄스형 클록(CKI)가 VSS→VDD→VSS로 변화된다.
- [0091] 여기에서는 입력 데이터(D)가 로우레벨(VSS), 유지 데이터(Q)가 하이레벨(VDD), 다이내믹XOR회로(DXOR1)를 구성하는 2개의 n형MOSFET(MN4), (MN5)이 on하고, 인버터(INV8)가 구동 가능해진다.
- [0092] 시간(T9)에 있어서 내부 펄스형 클록의 반전 신호(CKIB2)는 VDD→VSS→VDD와, 내부 펄스형 클록(CKI2)은 VSS→VDD→VSS로 변화된다. 내부 펄스형 클록(CKI2)이 하이레벨(VDD) 혹은 내부 펄스형 클록의 반전 신호(CKIB2)가 로우레벨(VSS)인 기간은, 펄스 래치 회로(PL1)의 트랜스미션 게이트(TM1)가 닫히고, 클록드 인버터(CKINV1)가 열리므로, 시간(T10)에 있어서 펄스 래치 회로(PL1)의 입력 데이터(D)의 논리값이 유지 데이터(Q)에 기록된다.
- [0093] 한편, 입력 데이터(D)가 변화되지 않을 경우의 설명을 한다.
- [0094] 우선, 입력 데이터(D)와 유지 데이터(Q)가 같이 하이레벨(VDD)인 경우를 설명한다. 시간(T5)에 있어서 클록(CP)이 하이레벨(VDD)로 되므로 시간(T6)에서 펄스형 클록(CKI)이 VSS→VDD→VSS로 변화되지만, 여기에서는 입력 데이터(D)의 논리값과 유지 데이터(Q)의 논리값이 같이 하이레벨(VDD)이기 때문에, 다이내믹XOR회로(DXOR1)내의 XOR회로(XOR1)를 구성하는 2개의 n형MOSFET(MN3), (MN4)이 on하지만, 인버터(INV8)는 구동되지 않는다.
- [0095] 그 결과, 내부 펄스형 클록(CKI2)은 이전의 값인 로우레벨(VSS)인채로 있다. 펄스형 클록(CKI)이 하이레벨(VDD)이 되는 시간(T6)에서는 내부 펄스형 클록의 반전 신호(CKIB2)가 한순간 플로팅이 되지만, 피드백 회로(FB1)가 있기 위해서 내부 펄스형 클록의 반전 신호(CKIB2)는 하이레벨(VDD)의 유지가 가능하다.
- [0096] 다음에, 시간(T11)에 있어서 클록(CP)이 하이레벨(VDD)로 되므로, 펄스형 클록 발생기(PG1)로부터의 출력인 펄스형 클록(CKI)은, 시간(T12)에서 VSS→VDD→VSS로 변화되지만, 여기에서는 입력 데이터(D)의 논리값과 유지 데이터(Q)의 논리값이 동일하게 로우레벨(VSS)이기 때문에, 다이내믹XOR회로(DXOR1)의 XOR회로(XOR1)내를 구성하는 2개의 n형MOSFET(MN2), (MN5)이 on 하지만, 인버터(INV8)가 구동되지 않는다.
- [0097] 그 결과, 내부 펄스형 클록(CKI2)은 로우레벨(VSS)인채로 있다. 펄스형 클록(CKI)이 하이레벨(VDD)이 되는 시간(T12)에서는 내부 펄스형 클록의 반전 신호(CKIB2)가 한순간 플로팅이 되지만, 피드백 회로(FB1)가 있기 위해서 내부 펄스형 클록의 반전 신호(CKIB2)는 하이레벨(VDD)인 채로이다.
- [0098] 이상, 보통 동작시에 있어서의 본원 발명의 플립 플롭의 동작을 설명했다. 계속해서, 본 발명이 해결하는 종래 부터의 과제였다. 입력데이터(D)에 글리치가 생겼을 경우의 펄스형 클록 발생기 내장 자동클록 게이팅 플립 플롭(PGACGFF)의 동작을 설명한다.
- [0099] 입력 데이터(D)에 외부 노이즈로서의 글리치가 발생하면, 종래 기술에 있어서는 불필요한 전력소비를 소비하고 있었지만, 본 발명에 의하면, 그 불필요한 전력을 억제가능하다.
- [0100] 본 발명에 있어서는, 펄스형 클록(CK1)의 논리값이 로우레벨(VSS)인 기간에 입력 데이터(D)에 발생하는 글리치에 대하여 높은 내성을 가진다. 그 기간은 트랜스미션 게이트(TM1)가 off되어 있기 때문에, 입력 데이터(D)의 논리값이 변이해도, 그 변이는 인버터(INV9)와 2개의 n형MOSFET(MN2), (MN4)의 게이트를 구동할뿐이며, 입력데이터(D)의 글리치에 의한 소비 전력은 인버터(INV9)에서 소비되는 전력과 2개의 n형MOSFET(MN2), (MN4)의 게이트 충 방전 전력만이다.
- [0101] 도 3을 이용하여, 입력 데이터(D)에 글리치가 발생했을 때의 동작을 설명한다.
- [0102] 우선, 입력 데이터(D)의 논리값이 로우레벨(VSS)일 경우에 그입력 데이터(D)에 글리치가 발생한 예를 제시한다.
- [0103] 시간(T13)에 있어서 입력 데이터(D)에 글리치가 발생하여 VSS→VDD→VSS로 변화되지만, 펄스형 클록(CKI)가 로우레벨(VSS)이기 때문에 글리치는 인버터(INV9)를 구동할 뿐이며, 그 후 이 글리치의 전파는 저지된다.
- [0104] 따라서, 소비되는 전력은 인버터(INV9)의 구동 전력과 2개의 n형 MOSFET(MN2), (MN4)의 게이트가 충 방전되는 전력만이다. 시간(T18)에 있어서의 펄스형 클록 발생기내장 자동클록 게이팅 플립 플롭(PGACGFF)의 동작도 같다.

- [0105] 또, 이 예에서는 입력 데이터(D)의 논리값이 로우레벨(VSS)에서, 입력 데이터(D)에 VSS→VDD→VSS인 글리치가 발생했을 경우를 나타냈지만, 입력 데이터(D)의 논리값이 하이레벨(VDD)에서, 입력 데이터(D)에 VDD→VSS→VDD 되는 글리치가 발생했을 경우의 전력도, 같이 억제가능하다.
- [0106] 또한, 시간(T14), (T16), (T19), (T21)에서 클록(CP)이 일어서고, 펄스형 클록 발생기(PG1)의 인버터(INV1 ~ INV5)만 지연한 시간(T15), (T17), (T20), (T22)에 있어서 펄스형 클록(CKI)이 나오지만, 입력 데이터(D)와 유지 데이터(Q)가 함께 로우레벨(VSS)이기 때문에, 도2에서 설명한 것 같이, 내부 펄스형 클록(CKI2)은 변화되지 않고 저소비 전력화한다.
- [0107] 도 4는 도 1에 기재된 펄스 래치 회로(PL1)의 변형이다.
- [0108] 펄스 래치 회로(PL1)의 동작 속도가 시간이 늦어도 좋은 것이라면, 펄스 래치 회로(PL1)내의 클록드 인버터(CKINV1)를 인버터(INV12)와 치환하면 펄스래치(PL1)의 면적이 작아지는 효과가 있다. 이 도 4에서는 MOSFET 2개분의 면적축소가 가능하다. 또, 도 4는, 이하에 설명하는 도 5, 도 6, 도 7, 및 도 8과 동시에 실시가 가능하다.
- [0109] 도 5는 도 1에 기재된 다이내믹XOR회로(DXOR1)의 변형이다.
- [0110] 입력 데이터(D)의 논리값과 유지 데이터(Q)의 논리값이 같을 경우에서 펄스형 클록(CKI)의 논리값이 하이레벨(VDD)이 되었을 때, 다이내믹XOR회로(DXOR1)내의 내부 펄스형 클록의 반전 신호(CKIB2)는 하이레벨(VDD)로의 경로가 끊어져서 한순간 플로팅이 되지만, 클록 주파수가 높을 경우에는, 리크(leak)에 의한 방전의 시정수를 고려하고, 그 플로팅의 레벨이 논리 문턱치를 넘는 문제는 없을 경우가 있다.
- [0111] 그 경우에는, 피드백 회로(FB1)를 생략함으로써 다이내믹XOR회로(DXOR1)의 면적이 작아지는 효과가 있다. 실시 예3에서는 MOSFET 2개분의 면적축소가 가능하다. 또, 도 5의 변형예는, 도 4, 도 6, 도 7, 도 8과 동시에 실시가 가능하다.
- [0112] 도 6은 도 1에 기재된 다이내믹XOR회로(DXOR1)의 변형이다.
- [0113] 문턱치의 다른 2종류의 MOSFET를 사용해도 좋은 것이라면, 다이내믹XOR회로(DXOR1)내의 XOR회로(XOR1)를 구성하는 4개의 n형MOSFET를 문턱치전압의 낮은 n형MOSFET(MNL1 ~ MNL4)에서 구성한 XOR회로(XOR2)로 치환하면 펄스형 클록(CKI)차단 제어의 속도를 빨리하는 효과가 있다. 또, 도 6은, 도 4, 도 5, 도 7, 및 도 8과 동시에 실시가 가능하다.
- [0114] 도 7은 도 6에 기재된 다이내믹XOR회로(DXOR1)의 변형이다.
- [0115] 문턱치의 다른 2종류의 MOSFET를 사용해도 좋은 것이라면, 다이내믹XOR회로(DXOR3)내의 XOR회로(XOR2)를 구성하는 4개의 n형MOSFET뿐만 아니라 인버터 회로(INV8)를 구성하는 n형MOSFET도 문턱치전압의 낮은 n형MOSFET(MNL5)에 치환한 인버터 회로(INV8a)로 함으로써 펄스형 클록(CKI)차단 제어의 속도를 더욱 빨리하는 효과가 있다.
- [0116] 일반적으로 문턱치전압이 낮은 MOSFET는 리크 전류가 증가해버리지만, 본 실시예에서는 문턱치전압의 낮은 MOSFET가 3개 직렬로 접속되어 있기 때문에, 리크전류는 그 정도로 증가하지 않는다. 또, 도 7은 도 4, 도 5, 도 6, 및 도 8과 동시에 실시가 가능하다.
- [0117] 도 8은 도 1에 기재된 펄스형 클록 발생기(PG1) 및 다이내믹XOR회로(DXOR1)을 변형한 펄스형 클록 내장 자동클록 게이팅 플립 플롭(PGACGFF)의 구성이다.
- [0118] p형MOSFET를 이용해서 XOR논리를 구성해도 좋은 것이라면, AND회로(AND1)를 구성하는 소자로부터 인버터(INV6)를 제거하고, 다이내믹XOR회로(DXOR1)내의 XOR회로(XOR1)를 p형MOSFET(MP5 ~ MP8)에서 구성한 XOR회로 XOR3을 인버터(INV8)의 p형MOSFET(MP1)측에 직렬로 접속하고, 피드백회로(FB1)를 n형MOSFET(MN7), (MN8)에서 구성해 피드백 회로(FB2)로 하면, 펄스형 클록 발생기(PG1)의 면적을 크게 하는 효과가 있다. 또, 도 8은, 도 4~도 7과 동시에 실시가 가능하다.
- [0119] 도 9와 도 10에 펄스형 클록 발생기 내장 자동 클록 게이팅 플립 플롭(PGACGFF)의 셀 이미지를 나타낸다.
- [0120] 도 9는 다이내믹XOR회로(DXOR1)와 펄스 래치 회로(PL1)로부터 이루어지는 자동 클록 게이팅 플립 플롭(ACGFF)을 1개의 셀로 해서 펄스형 클록 발생기(PG1)만을 분리한 것으로, 펄스형 클록 발생기(PG1)의 셀의 입력 핀은 클록(CP), 출력핀은 펄스형 클록(CKI), 자동 클록 게이팅 플립 플롭(ACGFF)의 입력 핀은 펄스형 클록(CKI)과

입력 데이터(D), 출력 핀은 출력 데이터(OUT)가 된다.

[0121] 도 10은 펠스형 클록 발생기(PG1)와 다이나믹XOR회로(DXOR1)와 펠스 래치

[0122] 회로(PL)를 1개의 셀로 한 것이다. 할스형 클록 발생기내장 자동클록 게이팅 플립 플롭(PGACGFF)의 입력 핀은 클록(CP)과 입력 데이터(D), 출력 핀은 출력 데이터(OUT)가 된다.

[0123] 도 11에서, 1개의 펠스형 클록 발생기(PG1)에 대하여, 자동 클록 게이팅 플립 플롭(ACGFF)을 복수개 배치한 ACGFF매크로 셀(ACGFFMC)의 이미지를 나타낸다. 도 11의 예는 1개의 펠스형 클록 발생기(PG1)에 대하여 ACGFF를 16개 배치하고 있다.

[0124] ACGFF매크로 셀(ACGFFMC)의 입력 핀은 클록(CP)과 16비트 폭의 입력 데이터(D), 출력 핀은 16비트 폭의 출력 데이터(OUT)가 된다. 펠스형 클록 발생기(PG1)과 자동 클록 게이팅 플립 플롭(ACGFF)을 함께 레이아웃 한 것을 하드매크로 셀이라 한다. 이 하드 매크로 셀에 의해, 자동 클록 게이팅 플립 플롭(ACGFF)에 있어서의 펠스형 클록(CKI)의 VSS→VDD→VSS 인 펠스 폭을 보증하는 것이 가능하다. 또한 1개의 ACGFF의 매크로 셀(ACGFFMC)에 배치하는 자동 클록 게이팅 플립 플롭(ACGFF)의 개수는 1개 이상이면 몇 개라도 좋다.

[0125] 도 12에 ACGFF매크로 셀(ACGFFMC)의 레이아웃 이미지를 나타낸다.

[0126] 구성 요소는 필 셀(fill cell)(FC), 펠스형 클록 발생기(PG1) 및 자동 클록 게이팅 플립 플롭(ACGFF)의 3종류이다. 필 셀(FC)은 셀끼리의 간극을 메우는 것이다.

[0127] 한 가운데에 펠스형 클록 발생기(PG1)를 배치하고, 그 상하에 자동 클록 게이팅 플립 플롭(ACGFF)의 입출력핀이 불비지 않고, 각 자동 클록 게이팅 플립 플롭까지의 펠스형 클록(CKI)의 배선 거리가 일정하게 유지되게 쉽게 전원부하가 분산되는 효과를 얻을 수 있다.

[0128] 또한, 도 13에서는 상측의 전원을 로우레벨(VSS)로 하고, 하측의 전원을 하이레벨(VDD)로 하였지만 역으로 배치하여도 좋다. 또한 펠스형 클록(CKI)배선은 각 자동 클록 게이팅 플립 플롭(ACGFF)까지의 배선 거리가 같으면 어떻게 끌어 배치해도 좋다. 더욱이 클록 게이팅 플립 플롭(ACGFF)의 입력데이터(D) 및 출력 데이터(OUT)의 단자에 관해서도 자동 클록 게이팅 플립 플롭(ACGFF)의 셀 내부에서 자유롭게 배치해도 좋다.

[0129] 도 13에 (ACGFF)소프트매크로셀(ACGFFSMC)의 레이아웃 이미지를 나타낸다.

[0130] 이 경우, 도 12와는 달리, 펠스형 클록 발생기(PG1)를 중심으로 한 일정한 면적(PAREA)내이면 자유롭게 클록 게이팅 플립 플롭(ACGFF)를 배치해도 좋다.

[0131] 각 자동 클록 게이팅 플립 플롭(ACGFF)까지의 펠스형 클록(CKI)의 배선거리를 동일하게 할 수 있다면, 각 자동 클록 게이팅 플립 플롭(ACGFF)을 자유롭게 배치할 수 있는 것으로 최적의 레이아웃이 가능해진다.

[0132] 도 14는 ACGFF매크로 셀(ACGFFMC)을 반도체집적회로장치(LSI)내 플립 플롭의 일부에 적용한 칩 이미지를 나타낸다.

[0133] PLL 등을 이용한 발진 회로로부터 발생되는 클록(CP)은 클록 버퍼(BUF)에서 버퍼링되면서 클록 트리를 전파해서 클록 트리 말단의 플립 플롭 및 래치로 전해진다.

[0134] ACGFF매크로 셀(ACGFFMC)을 반도체집적회로장치LSI에 적용할 경우에는, 클록 트리 최종단의 클록 버퍼(BUF) 이후를 ACGFF매크로 셀(ACGFFMC)로 치환한다.

[0135] 이 때, 치환하는 ACGFF매크로 셀(ACGFFMC)은, 하드 매크로셀이 아니라 소프트 매크로셀이여도 좋다. 이후에서 말하는 ACGFF매크로 셀(ACGFFMC)도 같이, 하드 매크로셀(ACGFFMC)뿐만 아니라, 모두 소프트 매크로셀로 치환가능하다.

[0136] 더욱이, 여기에서 도 14에서는, 일부의 플립 플롭만을 하드 매크로셀로 치환했지만, 타이밍 제약(制約)을 채우는 것이라면 전 플립 플롭을 하드 매크로셀로 치환해도 좋다.

[0137] 또한, 도 14의 종래 플립 플롭 어레이(MSFFA) 및 ACGFF매크로 셀(ACGFFMC)내의 구성을 도 15(a), (b)에 나타낸다.

[0138] 도 15(a), (b)은 복수개의 플립 플롭과 클록 버퍼(BUF), 혹은 펠스형 클록 발생기(PG)로부터 구성되어 있다.

- [0139] 도 16은 도 14, 도 15에서 분배되는 클록 파형을 나타낸 것이다.
- [0140] 도 14 및 도 15A에 나타내는 'a', 'b'은 듀티비 50%의 클록(CP)이 되고, ACGFF매크로 셀(ACGFFMC)내의 펄스형 클록 발생기(PG)이후인 도 14 및 도 15B에서 나타내는 'C'는 하이레벨(VDD)인 기간의 짧은 펄스형 클록(CKI)이 된다.
- [0141] 도 17에 ACGFF매크로 셀(ACGFFMC)의 반도체집적회로장치LSI에의 적용개소를 나타낸다.
- [0142] ACGFF매크로 셀(ACGFFMC)은 다른 셀과 비교해서 비교적 레이아웃상의 제약이 많은 셀이 되므로, 예컨대 제약 조건이 같은 플립 플롭이 집중해서 배치되는 기적 블록(MDL)과 기능 블록(MDL)의 계면, 혹은 기능 블록(MDL)내의 레이テン시(latency) 조정용 플립 플롭등에 적용하면 비교적 간단히 저전력화를 실현된다.
- [0143] 도 18에 ACGFF매크로 셀(ACGFFMC)을 반도체집적회로장치에 적용할 경우의 설계 플로우를 나타낸다.
- [0144] 여기에서는, 클록 신호를 반도체집적회로장치에 분배하는 트리상(狀)의 베퍼체인 클록 트리(clock tree)를 생성하기 전에, 종래 플립 플롭을 하드 매크로셀, 혹은 소프트 매크로셀의 ACGFF매크로 셀(ACGFFMC)로 미리 치환한다.
- [0145] 이렇게 하면, 종래 플립 플롭이나 하드 매크로셀, 또는 소프트 매크로셀의 ACGFF매크로 셀(ACGFFMC)에의 클록 공급 타이밍을 고려한 뒤에서, 전술의 클록 트리를 생성할 수 있는 효과가 있다.
- [0146] 이상, 본 발명자에 의한 발명을 실시형태에 근거해 구체적으로 설명했지만, 본발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 취지인 것은 말할 필요도 없다.

발명의 효과

- [0147] 본 발명은, 반도체집적회로장치에 마련되어진 플립 플롭의 글리치 전력을 삭감하는 기술에 적합하다.
- [0148] 본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면 이하와 같다.
- [0149] (1)플립 플롭의 전력을 삭감하고, 특히 글리치 전력을 삭감할 수 있기 위해서, 반도체집적회로장치를 저소비전력화 할 수가 있다.
- [0150] (2) 또한, 종래의 설계 플로우를 대폭 변경하는 일없이 저소비 전력 플립 플롭을 설치 가능해지고, 저소비 전력의 반도체집적회로장치를 저코스트에서 실현 할 수가 있다.

도면의 간단한 설명

- [0001] 도 1은 본 발명의 실시형태에 의한 펄스형 클록 발생기내장 자동클록 게이팅 플립 플롭의 구성예를 개시한 회로도이다.
- [0002] 도 2는 도 1의 펄스형 클록 발생기 내장 자동클록 게이팅 플립 플롭에 있어서의 동작의 1 예를 개시하는 타이밍 차트이다.
- [0003] 도 3은 도 1의 펄스형 클록 발생기내장 자동클록 게이팅 플립 플롭에 있어서의 입력 데이터에 글리치가 발생했을 때의 동작 예를 나타내는 타이밍 차트이다.
- [0004] 도 4는 도 1의 펄스형 클록 발생기내장 자동클록 게이팅 플립 플롭에 마련되어진 펄스 래치 회로의 다른 구성 예를 개시한 회로도이다.
- [0005] 도 5는 도 1의 펄스형 클록 발생기내장 자동클록 게이팅 플립 플롭에 마련되어진 다이내믹XOR회로의 다른 구성 예를 개시한 회로도이다.
- [0006] 도 6은 도 1의 펄스형 클록 발생기내장 자동클록 게이팅 플립 플롭에 마련되어진 다이내믹XOR회로의 1 예를 개시하는 회로도이다.
- [0007] 도 7은 도 6의 다이내믹XOR회로의 다른 구성예를 개시하는 회로도이다.
- [0008] 도 8은 도 1의 펄스형 클록 발생기내장 자동클록 게이팅 플립 플롭에 마련되어진 펄스형 클록 발생기 및 다이

내믹XOR회로의 다른 예를 게시하는 회로도이다.

[0009] 도 9는 도 1의 펠스형 클록 발생기내장 자동클록 게이팅 플립 플롭에 있어서의 셀 이미지의 1 예를 나타내는 설명도이다.

[0010] 도 10은 도 1의 펠스형 클록 발생기내장 자동클록 게이팅 플립 플롭에 있어서의 셀 이미지의 다른 예를 게시하는 설명도이다.

[0011] 도 11은 본 발명의 실시형태에 의한 매크로 셀의 이미지를 나타내는 설명도이다.

[0012] 도 12는 본 발명의 실시형태에 의한 하드 매크로셀의 레이아웃의 1 예를 게시하는 레이아웃도이다.

[0013] 도 13은 본 발명의 실시형태에 의한 소프트 매크로셀의 레이아웃의 1 예를 게시하는 레이아웃도이다.

[0014] 도 14는 도 12의 하드 매크로셀을 반도체집적회로장치내의 플립 플롭의 일부에 적용했을 때의 칩 이미지를 나타내는 설명도이다.

[0015] 도 15는 도 14의 플립 플롭 어레이 내의 구성예를 게시하는 설명도이다.

[0016] 도 16은 도 14, 및 도 15의 플립 플롭 어레이에 분배되는 클록 파형의 1 예를 게시한 타이밍 차트이다.

[0017] 도 17은 도 12의 하드 매크로셀을 반도체집적회로장치에 적용했을 때의 1 예를 게시하는 설명도이다.

[0018] 도 18은 도 12의 하드 매크로셀을 반도체집적회로장치에 적용했을 때의 설계 플로우를 나타내는 플로우 챕터이다.

[0019] 도 19는 종래 예의 플립 플롭 회로에 있어서의 설명도이다.

[부호의 설명]

[0021] VDD 하이레벨 전압값 VSS 로우레벨전압값

[0022] PG1 펠스형 클록 발생기 DXOR1 다이내믹XOR회로(데이터 비교회로)

[0023] PL1 펠스 래치 회로(데이터 래치 회로)NAND1 NAND 회로

[0024] INV1 ~ INV12인버터 AND1 AND 회로

[0025] MN1 ~ MN6 n형MOSFET MP1 ~ MP4 p형MOSFET

[0026] XOR1 XOR 회로 FB1, FB2 피드백 회로

[0027] TM1 트랜스미션 게이트 CKINV1 클록드 인버터

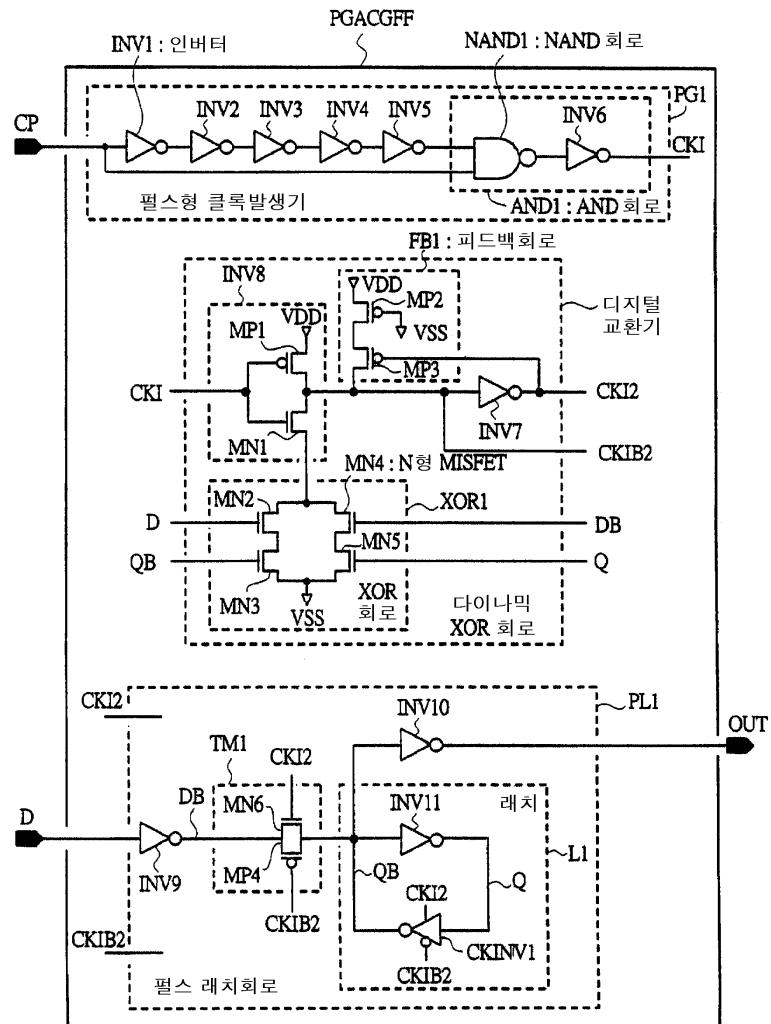
[0028] L1 래치 MNL1 ~ MNL4 n형MOSFET

[0029] PGACGFF 펠스형 클록 발생기내장 자동클록 게팅 플립 플롭

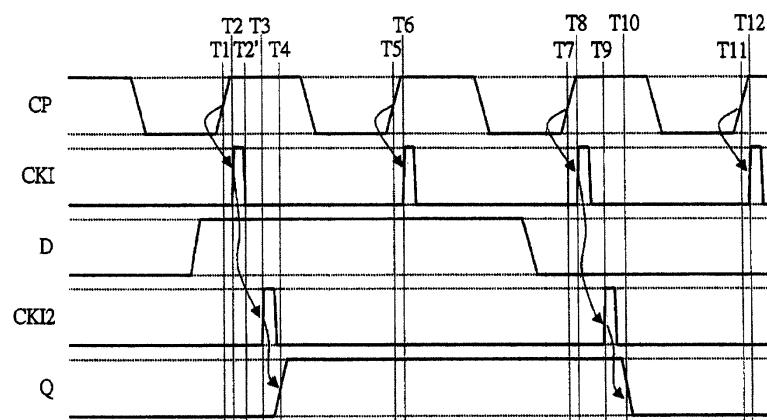
[0030] ACGFF 자동 클록 게이팅 플립 플롭 ACGFFMC ACGFF 매크로 셀

도면

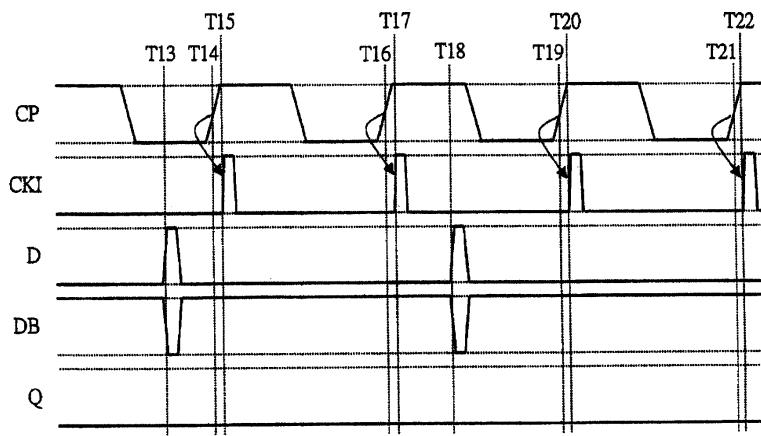
도면1



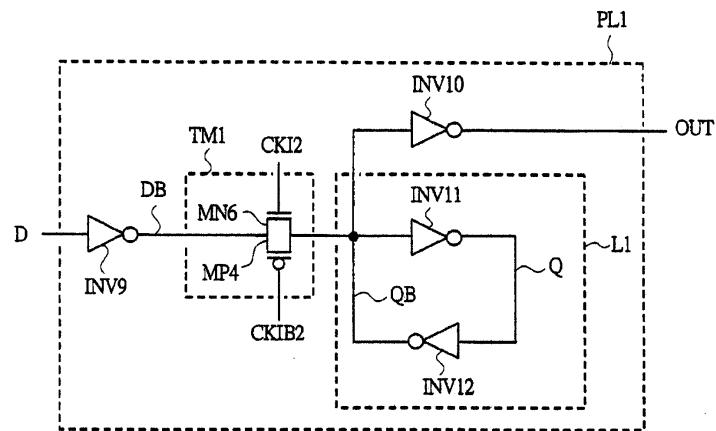
도면2



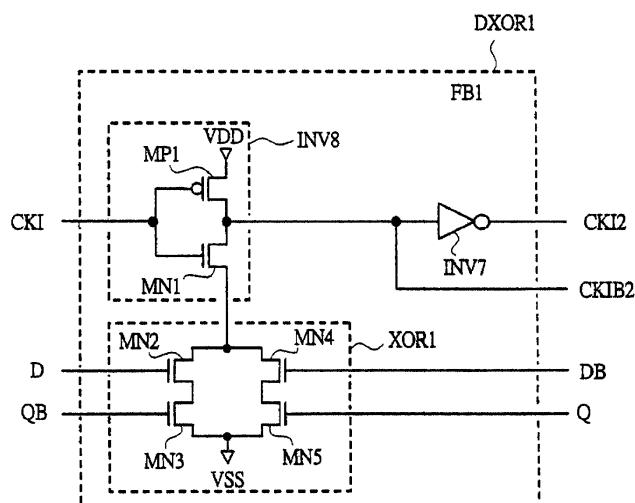
도면3



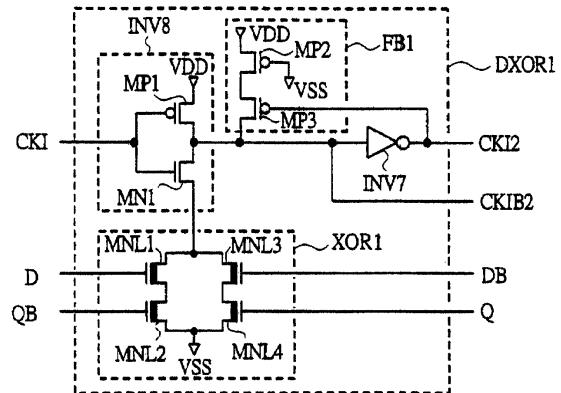
도면4



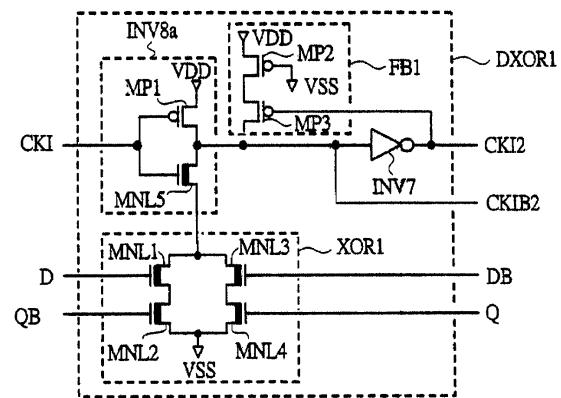
도면5



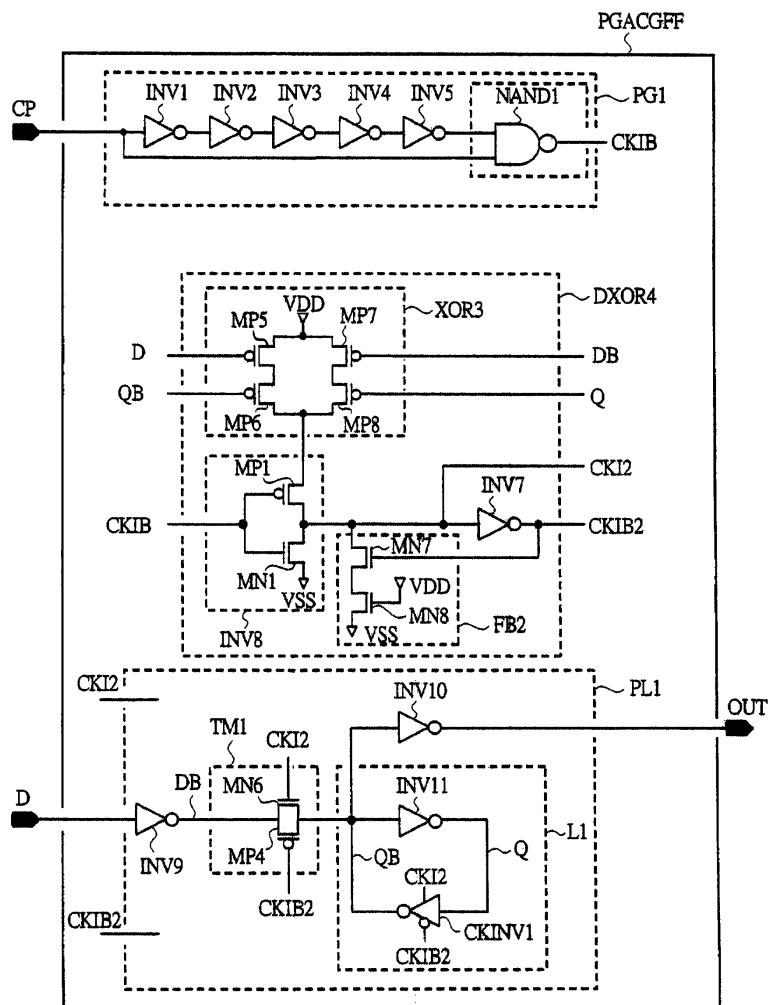
도면6



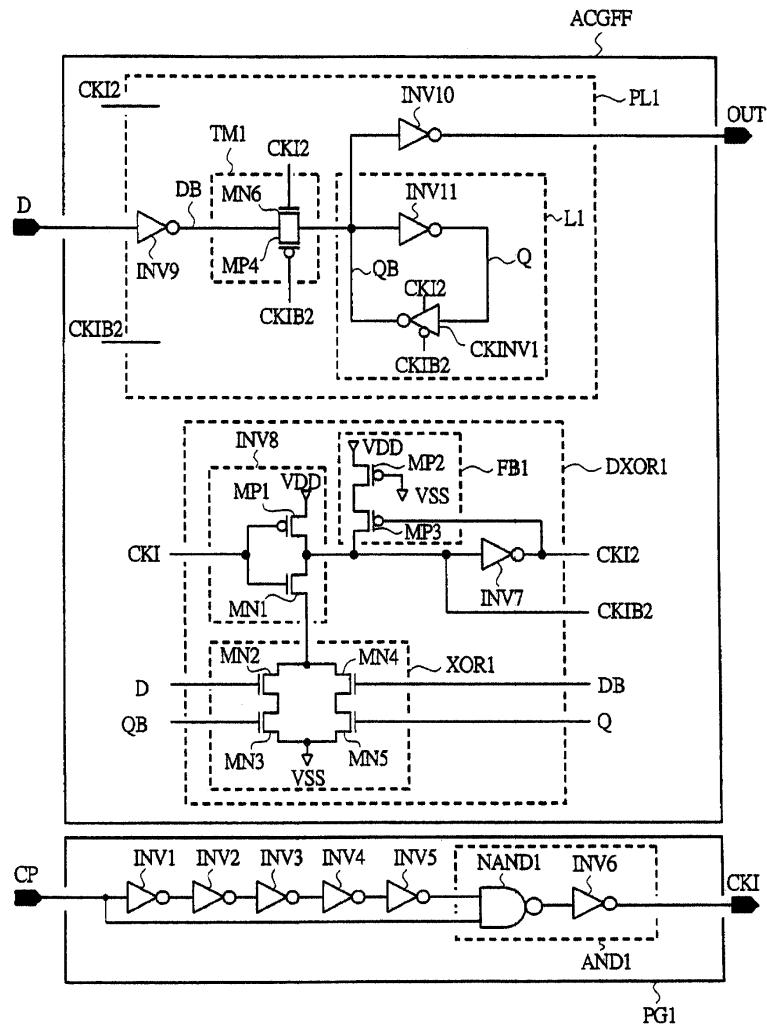
도면7



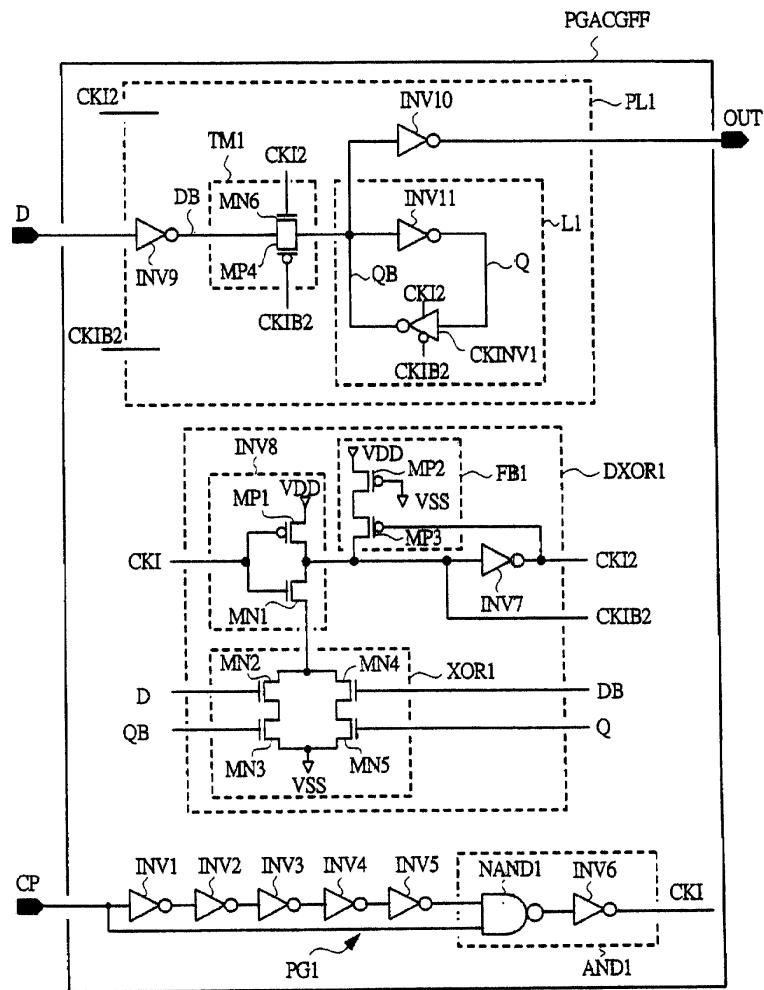
도면8



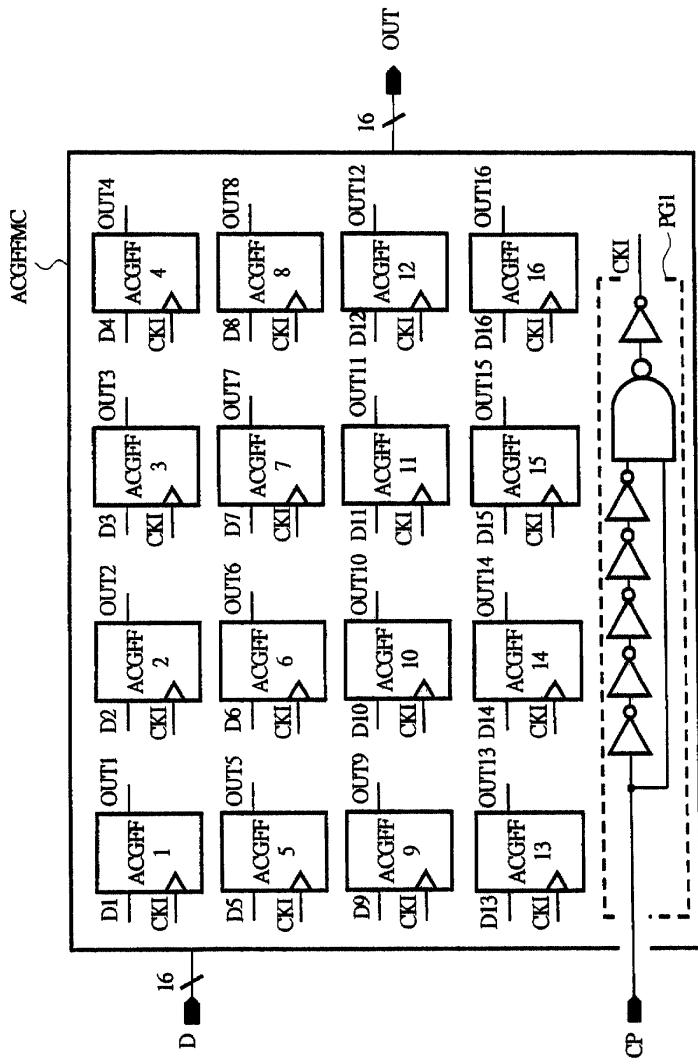
도면9



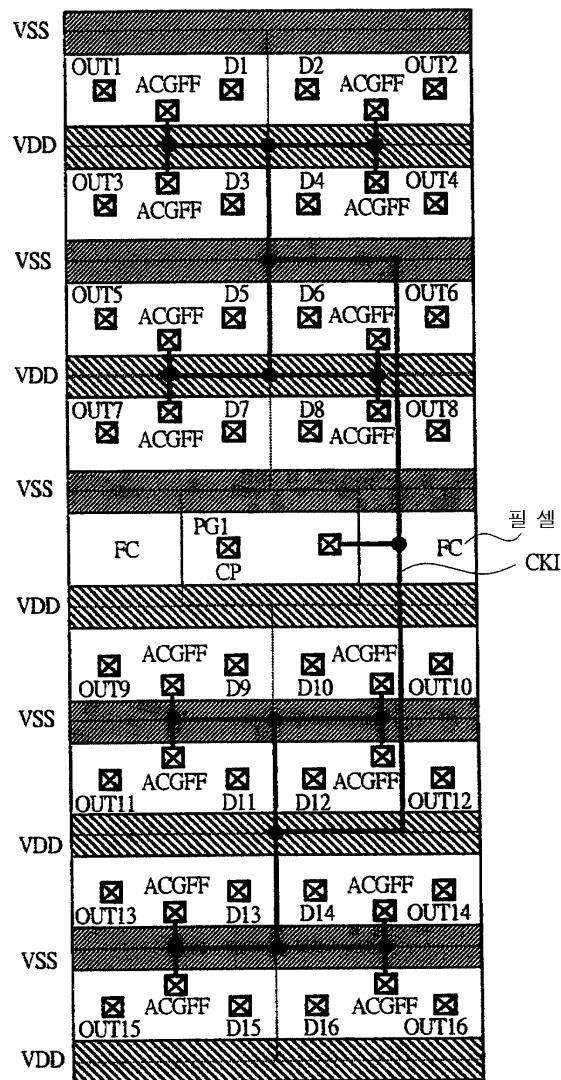
도면10



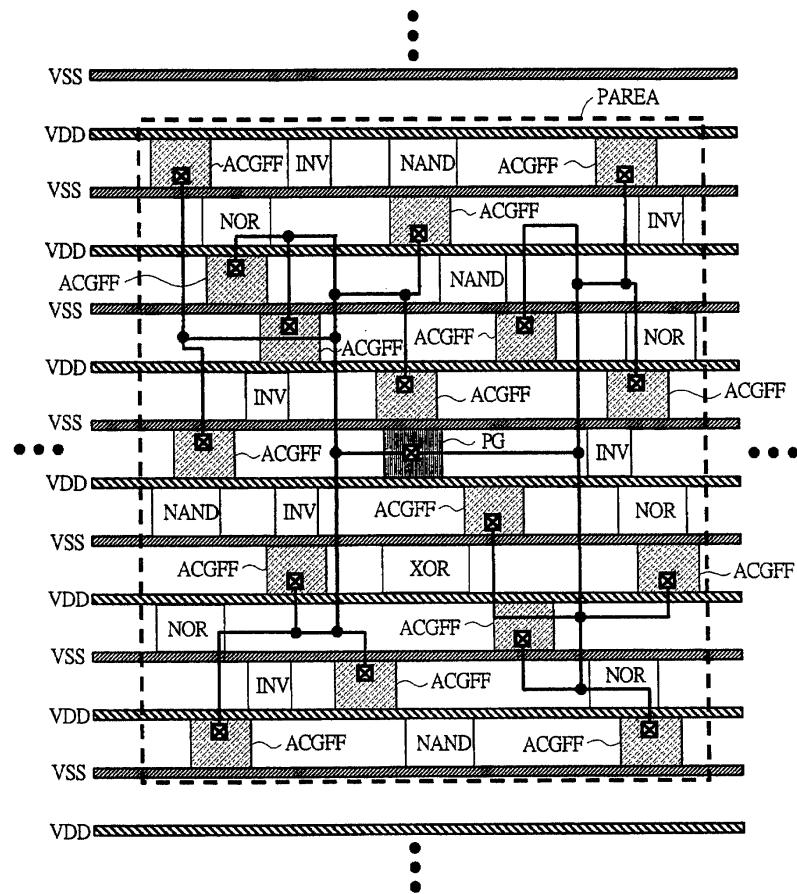
도면11



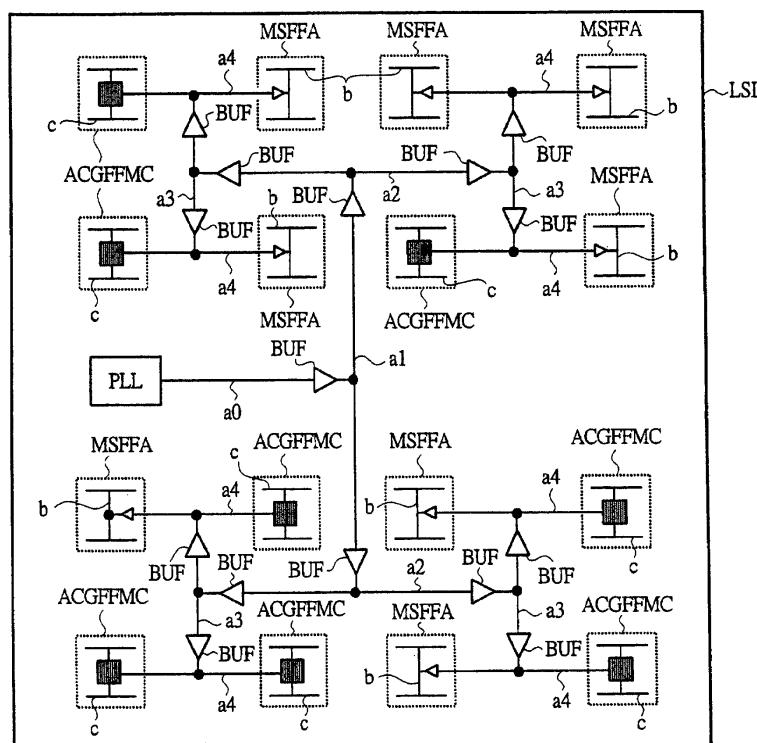
도면12



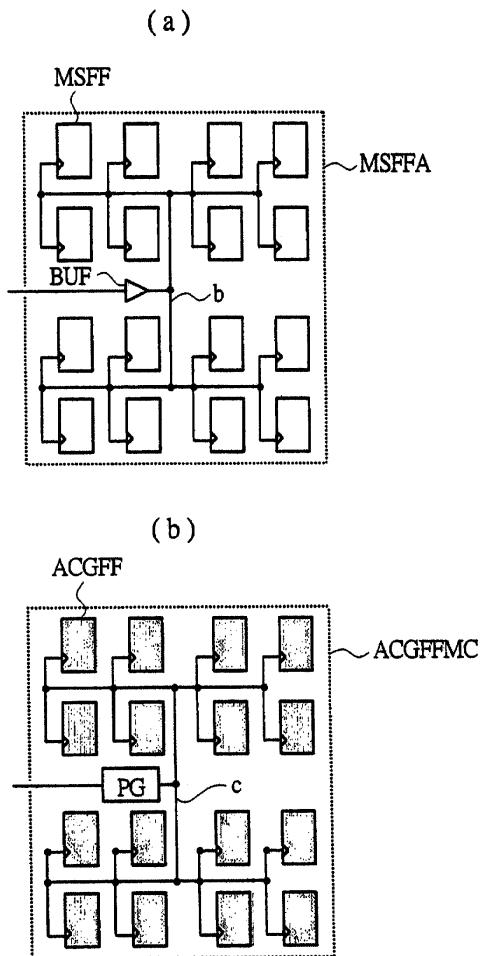
도면13



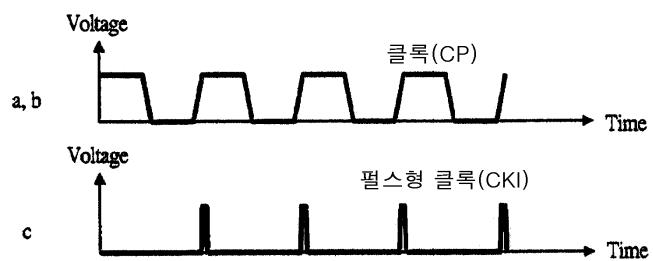
도면14



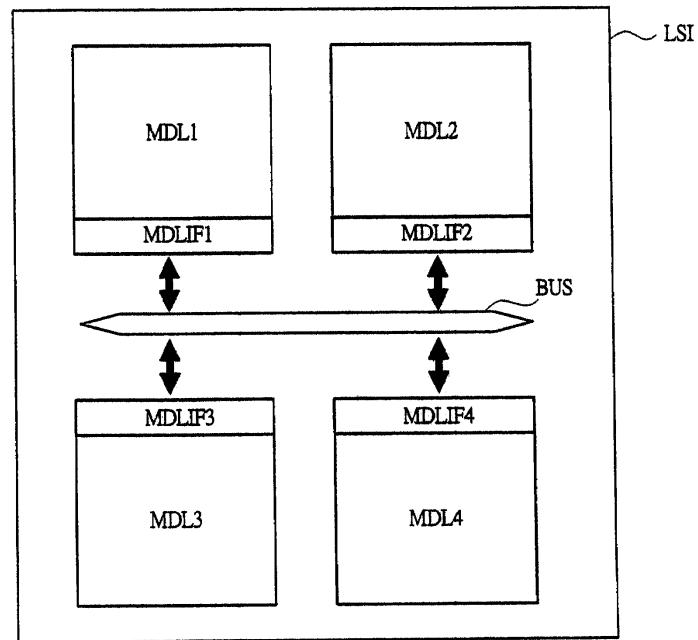
도면15



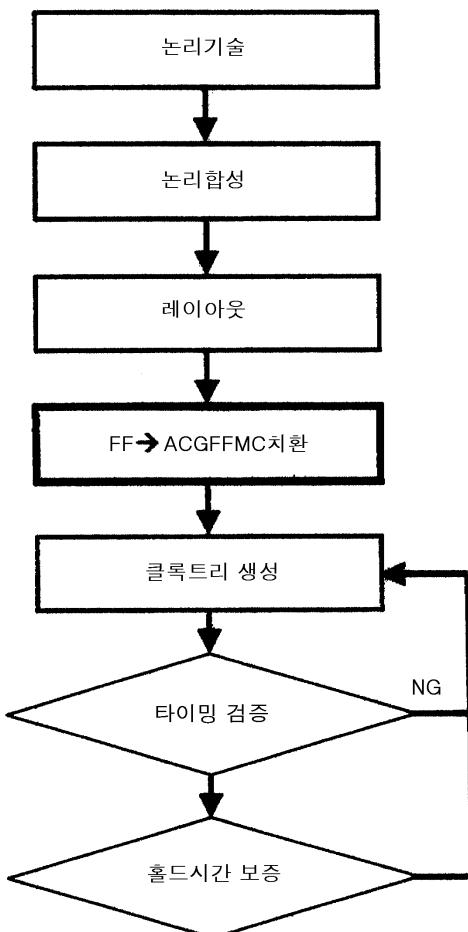
도면16



도면17



도면18



도면19

