

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 27 日 (27.07.2017)



(10) 国际公布号
WO 2017/124873 A1

- (51) 国际专利分类号:
G11C 13/00 (2006.01)
- (21) 国际申请号: PCT/CN2016/111401
- (22) 国际申请日: 2016 年 12 月 22 日 (22.12.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610045713.9 2016 年 1 月 22 日 (22.01.2016) CN
- (71) 申请人: 清华大学 (TSINGHUA UNIVERSITY) [CN/CN]; 中国北京市海淀区清华大学, Beijing 100084 (CN)。
- (72) 发明人: 王晨 (WANG, Chen); 中国北京市海淀区清华大学, Beijing 100084 (CN)。 吴华强 (WU, Huaqiang); 中国北京市海淀区清华大学, Beijing 100084 (CN)。 钱鹤 (QIAN, He); 中国北京市海淀区清华大学, Beijing 100084 (CN)。 高滨 (GAO, Bin); 中国北京市海淀区清华大学, Beijing 100084 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

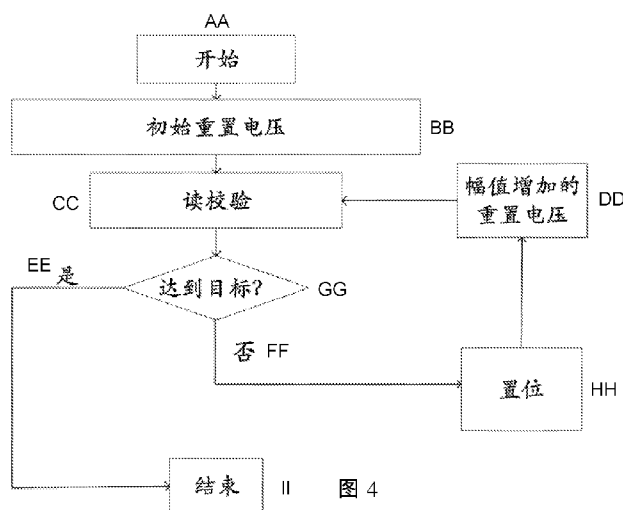
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: OPERATION METHOD OF RESISTIVE RANDOM ACCESS MEMORY AND RESISTIVE RANDOM ACCESS MEMORY DEVICE

(54) 发明名称: 阻变存储器的操作方法及阻变存储器装置



AA Start
BB Initial reset voltage
CC Read verify
DD Reset voltage with increased magnitude
EE Yes

FF No
GG Is target reached?
HH Setting
II End

(57) Abstract: An operation method of a resistive random access memory and a resistive random access memory device. The method comprises the following steps: applying an initial reset voltage to a memory cell in a resistive random access memory array; performing a read verify operation to acquire a resistance value of the memory cell; determining whether the resistance value of the memory cell reaches a preset target resistance value; if the resistance value of the memory cell is greater than or equal to the target resistance value, then ending the method; and if the resistance value of the memory cell is less than the target resistance value, then applying a setting voltage to the memory cell to set the memory cell to the target resistance value of a low resistance state, applying a reset voltage having an increased magnitude to the memory cell again, and repeating the steps of and after the read verify operation until the memory cell reaches the target resistance value. The present invention can alleviate a fast relaxation phenomenon of a resistive random access memory in a high resistance state.

(57) 摘要:

[见续页]

WO 2017/124873 A1

一种阻变存储器的操作方法及阻变存储器装置。该方法包括如下步骤：对阻变存储器阵列中的存储单元施加初始重置电压；进行读校验操作，以获取所述存储单元的阻值；判断所述存储单元的所述阻值是否达到预设的目标阻值；如果所述存储单元的阻值大于等于所述目标阻值，则结束所述方法；如果所述存储单元的阻值小于所述目标阻值，则向所述存储单元施加置位电压，以将所述存储单元置位到在低阻态的目标阻值，然后对所述存储单元再次施加幅值升高的重置电压，并重复所述读校验操作及之后的步骤，直到所述存储单元达到所述目标阻值。可有效缓解阻变存储器的高阻态快速弛豫现象。

阻变存储器的操作方法及阻变存储器装置

技术领域

5 本发明的实施例涉及一种阻变存储器的操作方法和阻变存储器装置。

背景技术

阻变式存储器（RRAM）由于速度快、容量大及功耗低等优点，而成为下一代非易失性存储技术的研究热点。

10 阻变式存储器的数据保持能力，是判断其性能的重要指标之一。对阻变式存储器进行擦写操作之后，在短时间内，其阻值会出现一个快速减小的过程。这种现象被称为阻变式存储器的阻态弛豫特性。阻态弛豫特性会严重影响阻态的数据保持特性，使得高低阻值的窗口缩小甚至消失，进而导致阻变式存储器器件的功能失效。

15

发明内容

本发明实施例提供了一种阻变存储器的操作方法，包括如下步骤：对阻变存储器阵列中的存储单元施加初始重置电压；进行读校验操作，以获取所述存储单元的阻值；判断所述存储单元的所述阻值是否达到预设的目标阻值；
20 如果所述存储单元的阻值大于等于所述目标阻值，则结束所述方法；如果所述存储单元的阻值小于所述目标阻值，则向所述存储单元施加置位电压，以将所述存储单元置位到在低阻态的目标阻值，然后对所述存储单元再次施加幅值升高的重置电压，并重复所述读校验操作及之后的步骤，直到所述存储单元达到所述目标阻值。

25 在本发明的实施例中，例如，所述存储单元包括阻变元件和非线性选通器件，所述非线性选通器件为晶体管，所述重置电压通过所述存储单元的字线端和源线端施加。

在本发明的实施例中，例如，如果所述存储单元的阻值小于所述目标阻值，则判断所述重置电压是否大于最大的源线电压，如果不是，则向所述存
30 储单元施加置位电压，如果是，则结束所述方法。

在本发明的实施例中，例如，如果存储单元的电压大于最大源线电压，则判定该存储单元测试不通过，结束所述方法。

在本发明的实施例中，例如，所述幅值升高的重置电压等于源线电压与步长之和。

5 在本发明的实施例中，例如，所述初始重置电压为脉冲电压，该脉冲电压的脉冲宽度为 20-100 ns。

在本发明的实施例中，例如，所述脉冲电压的脉冲宽度为 40-60 ns。

在本发明的实施例中，例如，所述阻变存储器阵列中包括多个所述存储单元；所述初始重置电压为脉冲电压，所述脉冲电压的幅值不大于多个所述
10 存储单元的临界电压中的最大值。

在本发明的实施例中，例如，所述阻变存储器阵列中包括多个所述存储单元；所述初始重置电压为脉冲电压，所述脉冲电压的幅值 $V_{\max}$ 与多个所述存储单元的临界电压中的中位数 V_{mid} 之差满足： $-0.2V \leq V_{\max} - V_{\text{mid}} \leq 0.1V$ 。

在本发明的实施例中，例如，所述读校验操作为向所述存储单元发送幅
15 值为 0.1-0.3V 的脉冲电压，并获取所述存储单元的电流数据，通过该脉冲电压和所述电流数据计算所述存储单元的阻值。

在本发明的实施例中，例如，所述读校验操作为向所述存储单元发送幅值为 0.2-0.25V 的脉冲电压。

在本发明的实施例中，例如，所述存储单元包括阻变元件和非线性选通
20 器件，所述非线性选通器件为晶体管，所述置位电压在所述存储单元的字线端和位线端施加。

在本发明的实施例中，例如，对所述存储单元施加的置位电压的幅值 V_2 与对该存储单元在置位前施加的重置电压的幅值 V_1 满足 $-0.4 \leq V_2 - V_1 < 0$ 。

在本发明的实施例中，例如，对所述存储单元施加的置位电压的幅值 V_2
25 与对该存储单元在置位前施加的重置电压的幅值 V_1 满足 $-0.2 \leq V_2 - V_1 < 0$ 。

在本发明的实施例中，例如，如果所述存储单元的阻值等于预设的目标阻值，则判定所述存储单元测试通过，然后结束所述方法。

本发明的实施例提供了一种阻变存储器装置，包括阻变存储器阵列、控制模块和测试模块；所述控制模块控制所述测试模块向所述阻变存储器阵列
30 中的存储单元施加重置电压；所述控制模块获取所述存储单元的阻值，并将

所获取的所述存储单元的阻值与预设的目标阻值比较，根据比较结果，进行以下步骤：如果所述存储单元的阻值小于所述目标阻值，则所述控制模块控制所述测试模块向所述存储单元施加置位电压，以将所述存储单元置位到在低阻态的目标阻值；所述控制模块控制所述测试模块向所述存储单元施加幅值增加的所述重置电压；所述控制模块及所述测试模块重复上述获取所述存储单元阻值以及之后的步骤，直至所述存储单元的阻值等于目标阻值；如果所述存储单元的阻值大于等于目标值，所述控制模块控制所述测试模块停止向所述存储单元施加重置电压。

在本发明的实施例中，例如，所述存储单元包括阻变元件和非线性选通器件，所述非线性选通器件为晶体管；所述重置电压通过所述存储单元的字线端和源线端施加，所述置位电压通过所述存储单元的字线端和位线端施加。

在本发明的实施例中，例如，如果所述存储单元的阻值小于所述目标阻值，则所述控制模块判断所述重置电压是否大于最大的源线电压，如果不是，则所述控制模块控制所述测试模块向所述存储单元施加置位电压，如果是，则所述控制模块控制所述测试模块停止向所述存储单元施加电压。

在本发明的实施例中，例如，所述重置电压大于最大的源线电压，则控制模块判定该存储单元测试不通过，并结束测试。

在本发明的实施例中，例如，所述非线性选通器件为晶体管或二极管。

附图说明

为了更清楚地说明本实用新型实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本实用新型的一些实施例，而非对本实用新型的限制。

图1为一种阻变存储器阵列结构示意图；

图2为一种阻变存储器阵列中的存储单元结构示意图；

图3为阻变存储器的复位操作的流程图；

图4为本发明实施例阻变存储器的复位操作方法流程图；

图5为本发明实施例中阻变存储器以晶体管为非线性选通器件的复位操作的流程图；

图6为本发明实施例的一种阻变存储器装置；

图 7 为采用现有复位方法和本发明实施例的复位方法的阻变存储器阵列中存储单元阻值的累积概率分布结果图。

具体实施方式

5 为使本发明的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

10 目前，阻变存储器例如包括以非线性选通器件和阻变元件为基础的存储单元构成的阻变存储器阵列。图 1 示出了一种阻变存储器阵列。参照图 1，阻变存储器阵列例如由彼此交叉排布的 8 条字线和 128 条位线组成。在位线与字线的交叉点设置一个存储单元。图 2 示出了交叉点处阻变存储器阵列的存储单元结构，该存储单元连接到相应的字线、源线和位线。参照图 2，每一个存储单元包括一个阻变元件和一个晶体管。晶体管的栅极与字线连接，源极与源线连接，漏极串联阻变元件后连接至位线。字线的作用是对晶体管施加电压，以将晶体管的沟道打开或关闭，从而控制晶体管的导通或截止。在晶体管导通后，例如，可以通过源线和位线向存储单元中的阻变元件施加电压，以设置该阻变元件的阻态。

20 需要说明的是，图 1 和图 2 所示的阻变存储器阵列及存储单元的结构仅是示例性的，并非对本发明的限制。例如，存储阵列中存储单元的行与列的布置不限于图中示出的情形。例如，存储单元中的非线性选通器件也可以为二极管。

阻变元件是阻变式存储器阵列中用于存储数据的关键部件。一般来讲，
25 阻变元件例如为夹心结构，包括位于中间的阻变层和位于两侧的电极层。阻变层例如可以是金属氧化物或者有机材料。例如采用晶体管作为阻变存储器的选通器件时，阻变元件的两侧的电极层可以分别连接晶体管的漏极和位线。晶体管的源极连接源线，栅极连接字线。这样，在位线和字线同时施加电压时，例如可以进行置位操作。在源线和字线施加电压时，例如可以进行复位操作。晶体管的栅极的作用是通过接收来自字线的导通电压而打开晶体管的

沟道，从而可以通过阻变元件两侧电极向阻变层施加电压。因此，在采用晶体管作为选通器件的结构中，对阻变层施加电压均需要先打开晶体管的沟道，也即需要通过字线对晶体管的栅极施加导通电压。

阻变元件的阻值随着施加在其两端的电压大小而变化，会出现低阻态和高阻态两个阶段，即包括置位和复位两个操作过程。复位操作例如是通过阻变元件两侧的电极向阻变元件的阻变层施加重置电压，而使该阻变层的电阻逐渐增加以致进入高阻态的过程。置位操作例如是通过阻变元件两侧的电极向阻变元件的阻变层施加与重置电压相反的置位电压，而使阻变元件的电阻进入低阻态的过程。需要说明的是，重置电压与置位电压方向相反是指阻变元件两侧电极之间所形成的电场方向不同。

目前，阻变存储器阵列的擦写编程大多采用逐步增加的脉冲编程算法。图3示出了阻变存储器阵列的一种复位过程。图3所示的阻变存储器阵列中，每个存储单元的阻变元件通过晶体管控制。参照图3，阻变存储器阵列加载脉冲的设置方式如下：阻变存储器阵列复位开始后，例如在字线和源线对阻变存储器阵列的存储单元赋予电压初始值，即存储单元的源线端和字线端加载脉冲电压。随后进行读校验操作，即获取存储单元的阻值。然后判断存储单元的阻值是否达到目标阻值。如果存储单元的阻值大于等于预设的目标阻值，则停止对该存储单元施加脉冲电压，例如可以是如图3中所示判定测试通过，并结束测试，也即停止对该存储单元施加脉冲电压。如果存储单元的阻值小于预设的目标阻值，则进一步判断存储单元的电压值是否大于源线最大电压，如果是，则停止对该存储单元施加电压，如图3所示判定未通过测试，之后结束测试，也即停止对该存储单元施加脉冲电压；如果不是，则增加电压幅值后（一般是采用初始电压加步长的方式）通过源线对该存储单元继续加载脉冲电压，并重复读校验及之后的操作，直至存储单元的阻值达到目标值或以其他方式结束测试。

需要说明的是，在阻变存储器阵列的复位过程中，字线电压的作用是在加载源线脉冲时打开晶体管的沟道。起始源线电压、源线电压步长以及终点源线电压根据存储单元中阻变元件的特性选择。字线脉冲电压和源线脉冲电压的宽度根据实际需要选择。上述目标阻值为存储单元处于高阻态的阻值，该目标阻值根据存储器阵列的特性确定。

对于采用上述算法对阻变存储器阵列中每一个存储单元进行复位编程的操作，发明人注意到，阻变存储器的弛豫特性与擦写编程操作方式有很大的关系。当源线脉冲幅值增加到临界电压脉冲前后，相应的存储单元的阻值发生突变。急剧升高的阻值导致阻变存储器的阻变层内部温度急剧降低，从而使得阻变层里的氧离子移动速度变慢，无法与氧空位有效复合形成稳定的高阻态。与此同时，氧空位能够捕获电荷，进而在阻变存储器的阻变层里形成不稳定的高阻值，造成高阻态快速弛豫现象。

针对上述高阻态快速弛豫现象，本发明的实施例提供了阻变存储器的操作方法和阻变存储器装置。

本发明实施例的一个方面提供了一种阻变存储器的操作方法。参照图 4，本发明的阻变存储器操作方法包括如下步骤：对阻变存储器阵列中的存储单元施加初始重置电压；进行读校验操作，以获取所述存储单元的阻值；判断所述存储单元的所述阻值是否达到预设的目标阻值；如果所述存储单元的阻值大于等于所述目标阻值，则结束所述方法；如果所述存储单元的阻值小于所述目标阻值，则向所述存储单元施加置位电压，以将所述存储单元置位到在低阻态的目标阻值，然后对所述存储单元再次施加幅值升高的重置电压，并重复所述读校验操作及之后的步骤，直到所述存储单元达到所述目标阻值。

本发明实施例的阻变存储器的操作方法，在需要施加新的重置电压之前，先将存储单元置位到在低阻态，避免了重置过程中存储单元由于急剧升高的阻值导致器件温度的急剧上升，可以有效抑制高阻态快速弛豫现象，提高阻变存储器的数据保持特性。

需要说明的是，在对阻变存储器阵列中的存储单元施加重置电压之前，例如可以对阻变存储器阵列预设一个在高阻态的目标阻值。该目标阻值应为存储单元在加载电压下可以达到的阻值，且该目标阻值例如是已知的。例如，对整个阻变存储器阵列中的各存储单元设定同一个目标阻值。一般来讲，对于同一个阻变存储器阵列而言，使各个存储单元达到高阻态的电压例如相差不大。

另外，对阻变存储器阵列施加的初始重置电压例如是根据使存储单元处于高阻态所需的电压而确定。也就是说，初始重置电压的设置应该保证尽可能多的存储单元达到目标阻值，以提高阻变存储器阵列的工作效率，减小能

耗。

对阻变元件的置位操作例如也需要确保各存储单元中的阻变元件不被击穿。这些存储单元在低阻态的目标阻值例如也是对存储单元施加反向置位电压后可达到的阻值，例如对整个阻变存储器阵列中的各存储单元设定同一个目标阻值。本发明的实施例中，对存储单元在低阻态的目标阻值并不特别限定，只要保证存储单元在被施加置位电压后处于低阻态且不被击穿即可。在设置存储单元在低阻态的目标值时，例如可以将存储单元中阻变元件在低阻态的目标阻值 $R1$ 设置为略小于该存储单元中阻变元件被激活后的阻值 $R2$ 。例如 $R1 \geq 90\%R2$ ，以更好的提高阻变存储器的数据保持特性。通过增加反向置位操作，避免了各存储单元的电压处于各自临界电压附近，提高阻变存储器阵列的数据保持特性。

在初始重置电压之后对存储单元施加的重置电压一般以初始重置电压加步长的方式设置。例如，在第一次置位后对存储单元的重置电压的幅值为初始重置电压的幅值加一个步长后的电压值，依次类推。通过对未达到目标阻值的存储单元施加逐渐增加重置电压（例如每一次循环后增加一个步长，即电压增加值为 n 个步长， $n \geq 1$ ），以使更多的存储单元达到在高阻态的目标阻值。步长的设置需要根据阻变存储器中存储单元的均一性而定，例如存储单元的均一性好，则可以将步长设置的更小。相反地，如果存储单元之间的均一性较差，可以将步长设置的大一些。例如，步长 h 与初始重置电压 V_s 的关系满足 $0.02V_s \leq h \leq 0.2V_s$ ，以更好的缓解阻变存储器的阻态弛豫现象。

在一个实施例中，存储单元的非线性选通器件例如为晶体管。重置电压通过存储单元的字线端和源线端施加，置位电压通过所述存储单元的字线端和位线端施加。在该实施例中，进一步地，阻变存储器的操作方法还包括如下步骤：如果所述存储单元的阻值小于所述目标阻值，则判断所述重置电压是否大于最大的源线电压，如果不是，则向所述存储单元施加置位电压，如果是，则结束所述方法。例如，进一步地，该实施例的阻变存储器的操作方法还可以包括：如果存储单元的电压大于最大源线电压，则判定该存储单元测试不通过，结束所述方法。

图 5 示出了本发明一个实施例中以晶体管为非线性选通器件的阻变存储器的复位操作流程。

参照图 5, 阻变存储器阵列在复位操作开始后, 首先在阻变存储器阵列的字线和源线施加初始重置电压, 即对存储单元赋予电压初值。例如该重置电压为一个脉冲电压; 随后, 通过读校验操作获取该存储单元的阻值, 并判断该阻值是否达到预设的目标阻值。如果达到目标阻值, 则判定测试通过, 5 并结束测试, 即停止向这些存储单元施加例如脉冲电压。如果存储单元没有达到目标阻值, 则进一步判断存储单元的电压是否大于源线电压的幅值。如果是, 则判定测试未通过, 并停止对该存储单元施加例如脉冲电压。如果不是, 则通过对这些存储单元的字线端和位线端施加例如反向置位电压对该存储单元进行置位操作, 以将这些存储单元置位到在低阻态的一个目标阻值; 10 之后, 根据源线的电压和步长, 例如初始置位电压的幅值增加一个步长后的电压, 对存储单元再次施加重置电压。重复读校验及之后的操作, 直至存储单元的阻值达到目标阻值为止, 或由于存储单元的电压是否大于源线电压的幅值而结束测试。

在一个实施例中, 存储单元中的非线性选通器件为晶体管, 重置电压为 15 通过存储单元的字线端和源线端施加的脉冲电压。

例如, 初始重置电压为脉冲电压, 该脉冲电压的脉冲宽度为 20-100ns, 例如为 40-60ns, 以使各存储单元能够快速到达高阻态, 减小能耗。

初始重置电压的幅值应当考虑阻变存储器阵列的均一性。即应当保证在该初始重置电压施加后, 有尽可能多的存储单元达到在高阻态的目标阻值。 20 但该脉冲电压的幅值应不大于阻变存储器阵列中各存储单元的临界电压中的最大值。

例如, 初始重置电压为脉冲电压, 该脉冲电压的幅值设置为 60% 的存储单元达到预设目标阻值所对应的电压值, 以保证在施加该初始脉冲电压后, 有更多的存储单元达到各自的临界电压, 避免弛豫现象。

25 例如, 初始重置电压为脉冲电压, 该脉冲电压的幅值 $V_{\max}$ 与存储单元临界电压中的中位数 V_{mid} 之差满足: $-0.2V \leq V_{\max} - V_{\text{mid}} \leq 0.1V$, 以保证有更多的存储单元在初始重置电压之后达到预设目标阻值, 避免弛豫现象。

在一个实施例中, 读校验操作为向存储单元发送一个幅值为 0.1-0.3V 的脉冲电压, 并获取存储单元的电流数据, 通过该脉冲电压和所述电流数据计 30 算存储单元的阻值。在进行读校验操作时, 如果脉冲电压过小, 则无法准确

测量各个存储单元的阻值；如果脉冲电压过大，则有可能会发生电路串扰。因此，通过将读校验操作的脉冲电压设置在 0.1-0.3V，既可准确测量各个存储单元的阻值，又能有效防止电路串扰。例如，该读校验的脉冲电压设置为 0.2-0.25V，进一步提高阻值的检测精度。通过精确测量存储器阵列中各存储单元的阻值，为后续步骤打下基础，以更好的避免弛豫现象。

需要说明的是，对于以晶体管为开关的阻变存储器阵列而言，读校验操作例如是在阻变存储器阵列的字线和位线上施加脉冲电压实现的。

在一个实施例中，存储单元选用的非线性选通器件为晶体管。置位操作的实现方式为在存储单元的位线端施加电压。例如对于采用晶体管的阻变存储器阵列而言，在存储单元的字线端和位线端同时施加例如脉冲电压，以实现置位操作。本发明的实施例中，对于经过初始置位电压后未达到预设目标阻值的存储单元，增加了置位操作，从而更好的避免了高阻态快速弛豫现象。

在一个实施例中，通过调整置位操作中置位电压幅值与重置电压幅值的关系，可以更好的避免阻变存储器的阻态弛豫现象。例如，对一个存储单元施加的置位电压的幅值 V_2 与对该存储单元在置位前施加的重置电压的幅值 V_1 满足 $-0.4 \leq V_2 - V_1 < 0$ 。例如，对一个存储单元施加的置位电压的幅值 V_2 与对该存储单元在置位前施加的重置电压的幅值 V_1 满足 $-0.2 \leq V_2 - V_1 < 0$ ，以进一步降低阻变存储器的阻态弛豫。

需要指出的是，置位操作中存储单元在低阻态的目标阻值也是通过设置电压初值及步长后，对存储单元循环加载脉冲电压而实现的。这里，存储单元阻值的读取也需要采用读校验判断，即获取存储单元的电流值，并结合施加到该存储单元的电压计算出该存储单元的阻值。并根据计算出的存储单元的阻值，执行继续施加脉冲电压或者停止施加脉冲电压操作。

本发明实施例的另一个方面提供了一种阻变存储器阵列装置，可有效缓解阻变存储器阵列中阻变存储器的阻态弛豫现象。该装置包括阻变存储器阵列、控制模块和测试模块。

所述控制模块向所述测试模块发送向阻变存储器阵列中的存储单元施加重置电压的指令，控制所述测试模块向所述存储单元施加重置电压。

所述控制模块获取所述存储单元的阻值，并将所获取的所述存储单元的阻值与预设的目标阻值比较，根据比较结果，进行以下步骤：

如果所述存储单元的阻值小于所述目标阻值，则所述控制模块向所述测试模块发送施加置位电压的指令，控制所述测试模块向所述存储单元施加置位电压，以将所述存储单元置位到在低阻态的目标阻值；所述控制模块向所述测试模块发送施加幅值增加的重置电压指令，控制所述测试模块向所述存储单元施加幅值增加的所述重置电压；所述控制模块及所述测试模块重复上述获取所述存储单元阻值以及之后的步骤，直至所述存储单元的阻值大于等于目标阻值。

如果所述存储单元的阻值大于等于目标值，所述控制模块控制所述测试模块停止向所述存储单元施加重置电压。

在一个实施例中，存储单元包括阻变元件和非线性选通器件，非线性选通器件为晶体管；重置电压通过存储单元的字线端和源线端施加，置位电压通过所述存储单元的字线端和位线端施加。在该实施例中，控制模块和测试模块还可进行如下操作：如果存储单元的阻值小于目标阻值，则控制模块判断所述重置电压是否大于最大的源线电压，如果不是，则控制模块控制测试模块向存储单元施加置位电压，如果是，则控制模块控制测试模块停止向所述存储单元施加电压；如果重置电压大于最大的源线电压，则控制模块判定该存储单元测试不通过，并结束测试。

图 6 示出了本发明实施例的一种阻变存储器装置。参照图 6，控制模块例如为一台电脑的计算设备，测试模块例如为一台阵列测试机。电脑可以设置各种参数，例如输入预设目标阻值，设定重置电压及置位电压（重置电压和置位电压例如为脉冲电压）以及设定读校验脉冲电压等，并向阵列测试机发送执行指令；阵列测试机向阻变存储器阵列样品发送例如脉冲电压，并获取阻变存储器阵列中各存储单元的相关数据（例如电流数据），以将数据传输给电脑；电脑例如根据这些数据进行相应的处理和确定下一步操作等，例如比较存储单元阻值和目标阻值，并根据比较结果确定对存储单元进行置位或停止对存储单元施加脉冲电压等操作。

需要说明的是，控制模块获取存储单元阻值的方式可以为：控制模块控制测试模块向存储单元发送一个幅值为 0.1-0.3V 的脉冲电压；测试模块采集阻变存储器阵列中存储单元的电流数据，将所采集到的电流数据传输给控制模块；控制模块通过该脉冲电压以及所采集的电流数据计算各存储单元的阻

值。

例如，控制模块控制测试模块向存储单元发送的脉冲电压的幅值可以为 0.2-0.25V，以进一步提高检测精度，避免发生电路串扰。

在一个实施例中，存储单元的非线性选通器件可以为晶体管或二极管。

5 本领域技术人员可知：本发明实施例的阻变存储器装置可以包括阻变存储器阵列、控制模块和测试模块。例如控制模块可以包括一个输入/输出(I/O)界面，操作人员可以通过界面进行上述参数设定。测试模块例如可以按照所接收到的控制模块的指令执行相应操作，例如提供初始脉冲电压等。控制模块和测试模块并不一定是彼此独立的模块，只要具备如上所述的功能即可。

10 本公开的发明人通过实验进行了验证本发明实施例的技术效果，具体如下所述。

待测的存储器阵列结构图均为图 1 所示的结构。即阻变存储器阵列包括 8 条字线/源线和 128 条位线，在每一条字线/源线和位线的交叉点为一个存储单元。阻变存储器阵列的每个存储单元的结构如图 2 所示。即存储单元例如包括一个阻变元件和一个晶体管。晶体管的栅极与字线连接，源极与源线连接，漏极串联一个阻变存储器后连接到位线。

实验时，分别使用图 3 所示的复位方法以及如图 5 所示的本发明实施例的复位方法对阻变存储器阵列进行复位操作。阻变存储器阵列复位操作完成后，测试阻变存储器阵列的初始状态各存储单元的阻值和 在 175°C 下加热 2 小时后的阻值。

图 7 为采用图 3 所示的复位方法和如图 5 所示的本发明实施例的复位方法的阻变存储器阵列中存储单元阻值的累积概率分布结果图。图 7 中的横坐标为阻变存储器阵列中各存储单元的电阻值，单位为欧姆(Ω)；纵坐标为阻变存储器阵列中存储单元的累积概率分布。图中 R11 和 R12 分别指示采用现有复位方法在加热前后存储单元的阻值的累积概率分布线。图中 R21 和图中 R22 分别指示采用本发明实施例的复位方法在加热前后存储单元阻值的累积概率分布线。图中的 200k Ω 为对阻变存储器设定的目标阻值。

参照图 7 可知，采用图 3 所示的复位方法进行阻变存储器阵列的复位操作后，约有 10% 的存储单元的阻值达不到目标阻值，且部分存储单元的阻值 30 低于 100K Ω ；在加热 2 小时后，已经有 70% 以上的存储单元的阻值小于目标

阻值。部分存储单元的阻值已经下降到目标阻值的 10 倍以上，导致 10 倍的高低阻值窗口消失，即部分阻变元件失效。而在同等条件下，采用图 5 所示的本发明实施例的方法对阻变存储器阵列进行复位操作后，几乎所有存储单元的阻值都大于目标阻值 200K Ω 。此外，继续参照图 5，在加热 2 小时后，
5 仅有 2%左右的存储单元的阻值小于目标阻值 200K Ω ，且这些存储单元的阻值也接近 200K Ω 。由此，可知，采用本发明的实施例的复位方法，可明显提高阻变存储器阵列的数据保持能力。

需要指出的是，上述实验条件及结果仅是为了说明本发明实施例提高阻变存储器数据保持能力的效果，而并非对本发明的限制。本领域技术人员可
10 知，在不脱离本发明实质内涵的前提下改变上述实验条件时，仍然可以得到能够证明本发明效果的结论。

所属领域的技术人员可以清楚地了解到本发明的阻变存储器装置可借助软件、固件加必需的通用硬件的方式来实现，当然也可以通过专用的硬件来实现，但很多情况下前者可能是优选的实施方式。基于这样的理解，本发明的技术方案本质上以软件、硬件、固件或它们的任意组合的方式体现，其中
15 所涉及的软件产品存储在可读取的存储介质中，如磁性存储介质（例如硬盘）或电子存储介质（例如 ROM、闪存）等，包括若干指令用以使得一台设备（可以是计算机、服务器或者网络设备等）执行本发明各个实施例所述的方法。

20 以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

本申请要求于 2016 年 1 月 22 日递交的第 201610045713.9 号中国专利申请的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

1、一种阻变存储器的操作方法，包括如下步骤：

对阻变存储器阵列中的存储单元施加初始重置电压；

5 进行读校验操作，以获取所述存储单元的阻值；

判断所述存储单元的所述阻值是否达到预设的目标阻值；

如果所述存储单元的阻值大于等于所述目标阻值，则结束所述方法；如果所述存储单元的阻值小于所述目标阻值，则向所述存储单元施加置位电压，以将所述存储单元置位到在低阻态的目标阻值，然后对所述存储单元再次施
10 加幅值升高的重置电压，并重复所述读校验操作及之后的步骤，直到所述存储单元达到所述目标阻值。

2、根据权利要求1所述的阻变存储器的操作方法，其中，所述存储单元包括阻变元件和非线性选通器件，所述非线性选通器件为晶体管，所述重置电压通过所述存储单元的字线端和源线端施加。

15 3、根据权利要求2所述的阻变存储器的操作方法，其中，如果所述存储单元的阻值小于所述目标阻值，则判断所述重置电压是否大于最大的源线电压，如果不是，则向所述存储单元施加置位电压，如果是，则结束所述方法。

4、根据权利要求3所述的阻变存储器的操作方法，其中，如果存储单元的电压大于最大源线电压，则判定该存储单元测试不通过，然后结束所述方
20 法。

5、根据权利要求2所述的阻变存储器的操作方法，其中，所述幅值升高的重置电压等于源线电压与步长之和。

6、根据权利要求1所述的阻变存储器的操作方法，其中，所述初始重置电压为脉冲电压，该脉冲电压的脉冲宽度为 20-100 ns。

25 7、根据权利要求6所述的阻变存储器的操作方法，其中，所述脉冲电压的脉冲宽度为 40-60 ns。

8、根据权利要求1所述的阻变存储器的操作方法，其中，所述阻变存储器阵列包括多个所述存储单元；所述初始重置电压为脉冲电压，所述脉冲电压的幅值不大于多个所述存储单元的临界电压中的最大值。

30 9、根据权利要求1所述的阻变存储器的操作方法，其中，所述阻变存储

器阵列中包括多个所述存储单元；所述初始重置电压为脉冲电压，所述脉冲电压的幅值 $V_{\max}$ 与多个所述存储单元的临界电压中的中位数 V_{mid} 之差满足： $-0.2V \leq V_{\max} - V_{\text{mid}} \leq 0.1V$ 。

10、根据权利要求 1-9 任意一项所述的阻变存储器的操作方法，其中，
5 所述读校验操作为向所述存储单元发送幅值为 0.1-0.3V 的脉冲电压，并获取所述存储单元的电流数据，通过该脉冲电压和所述电流数据计算所述存储单元的阻值。

11、根据权利要求 10 所述的阻变存储器的操作方法，其中，所述读校验操作为向所述存储单元发送幅值为 0.2-0.25V 的脉冲电压。

10 12、根据权利要求 1-9 任意一项所述的阻变存储器的操作方法，其中，所述存储单元包括阻变元件和非线性选通器件，所述非线性选通器件为晶体管，所述置位电压在所述存储单元的字线端和位线端施加。

13、根据权利要求 1-9 任意一项所述的阻变存储器的操作方法，其中，
15 对所述存储单元施加的置位电压的幅值 V_2 与对该存储单元在置位前施加的重置电压的幅值 V_1 满足 $-0.4 \leq V_2 - V_1 < 0$ 。

14、根据权利要求 13 所述的阻变存储器的操作方法，其中，对所述存储单元施加的置位电压的幅值 V_2 与对该存储单元在置位前施加的重置电压的幅值 V_1 满足 $-0.2 \leq V_2 - V_1 < 0$ 。

15、根据权利要求 1-9 任意一项所述的阻变存储器的操作方法，其中，
20 如果所述存储单元的阻值等于预设的目标阻值，则判定所述存储单元测试通过，然后结束所述方法。

16、一种阻变存储器装置，包括阻变存储器阵列、控制模块和测试模块；
所述控制模块控制所述测试模块向所述阻变存储器阵列中的存储单元施加重置电压；

25 所述控制模块获取所述存储单元的阻值，并将所获取的所述存储单元的阻值与预设的目标阻值比较，并根据比较结果，进行以下步骤：

如果所述存储单元的阻值小于所述目标阻值，则所述控制模块控制所述测试模块向所述存储单元施加置位电压，以将所述存储单元置位到在低阻态的目标阻值；所述控制模块控制所述测试模块向所述存储单元施加幅值增加的所述重置电压；所述控制模块及所述测试模块重复上述获取所述存储单元

30

阻值以及之后的步骤，直至所述存储单元的阻值等于目标阻值；

如果所述存储单元的阻值大于等于目标值，所述控制模块控制所述测试模块停止向所述存储单元施加重置电压。

5 17、根据权利要求 16 所述的阻变存储器装置，其中，所述存储单元包括阻变元件和非线性选通器件，所述非线性选通器件为晶体管；所述重置电压通过所述存储单元的字线端和源线端施加，所述置位电压通过所述存储单元的字线端和位线端施加。

10 18、根据权利要求 17 所述的阻变存储器装置，其中，如果所述存储单元的阻值小于所述目标阻值，则所述控制模块判断所述重置电压是否大于最大的源线电压，如果不是，则所述控制模块控制所述测试模块向所述存储单元施加置位电压，如果是，则所述控制模块控制所述测试模块停止向所述存储单元施加电压。

19、根据权利要求 18 所述的阻变存储器装置，其中，所述重置电压大于最大的源线电压，则控制模块判定该存储单元测试不通过，并结束测试。

15 20、根据权利要求 16 所述的阻变存储器装置，其中，所述存储单元包括阻变元件和非线性选通器件，所述非线性选通器件为晶体管或二极管。

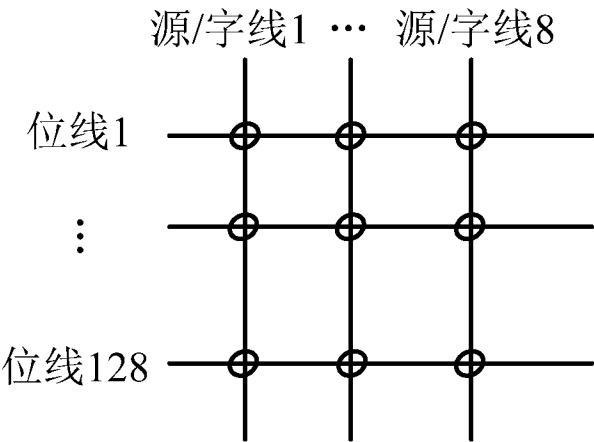


图 1

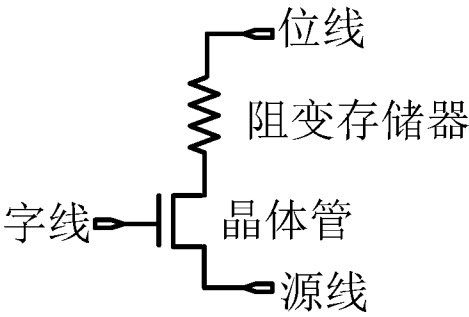


图 2

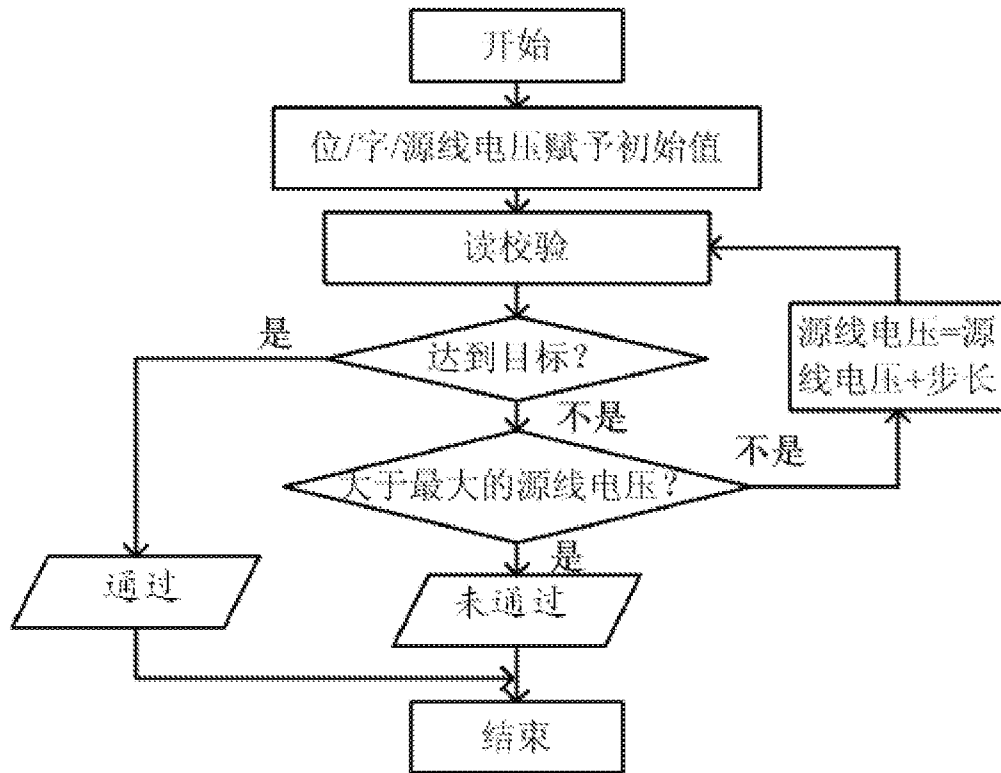


图 3

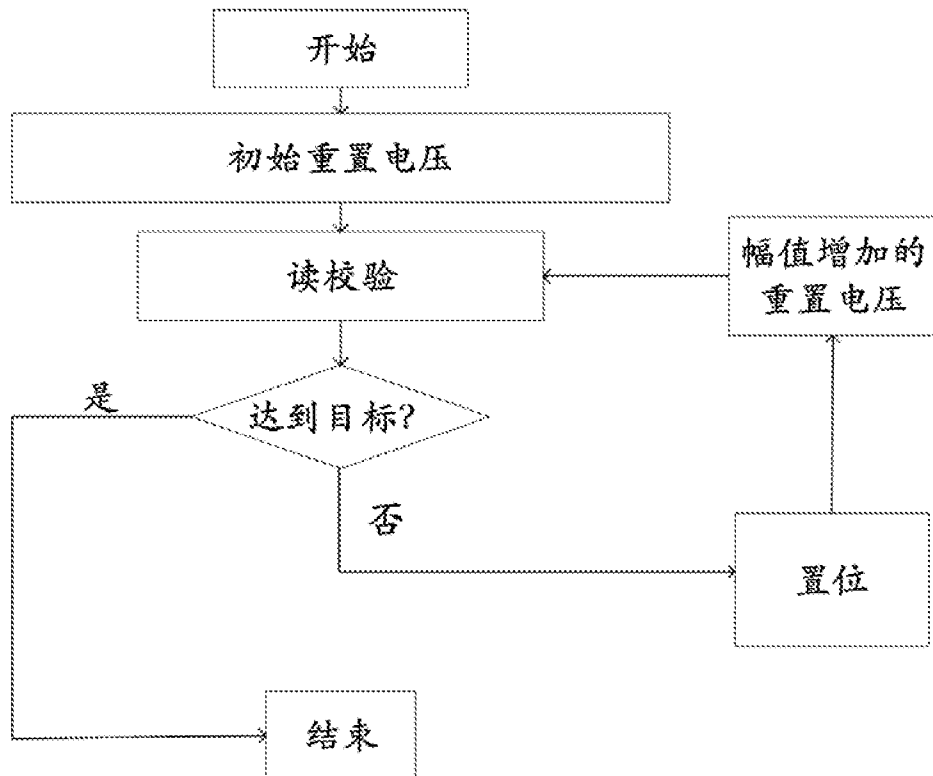


图 4

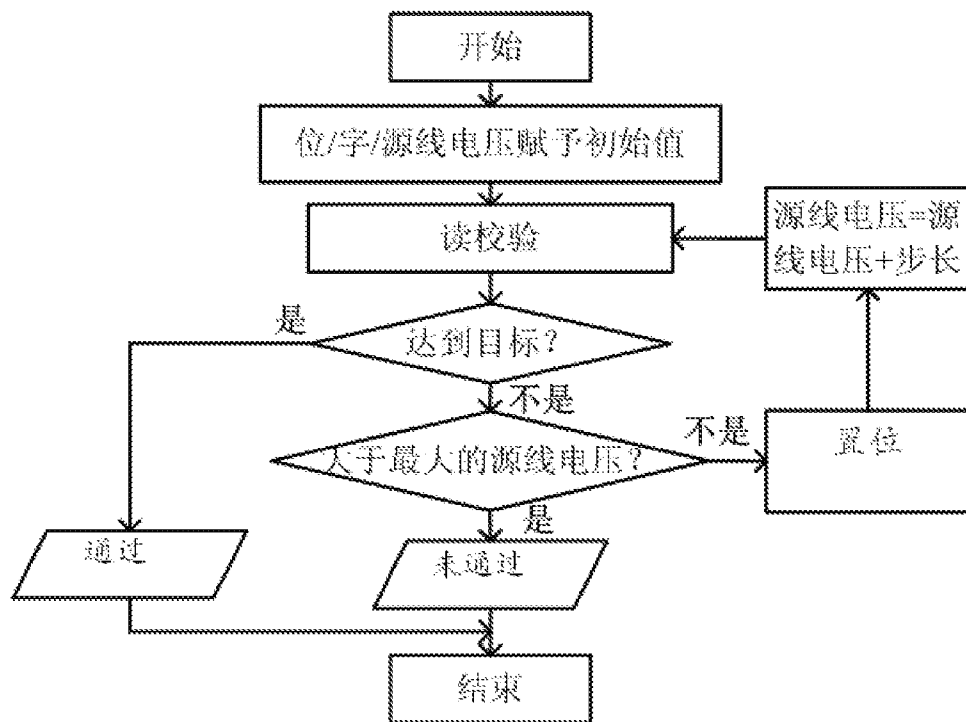


图 5

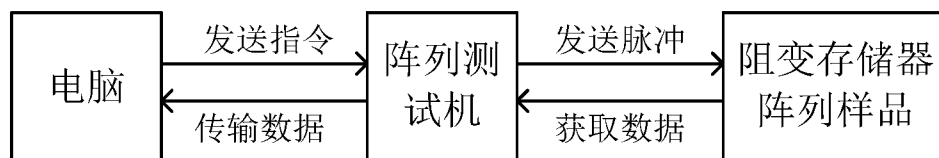


图 6

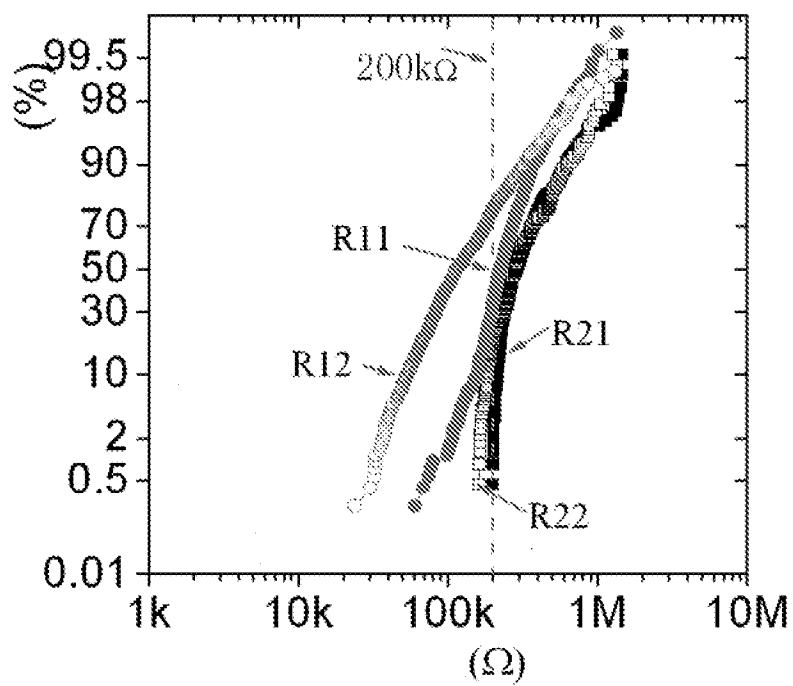


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/111401

A. CLASSIFICATION OF SUBJECT MATTER

G11C 13/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: storage, reset, resist+, memory, ReRAM, RRAM, reset+, set, program+, low resistance

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105719691 A (TSINGHUA UNIVERSITY) 29 June 2016 (29.06.2016) description, paragraphs [0005]-[0024], paragraphs [0035]-[0076], and figures 4-6	1-20
X	CN 103366816 A (TOSHIBA K.K.) 23 October 2013 (23.10.2013) description, paragraphs [0030]-[0049], and figures 1 and 8	1, 8-11, 13-16
Y	CN 103366816 A (TOSHIBA K.K.) 23 October 2013 (23.10.2013) description, paragraphs [0030]-[0049], and figures 1 and 8	2-7, 12, 17-20
Y	CN 104778968 A (SHANDONG SINOCHIP SEMICONDUCTORS LTD.) 15 July 2015 (15.07.2015) description, paragraphs [0002]-[0006], and figures 1 and 2	2-7, 12, 17-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 February 2017	Date of mailing of the international search report 22 March 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Yan Telephone No. (86-10) 62414051

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2016/111401

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101118784 A (FUDAN UNIVERSITY) 06 February 2008 (06.02.2008) the whole document	1-20
A	CN 102420014 A (SHARP K.K.) 18 April 2012 (18.04.2012) the whole document	1-20
A	US 2014140125 A1 (ELPIDA MEMORY, INC.) 22 May 2014 (22.05.2014) the whole document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/111401

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105719691 A	29 June 2016	None	
CN 103366816 A	23 October 2013	US 9424915 B2	23 August 2016
		US 2014328110 A1	06 November 2014
		US 2013250654 A1	26 September 2013
		JP 5602175 B2	08 October 2014
		JP 2013200922 A	03 October 2013
		TW I502589 B	01 October 2015
		TW 201340106 A	01 October 2013
		TW 201539453 A	16 October 2015
		US 8804401 B2	12 August 2014
CN 104778968 A	15 July 2015	WO 2016155322 A1	06 October 2016
CN 101118784 A	06 February 2008	None	
CN 102420014 A	18 April 2012	CN 102420014 B	17 December 2014
		JP 2012069220 A	05 April 2012
		US 8514607 B2	20 August 2013
		JP 5149358 B2	20 February 2013
		US 2012075909 A1	29 March 2012
US 2014140125 A1	22 May 2014	JP 2014102866 A	05 June 2014
		US 9218878 B2	22 December 2015

A. 主题的分类 G11C 13/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																										
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, EPDOC, WPI, CNKI, IEEE: 阻变, 电阻, 存储, 设置, 设定, 置位, 重置, 复位, 编程, 低阻, 低电阻, resist+, memory, ReRAM, RRAM, reset+, set, program+, low resistance																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105719691 A (清华大学) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0005]-[0024]段、第[0035]-[0076]段, 附图4-6</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 103366816 A (株式会社东芝) 2013年 10月 23日 (2013 - 10 - 23) 说明书第[0030]-[0049]段, 附图1、8</td> <td>1, 8-11, 13-16</td> </tr> <tr> <td>Y</td> <td>CN 103366816 A (株式会社东芝) 2013年 10月 23日 (2013 - 10 - 23) 说明书第[0030]-[0049]段, 附图1、8</td> <td>2-7, 12, 17-20</td> </tr> <tr> <td>Y</td> <td>CN 104778968 A (山东华芯半导体有限公司) 2015年 7月 15日 (2015 - 07 - 15) 说明书第[0002]-[0006]段, 附图1-2</td> <td>2-7, 12, 17-20</td> </tr> <tr> <td>A</td> <td>CN 101118784 A (复旦大学) 2008年 2月 6日 (2008 - 02 - 06) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 102420014 A (夏普株式会社) 2012年 4月 18日 (2012 - 04 - 18) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2014140125 A1 (ELPIDA MEMORY, INC.) 2014年 5月 22日 (2014 - 05 - 22) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105719691 A (清华大学) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0005]-[0024]段、第[0035]-[0076]段, 附图4-6	1-20	X	CN 103366816 A (株式会社东芝) 2013年 10月 23日 (2013 - 10 - 23) 说明书第[0030]-[0049]段, 附图1、8	1, 8-11, 13-16	Y	CN 103366816 A (株式会社东芝) 2013年 10月 23日 (2013 - 10 - 23) 说明书第[0030]-[0049]段, 附图1、8	2-7, 12, 17-20	Y	CN 104778968 A (山东华芯半导体有限公司) 2015年 7月 15日 (2015 - 07 - 15) 说明书第[0002]-[0006]段, 附图1-2	2-7, 12, 17-20	A	CN 101118784 A (复旦大学) 2008年 2月 6日 (2008 - 02 - 06) 全文	1-20	A	CN 102420014 A (夏普株式会社) 2012年 4月 18日 (2012 - 04 - 18) 全文	1-20	A	US 2014140125 A1 (ELPIDA MEMORY, INC.) 2014年 5月 22日 (2014 - 05 - 22) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 105719691 A (清华大学) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0005]-[0024]段、第[0035]-[0076]段, 附图4-6	1-20																								
X	CN 103366816 A (株式会社东芝) 2013年 10月 23日 (2013 - 10 - 23) 说明书第[0030]-[0049]段, 附图1、8	1, 8-11, 13-16																								
Y	CN 103366816 A (株式会社东芝) 2013年 10月 23日 (2013 - 10 - 23) 说明书第[0030]-[0049]段, 附图1、8	2-7, 12, 17-20																								
Y	CN 104778968 A (山东华芯半导体有限公司) 2015年 7月 15日 (2015 - 07 - 15) 说明书第[0002]-[0006]段, 附图1-2	2-7, 12, 17-20																								
A	CN 101118784 A (复旦大学) 2008年 2月 6日 (2008 - 02 - 06) 全文	1-20																								
A	CN 102420014 A (夏普株式会社) 2012年 4月 18日 (2012 - 04 - 18) 全文	1-20																								
A	US 2014140125 A1 (ELPIDA MEMORY, INC.) 2014年 5月 22日 (2014 - 05 - 22) 全文	1-20																								
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																										
国际检索实际完成的日期 2017年 2月 20日		国际检索报告邮寄日期 2017年 3月 22日																								
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 杨燕 电话号码 (86-10) 62414051																								

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/111401

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105719691	A	2016年 6月 29日	无			
CN	103366816	A	2013年 10月 23日	US	9424915	B2	2016年 8月 23日
				US	2014328110	A1	2014年 11月 6日
				US	2013250654	A1	2013年 9月 26日
				JP	5602175	B2	2014年 10月 8日
				JP	2013200922	A	2013年 10月 3日
				TW	1502589	B	2015年 10月 1日
				TW	201340106	A	2013年 10月 1日
				TW	201539453	A	2015年 10月 16日
				US	8804401	B2	2014年 8月 12日
CN	104778968	A	2015年 7月 15日	WO	2016155322	A1	2016年 10月 6日
CN	101118784	A	2008年 2月 6日	无			
CN	102420014	A	2012年 4月 18日	CN	102420014	B	2014年 12月 17日
				JP	2012069220	A	2012年 4月 5日
				US	8514607	B2	2013年 8月 20日
				JP	5149358	B2	2013年 2月 20日
				US	2012075909	A1	2012年 3月 29日
US	2014140125	A1	2014年 5月 22日	JP	2014102866	A	2014年 6月 5日
				US	9218878	B2	2015年 12月 22日