СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1191917 A

(51) 4 G 06 F 15/31

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВСЕСОЮЗНАЯ 13 ТЕХ... 13 БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3638491/24-24
(22) 02.09.83
(46) 15.11.85. Бюл. № 42
(71) Омский политехнический институт
(72) А.Н.Флоренсов
(53) 691.325(088.8)

(56) Оранский А.М. Аппаратные методы в цифровой вычислительной технике.- Минск: БГУ, 1977, с. 207.

Авторское свидетельство СССР № 1067510, кл. G 06 F 15/31, 1982.

(54)(57) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ФУНКЦИЙ ДВУХ АРГУМЕНТОВ, содержащее регистр старших разрядов первого аргумента, регистр младших разрядов первого аргумента, регистр старших разрядов второго аргумента, регистр младших разрядов второго аргумента, блок памяти, два блока умножения, блок синхронизации, первый сумматор, регистр результата, два коммутатора и первый буферный регистр, причем выходы регистра старших разрядов первого аргумента и регистра старших разрядов второго аргумента соединены с входами соответственно первой и второй групп разрядов адреса блока памяти, выходы полей первой и второй составляющих которого соединены соответственно с первым и вторым информационными входами первого коммутатора, выход которого соединен с первым входом первого сумматора, второй вход которого соединен с выходом второго коммутатора, первый информационный вход которого соединен с выходом первого буферного регистра, вход разрешения записи которого соединен с первым выходом блока синхронизации, второй и третий выходы которого соединены соответственно с управляющими входами первого и второго коммутаторов, выход первого сумматора соединен с информационными входами первого буферного регистра и регистра результата, выходы регистра младших разрядов первого аргумента и регистра младших разрядов второго аргумента соединены с первыми входами соответственно первого и второго блоков умножения, отличающееся тем, что, с целью повышения точности, в него введены второй сумматор, второй буферный регистр, третий и четвертый коммутаторы, причем выход второго сумматора соединен с информационным входом второго буферного регистра, вход разрешения записи и выход которого соединены соответственно с четвертым выходом блока синхронизации и первым информационным входом третьего коммутатора, второй и третий информационные входы которого соединены с выходами полей соответственно третьей и четвертой составляющих блока памяти, выходы полей пятой и шестой составляющих которого соединены соответственно с первым входом второго сумматора и первым информационным входом четвертого коммутатора, второй информационный вход которого соединен с выходом первого буферного регистра, выходы третьего и четвертого коммутаторов соединены с вторыми входами соответственно второго и первого блоков умножения, выход первого блока умножения соединен с вторым информационным входом второго

SU (11) 1191917 A (19)

коммутатора, выход второго блока умножения соединен с вторым входом второго сумматора и третьим информационным входом первого коммутатора, управляющие входы третьего и четвертого коммутаторов соединены соответственно с пятым и шестым выходами блока синхронизации.

1

Изобретение относится к вычислительной технике и может быть использовано для ускоренного вычисления произвольной функции двух аргументов, в частности для вычисления функции $\operatorname{arctg}\frac{x}{y}$, необходимой при выполнении преобразования декартовых координат в полярные координаты.

Цель изобретения - повышение точности.

На фиг.1 изображена блок-схема предлагаемого устройства; на фиг.2 - временные диаграммы работы блока синхронизации.

Устройство содержит регистр 1 старших разрядов первого аргумента, регистр 2 младших разрядов первого аргумента, регистр 3 старших разрядов второго аргумента, регистр 4 младших разрядов второго аргумента, блок 5 памяти, первый сумматор 6, второй сумматор 7, регистр 8 результата, первый блок 9 умножения, второй блок 10 умножения, коммутаторы 11 - 14, буферные регистры 15 и 16, блок 17 синхронизации.

Вычисление значения функции $F(x,y)$ в устройстве производится на основе соотношения

$$F(x,y) \simeq \phi_1 + \tilde{x}\,(\phi_2 + \tilde{y}\,\phi_3 + y\,\tilde{\phi}_6) + \tilde{y}\,(\phi_5 + y\,\phi_4) \qquad (1)$$

где $\phi_1 = F(x_0, y_0)$, $\phi_2 = \frac{\partial F(x_0 y_0)}{\partial x}$,

$\phi_3 = \frac{\partial^2 F(x_0 y_0)}{\partial x \partial y}$, $\phi_4 = \frac{1}{2}\,\frac{\partial^2 F(x_0 y_0)}{\partial y^2}$

$\phi_5 = \frac{\partial F(x_0 y_0)}{\partial y}$, $\phi_6 = \frac{1}{2}\,\frac{\partial^2 F(x_0 y_0)}{\partial x^2}$;

x_0 и y_0 определяются К старшими разрядами соответственно аргументов x и y, а $\tilde{x}$ и $\tilde{y}$ - младшими разрядами аргументов x и y.

В предположении $0 \le x, y < 1$ погрешность аппроксимации (1) определяется соответствующим остаточным членом ряда Тейлора функции и имеет поэтому порядок $M \cdot 2^{-3K}$, M выражается через частные производные третьего порядка функции $F(x,y)$. Поэтому надлежащим выбором параметра К можно сделать погрешность аппроксимации (1), выходящей за пределы используемой разрядной сетки.

2

Устройство работает в четыре такта, определяемые блоком 17 синхронизации. Блок 5 памяти хранит таблицы значений коэффициентов $\phi_1 - \phi_6$, снимаемых соответственно с выходов 1 - 6-го этого блока и зависящих от поступающих на вход блока 5 памяти значений x_0 и y_0 старших разрядов аргументов x и y.

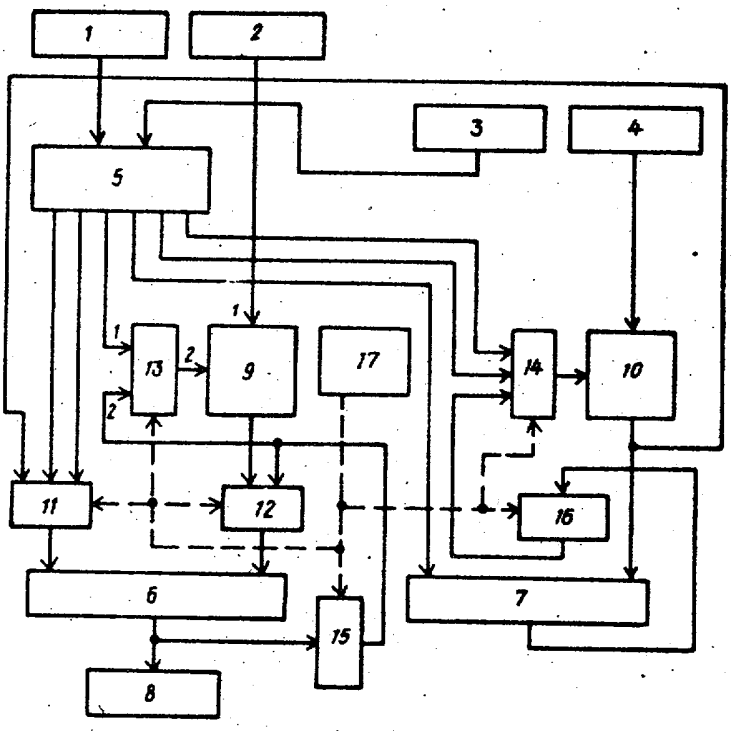
В первом такте сигналы от блока 17 синхронизации на управляющих входах коммутаторов 11 - 14 подключают к их выходам соответственно второй, второй первый и третий информационные входы. Кроме того, блок 17 синхронизации выдает сигналы на входы записи первого и второго буферных регистров 15 и 16. Поэтому на второй вход первого блока 9 умножения поступает с шестого выхода блока 5 памяти значение ϕ_6, которое, умножаясь на значение x, через второй информационный вход коммутатора 12 поступает на второй вход первого сумматора 6, на первый вход которого через второй информационный вход коммутатора 11 подается значение ϕ_2, что приводит к образованию на информационном входе первого буферного регистра 15 значения $\phi_2 + x\,\phi_6$, запоминаемого на нем. Одновременно в этом же такте через третий информационный вход коммутатора 14 на второй вход второго блока 10 умножения поступает значение ϕ_4, умножающееся на значение $\tilde{y}$ с первого входа второго блока 10 умножения и по-

ступающее на первый вход второго сумматора 7, на второй вход которого поступает с пятого выхода блока 5 памяти значение ϕ_5, что порождает на выходе второго сумматора 7 значение $\phi_5 + \tilde{y}\phi_4$, запоминаемое на втором буферном регистре 16.

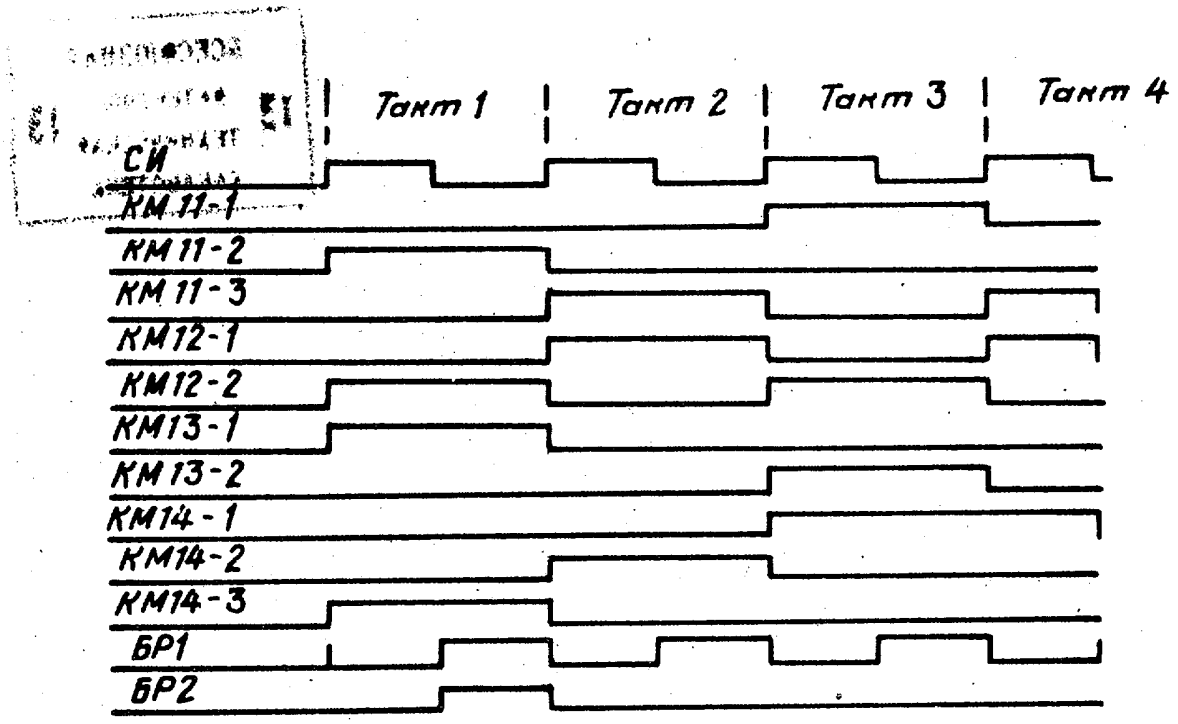
Во втором такте сигналы от блока 17 синхронизации на управляющих входах коммутаторов 11, 12 и 14 подключают к их выходам соответственно третий, первый и второй информационные входы. Кроме того, от блока 17 синхронизации подается сигнал на вход записи первого регистра 15. В результате этого на первом сумматоре 6 производится сложение содержимого первого буферного регистра 15 и поступающего через третий информационный вход коммутатора 11 с выхода второго блока умножения 10 произведения $\tilde{y}\phi_3$, образующегося из поступающего через второй информационный вход коммутатора 14 значения ϕ_3. Сумма $\phi_2 + \tilde{x}\phi_6 + \tilde{y}\phi_3$ запоминается на первом буферном регистре 15.

В третьем такте сигналы от блока 17 синхронизации на управляющих входах коммутаторов 11 и 14 подключают к их выходам соответственно первые информационные входы, а сигналы на управляющих входах коммутаторов 13 и 12 подключают к выходам вторые их информационные входы. Кроме того, блок 17 синхронизации подает в этом такте сигнал на вход записи первого буферного регистра 15. Поэтому первый блок 9 умножения образует на своем выходе значение $\tilde{x}(\phi_2 + \tilde{x}\phi_6 + y\phi_3)$, складываемое на первом сумматоре 6 со значением ϕ_1 с запоминанием результата на первом буферном регистре 15, а второй блок 10 умножения образует значение $\tilde{y}(\phi_5 + \tilde{y}\phi_4)$, сохраняемое на выходах этого блока до следующего четвертого такта.

В последнем, четвертом такте, по сигналам от блока 17 синхронизации на управляющем входе коммутатора 11 подключается к его выходу третий информационный вход, а по сигналам на управляющих входах коммутаторов 12 и 14 к выходам подключаются их первые информационные входы. В результате сохраняемое от третьего такта значение $\tilde{y}(\phi_5 + \tilde{y}\phi_4)$ с выхода второго блока умножения передается через коммутатор 11 на первый вход первого сумматора 6, складываясь на нем с содержанием первого буферного регистра 15 и образуя согласно выражению (1) искомое значение функции $F(x,y)$, которое запоминается на регистре 8 результата.



Фиг. 1



Фиг. 2

Составитель А.Зорин
Редактор М.Дылын Техред О.Неце Корректор А.Зимокосов

Заказ 7164/46 Тираж 709 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная,4