



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е
ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 04.04.79 (21) 2745594/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.10.80. Бюллетень № 39

Дата опубликования описания 25.10.80

(11) 773724

(51) М. Кл.³

G 11 C 11/00

(53) УДК 681.327

(088.8)

(72) Авторы
изобретения

А. Н. Мельник, И. В. Бурковский,
Я. М. Будовский и Г. Ф. Карпишпан

(71) Заявитель

(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО СО СЧИТЫВАНИЕМ
БЕЗ РАЗРУШЕНИЯ ИНФОРМАЦИИ

1

Изобретение относится к запоминающим устройствам.

Известно устройство, содержащее блок управления, n запоминающих блоков с входными коммутационными элементами, адресные и разрядные формирователи токов записи с выходными коммутационными элементами, которые подключены к входным коммутационным элементам одного из запоминающих блоков, и дешифратор запоминающих блоков [1].

Недостатком этого запоминающего устройства является ограничение функциональных возможностей и невысокое быстродействие из-за отсутствия режима автоматической перезаписи информации из одного массива адресов в другой.

Наиболее близким по технической сущности к предлагаемому изобретению является запоминающее устройство без разрушения информации, содержащее регистр адреса, связанный с первыми, а через формирователи адресных токов записи и первый коммутатор - со вторыми входами n запоминающих блоков, третьи входы которых подключены через дешифратор базового адреса к первым выходам регистра

2

базового адреса, а четвертые входы через второй коммутатор и формирователи разрядных токов записи - к выходам регистра числа, выходы которого соединены с выходами запоминающих блоков, блок управления, первый вход которого связан с регистром установки массива адресов, второй - с первым выходом блока задания режимов, а выход - с регистром базового адреса [2].

Недостатком этого запоминающего устройства является невысокое быстродействие из-за отсутствия режима автоматической перезаписи информации из одного массива адресов в другой.

Цель изобретения - повышение быстродействия устройства за счет введения режима автоматической перезаписи информации из одного массива адресов в другой.

Поставленная цель достигается тем, что в запоминающее устройство со считыванием без разрушения информации, содержащее накопители, блок управления, формирователь адресных токов записи, формирователь разрядных токов записи, два коммутатора, регистр адреса, регистр базового адреса,

5

10

15

20

25

30

дешифратор, регистр считывания, регистр записи, блок местного управления и регистр числа, причем первые и вторые входы накопителей соединены соответственно с первым входом формирователя адресных токов записи и выходом регистра адреса и с выходами первого коммутатора, третьи и четвертые входы накопителей подключены соответственно к выходам дешифратора и к выходам второго коммутатора, вход первого коммутатора соединен с выходом формирователя адресных токов записи, второй вход которого подключен к пятым входам накопителей, первому выходу блока управления и первому входу формирователя разрядных токов записи, второй вход которого соединен с выходом регистра числа, а выход - со входом второго коммутатора, выходы накопителей подключены ко входу регистра числа, первый вход блока управления соединен с первым выходом блока местного управления, а второй выход - со входом регистра адреса и первым входом регистра базового адреса, выход которого подключен ко входу дешифратора, введены третий коммутатор и блок переключения режимов, первый, второй и третий выходы которого соединены соответственно со вторым, третьим и четвертыми выходами блока местного управления, а первый, второй и третий выходы блока переключения режимов подключены соответственно ко второму, третьему и четвертому входам блока управления, первый и второй входы третьего коммутатора соединены соответственно с третьим и четвертым входами блока управления, третий и четвертый входы - соответственно с выходом регистра считывания и с выходом регистра записи, выход третьего коммутатора подключен ко второму входу регистра базового адреса.

При этом блок переключения режимов целесообразно выполнить содержащим триггер, генератор импульсов, четыре элемента И, элемент НЕ и два элемента ИЛИ, причем выход генератора импульсов соединен со счетным входом триггера, нулевой и единичный выходы которого подключены соответственно к первым входам первого и второго элементов И, первый вход третьего элемента И, первый вход четвертого элемента И, вторые входы первого и второго элементов И и вход элемента НЕ соединены соответственно с первым, вторым и третьим входами блока переключения режимов, выход элемента НЕ подключен ко вторым входам третьего и четвертого элементов И, выходы первого и третьего элементов И соединены соответственно с первым и

вторым входами первого элемента ИЛИ выходы второго и четвертого элементов И, подключены соответственно к первому и второму входам второго элемента ИЛИ, выходы генератора импульсов, первого и второго элементов ИЛИ соединены соответственно с первым, вторым и третьим выходами блока переключения режимов.

Третий коммутатор целесообразно выполнить содержащим пятый и шестой элементы И и третий элемент ИЛИ, причем выходы пятого, шестого элементов И подключены соответственно к первому и второму входам третьего элемента ИЛИ, выход которого соединен с выходом третьего коммутатора, первый и второй входы пятого элемента И подключены соответственно к первому и третьему входам, а первый и второй входы шестого элемента И - ко второму и четвертому входам третьего коммутатора.

На чертеже изображена принципиальная схема предложенного устройства.

Устройство содержит накопители $1_1 - 1_n$, блок 2 управления, формирователь 3 адресных токов, формирователь 4 разрядных токов записи, первый 5 и второй 6 коммутаторы, регистр 7 адреса, регистр 8 базового адреса, дешифратор 9, регистр 10 считывания, регистр 11 записи, блок 12 переключения режимов, блок 13 местного управления, третий коммутатор 14 и регистр 15 числа. Первые и вторые входы накопителей $1_1 - 1_n$ соединены соответственно с первым входом формирователя 3 адресных токов записи и выходом регистра 7 адреса и с выходами первого коммутатора 5. Третьи и четвертые входы накопителей $1_1 - 1_n$ подключены соответственно к выходам дешифратора 9 и к выходам второго коммутатора 6. Вход первого коммутатора 5 соединен с выходом формирователя 3 адресных токов записи, второй вход которого подключен к пятым входам накопителей $1_1 - 1_n$, первому выходу блока 2 управления и первому входу формирователя 4 разрядных токов записи, второй вход которого соединен с выходом регистра 15 числа, а выход - со входом второго коммутатора 6. Выходы накопителей $1_1 - 1_n$ подключены ко входу регистра 15 числа. Первый вход блока 2 управления соединен с первым выходом блока 13 местного управления, а второй выход - со входом регистра 7 адреса и первыми входами регистра 8 базового адреса, выход которого подключен ко входу дешифратора 9. Первый, второй и третий входы блока 12 переключения режимов соединены соответственно со вторым третьим и четвертым выходами блока 13 местного управления. Первый,

второй и третий выходы блока 12 переключения режимов подключены соответственно ко второму, третьему и четвертому входам блока 2 управления. Первый и второй входы третьего коммутатора 14 соединены соответственно с третьим и четвертым входами блока управления, третий и четвертый входы - соответственно с выходом регистра, 10 считывания и с выходом регистра 11 записи. Выход третьего коммутатора 14 подключен ко второму входу регистра базового адреса 8.

Блок 12 переключения режимов содержит триггер 16, генератор импульсов 17, первый 18 и второй 19 элементы И, элементы НЕ 20, первый 21 и второй 22 элементы ИЛИ, третий 23 и четвертый 24 элементы И. Выход генератора 17 импульсов соединен со счетным входом триггера 16, нулевой и единичный выходы которого подключены соответственно к первым входам первого 18 и второго 19 элементов И. Первый вход третьего элемента И 23, первый вход четвертого элемента И 24, вторые входы первого 18 и второго 19 элементов И и выход элемента НЕ 20 соединены соответственно с первым, вторым и третьим выходами блока 12 переключения режимов. Выход элемента НЕ подключен ко вторым входам третьего 23 и четвертого 24 элементов И. Выходы первого 18 и третьего 23 элементов И соединены соответственно с первым и вторым входами первого элемента ИЛИ 21. Выходы второго 19 и четвертого 24 элементов И подключены соответственно к первому и второму входам второго элемента ИЛИ 22. Выходы генератора импульсов 17, первого 21 и второго 22 элементов ИЛИ соединены соответственно с первым, вторым и третьим выходами блока переключения режимов 12. Коммутатор 14 содержит пятый 25 и шестой 26 элементы И и третий 27 элемент ИЛИ. Выходы пятого 25 и шестого 26 элементов И подключены соответственно к первому и второму входам третьего элемента ИЛИ 27, выход которого соединен с выходом третьего коммутатора 14. Первый и второй входы пятого элемента И 25 подключены соответственно к первому и третьему входам, а первый и второй входы шестого элемента И 26 - ко второму и четвертому входам третьего коммутатора 14.

Устройство работает следующим образом.

Если блоком 13 местного управления установлен режим перезаписи, то с его второго выхода поступает потенциал разрешения в блок переключения режимов на вторые входы первого 18 и второго 19 элементов И и на вход элемента НЕ 20, с выхода которого поступает потенциал запрещения на вторые входы третьего 23 и четвертого 24 элементов И.

Под воздействием импульсов, поступающих с выхода генератора 17 импульсов на счетный вход триггера 16, последний попеременно изменяет свое состояние. Изменяющиеся состояния счетного триггера 16 поступают на первые входы открытых элементов И 18 и 19. В результате в соответствии с состоянием триггера 16 через элементы ИЛИ 21 и 22 на четвертый и третий входы блока 2 управления поступают потенциалы, определяющие режим работы запоминающего устройства, т.е. режим считывания или записи. Эти же потенциалы поступают на первый и второй входы третьего коммутатора 14. Таким образом, осуществляется автоматическое переключение режима работы запоминающего устройства.

Потенциал, определяющий режим считывания, поступает с выхода элемента ИЛИ 21 на первый вход пятого элемента И 25, а потенциал, определяющий режим записи, поступает с выхода элемента ИЛИ 22 на первый вход второго элемента И 26. Таким образом, в зависимости от режима работы открывается элемент И 25 или элемент И 26. В результате через элемент ИЛИ 27 на второй вход регистра базового адреса 8 поступает код одного из накопителей $1_1 - 1_n$, установленный заранее на регистре 10 считывания и регистре 11 записи, и происходит поочередная выборка того из накопителей $1_1 - 1_n$ из которого необходимо считать информацию, того из накопителей $1_1 - 1_n$ в который эту информацию надо записать.

Считанная из выбранного накопителя $1_1 - 1_n$ информация поступает на регистр 15 числа. После автоматического переключения с режима считывания на режим записи и выборки накопителя $1_1 - 1_n$, в который необходимо записать считанную информацию, по сигналам, поступающим со второго выхода блока 2 управления в соответствии с кодом числа, крайнимся в регистре 15 числа, сбрасывают формирователи разрядных токов записи 4, выходы которых соединены через разрядный коммутатор 6 с четвертыми входами того из накопителей $1_1 - 1_n$, в котором необходимо записать информацию, и происходит запись этого числа в выбранный накопитель. Текущий адрес накопителей $1_1 - 1_n$ выработывается автоматически в регистре базового адреса 8 по сигналам, поступающим на его вход со второго выхода блока управления.

При этом регистр 7 блока работает в счетном режиме.

Если в блоке 13 местного управления установлен режим "Считывание" или "Запись", то с его второго или третьего выходов соответственно поступает потенциал, определяющий ре-

жим, на первые входы третьего и четвертого элементов И 23 и 24, а с четвертого выхода блока 13 местного управления поступает потенциал запрещения на вторые входы первого и второго элементов И 18 и 19 и через элемент НЕ 20 - потенциал разрешения на вторые входы третьего и четвертого элементов И 23 и 24. В результате на втором и третьем выходах блока 12 переключения режимов образуются потенциалы, определяющие режим работы в соответствии с установленным в блоке 13 местного управления.

Технико-экономическое преимущество предложенного устройства заключается в том, что оно обеспечивает автоматическое переключение режимов работы устройства совместно с коммутацией базового адреса и установкой массива записи, что позволяет с большой скоростью и достоверностью перезаписывать информацию из одного накопителя в другой и, в результате, повысить быстродействие запоминающего устройства со считыванием без разрушения информации. Применение предложенного устройства для отладки программ в цифровых вычислительных системах управления позволяет сократить время отладочных работ.

Формула изобретения

1. Запоминающее устройство со считыванием без разрушения информации, содержащее накопителя, блок управления, формирователь адресных токов записи, формирователь разрядных токов записи, два коммутатора, регистр адреса, регистр базового адреса, дешифратор, регистр считывания, регистр записи, блок местного управления и регистр числа, причем первые и вторые входы накопителей соединены соответственно с первым входом формирователя адресных токов записи и с выходом регистра адреса и с выходами первого коммутатора, третьи и четвертые входы накопителей подключены соответственно к выходам дешифраторов и к выходам второго коммутатора, вход первого коммутатора соединен с выходом формирователя адресных токов записи, первому выходу блока управления и первому входу формирователя разрядных токов записи, второй вход которого соединен с выходом регистра числа, а выход - со входом второго коммутатора, выходы накопителей подключены ко входу регистра числа, первый вход блока управления соединен с первым выходом блока местного управления, а второй выход - со входом регистра адреса и первым входом регистра базового адреса, выход которого подключен ко входу дешифратора, о т л и ч а ю щ е е с я тем, что, с

целью повышения быстродействия устройства, оно содержит третий коммутатор и блок переключения режимов, первый, второй и третий входы которого соединены, соответственно, со вторым, третьим и четвертым выходами блока местного управления, а первый, второй и третий выходы блока переключения режимов подключены соответственно ко второму, третьему и четвертому входам блока управления, первый и второй входы третьего коммутатора соединены соответственно с третьим и четвертым входами блока управления, третий и четвертый входы - соответственно с выходом регистра считывания и с выходом регистра записи, выход третьего коммутатора подключен ко второму входу регистра базового адреса.

2. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок переключения режимов содержит триггер, генератор импульсов, четыре элемента И, элемент НЕ и два элемента ИЛИ, причем выход генератора импульсов соединен со счетным входом триггера, нулевой и единичные выходы которого подключены соответственно к первым входам первого и второго элементов И, первый вход третьего элемента И, первый вход четвертого элемента И, вторые входы первого и второго элементов И и вход элемента НЕ соединены соответственно с первым, со вторым и с третьим входами блока переключения режимов, выход элемента НЕ подключен ко вторым входам третьего и четвертого элементов И, выходы первого и третьего элементов И соединены соответственно с первым и вторым входами первого элемента ИЛИ, выходы второго и четвертого элементов И подключены соответственно к первому и второму входам второго элемента ИЛИ, выходы генератора импульсов, первого и второго элементов ИЛИ соединены соответственно с первым, вторым и третьим выходами блока переключения режимов.

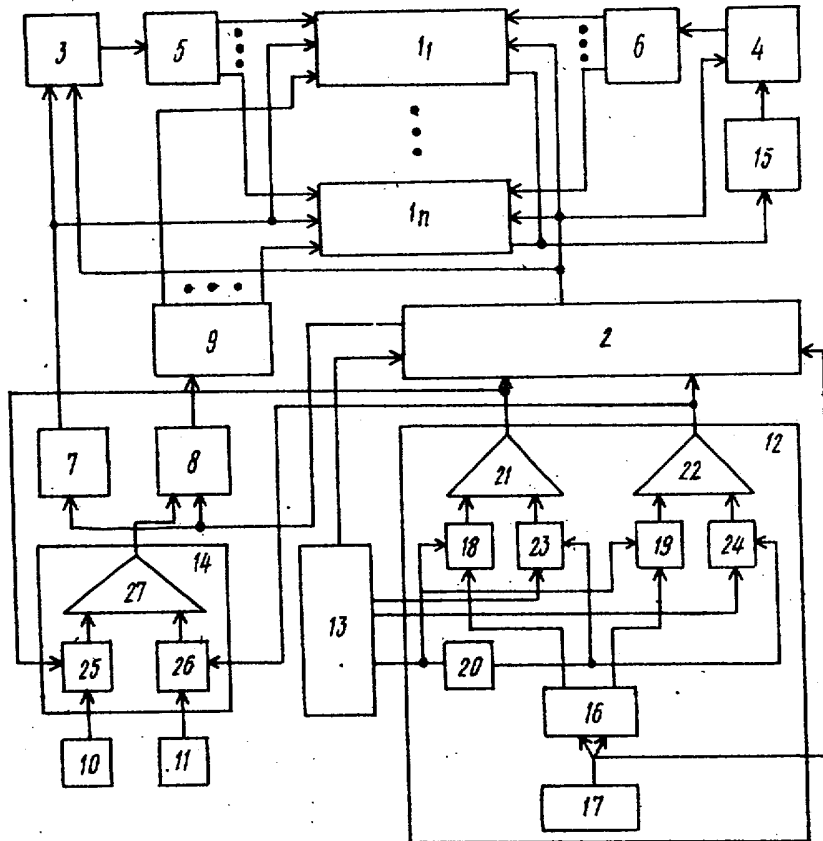
3. Устройство по пп.1 и 2, о т л и ч а ю щ е е с я тем, что третий коммутатор содержит пятый и шестой элементы И и третий элемент ИЛИ, причем выходы пятого и шестого элементов И подключены соответственно к первому и второму входам третьего элемента ИЛИ, выход которого соединен с выходом третьего коммутатора, первый и второй входы пятого элемента И подключены соответственно к первому и третьему входам, а первый и второй входы шестого элемента И - ко второму и четвертому входам третьего коммутатора.

Источники информации,

принятые во внимание при экспертизе
1. Климов И.И. и др. Полупостоянное заполняющее устройство на торoidalных магнитных сердечниках с

диаметральными отверстиями. - "Вопросы радиоэлектроники", сер.ЭВТ,1970, вып.56, с. 143-161.

2. Авторское свидетельство СССР по заявке № 2610769, кл. 2 G 11 C 17/02 1978 (прототип).



Составитель Т.Зайцева
 Редактор Г.Волкова Техред Н.Барадулина Корректор О.Билак

Заказ 7516/68 Тираж 662 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4