



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I864508 B

(45)公告日：中華民國 113 (2024) 年 12 月 01 日

(21)申請案號：111145792

(22)申請日：中華民國 111 (2022) 年 11 月 30 日

(51)Int. Cl. : H03M13/19 (2006.01)

H04L1/00 (2006.01)

(30)優先權：2022/01/05 中國大陸

202210005434.5

2022/01/30 中國大陸

202210114840.5

(71)申請人：大陸商華為技術有限公司(中國大陸) HUAWEI TECHNOLOGIES CO., LTD. (CN)
中國大陸

(72)發明人：何向 HE, XIANG (CN)；王心遠 WANG, XINYUAN (CN)；任浩 REN, HAO (CN)

(74)代理人：陳寧樺；陳軍宇

(56)參考文獻：

TW 201306495A

CN 101610134A

CN 112468259A

US 9467165B2

US 2013/0346823A1

審查人員：陳俊達

申請專利範圍項數：48 項 圖式數：12 共 99 頁

(54)名稱

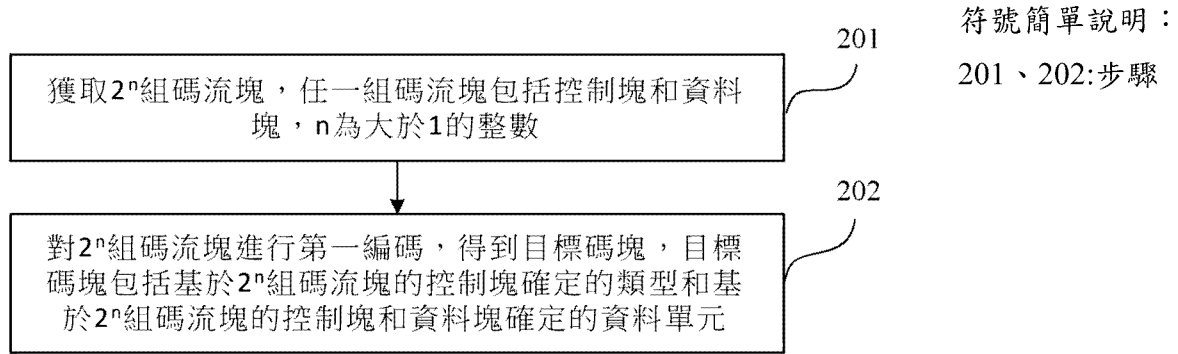
編碼方法、解碼方法、裝置、設備、系統及可讀儲存介質

(57)摘要

本申請公開了一種編碼方法、解碼方法、裝置、設備、系統及可讀儲存介質，屬於通信技術領域。編碼方法包括：獲取包括控制塊和資料塊的 2^n 組碼流塊， n 為大於1的整數；對 2^n 組碼流塊進行第一編碼得到目標碼塊，目標碼塊包括基於 2^n 組碼流塊的控制塊確定的類型和基於 2^n 組碼流塊的控制塊和資料塊確定的資料單元。解碼方法包括：獲取目標碼塊，根據目標碼塊的類型和資料單元對目標碼塊進行第一解碼得到 2^n 組碼流塊，各組碼流塊包括基於類型和資料單元得到的控制塊和資料塊。

This application discloses an encoding method, a decoding method, an apparatus, a device, a system, and a readable storage medium, which belong to the field of communications technologies. The encoding method includes: obtaining 2^n groups of bit stream blocks including a control block and a data block, where n is an integer greater than 1; performing first encoding on 2^n groups of stream blocks to obtain a target code block, where the target code block includes a type determined based on a control block of the 2^n groups of stream blocks and a data unit determined based on a control block and a data block of the 2^n groups of stream blocks. The decoding method includes: obtaining a target code block, and performing first decoding on the target code block according to a type of the target code block and a data unit to obtain 2^n groups of bit stream blocks, where each group of bit stream blocks includes a control block and a data block that are obtained based on the type and the data unit.

指定代表圖：



【圖2】



公告本

I864508

【發明摘要】

【中文發明名稱】編碼方法、解碼方法、裝置、設備、系統及可讀儲存介質

【英文發明名稱】ENCODING METHOD, DECODING METHOD, APPARATUS, DEVICE, SYSTEM, AND READABLE STORAGE MEDIUM

【中文】本申請公開了一種編碼方法、解碼方法、裝置、設備、系統及可讀儲存介質，屬於通信技術領域。編碼方法包括：獲取包括控制塊和資料塊的 2^n 組碼流塊， n 為大於1的整數；對 2^n 組碼流塊進行第一編碼得到目標碼塊，目標碼塊包括基於 2^n 組碼流塊的控制塊確定的類型和基於 2^n 組碼流塊的控制塊和資料塊確定的資料單元。解碼方法包括：獲取目標碼塊，根據目標碼塊的類型和資料單元對目標碼塊進行第一解碼得到 2^n 組碼流塊，各組碼流塊包括基於類型和資料單元得到的控制塊和資料塊。

【英文】This application discloses an encoding method, a decoding method, an apparatus, a device, a system, and a readable storage medium, which belong to the field of communications technologies. The encoding method includes: obtaining 2^n groups of bit stream blocks including a control block and a data block, where n is an integer greater than 1; performing first encoding on 2^n groups of stream blocks to obtain a target code block, where the target code block includes a type determined based on a control block of the 2^n

groups of stream blocks and a data unit determined based on a control block and a data block of the 2^n groups of stream blocks. The decoding method includes: obtaining a target code block, and performing first decoding on the target code block according to a type of the target code block and a data unit to obtain 2^n groups of bit stream blocks, where each group of bit stream blocks includes a control block and a data block that are obtained based on the type and the data unit.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

201、202:步驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】編碼方法、解碼方法、裝置、設備、系統及可讀儲存介質

【英文發明名稱】ENCODING METHOD, DECODING METHOD, APPARATUS, DEVICE, SYSTEM, AND READABLE STORAGE MEDIUM

【技術領域】

【0001】本申請涉及通信技術領域，尤其涉及一種編碼方法、解碼方法、裝置、設備、系統及可讀儲存介質。

【先前技術】

【0002】隨著通信技術的發展，通過乙太網進行訊息傳輸的方式也越來越完善。在傳輸訊息的過程中，來自媒體存取控制（media access control，MAC）層的訊息按照固定長度被切分成塊，並行進入介質無關介面（media independent interface，MII）。例如，訊息被切分成塊後並行進入 800 吉位元（gigabit，G）MII，該 800GMII 表示傳輸 MAC 速率為 800 吉位元/秒（gigabit per second，Gb/s）的 MII。通過 MII 傳輸至物理編碼子層（physical coding sublayer，PCS）。PCS 從 MII 接收到的碼流塊包括資料塊（transmit data，TXD）和控制塊（transmit control，TXC）。其中，TXC 和 TXD 是由來自 MAC 層的訊息流內容經過適配子層（reconciliation sublayer，RS）

處理得到的。TXC 是控制字，用於標識 TXD 中對應位元組的內容是控制信號還是資料信號，其中控制信號包括訊息的開始、終結、錯誤、空閒等資訊。PCS 根據 TXC/TXD 內容進行編碼，減少開銷，同時可以提供必需的同步、保護功能。

【0003】 相關技術中，PCS 對來自 MII 的各組碼流塊進行 64 位元 (bit, B) /66B 編碼，編碼得到 66bit 碼塊，該 66bit 碼塊為資料碼塊或控制碼塊，若為控制碼塊，該 66bit 碼塊包括具備 4bit 漢明距離保護的欄位。當採用高速物理鏈路進行資料傳輸時，將每四個 66bit 碼塊轉碼為一個長度為 257bit 的 256B/257B 編碼的碼塊，對 257bit 碼塊進行前向糾錯 (forward error correction, FEC) 編碼，傳輸 FEC 編碼得到的 FEC 碼字。

【0004】 當存在不可糾正的 FEC 碼字時，由於該 FEC 碼字中誤碼的數量較多且位置不固定，66bit 碼塊中具備漢明距離保護的欄位無法保證誤碼的可靠識別；又由於可以通過 FEC 標錯來實現誤碼的可靠識別，因此誤碼識別無需通過 66bit 碼塊中具備漢明距離保護的欄位實現。在此基礎上，又由於 PCS 中絕大多數處理是基於 257bit 碼塊進行的，因此 64B/66B 編碼過程不再必要。若保留 64B/66B 編碼過程，隨之而來的轉碼過程將帶來不必要的時延、功耗和晶片面積佔用。

【發明內容】

【0005】 本申請提出一種編碼方法、解碼方法、裝置、設備、系

統及可讀儲存介質，用於提高編解碼效率。

【0006】 第一方面，提供了一種編碼方法，所述方法包括：獲取 2^n 組碼流塊，任一組碼流塊包括控制塊和資料塊，所述 n 為大於1的整數；對所述 2^n 組碼流塊進行第一編碼，得到目標碼塊，所述目標碼塊包括基於所述 2^n 組碼流塊的控制塊確定的類型和基於所述 2^n 組碼流塊的控制塊和資料塊確定的資料單元。

【0007】 由於對包括控制塊和資料塊的 2^n 組碼流塊進行第一編碼能夠得到目標碼塊，而不必對 2^n 組碼流塊中的每組碼流塊進行64B/66B編碼得到 2^n 個66位元碼塊，再對 2^n 個66位元碼塊進行轉碼得到目標碼塊，編碼效率得以提高，編碼過程所帶來的時延、功耗和晶片面積佔用都得以降低。

【0008】 在一種可能的實現方式中，所述類型用於指示所述目標碼塊為資料碼塊；所述資料單元基於所述 2^n 組碼流塊的順序對所述 2^n 組碼流塊的資料塊進行所述第一編碼得到。

【0009】 在一種可能的實現方式中，所述類型用於指示所述目標碼塊為控制碼塊；所述資料單元包括類型指示和碼塊內容，所述碼塊內容基於所述 2^n 組碼流塊的控制塊和資料塊確定的順序對所述 2^n 組碼流塊的資料塊進行所述第一編碼得到，所述類型指示基於所述 2^n 組碼流塊的控制塊得到，所述類型指示用於指示各組碼流塊的類型。

【0010】 在一種可能的實現方式中，所述目標碼塊為錯誤碼塊，所述錯誤碼塊中包括用於標識錯誤的資料。由於本申請的編碼方

法能夠對不同類型的碼流塊進行第一編碼以得到目標碼塊，該方法的適用性較廣。

【0011】 在一種可能的實現方式中，所述目標碼塊基於錯誤檢測結果對所述 2^n 組碼流塊進行處理得到，所述錯誤檢測結果基於所述 2^n 組碼流塊的控制塊和資料塊得到。通過對存在錯誤的碼流塊進行處理，再得到目標碼塊，使得後續進行資料傳輸時存在錯誤的資料能夠與正確的資料區分開來，保證資料的可靠性。

【0012】 在一種可能的實現方式中，所述錯誤檢測結果包括所述 2^n 組碼流塊的內容順序錯誤或內容錯誤，所述目標碼塊基於所述 2^n 組碼流塊中內容順序正確且內容正確的碼流塊以及錯誤塊進行所述第一編碼得到，所述錯誤塊基於所述 2^n 組碼流塊中內容順序錯誤或內容錯誤的碼流塊得到。

【0013】 在一種可能的實現方式中，所述控制塊包括 m 位元，所述資料塊包括 $8m$ 位元，所述 m 為正整數。

【0014】 在一種可能的實現方式中，所述 n 的取值為 2，所述 m 的取值為 8，所述目標碼塊為 257 位元。

【0015】 在一種可能的實現方式中，所述 2^n 組碼流塊均來自介質無關介面 MII。

【0016】 在一種可能的實現方式中，所述得到目標碼塊之後，還包括：按照 FEC 碼型對所述目標碼塊進行第二編碼，得到第一資料；發送所述第一資料。通過按照 FEC 碼型對目標碼塊進行第二編碼得到第一資料，使得接收端能夠對接收的第一資料進行糾

錯，保證資料傳輸的準確性。

【0017】 第二方面，提供了一種解碼方法，所述方法包括：獲取目標碼塊，所述目標碼塊包括類型和資料單元；根據所述目標碼塊的類型和資料單元，對所述目標碼塊進行第一解碼，得到 2^n 組碼流塊，任一組碼流塊包括基於所述類型和所述資料單元得到的控制塊和資料塊，所述 n 為大於 1 的整數。

【0018】 由於對目標碼塊進行第一解碼能夠得到包括控制塊和資料塊的 2^n 組碼流塊，而不必對目標碼塊進行轉碼得到 2^n 個 66 位元碼塊，再對 2^n 個 66 位元碼塊進行解碼得到 2^n 組碼流塊，解碼效率得以提高，解碼過程所帶來的時延、功耗和晶片面積佔用都得以降低。

【0019】 在一種可能的實現方式中，所述類型用於指示所述目標碼塊為資料碼塊；所述 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於對所述資料單元中與所述第 i 組碼流塊對應的 $8m$ 長度的內容進行所述第一解碼得到的，所述 m 為正整數，所述 i 為大於等於 1 且小於等於 2^n 的整數或者所述 i 為大於等於 0 且小於等於 $2^n - 1$ 的整數。

【0020】 在一種可能的實現方式中，所述類型用於指示所述目標碼塊為控制碼塊，所述資料單元包括類型指示和碼塊內容，所述類型指示包括 2^n 個位元，所述 2^n 個位元中的 1 個位元用於指示所述 2^n 組碼流塊中與所述位元對應的一組碼流塊的類型，所述碼塊內容包括 2^n 個位元組；

【0021】 所述 2^n 組碼流塊中的第 i 組碼流塊包括的控制塊是基於所述類型、所述類型指示中與所述第 i 組碼流塊對應的位元和所述碼塊內容中與所述第 i 組碼流塊對應的位元組得到的，所述 i 為大於等於 1 且小於等於 2^n 的整數或者所述 i 為大於等於 0 且小於等於 $2^n - 1$ 的整數；

【0022】 所述 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於所述類型指示中與所述第 i 組碼流塊對應的位元對所述碼塊內容中與所述第 i 組碼流塊對應的位元組進行所述第一解碼得到的。

【0023】 在一種可能的實現方式中，所述 2^n 個位元組包括第一位元組和 $2^n - 1$ 個第二位元組，所述第一位元組包括的位元數量和所述第二位元組包括的位元數量不相同。

【0024】 在一種可能的實現方式中，所述資料單元包括類型指示，所述類型和所述類型指示用於指示所述目標碼塊為錯誤碼塊；所述 2^n 組碼流塊中每組碼流塊包括的控制塊為第一值，所述 2^n 組碼流塊中每組碼流塊包括的資料塊為第二值，所述第一值和所述第二值用於指示所述碼流塊為錯誤碼流塊。

【0025】 由於本申請的解碼方法能夠對不同類型的目標碼塊進行第一解碼以得到 2^n 組碼流塊，該方法的適用性較廣。

【0026】 在一種可能的實現方式中，所述獲取目標碼塊，包括：接收第二資料，所述第二資料是基於採用前向糾錯 FEC 碼型編碼的第一資料獲得的；對所述第二資料進行第二解碼獲取所述目標碼塊，所述第二解碼為糾錯處理。

【0027】 在一種可能的實現方式中，所述目標碼塊是對所述第二資料進行糾錯但未成功糾錯所獲得的錯誤碼塊。由於目標碼塊是對第二資料進行糾錯但未能成功糾錯，進而對 FEC 碼字中的碼塊進行標錯後所獲得的碼塊，接收端能夠確定基於目標碼塊得到的資料為錯誤資料，保證資料的準確性。

【0028】 在一種可能的實現方式中，所述獲取目標碼塊，包括：接收第二資料，所述第二資料是基於採用前向糾錯 FEC 碼型編碼的第一資料獲得的；對所述第二資料進行第二解碼獲取所述目標碼塊，所述第二解碼為檢錯但不糾錯處理。

【0029】 在一種可能的實現方式中，所述目標碼塊是從所述第二資料檢出錯誤但不糾錯所獲得的錯誤碼塊。

【0030】 針對本申請提供的解碼方法，第二解碼操作可以是對碼字進行糾錯，或者僅檢錯但不糾錯。在第二解碼過程中對碼字進行糾錯的情況下，當判定無法對當前碼字進行糾錯時（例如錯誤個數超出糾錯能力），需要對該碼字中所有的碼塊進行標錯；或者當在第二解碼過程中對碼字只進行檢錯但不糾錯的情況下，對於檢出錯誤的碼字，需要對該碼字中所有的碼塊進行標錯。

【0031】 在一種可能的實現方式中，所述 2^n 組碼流塊根據錯誤檢測結果以及所述目標碼塊的類型和資料單元對所述目標碼塊進行第一解碼得到，所述錯誤檢測結果基於所述目標碼塊的類型和資料單元得到。通過對存在錯誤的目標碼塊進行處理，使得接收端能夠區分錯誤資料和正確資料，保證資料的可靠性。

【0032】 在一種可能的實現方式中，所述錯誤檢測結果包括所述目標碼塊的內容順序錯誤或內容錯誤，所述 2^n 組碼流塊根據第二碼塊的類型和資料單元對所述第二碼塊進行第一解碼得到，所述第二碼塊是對所述目標碼塊進行轉換得到的且與所述目標碼塊位元數相同的碼塊。

【0033】 在一種可能的實現方式中，所述錯誤檢測結果包括所述目標碼塊的內容順序錯誤或內容錯誤，所述 2^n 組碼流塊基於對 2^n 組第一碼流塊進行轉換得到，所述 2^n 組第一碼流塊基於所述目標碼塊的類型和資料單元對所述目標碼塊進行第一解碼得到。

【0034】 在一種可能的實現方式中，所述控制塊包括 m 位元，所述資料塊包括 $8m$ 位元，所述 m 為正整數。

【0035】 在一種可能的實現方式中，所述 n 的取值為 2，所述 m 的取值為 8，所述目標碼塊為 257 位元。

【0036】 在一種可能的實現方式中，所述 2^n 組碼流塊均為介質無關介面 MII 格式。

【0037】 第三方面，提供了一種編碼裝置，所述裝置包括：

【0038】 獲取模組，用於獲取 2^n 組碼流塊，任一組碼流塊包括控制塊和資料塊，所述 n 為大於 1 的整數；

【0039】 第一編碼模組，用於對所述 2^n 組碼流塊進行第一編碼，得到目標碼塊，所述目標碼塊包括基於所述 2^n 組碼流塊的控制塊確定的類型和基於所述 2^n 組碼流塊的控制塊和資料塊確定的資料單元。

【0040】 在一種可能的實現方式中，所述類型用於指示所述目標碼塊為資料碼塊；所述資料單元基於所述 2^n 組碼流塊的控制塊和資料塊確定的順序對所述 2^n 組碼流塊的資料塊進行所述第一編碼得到。

【0041】 在一種可能的實現方式中，所述類型用於指示所述目標碼塊為控制碼塊；所述資料單元包括類型指示和碼塊內容，所述碼塊內容基於所述 2^n 組碼流塊的控制塊和資料塊確定的順序對所述 2^n 組碼流塊的資料塊進行所述第一編碼得到，所述類型指示基於所述 2^n 組碼流塊的控制塊得到，所述類型指示用於指示各組碼流塊的類型。

【0042】 在一種可能的實現方式中，所述目標碼塊為錯誤碼塊，所述錯誤碼塊中包括用於標識錯誤的資料。

【0043】 在一種可能的實現方式中，所述目標碼塊基於錯誤檢測結果對所述 2^n 組碼流塊進行處理得到，所述錯誤檢測結果基於所述 2^n 組碼流塊的控制塊和資料塊得到。

【0044】 在一種可能的實現方式中，所述錯誤檢測結果包括所述 2^n 組碼流塊的內容順序錯誤或內容錯誤，所述目標碼塊基於所述 2^n 組碼流塊中內容順序正確且內容正確的碼流塊以及錯誤塊進行所述第一編碼得到，所述錯誤塊基於所述 2^n 組碼流塊中內容順序錯誤或內容錯誤的碼流塊得到。

【0045】 在一種可能的實現方式中，所述控制塊包括 m 位元，所述資料塊包括 $8m$ 位元，所述 m 為正整數。

【0046】 在一種可能的實現方式中，所述 n 的取值為 2，所述 m 的取值為 8，所述目標碼塊為 257 位元。

【0047】 在一種可能的實現方式中，所述 2^n 組碼流塊均來自介質無關介面 MII。

【0048】 在一種可能的實現方式中，該裝置還包括：

【0049】 第二編碼模組，用於按照前向糾錯 FEC 碼型對所述目標碼塊進行第二編碼，得到第一資料；發送模組，用於發送所述第一資料。

【0050】 第四方面，提供了一種解碼裝置，所述裝置包括：

【0051】 獲取模組，用於獲取目標碼塊，所述目標碼塊包括類型和資料單元；

【0052】 解碼模組，用於根據所述目標碼塊的類型和資料單元，對所述目標碼塊進行第一解碼，得到 2^n 組碼流塊，任一組碼流塊包括基於所述類型和所述資料單元得到的控制塊和資料塊，所述 n 為大於 1 的整數。

【0053】 在一種可能的實現方式中，所述類型用於指示所述目標碼塊為資料碼塊；所述 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於對所述資料單元中與所述第 i 組碼流塊對應的 $8m$ 長度的內容進行所述第一解碼得到的，所述 m 為正整數，所述 i 為大於等於 1 且小於等於 2^n 的整數或者所述 i 為大於等於 0 且小於等於 $2^n - 1$ 的整數。

【0054】 在一種可能的實現方式中，所述類型用於指示所述目標

碼塊為控制碼塊；所述資料單元包括類型指示和碼塊內容，所述類型指示包括 2^n 個位元，所述 2^n 個位元中的 1 個位元用於指示所述 2^n 組碼流塊中與所述位元對應的一組碼流塊的類型，所述碼塊內容包括 2^n 個位元組；所述 2^n 組碼流塊中的第 i 組碼流塊包括的控制塊是基於所述類型、所述類型指示中與所述第 i 組碼流塊對應的位元和所述碼塊內容中與所述第 i 組碼流塊對應的位元組得到的，所述 i 為大於等於 1 且小於等於 2^n 的整數或者所述 i 為大於等於 0 且小於等於 $2^n - 1$ 的整數；所述 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於所述類型指示中與所述第 i 組碼流塊對應的位元對所述碼塊內容中與所述第 i 組碼流塊對應的位元組進行所述第一解碼得到的。

【0055】 在一種可能的實現方式中，所述 2^n 個位元組包括第一位元組和 $2^n - 1$ 個第二位元組，所述第一位元組包括的位元數量和所述第二位元組包括的位元數量不相同。

【0056】 在一種可能的實現方式中，所述資料單元包括類型指示，所述類型和所述類型指示用於指示所述目標碼塊為錯誤碼塊；所述 2^n 組碼流塊中每組碼流塊包括的控制塊為第一值，所述 2^n 組碼流塊中每組碼流塊包括的資料塊為第二值，所述第一值和所述第二值用於指示所述碼流塊為錯誤碼流塊。

【0057】 在一種可能的實現方式中，所述獲取模組，用於接收第二資料，所述第二資料是基於採用前向糾錯 FEC 碼型編碼的第一資料獲得的；對所述第二資料進行第二解碼獲取所述目標碼塊，

所述第二解碼為糾錯處理。

【0058】 在一種可能的實現方式中，所述目標碼塊是對所述第二資料進行糾錯但未成功糾錯所獲得的碼塊。

【0059】 在一種可能的實現方式中，所述獲取模組，用於接收第二資料，所述第二資料是基於採用前向糾錯 FEC 碼型編碼的第一資料獲得的；對所述第二資料進行第二解碼獲取所述目標碼塊，所述第二解碼為檢錯但不糾錯處理。

【0060】 在一種可能的實現方式中，所述目標碼塊是從所述第二資料檢出錯誤但不糾錯所獲得的錯誤碼塊。

【0061】 在一種可能的實現方式中，所述 2^n 組碼流塊根據錯誤檢測結果以及所述目標碼塊的類型和資料單元對所述目標碼塊進行所述第一解碼得到，所述錯誤檢測結果基於所述目標碼塊的類型和資料單元得到。

【0062】 在一種可能的實現方式中，所述錯誤檢測結果包括所述目標碼塊的內容順序錯誤或內容錯誤，所述 2^n 組碼流塊根據第二碼塊的類型和資料單元對所述第二碼塊進行所述第一解碼得到，所述第二碼塊是對所述目標碼塊進行轉換得到的且與所述目標碼塊位元數相同的碼塊。

【0063】 在一種可能的實現方式中，所述錯誤檢測結果包括所述目標碼塊的內容順序錯誤或內容錯誤，所述 2^n 組碼流塊基於對 2^n 組第一碼流塊進行轉換得到，所述 2^n 組第一碼流塊基於所述目標碼塊的類型和資料單元對所述目標碼塊進行所述第一解碼得到。

【0064】 在一種可能的實現方式中，所述控制塊包括 m 位元，所述資料塊包括 $8m$ 位元，所述 m 為正整數。

【0065】 在一種可能的實現方式中，所述 n 的取值為 2，所述 m 的取值為 8，所述目標碼塊為 257 位元。

【0066】 在一種可能的實現方式中，所述 2^n 組碼流塊均為介質無關介面 MII 格式。

【0067】 第五方面，提供了一種網路設備，包括處理器，處理器與記憶體耦合，記憶體中儲存有至少一條程式指令或代碼，至少一條程式指令或代碼由處理器載入並執行，以使網路設備實現第一方面中任一的編碼方法，或者實現第二方面中任一的解碼方法。

【0068】 第六方面，提供了一種電腦可讀儲存介質，儲存介質中儲存有至少一條程式指令或代碼，程式指令或代碼由處理器載入並執行時以使電腦實現第一方面中任一的編碼方法，或者實現第二方面中任一的解碼方法。

【0069】 第七方面，提供了一種通信系統，所述系統包括第一網路設備和第二網路設備，所述第一網路設備用於執行第一方面中任一的編碼方法，所述第二網路設備用於執行第二方面中任一的解碼方法。

【0070】 第八方面，提供了另一種通信裝置，該裝置包括：收發器、記憶體和處理器。其中，該收發器、該記憶體和該處理器通過內部連接通路互相通信，該記憶體用於儲存指令，該處理器用於執行該記憶體儲存的指令，以控制收發器接收信號，並控制收

發器發送信號，並且當該處理器執行該記憶體儲存的指令時，使得該處理器執行第一方面中任一編碼方法，或者執行第二方面中任一解碼方法。

【0071】 示例性地，所述處理器為一個或多個，所述記憶體為一個或多個。

【0072】 示例性地，所述記憶體可以與所述處理器集成在一起，或者所述記憶體與處理器分離設置。

【0073】 在具體實現過程中，記憶體可以為非暫態性（non-transitory）記憶體，例如唯讀記憶體（read only memory，ROM），其可以與處理器集成在同一塊晶片上，也可以分別設置在不同的晶片上，本申請對記憶體的類型以及記憶體與處理器的設置方式不做限定。

【0074】 第九方面，提供了一種電腦程式產品，所述電腦程式產品包括：電腦程式代碼，當所述電腦程式代碼被電腦運行時，使得所述電腦執行第一方面中任一編碼方法，或者執行第二方面中任一解碼方法。

【0075】 第十方面，提供了一種晶片，包括處理器，用於從記憶體中調用並運行所述記憶體中儲存的指令，使得安裝有所述晶片的通信設備執行第一方面中任一編碼方法，或者執行第二方面中任一解碼方法。

【0076】 第十一方面，提供另一種晶片，包括：輸入介面、輸出介面、處理器和記憶體，所述輸入介面、輸出介面、所述處理器

以及所述記憶體之間通過內部連接通路相連，所述處理器用於執行所述記憶體中的代碼，當所述代碼被執行時，所述處理器用於執行第一方面中任一的編碼方法，或者執行第二方面中任一的解碼方法。

【圖式簡單說明】

【0077】

圖 1 是本申請實施例提供的一種編碼方法和解碼方法的實施環境示意圖；

圖 2 是本申請實施例提供的一種編碼方法的流程圖；

圖 3 是本申請實施例提供的一種得到目標碼塊的過程示意圖；

圖 4 是本申請實施例提供的一種目標碼塊的結構示意圖；

圖 5 是本申請實施例提供的另一種目標碼塊的結構示意圖；

圖 6 是本申請實施例提供的另一種目標碼塊的結構示意圖；

圖 7 是本申請實施例提供的一種解碼方法的流程圖；

圖 8 是本申請實施例提供的一種編碼裝置的結構示意圖；

圖 9 是本申請實施例提供的一種解碼裝置的結構示意圖；

圖 10 是本申請實施例提供的一種網路設備的結構示意圖；

圖 11 是本申請實施例提供的另一種網路設備的結構示意圖；

圖 12 是本申請實施例提供的另一種網路設備的結構示意圖。

【實施方式】

【0078】 本申請的實施方式部分使用的術語僅用於對本申請的實施例進行解釋，而非旨在限定本申請。下面結合附圖，對本申請的實施例進行描述。

【0079】 乙太網作為一種局域網技術，應用範圍越來越廣。100吉位元乙太網（gigabit ethernet，GE）以來，採用單通道 25Gb/s 的傳輸速率進行資料傳輸。為了能夠糾正接收的資料中的誤碼，實體層引入了 FEC 編碼，進而傳輸編碼得到的 FEC 碼字。例如採用 100G 通道進行資料傳輸時，發送端可以採用裡德-所羅門（Reed-Solomon，RS）（528，514）對原始資料進行 FEC 編碼，編碼得到的一個 RS 碼字塊包括 5140 位元的有效載荷和 140 位元的校驗碼。由於校驗碼的存在，對於在相同時間內傳輸相同有效載荷所需要的傳輸速率而言，傳輸 FEC 碼字所需的傳輸速率高於傳輸原始資料所需的傳輸速率。

【0080】 為了降低傳輸 FEC 碼字所需的傳輸速率，乙太網標準上採用了轉碼，以通過降低 FEC 編碼前的碼塊的開銷來實現降低傳輸 FEC 碼字所需的傳輸速率。例如，將每四個 64B/66B 編碼的碼塊轉碼為一個 256B/257B 編碼的碼塊。由於一個 257 位元碼塊的開銷低於四個 66 位元碼塊的開銷，從而傳輸基於 257 位元碼塊得到的 FEC 碼字所需的傳輸速率相對較低。在採用 100G 通道進行資料傳輸時，傳輸基於轉碼後的碼塊得到的 FEC 碼字所需的傳輸速率為 103.125Gb/s，該傳輸速率與傳輸未進行 FEC 編碼的 66 位

元碼塊所需的傳輸速率相同。

【0081】 接收端在獲取到 FEC 碼字之後，可以對 FEC 碼字進行糾錯。由於誤碼的識別可以通過 FEC 標錯來實現，且 PCS 中絕大多數處理是基於 257 位元碼塊進行的，因此，64B/66B 編碼過程和相應的轉碼過程將產生不必要的時延、功耗和晶片面積佔用。

【0082】 對此，本申請實施例提供了一種資料傳輸方法，以解決上述問題。在本申請實施例中，對包括控制塊和資料塊的 2^n (n 為大於 1 的整數) 組碼流塊進行第一編碼得到目標碼塊，而不必對 2^n 組碼流塊中的每組碼流塊進行 64B/66B 編碼，再對 2^n 個 66 位元碼塊進行轉碼得到目標碼塊。由此，編碼效率得以提高，編碼過程所帶來的時延、功耗和晶片面積佔用都得以降低。

【0083】 本申請實施例提供的方法在對目標碼塊進行第一解碼時，可直接對目標碼塊進行第一解碼得到包括控制塊和資料塊的 2^n 組碼流塊，而無需對目標碼塊進行轉碼得到 2^n 個 66 位元碼塊，再對 2^n 個 66 位元碼塊進行解碼得到 2^n 組碼流塊。由此，解碼效率得以提高，解碼過程所帶來的時延、功耗和晶片面積佔用都得以降低。

【0084】 本申請實施例提供的編碼方法和解碼方法可適用於當前的乙太介面或者其他需要傳輸資料的場景下。以圖 1 所示的實施場景為例，該實施場景包括多個晶片，各個晶片之間能夠進行資訊的交互，實現資料傳輸。示例性地，第一網路設備 101 中設置有晶片 102，第二網路設備 103 中設置有晶片 104，晶片 102 和晶

片 104 均支援 FEC 編碼和 FEC 解碼，第一網路設備 101 和第二網路設備 103 之間的通道 105 能夠傳輸 FEC 編碼的資料。則晶片 102 可以對 2^n 組碼流塊進行第一編碼得到目標碼塊，對目標碼塊按照第一 FEC 碼型進行第二編碼得到第一資料，並通過通道 105 將第一資料發送給晶片 104。示例性地，第一資料在通道 105 中傳輸時可能會出現誤碼，將接收到的資料稱為第二資料。晶片 104 在接收到第二資料後，可以採用第一 FEC 碼型對第二資料進行第二解碼得到目標碼塊，對目標碼塊進行第一解碼得到 2^n 組碼流塊。其中， n 為大於 1 的整數，第一 FEC 碼型包括但不限於 RS 碼、博斯-喬赫裡-霍克文黑姆（Bose-Chaudhuri-Hocquenghem，BCH）碼、漢明碼（Hamming code）、擴展 BCH 碼（extended-BCH code）、擴展漢明碼（extended-Hamming code）、法爾（fire）碼、渦輪（turbo）碼、渦輪乘積碼（turbo product code，TPC）、階梯（staircase）碼以及低密度同位（low-density parity-check，LDPC）碼中的任一種或者多種的級聯組合。

【0085】 可以理解的是，如圖 1 所示的實施場景可以包括多個網路設備，各個網路設備可以包括至少一個晶片，圖 1 中僅以兩個網路設備，各個網路設備包括一個晶片為例進行說明。

【0086】 結合圖 1 所示的實施場景，本申請實施例提供的編碼方法如圖 2 所示。示例性地，本申請實施例提供的編碼方法由圖 1 中的晶片 102 執行，該方法包括但不限於步驟 201 和步驟 202。

【0087】 步驟 201，獲取 2^n 組碼流塊，任一組碼流塊包括控制塊

和資料塊， n 為大於 1 的整數。

【0088】 在一種可能的實現方式中， 2^n 組碼流塊均來自 MII。關於基於 MII 獲取 2^n 組碼流塊的方式，本申請實施例對此不加以限定。例如，MII 可以採用電氣與電子工程師協會（the Institute of Electrical and Electronics Engineers，IEEE）802.3 標準，比如 IEEE802.3-2018 以及其他版本的 IEEE802.3 標準定義的 MII，獲取 2^n 組碼流塊。示例性地， n 的取值為 2，也即獲取四組碼流塊。

【0089】 示例性地，對於 2^n 組碼流塊中的任一組碼流塊，該任一組碼流塊的控制塊包括 m 位元，該任一組碼流塊的資料塊包括 $8m$ 位元， m 為正整數。其中， $8m$ 表示 m 的 8 倍，也可表示為 $8*m$ 。示例性地， m 的取值為 8，也即對於任一組碼流塊而言，該任一組碼流塊的控制塊包括 8 位元，該任一組碼流塊的資料塊包括 64 位元。在一種可能的實現方式中，控制塊包括的 m 位元均為控制位元，也即控制塊包括 m 個控制位元；資料塊包括的 $8m$ 位元均為資料，也即資料塊包括的 $8m$ 位元資料。

【0090】 示例性地，將包括 8 個控制位元的控制塊表示為 TXC<7:0>，將包括 64 位元資料的資料塊表示為 TXD<63:0>，控制塊和資料塊的各個位元的順序均為由最高有效位元（most significant bit，MSB）至最低有效位（least significant bit，LSB）。

【0091】 步驟 202，對 2^n 組碼流塊進行第一編碼，得到目標碼塊，目標碼塊包括基於 2^n 組碼流塊的控制塊確定的類型和基於 2^n 組碼流塊的控制塊和資料塊確定的資料單元。

【0092】 示例性地，各組碼流塊的控制塊均為 8 位元，資料塊均為 64 位元，對四組碼流塊進行第一編碼得到一個 257 位元的目標碼塊。本申請實施例以 $n=2$ 為例進行說明， n 為其他值時，可以對每四組碼流塊執行該第一編碼過程，得到多個目標碼塊。例如， $n=3$ ，也即獲取到八組碼流塊，可以對前四組碼流塊進行第一編碼得到一個目標碼塊，對後四組碼流塊進行第一編碼得到一個目標碼塊。

【0093】 在一種可能的實現方式中，對 2^n 組碼流塊進行第一編碼，得到目標碼塊包括但不限於如下編碼方式一和編碼方式二。

【0094】 編碼方式一，基於 2^n 組碼流塊的控制塊確定目標碼塊的類型為資料碼塊；基於 2^n 組碼流塊的順序對 2^n 組碼流塊的資料塊進行第一編碼，得到資料單元；基於類型和資料單元，得到目標碼塊。

【0095】 示例性地，對於採用編碼方式一得到的目標碼塊，類型用於指示目標碼塊為資料碼塊；資料單元基於 2^n 組碼流塊的順序對 2^n 組碼流塊的資料塊進行第一編碼得到。

【0096】 在一種可能的實現方式中，在 2^n 組碼流塊的控制塊均為第一指定值的情況下，確定目標碼塊的類型為資料碼塊，第一指定值用於指示碼流塊的類型為資料碼流塊。例如，以各組碼流塊的控制塊均為表示為 $\text{TXC}\langle 7:0 \rangle$ ，第一指定值為 $0x00$ 為例進行說明，在各組碼流塊的 $\text{TXC}\langle 7:0 \rangle$ 均為 $0x00$ 的情況下，各組碼流塊的類型均為資料碼流塊。

【0097】 在一種可能的實現方式中，基於 2^n 組碼流塊的順序對 2^n 組碼流塊的資料塊進行第一編碼，得到資料單元，包括：基於 2^n 組碼流塊的順序，分別將 2^n 組碼流塊的資料塊包括的位元作為資料單元的位元，以得到資料單元。

【0098】 示例性地，以 j 表示四組碼流塊的序號， $j=0, 1, 2$ 或 3 。
 $\text{TXD}_j\langle 63:0 \rangle$ 表示第 j 組碼流塊的資料塊， $\text{tx_coded}\langle 256:0 \rangle$ 表示目標碼塊，其中， $\text{tx_coded}\langle 0 \rangle$ 表示目標碼塊的類型，
 $\text{tx_coded}\langle (64j+64):(64j+1) \rangle$ 表示目標碼塊的第 $(64j+64)$ 位元至第 $(64j+1)$ 位元，則 $\text{tx_coded}\langle 256:0 \rangle$ 的各個位元如下方運算式 1 和運算式 2 所示：

【0099】 $\text{tx_coded}\langle 0 \rangle = 1$ （運算式 1）

【0100】 $\text{tx_coded}\langle (64j+64):(64j+1) \rangle = \text{TXD}_j\langle 63:0 \rangle$ ， $j=0, 1, 2$ 或 3 （運算式 2）

【0101】 在運算式 1 中， $\text{tx_coded}\langle 0 \rangle = 1$ 表示類型為資料碼塊，在運算式 2 中， $\text{tx_coded}\langle (64j+64):(64j+1) \rangle = \text{TXD}_j\langle 63:0 \rangle$ 表示分別將各組碼流塊的資料塊的多個位元作為資料單元的多個位元。

【0102】 例如，當 $j=0$ 時， $\text{tx_coded}\langle 64:1 \rangle = \text{TXD}_0\langle 63:0 \rangle$ ，表示將第 0 組碼流塊的資料塊的第 63 位元至第 0 位元分別作為目標碼塊的第 64 位元至第 1 位元。當 $j=1$ 時，
 $\text{tx_coded}\langle 128:65 \rangle = \text{TXD}_1\langle 63:0 \rangle$ ，表示將第 1 組碼流塊的資料塊的第 63 位元至第 0 位元分別作為目標碼塊的第 128 位元至第 65 位元。當 $j=2$ 時， $\text{tx_coded}\langle 192:129 \rangle = \text{TXD}_2\langle 63:0 \rangle$ ，表示將第 2

組碼流塊的資料塊的第 63 位元至第 0 位元分別作為目標碼塊的第 192 位元至第 129 位元。當 $j=3$ 時，

$tx_coded<256:193>=TXD_3<63:0>$ ，表示將第 3 組碼流塊的資料塊的第 63 位元至第 0 位元分別作為目標碼塊的第 256 位元至第 193 位元。

【0103】 示例性地，圖 3 示出了一種得到目標碼塊的過程示意圖。如圖 3 所示，對於獲取到的四組碼流塊，各組碼流塊的控制塊均表示為 $TXC<7:0>$ ，資料塊均表示為 $TXD<63:0>$ 。該四組碼流塊的 $TXC<7:0>$ 均為 $0x00$ ，則目標碼塊的類型為資料碼塊。示例性地，目標碼塊的類型對應目標碼塊的第 0 位元，將第 0 位元賦值為 1 表示類型為資料碼塊。關於將第 0 位元賦值以表示類型為資料碼塊的方式，本申請實施例不加以限定。基於四組碼流塊的順序，分別將四組碼流塊的資料塊的多個位元作為資料單元的多個位元，以得到資料單元。從而，基於類型和資料單元能夠得到目標位元。

【0104】 示例性地，得到的目標碼塊的結構如圖 4 所示，目標碼塊的第 0 位元用於表示目標碼塊的類型，第 0 位元賦值為 1 用於表示目標碼塊的類型為資料碼塊。目標碼塊的第 1 位元至第 256 位元用於表示目標碼塊的資料單元，其中，D0 表示第 0 組碼流塊的資料塊的 64 位元，D1 表示第 1 組碼流塊的資料塊的 64 位元，D2 表示第 2 組碼流塊的資料塊的 64 位元，D3 表示第 3 組碼流塊的資料塊的 64 位元。

【0105】 編碼方式二，基於 2ⁿ 組碼流塊的控制塊確定目標碼塊的類型為控制碼塊；基於 2ⁿ 組碼流塊的控制塊，獲取 2ⁿ 組碼流塊的標識值，標識值用於指示碼流塊的類型；將 2ⁿ 組碼流塊的標識值作為類型指示；基於 2ⁿ 組碼流塊的控制塊和資料塊確定的順序對 2ⁿ 組碼流塊的資料塊進行第一編碼，得到碼塊內容；基於類型和資料單元，得到目標碼塊，其中，資料單元包括類型指示和碼塊內容。

【0106】 示例性地，對於採用編碼方式二得到的目標碼塊包括類型和資料單元。其中，類型用於指示目標碼塊為控制碼塊；資料單元包括類型指示和碼塊內容，碼塊內容基於 2ⁿ 組碼流塊的控制塊和資料塊確定的順序對 2ⁿ 組碼流塊的資料塊進行第一編碼得到，類型指示基於 2ⁿ 組碼流塊的控制塊得到，類型指示用於指示各組碼流塊的類型。示例性地，2ⁿ 組碼流塊的控制塊和資料塊確定的順序為 2ⁿ 組碼流塊的接收順序。

【0107】 在一種可能的實現方式中，2ⁿ 組碼流塊中的至少一組碼流塊的控制塊為第二指定值，通過該第二指定值可確定目標碼塊的類型為控制碼塊。第二指定值用於指示碼流塊的類型為控制碼流塊，第二指定值與上述第一指定值不同。也就是說，在 2ⁿ 組碼流塊中的至少一組碼流塊的類型為控制碼流塊的情況下，目標碼塊的類型為控制碼塊。例如，以各組碼流塊的控制塊均為表示為 TXC<7:0>，第一指定值為 0x00 為例，在各組碼流塊中的一組碼流塊的 TXC<7:0>不為 0x00 的情況下，目標碼塊為控制碼塊。

【0108】 示例性地，對於 2ⁿ 組碼流塊中的一組碼流塊，在該組碼流塊的類型為資料碼流塊的情況下，該組碼流塊的標識值為第三指定值，在該組碼流塊的類型為控制碼流塊的情況下，該組碼流塊的標識值為第四指定值。例如，第三指定值為 1，第四指定值為 0。示例性地，將 2ⁿ 組碼流塊的標識值作為類型指示，包括：按照 2ⁿ 組碼流塊的控制塊和資料塊確定的順序，將 2ⁿ 組碼流塊的標識值分別作為類型指示的各個位元，以得到類型指示。

【0109】 示例性地，基於 2ⁿ 組碼流塊的控制塊和資料塊確定的順序對 2ⁿ 組碼流塊的資料塊進行第一編碼，得到碼塊內容，包括：基於 2ⁿ 組碼流塊的控制塊和資料塊確定的順序對 2ⁿ 組碼流塊的資料塊進行第一編碼，得到各組碼流塊經第一編碼後的內容，將各組碼流塊經第一編碼後的內容作為碼塊內容。

【0110】 在一種可能的實現方式中，對於 2ⁿ 組碼流塊中類型為資料碼流塊（TXC<7:0> = 0x00）的一組碼流塊，該組碼流塊經第一編碼後的內容為該組碼流塊的資料塊的內容。對於 2ⁿ 組碼流塊中類型為控制碼流塊的一組碼流塊，根據該組碼流塊的控制塊和資料塊的情況，該組碼流塊經第一編碼後的內容包括但不限於如下情況 A1 至情況 A11。

【0111】 情況 A1，控制塊為 0x01，資料塊的第 7 位元至第 0 位元為 0xFB，其中 LSB 為先發送的位元。

【0112】 示例性地，針對情況 A1，該資料塊包括 1 個控制位元組和 7 個資料位元組，其中，資料位元組也稱為八位元組（octet）。

在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為類型域（block type field，BTF）部分，該 BTF 部分為 0x8。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0x78。無論是上述哪種情況，其餘 56 位元為資料塊包括的 7 個資料位元組的各個位元。

【0113】 情況 A2，控制塊為 0xFF，資料塊的第 (k+7) 位元至第 k 位元為 0x06，0x07 或 0xFE 中的至少一種，k=0，1，2，3，4，5，6 或 7，其中 LSB 為先發送的位元。

【0114】 示例性地，針對情況 A2，該資料塊包括 8 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部分，該 BTF 部分為 0xE。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0x1E。無論上述哪種情況，其餘 56 位元為資料塊包括的 8 個控制位元組的第 0 位元置第 6 位元。

【0115】 情況 A3，控制塊為 0x01，資料塊的第 7 位元至第 0 位元為 0x9C，其中 LSB 為先發送的位元。

【0116】 示例性地，針對情況 A3，該資料塊包括 1 個控制位元組和 7 個資料位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部分，該 BTF 部分為 0xB。在該組碼流塊不是第一組控制碼流塊的

情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0x4B。無論上述哪種情況，BTF 部分後的 24 位元為資料塊的第 31 位元至第 8 位元。資料位元組後的 4 位元為 O 碼 (O code)，O code 可以根據 IEEE802.3 標準得到。示例性的，其餘 28 位元為多個第一填充位元，其中，多個第一填充位元可以基於資料塊的資料位元組得到，或者多個第一填充位元均為 0。

【0117】 情況 A4，控制塊為 0xFF，資料塊的第 7 位元至第 0 位元為 0xFD，其中 LSB 為先發送的位元。

【0118】 示例性地，針對情況 A4，該資料塊包括 8 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部分，該 BTF 部分為 0x7。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0x87。無論上述哪種情況，BTF 部分後的 7 位元均為 0，其餘 49 位元為資料塊包括的後 7 個控制位元組的第 6 位元至第 0 位元。

【0119】 情況 A5，控制塊為 0xFE，資料塊的第 15 位元至第 8 位元為 0xFD，其中 LSB 為先發送的位元。

【0120】 示例性地，針對情況 A5，該資料塊包括 1 個資料位元組和 7 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部

分，該 BTF 部分為 0x9。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0x99。無論上述哪種情況，BTF 部分後的 8 位元為資料塊包括的資料位元組的各個位元，資料位元組後的 6 位元均為 0，其餘 42 位元為資料塊包括的後 6 個控制位元組的第 6 位元至第 0 位元。

【0121】 情況 A6，控制塊為 0xFC，資料塊的第 23 位元至第 16 位元為 0xFD，其中，LSB 為先發送的位元。

【0122】 示例性地，針對情況 A6，該資料塊包括 2 個資料位元組和 6 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部分，該 BTF 部分為 0xA。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0xAA。無論上述哪種情況，BTF 部分後的 16 位元為資料塊包括的 2 個資料位元組的各個位元，資料位元組後的 5 位元均為 0，其餘 35 位元為資料塊包括的後 5 個控制位元組的第 6 位元至第 0 位元。

【0123】 情況 A7，控制塊為 0xF8，資料塊的第 31 位元至第 24 位元為 0xFD，其中，LSB 為先發送的位元。

【0124】 示例性地，針對情況 A7，該資料塊包括 3 個資料位元組和 5 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部

分，該 BTF 部分為 0x4。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0xB4。無論上述哪種情況，BTF 部分後的 28 位元為資料塊包括的 3 個資料位元組的各個位元，資料位元組後的 4 位元均為 0，其餘 28 位元為資料塊包括的後 4 個控制位元組的第 6 位元至第 0 位元。

【0125】 情況 A8，控制塊為 0xF0，資料塊的第 39 位元至第 32 位元為 0xFD，其中，LSB 為先發送的位元。

【0126】 示例性地，針對情況 A8，該資料塊包括 4 個資料位元組和 4 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部分，該 BTF 部分為 0xC。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0xCC。無論上述哪種情況，BTF 部分後的 32 位元為資料塊包括的 4 個資料位元組的各個位元，資料位元組後的 3 位元均為 0，其餘 21 位元為資料塊包括的後 3 個控制位元組的第 6 位元至第 0 位元。

【0127】 情況 A9，控制塊為 0xE0，資料塊的第 47 位元至第 40 位元為 0xFD，其中，LSB 為先發送的位元。

【0128】 示例性地，針對情況 A9，該資料塊包括 5 個資料位元組和 3 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部

分，該 BTF 部分為 0x2。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0xD2。無論上述哪種情況，BTF 部分後的 32 位元為資料塊包括的 5 個資料位元組的各個位元，資料位元組後的 2 位元均為 0，其餘 12 位元為資料塊包括的後 2 個控制位元組的第 6 位元至第 0 位元。

【0129】 情況 A10，控制塊為 0xC0，資料塊的第 55 位元至第 48 位元為 0xFD，其中，LSB 為先發送的位元。

【0130】 示例性地，針對情況 A10，該資料塊包括 6 個資料位元組和 2 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF 部分，該 BTF 部分為 0x1。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0xE1。無論上述哪種情況，BTF 部分後的 48 位元為資料塊包括的 6 個資料位元組的各個位元，資料位元組後的 1 位元為 0，其餘 7 位元為資料塊包括的最後 1 個控制位元組的第 6 位元至第 0 位元。

【0131】 情況 A11，控制塊為 0x80，資料塊的第 63 位元至第 56 位元為 0xFD，其中，LSB 為先發送的位元。

【0132】 示例性地，針對情況 A11，該資料塊包括 7 個資料位元組和 1 個控制位元組。在該組碼流塊是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 60 位元，前 4 位元為 BTF

部分，該 BTF 部分為 0xF。在該組碼流塊不是第一組控制碼流塊的情況下，該組碼流塊經第一編碼後的內容為 64 位元，前 8 位元為 BTF 部分，該 BTF 部分為 0xFF。無論上述哪種情況，其餘 56 位元為資料塊包括的 7 個資料位元組的各個位元。

【0133】 由此，基於 2ⁿ 組碼流塊的控制塊和資料塊確定的順序，將 2ⁿ 組碼流塊經第一編碼後的內容作為碼塊內容。從而，基於類型、類型指示和碼塊內容能夠得到目標碼塊。

【0134】 示例性地，j 表示四組碼流塊的序號，j=0, 1, 2 或 3。TXC_j<7:0>表示第 j 組碼流塊的控制塊，tx_payload<251:0>表示四組碼流塊經第一編碼後的內容，tx_coded<256:0>表示目標碼塊，其中，tx_coded<0>表示目標碼塊的類型，tx_coded<j+1>表示目標碼塊的類型指示，tx_coded<256:5>表示目標碼塊的碼塊內容，則 tx_coded<256:0>的各個位元如下方運算式 3 至運算式 5 所示：

【0135】 $tx_coded<0>=0$ （運算式 3）

【0136】 $tx_coded<j+1>= \begin{cases} 0, & TXC_j<7:0> \neq 0x00 \\ 1, & TXC_j<7:0> = 0x00 \end{cases} \quad j=0, 1, 2 \text{ 或 } 3$ （運算式 4）

【0137】 $tx_coded<256:5>=tx_payload<251:0>$ （運算式 5）

【0138】 在運算式 3 中，tx_coded<0>=0 表示類型為控制碼塊。在運算式 4 中，當 TXC_j<7:0>不為 0x00 時，該 j 值對應的目標碼塊的位元為 0，當 TXC_j<7:0>為 0x00 時，該 j 值對應的目標碼塊的

位元為 1。在運算式 5 中， $tx_coded<256:5>=tx_payload<251:0>$ 表示分別將四組碼流塊經第一編碼後的內容的多個位元作為碼塊內容的多個位元。

【0139】 示例性地，目標碼塊的結構如圖 5 所示，圖 5 中的 0 至 3 分別表示四組碼流塊的序號。圖 5 左側表示獲取的四組碼流塊的類型，C 表示控制碼流塊，D 表示資料碼流塊。圖 5 右側為對應不同情況得到的目標碼塊的結構，其中，b 表示位元，例如 1b 表示 1 位元，4b 表示 4 位元。示例性地，圖 5 中的情況 1 對應四組碼流塊的類型均為控制碼流塊，第一編碼得到的目標碼塊的第 0 位元為 0，第 4 位元至第 1 位元均為 0；第 8 位元至第 5 位元表示為 f_0 ，對應第 0 組碼流塊經第一編碼後的內容中的 BTF 部分，第 64 位元至第 9 位元對應第 0 組碼流塊經第一編碼後的內容中的其餘內容，也即 C0；第 72 位元至第 65 位元表示為 BTF1，對應第 1 組碼流塊經第一編碼後的內容中的 BTF 部分，第 128 位元至第 73 位元對應第 1 組碼流塊經第一編碼後的內容中的其餘內容，也即 C1；第 136 位元至第 129 位元表示為 BTF2，對應第 2 組碼流塊經第一編碼後的內容中的 BTF 部分，第 192 位元至第 137 位元對應第 2 組碼流塊經第一編碼後的內容中的其餘內容，也即 C2；第 200 位元至第 193 位元表示為 BTF3，對應第 3 組碼流塊經第一編碼後的內容中的 BTF 部分，第 256 位元至第 201 位元對應第四組碼流塊經第一編碼後的內容中的其餘內容，也即 C3。圖 5 中的其餘情況與上述情況 1 原理相同，例如，對於情況 2，目標碼塊的第 68

位元至第 5 位元表示為 D0，對應第 0 組碼流塊經第一編碼後的內容，第 72 位元至第 69 位元表示為 f_1，對應第 1 組碼流塊經第一編碼後的內容中的 BTF 部分，第 128 位元至第 73 位元對應第 1 組碼流塊經第一編碼後的內容中的其餘內容，也即 C1，此處不再對圖 5 中的其他情況進行贅述。

【0140】 在一種可能的實現方式中，目標碼塊為錯誤碼塊，錯誤碼塊中包括用於標識錯誤的資料。示例性地，當 2ⁿ 組碼流塊中的一組碼流塊不屬於資料碼流塊，也不屬於上述情況 A1 至情況 A11 中的任一種情況時，確定目標碼塊為錯誤碼塊；基於 2ⁿ 組碼流塊的控制塊，獲取 2ⁿ 組碼流塊的類型，基於 2ⁿ 組碼流塊的類型得到目的碼流塊的類型指示，類型和類型指示作為錯誤碼塊中用於標識錯誤的資料。例如，目標碼塊的第 0 位元對應類型，第 1 位元至第 4 位元對應類型指示，將第 0 位元賦值為 0，第 1 位元至第 4 位元均賦值為 1。

【0141】 示例性地，目標碼塊為錯誤碼塊時，目標碼塊的結構如圖 6 所示。圖 6 左側表示獲取的四組碼流塊的類型，E 表示錯誤碼流塊。圖 6 右側為目標碼塊的結構。目標碼塊的第 0 位元為 0，第 1 位元至第 4 位元均為 1，第 5 位元至第 64 位元對應基於第一組碼流塊得到的填充內容，第 65 位元至第 128 位元對應基於第二組碼流塊得到的填充內容，第 129 位元至第 192 位元對應基於第三組碼流塊得到的填充內容，第 193 位元至第 256 位元對應基於第四組碼流塊得到的填充內容。示例性地，填充內容的各個位元

均為 0。示例性地，將基於第一組碼流塊得到的填充內容表示為 E0，將基於第二組碼流塊得到的填充內容表示為 E1，將基於第三組碼流塊得到的填充內容表示為 E2，將基於第四組碼流塊得到的填充內容表示為 E3。

【0142】 由於本申請實施例提供的編碼方法能夠對不同類型的碼流塊進行第一編碼，以得到目標碼塊，該方法的適用性較廣。

【0143】 在一種可能的實現方式中，對 2ⁿ 組碼流塊進行第一編碼，得到目標碼塊，包括：基於 2ⁿ 組碼流塊的控制塊和資料塊得到錯誤檢測結果；基於錯誤檢測結果對 2ⁿ 組碼流塊進行處理，對處理後的 2ⁿ 組碼流塊進行第一編碼，得到目標碼塊。也就是說，目標碼塊基於錯誤檢測結果對 2ⁿ 組碼流塊進行處理得到，錯誤檢測結果基於 2ⁿ 組碼流塊的控制塊和資料塊得到。

【0144】 示例性地，基於 2ⁿ 組碼流塊的控制塊和資料塊得到錯誤檢測結果，包括：基於 2ⁿ 組碼流塊的控制塊和資料塊得到 2ⁿ 組碼流塊的內容和內容順序，基於 2ⁿ 組碼流塊的內容和內容順序得到錯誤檢測結果。例如，當 2ⁿ 組碼流塊的內容順序為第一錯誤情況集合中的至少一種情況時，該 2ⁿ 組碼流塊的內容順序錯誤，當 2ⁿ 組碼流塊的內容順序不為第一錯誤情況集合中的任一種情況時，該 2ⁿ 組碼流塊的內容順序正確。又例如，當 2ⁿ 組碼流塊的內容為第二錯誤情況集合中的至少一種情況時，該 2ⁿ 組碼流塊的內容錯誤，當 2ⁿ 組碼流塊的內容不為第二錯誤情況集合中的任一種情況時，該 2ⁿ 組碼流塊的內容正確。

【0145】 在一種可能的實現方式中，以相鄰的兩組碼流塊為例進行說明，第一錯誤情況集合包括但不限於如下 4 種情況：

【0146】 （1）在上一組碼流塊包括起始控制字（/S/）的情況下，後一組碼流塊包括除資料位元組以外的其他內容。

【0147】 （2）在上一組碼流塊僅包括資料位元組的情況下，後一組碼流塊包括除資料位元組或終止控制字（/T/）以外的其他內容。

【0148】 （3）在上一組碼流塊包括終止控制字的情況下，後一組碼流塊包括除空閒控制字（/I/）或序列有序集控制字（/O/）以外的其他內容。

【0149】 （4）在上一組碼流塊包括空閒控制字或序列有序集控制字的情況下，後一組碼流塊包括資料位元組或終止控制字。

【0150】 在一種可能的實現方式中，以一組碼流塊為例進行說明，第二錯誤情況集合包括但不限於如下 4 種情況：

【0151】 （1）對於包括起始控制字的碼流塊，起始控制字後為除資料位元組以外的其他內容。

【0152】 （2）對於包括資料位元組的碼流塊，資料位元組後為除資料位元組或終止控制字以外的其他內容。

【0153】 （3）對於包括終止控制字的碼流塊，終止控制字後為除空閒控制字或序列有序集控制字以外的其他內容。

【0154】 （4）對於包括空閒控制字或序列有序集控制字的碼流塊，空閒控制字或序列有序集控制字後為資料位元組或終止控制字。

【0155】 示例性地，錯誤檢測結果包括 2ⁿ 組碼流塊的內容順序錯誤或內容錯誤，基於 2ⁿ 組碼流塊中內容順序錯誤或內容錯誤的碼流塊得到錯誤塊，對 2ⁿ 組碼流塊中內容順序正確且內容正確的碼流塊及錯誤塊進行第一編碼得到目標碼塊。也即，在錯誤檢測結果包括 2ⁿ 組碼流塊的內容順序錯誤或內容錯誤的情況下，目標碼塊基於 2ⁿ 組碼流塊中內容順序正確且內容正確的碼流塊以及錯誤塊進行第一編碼得到，錯誤塊基於 2ⁿ 組碼流塊中內容順序錯誤或內容錯誤的碼流塊得到。示例性地，錯誤塊包括錯誤控制字（error control character）。

【0156】 在一種可能的實現方式中，對於內容順序錯誤或內容錯誤的碼流塊，將該碼流塊的內容轉換為錯誤控制字，以得到錯誤塊。例如，內容順序錯誤或內容錯誤的碼流塊為第一組碼流塊，將該碼流塊的內容轉換為第一錯誤控制字，該第一錯誤控制字為 60 位元，前 4 位元為 0xE，之後每 7 位元為 0x1E。又例如，內容順序錯誤或內容錯誤的碼流塊為第二組碼流塊、第三組碼流塊或第四組碼流塊中的至少一個，將該碼流塊的內容轉換為第二錯誤控制字，該第二錯誤控制字為 64 位元，前 8 位元為 0x1E，之後每 7 位元為 0x1E。

【0157】 示例性地，對 2ⁿ 組碼流塊中內容順序正確且內容順序的碼流塊及錯誤塊進行第一編碼得到目標碼塊，包括：確定目標碼塊的類型為控制碼塊；獲取 2ⁿ 組碼流塊的標識值，標識值用於指示碼流塊的類型，將 2ⁿ 組碼流塊的標識值作為類型指示；基於 2ⁿ

組碼流塊的控制塊和資料塊確定的順序對錯誤塊和 2ⁿ 組碼流塊中內容順序正確且內容正確的碼流塊的資料塊進行第一編碼，得到碼塊內容。

【0158】 例如，基於 2ⁿ 組碼流塊的控制塊和資料塊確定的順序，對 2ⁿ 組碼流塊中內容順序正確且內容正確的碼流塊的資料塊進行第一編碼，得到內容順序正確且內容正確的碼流塊經第一編碼後的內容，基於內容順序正確且內容正確的碼流塊經第一編碼後的內容和錯誤塊得到目標碼塊。關於對內容順序正確且內容正確的碼流塊的資料塊進行第一編碼的方式，請參照前文中對類型為資料碼流塊的碼流塊和類型為控制碼流塊的碼流塊進行第一編碼的相關內容，此處不再贅述。

【0159】 示例性地，在 2ⁿ 組碼流塊中的各組碼流塊均為內容順序錯誤或內容錯誤的碼流塊的情況下，基於 2ⁿ 組碼流塊得到 2ⁿ 個錯誤塊，對該 2ⁿ 個錯誤塊進行第一編碼得到目標碼塊，該目標碼塊為錯誤碼塊。

【0160】 通過對存在錯誤的碼流塊進行處理，使得後續進行資料傳輸時存在錯誤的資料能夠與正確的資料區分開來，保證資料的可靠性。

【0161】 示例性地，得到目標碼塊之後，該方法還包括：按照 FEC 碼型對目標碼塊進行第二編碼，得到第一資料；發送第一資料。關於按照 FEC 碼型對目標碼塊進行第二編碼的方式，本申請實施例不加以限定。通過按照 FEC 碼型對目標碼塊進行第二編碼得到

第一資料，使得接收端能夠對接收的第一資料進行糾錯，保證資料傳輸的準確性。

【0162】 本申請實施例提供的編碼方法，對包括控制塊和資料塊的 2^n 組碼流塊進行第一編碼得到目標碼塊，而不必對 2^n 組碼流塊中的每組碼流塊進行 64B/66B 編碼得到 2^n 個 66 位元碼塊，再對 2^n 個 66 位元碼塊進行轉碼得到目標碼塊。由此，編碼效率得以提高，編碼過程所帶來的時延、功耗和晶片面積佔用都得以降低。

【0163】 上述介紹了本申請實施例提供的編碼方法，下面介紹本申請實施例提供的解碼方法。結合圖 1 所示的實施場景，本申請實施例提供的解碼方法如圖 7 所示。示例性地，本申請實施例提供的解碼方法由圖 1 中的晶片 104 執行，該方法包括但不限步驟 701 和步驟 702。

【0164】 步驟 701，獲取目標碼塊，目標碼塊包括類型和資料單元。

【0165】 示例性地，結合圖 1 的實施場景，晶片 102 通過通道 105 向晶片 104 發送採用 FEC 碼型編碼的第一資料，在資料傳輸的過程中第一資料中可能會出現誤碼，將該出現誤碼的資料稱為第二資料，晶片 104 通過通道 105 接收到該第二資料。

【0166】 在一種可能的實現方式中，獲取目標碼塊，包括但不限於如下方式 A 和方式 B。

【0167】 方式 A，接收第二資料，第二資料是基於採用 FEC 碼型編碼的第一資料獲得的；對第二資料進行第二解碼獲得目標碼塊，該第二解碼為糾錯處理。

【0168】 示例性地，目標碼塊是對第二資料進行糾錯但未成功糾錯所獲得的錯誤碼塊。例如，對第二資料進行第二解碼獲取目標碼塊，包括：按照該 FEC 碼型對第二資料進行處理得到第一碼字，對該第一碼字進行糾錯處理，基於糾錯處理的結果獲取目標碼塊。

【0169】 示例性地，晶片 104 具有 FEC 解碼器的功能，當 FEC 解碼器判定誤碼的個數超出該 FEC 解碼器的糾錯能力時，也就是說，當 FEC 解碼器判定無法對第一碼字進行糾錯時，標記該第一碼字中所有的碼塊為錯誤碼塊。從而，在糾錯處理的結果為標記第一碼字中所有的碼塊為錯誤碼塊的情況下，獲取的目標碼塊為錯誤碼塊。

【0170】 示例性地，在糾錯處理的結果為對第一碼字糾錯成功的情況下，將基於糾錯後的第一碼字得到的碼塊作為獲取的目標碼塊，基於糾錯後的第一碼字得到的碼塊為糾錯成功的碼塊。

【0171】 方式 B，接收第二資料，第二資料是基於採用前向糾錯 FEC 碼型編碼的第一資料獲得的；對第二資料進行第二解碼獲取目標碼塊，第二解碼為檢錯但不糾錯處理。

【0172】 示例性地，目標碼塊是從第二資料檢出錯誤但不糾錯所獲得的錯誤碼塊。例如，對第二資料進行第二解碼獲取目標碼塊，包括：按照該 FEC 碼型對第二資料進行處理得到第一碼字，對第一碼字進行僅檢錯但不糾錯（bypass correction）處理；基於檢錯但不糾錯處理的結果獲取目標碼塊。

【0173】 示例性地，晶片 104 具有 FEC 解碼器的功能，當 FEC 解

碼器檢測到第一碼字中存在錯誤時，標記該第一碼字中所有的碼塊為錯誤碼塊。從而，在檢錯但不糾錯處理的結果為標記第一碼字中所有的碼塊為錯誤碼塊的情況下，獲取的目標碼塊為錯誤碼塊。

【0174】 示例性地，在檢錯但不糾錯處理的結果為第一碼字無錯誤的情況下，將基於第一碼字得到的碼塊作為獲取的目標碼塊，基於第一碼字得到的碼塊為無錯誤的碼塊。

【0175】 示例性地，基於目標碼塊執行的幀校驗序列（frame check sequence，FCS）幀校驗失敗。例如，目標碼塊為 257 位元，前 5 位元為 01111，其餘 252 位元包括但不限於如下三種情況：（1）前 4 位元為 0x1，其餘位元中每 8 位元為 0x1E；（2）前 248 位元中每 8 位元為 0x1E，最後 4 位元為 0x1；（3）各個位元均為 0。

【0176】 步驟 702，根據目標碼塊的類型和資料單元，對目標碼塊進行第一解碼，得到 2^n 組碼流塊，任一組碼流塊包括基於類型和資料單元得到的控制塊和資料塊， n 為大於 1 的整數。

【0177】 示例性地，目標碼塊為 257 位元，各組碼流塊的控制塊均為 8 位元，資料塊均為 64 位元。以對一個目標碼塊進行第一解碼得到四組碼流塊（ $n=2$ ）為例進行說明，當獲取到多個目標碼塊時，可以對各個目標碼塊分別執行該第一解碼過程，以得到 2^n 組碼流塊。例如，當獲取到兩個目標碼塊時，可以對該兩個碼塊分別進行第一解碼得到四組碼流塊，也即，對兩個目標碼塊進行第一解碼得到八組碼流塊。

【0178】 在一種可能的實現方式中，根據目標碼塊的類型和資料單元，對目標碼塊進行第一解碼，得到 2^n 組碼流塊，包括但不限於如下解碼方式一至解碼方式三。

【0179】 解碼方式一，基於目標碼塊的類型，確定目標碼塊的類型為資料碼塊，目標碼塊的資料單元包括 2^n 個 $8m$ 長度的內容， m 為正整數；基於目標碼塊的類型得到 2^n 組碼流塊的控制塊，對資料單元包括的 2^n 個 $8m$ 長度的內容分別進行第一解碼，得到 2^n 組碼流塊的資料塊。

【0180】 示例性地，在類型用於指示目標碼塊為資料碼塊的情況下，採用解碼方式一對目標碼塊進行第一解碼得到 2^n 組碼流塊。該 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於對資料單元中與該第 i 組碼流塊對應的 $8m$ 長度的內容進行第一解碼得到的， i 為大於等於 1 且小於等於 2^n 的整數或者 i 為大於等於 0 且小於等於 $2^n - 1$ 的整數。

【0181】 在一種可能的實現方式中，目標碼塊的類型為 1 用於指示目標碼塊為資料碼塊，目標碼塊的資料單元包括四個 $8m$ 長度的內容，一個 $8m$ 長度的內容對應一組碼流塊。示例性地， $8m$ 長度為 64 位元。將四組碼流塊的控制塊均置為 $0x00$ ，將四個 64 位元的內容分別作為四組碼流塊的資料塊的內容。

【0182】 示例性地， j 表示四組碼流塊的序號， $j=0, 1, 2$ 或 3 。
 $RXC_j<7:0>$ 表示第 j 組碼流塊的控制塊， $RXD_j<63:0>$ 表示第 j 組碼流塊的資料塊， $rx_coded<256:0>$ 表示目標碼塊，其中，

$rx_coded<0>$ 表示目標碼塊的類型， $rx_coded<(64j+64):(64j+1)>$ 表示目標碼塊的第 $(64j+64)$ 位元至第 $(64j+1)$ 位元，則 $RXC_j<7:0>$ 和 $RXD_j<63:0>$ 的內容如下方運算式 6 和運算式 7 所示：

【0183】 $RXC_j<7:0>=0x00$ ， $j=0, 1, 2$ 或 3 （運算式 6）

【0184】 $RXD_j<63:0>=rx_coded<(64j+64):(64j+1)>$ ， $j=0, 1, 2$ 或 3 （運算式 7）

【0185】 在運算式 6 中， $RXC_j<7:0>=0x00$ 表示各組碼流塊的控制塊均為 $0x00$ ，在運算式 7 中，

$RXD_j<63:0>=rx_coded<(64j+64):(64j+1)>$ 表示將資料單元的每 64 位元作為一組碼流塊的資料塊的 64 位元。

【0186】 例如，當 $j=0$ 時， $RXD_0<63:0>=rx_coded<64:1>$ ，表示將目標碼塊的第 64 位元至第 1 位元分別作為第 0 組碼流塊的資料塊的第 63 位元至第 0 位元。當 $j=1$ 時，

$RXD_1<63:0>=rx_coded<128:65>$ ，表示將目標碼塊的第 128 位元至第 65 位元分別作為第 1 組碼流塊的資料塊的第 63 位元至第 0 位元。

當 $j=2$ 時， $RXD_2<63:0>=rx_coded<192:129>$ ，表示將目標碼塊的第 192 位元至第 129 位元分別作為第 2 組碼流塊的資料塊的第 63 位元至第 0 位元。當 $j=3$ 時，

$RXD_3<63:0>=rx_coded<256:193>$ ，表示將目標碼塊的第 256 位元至第 193 位元分別作為第 3 組碼流塊的資料塊的第 63 位元至第 0 位元。

【0187】 解碼方式二，基於目標碼塊的類型，確定目標碼塊的類

型為控制碼塊，目標碼塊的資料單元包括類型指示和碼塊內容，類型指示包括 2^n 個位元，所述 2^n 個位元中的 1 個位元用於指示 2^n 組碼流塊中與該位元對應的一組碼流塊的類型，碼塊內容包括 2^n 個位元組；基於類型、類型指示中與 2^n 組碼流塊對應的位元和碼塊內容中與 2^n 組碼流塊對應的位元組得到 2^n 組碼流塊的控制塊，基於類型指示中與 2^n 組碼流塊對應的位元對碼塊內容中與 2^n 組碼流塊對應的位元組進行第一解碼得到 2^n 組碼流塊的資料塊。

【0188】 示例性地，在類型用於指示目標碼塊為控制碼塊的情況下，採用解碼方式二對目標碼塊進行第一解碼得到 2^n 組碼流塊。該 2^n 組碼流塊中的第 i 組碼流塊包括的控制塊是基於類型、類型指示中與第 i 組碼流塊對應的位元和碼塊內容中與第 i 組碼流塊對應的位元組得到的， i 為大於等於 1 且小於等於 2^n 的整數或者 i 為大於等於 0 且小於等於 $2^n - 1$ 的整數；該 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於類型指示中與第 i 組碼流塊對應的位元對碼塊內容中與第 i 組碼流塊對應的位元組進行第一解碼得到的。示例性地，位元組為多個位元的集合。

【0189】 示例性地，當類型指示中的一個位元為 1 時，基於該位元得到的碼流塊的類型為資料碼流塊；當類型指示中的一個位元為 0 時，基於該位元得到的碼流塊的類型為控制碼流塊。

【0190】 在一種可能的實現方式中， 2^n 個位元組包括第一位元組和 $2^n - 1$ 個第二位元組，第一位元組包括的位元數量和第二位元組包括的位元數量不相同。示例性地，類型指示的一個位元對應碼

塊內容的一個位元組。例如，以圖 5 示出的目標碼塊的結構為例進行說明。對於情況 1，類型指示包括四個位元，碼塊內容包括四個位元組。其中，類型指示的第一個位元對應第一位元組，第一位元組為目標碼塊的第 5 位元至第 64 位元；類型指示的第二個位元對應一個第二位元組，該第二個位元對應的第二位元組為目標碼塊的第 65 位元至第 128 位元；類型指示的第三個位元對應一個第二位元組，該第三個位元對應的第二位元組為目標碼塊的第 129 位元至第 192 位元；類型指示的第四個位元對應一個第二位元組，該第四個位元對應的第二位元組為目標碼塊的第 193 位元至第 256 位元。對於情況 2，類型指示包括四個位元，碼塊內容包括四個位元組。其中，類型指示的第一個位元對應一個第二位元組，該第一個位元對應的第二位元組為目標碼塊的第 5 位元至第 67 位元；類型指示的第二個位元對應第一位元組，第一位元組為目標碼塊的第 68 位元至第 128 位元；類型指示的第三個位元對應一個第二位元組，該第三個位元對應的第二位元組為目標碼塊的第 129 位元至第 192 位元；類型指示的第四個位元對應一個第二位元組，該第四個位元對應的第二位元組為目標碼塊的第 193 位元至第 256 位元。其餘情況與上述情況 1 和情況 2 的原理相同，此處不再贅述。

【0191】 在一種可能的實現方式中，對於類型指示的一個位元，在該位元為 1 的情況下，基於類型、該位元和該位元對應的位元組得到的碼流塊的控制塊為 0x00，基於該位元對該位元對應的位

元組進行第一解碼得到的碼流塊的資料塊的內容為位元組的內容。在該位元為 0 的情況下，根據該位元的位置和該位元對應的位元組的情況，得到的碼流塊的控制塊和資料塊包括但不限於如下情況 B1 至 B11。

【0192】 情況 B1，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0x8；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0x78。

【0193】 示例性地，針對情況 B1，該位元對應的位元組的 BTF 部分之後包括 7 個資料位元組。碼流塊的控制塊為 0x01，碼流塊的資料塊為 64 位元。資料塊的第 7 位元至第 0 位元為 0xFB，其餘 56 位元分別為該位元對應的位元組的 7 個資料位元組的各個位元。其中，LSB 為先發送的位元。

【0194】 情況 B2，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0xE；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0x1E。

【0195】 示例性地，針對情況 B2，該位元對應的位元組的 BTF 部分之後包括 8 個控制位元組，每個控制位元組包括 7 位元。碼流塊的控制塊為 0xFF，碼流塊的資料塊為 64 位元。資料塊的 64 位元基於 8 個控制位元組得到，其中，資料塊的每 8 位元基於一個控制位元組。關於基於各個控制位元組得到資料塊的各個位元的

方式，本申請實施例對此不加以限定，例如，根據 IEEE802.3 標準得到。示例性地，資料塊的第 $(k+7)$ 位元至第 k 位元為 $0x06$ ， $0x07$ 或 $0xFE$ 中的至少一種， $k=0, 1, 2, 3, 4, 5, 6$ 或 7 。其中，LSB 為先發送的位元。

【0196】 情況 B3，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 $0xB$ ；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 $0x4B$ 。

【0197】 示例性地，針對情況 B3，該位元對應的位元組的 BTF 部分之後包括 3 個資料位元組，1 個 4 位元的 O 碼和多個第一填充位元。碼流塊的控制塊為 $0x01$ ，碼流塊的資料塊為 64 位元。資料塊的第 7 位元至第 0 位元為 $0x9C$ ，資料塊的第 31 位元至第 8 位元為 3 個資料位元組的各個位元，其餘 32 位元基於多個第一填充位元得到。其中，LSB 為先發送的位元。關於基於多個第一填充位元得到其餘 32 位元的方式，本申請實施例對此不加以限定。

【0198】 情況 B4，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 $0x7$ ；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 $0x87$ 。

【0199】 示例性地，針對情況 B4，該位元對應的位元組的 BTF 部分之後包括 1 個 7 位元的終止控制字和 7 個控制位元組，每個控制位元組包括 7 位元。碼流塊的控制塊為 $0xFF$ ，碼流塊的資料塊

為 64 位元。資料塊的第 7 位元至第 0 位元為 0xFD，其餘 56 位元基於 7 個控制位元組得到，其中，其餘 56 位元中的每 8 位元基於一個控制位元組得到。其中，LSB 為先發送的位元。

【0200】 情況 B5，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0x9；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0x99。

【0201】 示例性地，針對情況 B5，該位元對應的位元組的 BTF 部分之後包括 1 個資料位元組，1 個 6 位元的終止控制字和 6 個控制位元組，每個控制位元組包括 7 位元。碼流塊的控制塊為 0xFE，碼流塊的資料塊為 64 位元。資料塊的第 7 位元至第 0 位元為資料位元組的各個位元，資料塊的第 15 位元至第 8 位元為 0xFD，其餘 48 位元基於 6 個控制位元組得到，其中，其餘 48 位元中的每 8 位元基於一個控制位元組得到。其中，LSB 為先發送的位元。

【0202】 情況 B6，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0xA；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0xAA。

【0203】 示例性地，針對情況 B6，該位元對應的位元組的 BTF 部分之後包括 2 個資料位元組，1 個 5 位元的終止控制字和 5 個控制位元組，每個控制位元組包括 7 位元。碼流塊的控制塊為 0xFC，碼流塊的資料塊為 64 位元。資料塊的第 15 位元至第 0 位元基於 2

個資料位元組的各個位元得到，資料塊的第 23 位元至第 16 位元為 0xFD，其餘 40 位元基於 5 個控制位元組得到，其中，其餘 40 位元中的每 8 位元基於一個控制位元組得到。其中，LSB 為先發送的位元。

【0204】 情況 B7，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0x4；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0xB4。

【0205】 示例性地，針對情況 B7，該位元對應的位元組的 BTF 部分之後包括 3 個資料位元組，1 個 4 位元的終止控制字和 4 個控制位元組，每個控制位元組包括 7 位元。碼流塊的控制塊為 0xF8，碼流塊的資料塊為 64 位元。資料塊的第 23 位元至第 0 位元基於 3 個資料位元組的各個位元得到，資料塊的第 31 位元至第 24 位元為 0xFD，其餘 32 位元基於 4 個控制位元組得到，其中，其餘 32 位元中的每 8 位元基於一個控制位元組得到。其中，LSB 為先發送的位元。

【0206】 情況 B8，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0xC；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0xCC。

【0207】 示例性地，針對情況 B8，該位元對應的位元組的 BTF 部分之後包括 4 個資料位元組，1 個 3 位元的終止控制字和 3 個控制

位元組，每個控制位元組包括 7 位元。碼流塊的控制塊為 0xF0，碼流塊的資料塊為 64 位元。資料塊的第 31 位元至第 0 位元基於 4 個資料位元組的各個位元得到，資料塊的第 39 位元至第 32 位元為 0xFD，其餘 24 位元基於 3 個控制位元組得到，其中，其餘 24 位元中的每 8 位元基於一個控制位元組得到。其中，LSB 為先發送的位元。

【0208】 情況 B9，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0x2；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0xD2。

【0209】 示例性地，針對情況 B9，該位元對應的位元組的 BTF 部分之後包括 5 個資料位元組，1 個 2 位元的終止控制字和 2 個控制位元組，每個控制位元組包括 7 位元。碼流塊的控制塊為 0xE0，碼流塊的資料塊為 64 位元。資料塊的第 39 位元至第 0 位元基於 5 個資料位元組的各個位元得到，資料塊的第 47 位元至第 40 位元為 0xFD，其餘 16 位元基於 2 個控制位元組得到，其中，其餘 16 位元中的每 8 位元基於一個控制位元組。其中，LSB 為先發送的位元。

【0210】 情況 B10，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0x1；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0xE1。

【0211】 示例性地，針對情況 B10，該位元對應的位元組的 BTF 部分之後包括 6 個資料位元組，1 個 1 位元的終止控制字和 1 個 7 位元的控制位元組。碼流塊的控制塊為 0xC0，碼流塊的資料塊為 64 位元。資料塊的第 47 位元至第 0 位元基於 6 個資料位元組的各個位元得到，資料塊的第 55 位元至第 48 位元為 0xFD，其餘 8 位元基於控制位元組得到。其中，LSB 為先發送的位元。

【0212】 情況 B11，該位元為第一個為 0 的位元，該位元對應的位元組的前 4 位元為 BTF 部分，該 BTF 部分為 0xF；或者該位元不為第一個為 0 的位元，該位元對應的位元組的前 8 位元為 BTF 部分，該 BTF 部分為 0xFF。

【0213】 示例性地，針對情況 B11，該位元對應的位元組的 BTF 部分之後包括 7 個資料位元組。碼流塊的控制塊為 0x80，碼流塊的資料塊為 64 位元。資料塊的第 55 位元至第 0 位元基於 7 個資料位元組的各個位元得到，資料塊的第 63 位元至第 56 位元為 0xFD。其中，LSB 為先發送的位元。

【0214】 在一些實施例中，基於類型、類型指示中與 2^n 組碼流塊對應的位元和碼塊內容中與 2^n 組碼流塊對應的位元組得到 2^n 組碼流塊的控制塊，基於類型指示中與 2^n 組碼流塊對應的位元對碼塊內容中與 2^n 組碼流塊對應的位元組進行第一解碼得到 2^n 組碼流塊的資料塊，包括：基於 2^n 個位元組獲取 2^n 個 64 位元的第三位元組，基於類型、類型指示中與 2^n 組碼流塊對應的位元和 2^n 個第三位元組得到 2^n 組碼流塊的控制塊，基於類型指示中與 2^n 組碼流塊

對應的位元對 2^n 個第三位元組進行第一解碼得到 2^n 組碼流塊的資料塊。

【0215】 示例性地，對於第一個為 0 的位元，該位元對應的位元組包括 4 位元 BTF 部分，基於該 4 位元 BTF 部分獲取 8 位元 BTF 部分，得到第三位元組。例如，基於該 4 位元 BTF 部分查詢 IEEE802.3 標準，以獲取 8 位元 BTF 部分，或者基於 4 位元 BTF 部分查詢 4 位元 BTF 部分和 8 位元 BTF 部分的對應表，以獲取 8 位元 BTF 部分。

【0216】 在查詢成功的情況下，也即 IEEE802.3 標準中包括該 4 位元 BTF 部分對應的 8 位元 BTF 部分，或者對應表中包括該 4 位元 BTF 部分對應的 8 位元 BTF 部分，將該 8 位元 BTF 部分作為獲取到的 8 位元 BTF 部分。在查詢失敗的情況下，也即 IEEE802.3 標準中不包括該 4 位元 BTF 部分對應的 8 位元 BTF 部分，或者對應表中不包括該 4 位元 BTF 部分對應的 8 位元 BTF 部分，標記該 4 位元 BTF 部分以獲取 8 位元 BTF 部分。關於標記 4 位元 BTF 部分的方式，本申請實施例不加以限定，例如將 4 位元 BTF 部分作為第 3 位元至第 0 位元，將第 7 位元至第 4 位元均置為 0。示例性地，在查詢失敗的情況下，基於該第三位元組得到的碼流塊的控制塊為 0xFF，資料塊為 0xFEFEFEFE。

【0217】 在另一些實施例中，對於第一個為 0 的位元，基於類型、該位元和該位元對應的位元組得到碼流塊的控制塊，基於該位元對該位元對應的位元組進行第一解碼得到碼流塊的資料塊，包

括：基於該位元對應的位元組包括的 4 位元 BTF 部分查詢 8 位元 BTF 部分，在查詢失敗的情況下，將碼流塊的控制塊置為 0xFF，將碼流塊的資料塊置為 0xFEFEFEFE。關於基於 4 位元 BTF 部分查詢 8 位元 BTF 部分的方式，與上述相關內容中的查詢方式原理相同，此處不再贅述。

【0218】 解碼方式三，基於目標碼塊的類型和資料單元，確定目標碼塊的類型為錯誤碼塊；得到 2ⁿ 組碼流塊的控制塊和資料塊，2ⁿ 組碼流塊均為錯誤碼流塊。

【0219】 示例性地，資料單元包括類型指示，類型和類型指示用於指示目標碼塊為錯誤碼塊；2ⁿ 組碼流塊中每組碼流塊包括的控制塊為第一值，2ⁿ 組碼流塊中每組碼流塊包括的資料塊為第二值，第一值和第二值用於指示碼流塊為錯誤碼流塊。例如，目標碼塊的類型為 0，類型指示為 1111，該目標碼塊為錯誤碼塊，則經第一解碼得到的 2ⁿ 組碼流塊中每組碼流塊包括的控制塊為 0xFF，2ⁿ 組碼流塊中每組碼流塊包括的資料塊均為 0xFEFEFEFE。

【0220】 由於本申請實施例提供的解碼方法能夠對不同類型的目標碼塊進行第一解碼，以得到 2ⁿ 組碼流塊，該方法的適用性較廣。

【0221】 在一種可能的實現方式中，根據目標碼塊的類型和資料單元，對目標碼塊進行第一解碼，得到 2ⁿ 組碼流塊，包括：基於目標碼塊的類型和資料單元得到錯誤檢測結果；根據錯誤檢測結果以及目標碼塊的類型和資料單元對目標碼塊進行第一解碼，得到 2ⁿ 組碼流塊。也就是說，2ⁿ 組碼流塊根據錯誤檢測結果以及目

標碼塊的類型和資料單元對目標碼塊進行第一解碼得到，錯誤檢測結果基於目標碼塊的類型和資料單元得到。

【0222】 示例性地，基於目標碼塊的類型和資料單元得到錯誤檢測結果，包括：基於目標碼塊的類型和資料單元得到目標碼塊的內容和內容順序，基於目標碼塊的內容和內容順序得到錯誤檢測結果。例如，當目標碼塊的內容順序為第三錯誤情況集合中的至少一種情況時，該目標碼塊的內容順序錯誤，當目標碼塊的內容順序不為第三錯誤情況集合中的任一種情況時，該目標碼塊的內容順序正確。又例如，當目標碼塊的內容為第四錯誤情況集合中的至少一種情況時，該目標碼塊的內容錯誤，當目標碼塊的內容不為第四錯誤情況集合中的任一種情況時，該目標碼塊的內容正確。

【0223】 在一種可能的實現方式中，以目標碼塊為控制碼塊，該目標碼塊包括四個位元組為例進行說明，對於相鄰的兩個位元組，第三錯誤情況集合包括但不限於如下 4 種情況：

【0224】 （1）在前一個位元組包括起始控制字（/S/）的情況下，後一個位元組包括除資料位元組以外的其他內容。

【0225】 （2）在前一個位元組僅包括資料位元組的情況下，後一個位元組包括除資料位元組或終止控制字（/T/）以外的其他內容。

【0226】 （3）在前一個位元組包括終止控制字的情況下，後一個位元組包括除空閒控制字（/I/）或序列有序集控制字（/O/）以外的其他內容。

【0227】 (4) 在前一個位元組包括空閒控制字或序列有序集控制字的情況下，後一個位元組包括資料位元組或終止控制字。

【0228】 本申請實施例中的控制字的具體含義和取值可參考具體參考 IEEE802.3-2018，本申請實施例不再贅述。

【0229】 在一種可能的實現方式中，以一個位元組為例進行說明，第四錯誤情況集合包括但不限於如下 4 種情況：

【0230】 (1) 對於包括起始控制字的位元組，起始控制字後為除資料位元組以外的其他內容。

【0231】 (2) 對於包括資料位元組的位元組，資料位元組後為除資料位元組或終止控制字以外的其他內容。

【0232】 (3) 對於包括終止控制字的位元組，終止控制字後為除空閒控制字或序列有序集控制字以外的其他內容。

【0233】 (4) 對於包括空閒控制字或序列有序集控制字的位元組，空閒控制字或序列有序集控制字後為資料位元組或終止控制字。

【0234】 在一種可能的實現方式中，錯誤檢測結果包括目標碼塊的內容順序錯誤或內容錯誤，根據錯誤檢測結果以及目標碼塊的類型和資料單元對目標碼塊進行第一解碼，得到 2^n 組碼流塊，包括：對目標碼塊進行轉換得到第二碼塊，根據第二碼塊的類型和資料單元對第二碼塊進行第一解碼得到 2^n 組碼流塊。也即， 2^n 組碼流塊根據第二碼塊的類型和資料單元對第二碼塊進行第一解碼得到，第二碼塊是對目標碼塊進行轉換得到的且與目標碼塊位元

數相同的碼塊。

【0235】 示例性地，對目標碼塊進行轉換得到第二碼塊，包括：對於目標碼塊中內容順序錯誤或內容錯誤的位元組，將該內容順序錯誤或內容錯誤的位元組轉換為錯誤控制字；基於該錯誤控制字和目標碼塊中內容順序正確且內容正確的位元組，得到第二碼塊。例如，將第一位元組轉換為第一錯誤控制字，該第一位元組是內容順序錯誤或內容錯誤的位元組。又例如，將第二位元組轉換為第二錯誤控制字，該第二位元組是內容順序錯誤或內容錯誤的位元組。在一種可能的實現方式中，轉換得到的第二碼塊為控制碼塊，可以採用解碼方式二對該第二碼塊進行第一解碼。

【0236】 在另一種可能的實現方式中，錯誤檢測結果包括目標碼塊的內容順序錯誤或內容錯誤，根據錯誤檢測結果以及目標碼塊的類型和資料單元對目標碼塊進行第一解碼，得到 2^n 組碼流塊，包括：基於目標碼塊的類型和資料單元對目標碼塊進行第一解碼得到 2^n 組第一碼流塊，對 2^n 組第一碼流塊進行轉換得到 2^n 組碼流塊。也就是說， 2^n 組碼流塊基於對 2^n 組第一碼流塊進行轉換得到， 2^n 組第一碼流塊基於目標碼塊的類型和資料單元對目標碼塊進行第一解碼得到。

【0237】 示例性地，對 2^n 組第一碼流塊進行轉換得到 2^n 組碼流塊，包括：對於 2^n 組第一碼流塊中基於內容順序錯誤或內容錯誤的位元組得到的碼流塊，將該碼流塊轉換為錯誤碼流塊。例如，錯誤碼流塊的控制塊為 `0xFF`，資料塊為 `0xFEFEFEFE`。通過對存

在錯誤的目標碼塊進行處理，使得接收端能夠區分錯誤資料和正確資料，保證資料的可靠性。

【0238】 本申請實施例提供的解碼方法，對目標碼塊進行第一解碼得到包括控制塊和資料塊的 2^n 組碼流塊，而不必對目標碼塊進行轉碼得到 2^n 個 66 位元碼塊，再對 2^n 個 66 位元碼塊進行解碼得到 2^n 組碼流塊。由此，解碼效率得以提高，解碼過程所帶來的時延、功耗和晶片面積佔用都得以降低。

【0239】 以上介紹了本申請實施例提供的編碼方法，與上述方法對應，本申請實施例還提供了編碼裝置。圖 8 是本申請實施例提供的一種編碼裝置的結構示意圖，該裝置應用於第一網路設備，該第一網路設備為上述圖 1 所示實施例中的第一網路設備。基於圖 8 所示的如下多個模組，該圖 8 所示的編碼裝置能夠執行第一網路設備所執行的全部或部分操作。應理解到，該裝置可以包括比所示模組更多的附加模組或者省略其中所示的一部分模組，本申請實施例對此並不進行限制。如圖 8 所示，該裝置包括：

【0240】 獲取模組 801，用於獲取 2^n 組碼流塊，任一組碼流塊包括控制塊和資料塊， n 為大於 1 的整數；

【0241】 第一編碼模組 802，用於對 2^n 組碼流塊進行第一編碼，得到目標碼塊，目標碼塊包括基於 2^n 組碼流塊的控制塊確定的類型和基於 2^n 組碼流塊的控制塊和資料塊確定的資料單元。

【0242】 在一種可能的實現方式中，類型用於指示目標碼塊為資料碼塊；資料單元基於 2^n 組碼流塊的順序對 2^n 組碼流塊的資料塊

進行第一編碼得到。

【0243】 在一種可能的實現方式中，類型用於指示目標碼塊為控制碼塊；資料單元包括類型指示和碼塊內容，碼塊內容基於 2^n 組碼流塊的控制塊和資料塊確定的順序對 2^n 組碼流塊的資料塊進行第一編碼得到，類型指示基於 2^n 組碼流塊的控制塊得到，類型指示用於指示各組碼流塊的類型。

【0244】 在一種可能的實現方式中，目標碼塊為錯誤碼塊，錯誤碼塊中包括用於標識錯誤的資料。

【0245】 在一種可能的實現方式中，目標碼塊基於錯誤檢測結果對 2^n 組碼流塊進行處理得到，錯誤檢測結果基於 2^n 組碼流塊的控制塊和資料塊得到。

【0246】 在一種可能的實現方式中，錯誤檢測結果包括 2^n 組碼流塊的內容順序錯誤或內容錯誤，目標碼塊基於 2^n 組碼流塊中內容順序正確且內容正確的碼流塊以及錯誤塊進行第一編碼得到，錯誤塊基於 2^n 組碼流塊中內容順序錯誤或內容錯誤的碼流塊得到。

【0247】 在一種可能的實現方式中，控制塊包括 m 位元，資料塊包括 $8m$ 位元， m 為正整數。

【0248】 在一種可能的實現方式中， n 的取值為 2， m 的取值為 8，目標碼塊為 257 位元。

【0249】 在一種可能的實現方式中， 2^n 組碼流塊均來自介質無關介面 MII。

【0250】 在一種可能的實現方式中，該裝置還包括：第二編碼模

組 803，用於按照前向糾錯 FEC 碼型對目標碼塊進行第二編碼，得到第一資料；發送模組 804，用於發送第一資料。

【0251】 本申請實施例提供的編碼裝置，對包括控制塊和資料塊的 2^n 組碼流塊進行第一編碼得到目標碼塊，而不必對 2^n 組碼流塊中的每組碼流塊進行 64B/66B 編碼得到 $2n$ 個 66 位元碼塊，再對 2^n 個 66 位元碼塊進行轉碼得到目標碼塊。由此，編碼效率得以提高，編碼過程所帶來的時延、功耗和晶片面積佔用都得以降低。

【0252】 以上介紹了本申請實施例提供的解碼方法，與上述方法對應，本申請實施例還提供了解碼裝置。圖 9 是本申請實施例提供的一種解碼裝置的結構示意圖，該裝置可應用於第二網路設備，該第二網路設備為上述圖 1 所示實施例中的第二網路設備。基於圖 9 所示的如下多個模組，該圖 9 所示的解碼裝置能夠執行第二網路設備所執行的全部或部分操作。應理解到，該裝置可以包括比所示模組更多的附加模組或者省略其中所示的一部分模組，本申請實施例對此並不進行限制。如圖 9 所示，該裝置包括：

【0253】 獲取模組 901，用於獲取目標碼塊，目標碼塊包括類型和資料單元；

【0254】 解碼模組 902，用於根據目標碼塊的類型和資料單元，對目標碼塊進行第一解碼，得到 2^n 組碼流塊，任一組碼流塊包括基於類型和資料單元得到的控制塊和資料塊， n 為大於 1 的整數。

【0255】 在一種可能的實現方式中，類型用於指示目標碼塊為資料碼塊； 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於對資料

單元中與第 i 組碼流塊對應的 $8m$ 長度的內容進行第一解碼得到的， m 為正整數， i 為大於等於 1 且小於等於 2^n 的整數或者 i 為大於等於 0 且小於等於 $2^n - 1$ 的整數。

【0256】 在一種可能的實現方式中，類型用於指示目標碼塊為控制碼塊，資料單元包括類型指示和碼塊內容，類型指示包括 2^n 個位元， 2^n 個位元中的 1 個位元用於指示 2^n 組碼流塊中與位元對應的一組碼流塊的類型，碼塊內容包括 2^n 個位元組； 2^n 組碼流塊中的第 i 組碼流塊包括的控制塊是基於類型、類型指示中與第 i 組碼流塊對應的位元和碼塊內容中與第 i 組碼流塊對應的位元組得到的， i 為大於等於 1 且小於等於 2^n 的整數或者 i 為大於等於 0 且小於等於 $2^n - 1$ 的整數； 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於類型指示中與第 i 組碼流塊對應的位元對碼塊內容中與第 i 組碼流塊對應的位元組進行第一解碼得到的。

【0257】 在一種可能的實現方式中， 2^n 個位元組包括第一位元組和 $2^n - 1$ 個第二位元組，第一位元組包括的位元數量和第二位元組包括的位元數量不相同。

【0258】 在一種可能的實現方式中，資料單元包括類型指示，類型和類型指示用於指示目標碼塊為錯誤碼塊； 2^n 組碼流塊中每組碼流塊包括的控制塊為第一值， 2^n 組碼流塊中每組碼流塊包括的資料塊為第二值，第一值和第二值用於指示碼流塊為錯誤碼流塊。

【0259】 在一種可能的實現方式中，獲取模組，用於接收第二資料，第二資料是基於採用前向糾錯 FEC 碼型編碼的第一資料獲得

的；對第二資料進行第二解碼獲取目標碼塊，第二解碼為糾錯處理。

【0260】 在一種可能的實現方式中，目標碼塊是對第二資料進行糾錯但未成功糾錯所獲得的碼塊。

【0261】 在一種可能的實現方式中，獲取模組 901，用於接收第二資料，第二資料是基於採用前向糾錯 FEC 碼型編碼的第一資料獲得的；對第二資料進行第二解碼獲取目標碼塊，第二解碼為檢錯但不糾錯處理。

【0262】 在一種可能的實現方式中，目標碼塊是從第二資料檢出錯誤但不糾錯所獲得的碼塊。

【0263】 在一種可能的實現方式中， 2^n 組碼流塊根據錯誤檢測結果以及目標碼塊的類型和資料單元對目標碼塊進行第一解碼得到，錯誤檢測結果基於目標碼塊的類型和資料單元得到。

【0264】 在一種可能的實現方式中，錯誤檢測結果包括目標碼塊的內容順序錯誤或內容錯誤， 2^n 組碼流塊根據第二碼塊的類型和資料單元對第二碼塊進行第一解碼得到，第二碼塊是對目標碼塊進行轉換得到的且與目標碼塊位元數相同的碼塊。

【0265】 在一種可能的實現方式中，錯誤檢測結果包括目標碼塊的內容順序錯誤或內容錯誤， 2^n 組碼流塊基於對 2^n 組第一碼流塊進行轉換得到， 2^n 組第一碼流塊基於目標碼塊的類型和資料單元對目標碼塊進行第一解碼得到。

【0266】 在一種可能的實現方式中，控制塊包括 m 位元，資料塊

包括 $8m$ 位元， m 為正整數。

【0267】 在一種可能的實現方式中， n 的取值為 2， m 的取值為 8，目標碼塊為 257 位元。

【0268】 在一種可能的實現方式中， 2^n 組碼流塊均為介質無關介面 MII 格式。

【0269】 本申請實施例提供的解碼裝置，對目標碼塊進行第一解碼得到包括控制塊和資料塊的 2^n 組碼流塊，而不必對目標碼塊進行轉碼得到 2^n 個 66 位元碼塊，再對 2^n 個 66 位元碼塊進行解碼得到 2^n 組碼流塊。由此，解碼效率得以提高，解碼過程所帶來的時延、功耗和晶片面積佔用都得以降低。

【0270】 應理解的是，上述圖 8 和圖 9 提供的裝置在實現其功能時，僅以上述各功能模組的劃分進行舉例說明，實際應用中，可以根據需要而將上述功能分配由不同的功能模組完成，即將設備的內部結構劃分成不同的功能模組，以完成以上描述的全部或者部分功能。另外，上述實施例提供的裝置與方法實施例屬於同一構思，其具體實現過程詳見方法實施例，這裡不再贅述。

【0271】 上述實施例中的設備的具體硬體結構如圖 10 所示的網路設備 1500，包括收發器 1501、處理器 1502 和記憶體 1503。收發器 1501、處理器 1502 和記憶體 1503 之間通過匯流排 1504 連接。其中，收發器 1501 用於接收訊息和發送訊息，記憶體 1503 用於存放指令或程式碼，處理器 1502 用於調用記憶體 1503 中的指令或程式碼使得設備執行上述方法實施例中第一網路設備或第二網

路設備的相關處理步驟。在具體實施例中，本申請實施例的網路設備 1500 可對應於上述各個方法實施例中的第一網路設備或第二網路設備，網路設備 1500 中的處理器 1502 讀取記憶體 1503 中的指令或程式碼，使圖 10 所示的網路設備 1500 能夠執行第一網路設備或第二網路設備所執行的全部或部分操作。

【0272】 網路設備 1500 還可以對應於上述圖 8 和圖 9 所示的裝置，例如，圖 8 和圖 9 中所涉及的獲取模組 801 和獲取模組 901 相當於收發器 1501，編碼模組 802 和解碼模組 902 處理器 1502。

【0273】 參見圖 11，圖 11 示出了本申請一個示例性實施例提供的網路設備 2000 的結構示意圖。圖 11 所示的網路設備 2000 用於執行上述圖 2 所示的編碼方法所涉及的操作和圖 7 所示的解碼方法所涉及的操作。該網路設備 2000 例如是交換機、路由器等。

【0274】 如圖 11 所示，網路設備 2000 包括至少一個處理器 2001、記憶體 2003 以及至少一個通信介面 2004。

【0275】 處理器 2001 例如是通用中央處理器（central processing unit，CPU）、數位訊號處理器（digital signal processor，DSP）、網路處理器（network processor，NP）、圖形處理器（graphics processing unit，GPU）、神經網路處理器（neural-network processing units，NPU）、資料處理單元（data processing unit，DPU）、微處理器或者一個或多個用於實現本申請方案的積體電路。例如，處理器 2001 包括專用積體電路（application-specific integrated circuit，ASIC）、可程式設計邏輯器件（programmable logic device，

PLD) 或者其他可程式設計邏輯器件、電晶體邏輯器件、硬體部件或者其任意組合。PLD 例如是複雜可程式設計邏輯器件 (complex programmable logic device, CPLD)、現場可程式設計邏輯陣列 (field-programmable gate array, FPGA)、通用陣列邏輯 (generic array logic, GAL) 或其任意組合。其可以實現或執行結合本發明實施例公開內容所描述之各種邏輯方框、模組和電路。所述處理器也可以是實現計算功能的組合, 例如包括一個或多個微處理器組合, DSP 和微處理器的組合等等。

【0276】 可選的, 網路設備 2000 還包括匯流排。匯流排用於在網路設備 2000 的各元件之間傳送資訊。匯流排可以是外設部件互連標準 (peripheral component interconnect, 簡稱 PCI) 匯流排或延伸工業標準架構 (extended industry standard architecture, 簡稱 EISA) 匯流排等。匯流排可以分為位址匯流排、資料匯流排、控制匯流排等。為便於表示, 圖 11 中僅用一條粗線表示, 但並不表示僅有一根匯流排或一種類型的匯流排。圖 11 中網路設備 2000 的各元件之間除了採用匯流排連接, 還可採用其他方式連接, 本發明實施例不對各元件的連接方式進行限定。

【0277】 記憶體 2003 例如是唯讀記憶體 (read-only memory, ROM) 或可儲存靜態資訊和指令的其它類型的靜態存放裝置, 又如是隨機存取記憶體 (random access memory, RAM) 或者可儲存資訊和指令的其它類型的動態儲存裝置設備, 又如是電可擦可程式設計唯讀記憶體 (electrically erasable programmable read-only

Memory, EEPROM)、唯讀光碟 (compact disc read-only memory, CD-ROM) 或其它光碟儲存、光碟儲存 (包括壓縮光碟、鐳射碟、光碟、數位通用光碟、藍光光碟等)、磁片儲存介質或者其它磁存放裝置, 或者是能夠用於攜帶或儲存具有指令或資料結構形式的期望的程式碼並能夠由電腦存取的任何其它介質, 但不限於此。記憶體 2003 例如是獨立存在, 並通過匯流排與處理器 2001 相連接。記憶體 2003 也可以和處理器 2001 集成在一起。

【0278】 通信介面 2004 使用任何收發器一類的裝置, 用於與其它設備或通信網路通信, 通信網路可以為乙太網、無線接入網 (RAN) 或無線局域網 (wireless local area networks, WLAN) 等。通信介面 2004 可以包括有線通信介面, 還可以包括無線通訊介面。具體的, 通信介面 2004 可以為乙太 (ethernet) 介面、快速乙太 (fast ethernet, FE) 介面、千兆乙太 (gigabit ethernet, GE) 介面, 非同步傳輸模式 (asynchronous transfer mode, ATM) 介面, 無線局域網 (wireless local area networks, WLAN) 介面, 蜂窩網路通信介面或其組合。乙太網介面可以是光介面, 電介面或其組合。在本申請實施例中, 通信介面 2004 可以用於網路設備 2000 與其他設備進行通信。

【0279】 在具體實現中, 作為一種實施例, 處理器 2001 可以包括一個或多個 CPU, 如圖 11 中所示的 CPU0 和 CPU1。這些處理器中的每一個可以是一個單核 (single-CPU) 處理器, 也可以是一個多核 (multi-CPU) 處理器。這裡的處理器可以指一個或多個設備、

電路、和/或用於處理資料（例如電腦程式指令）的處理核。

【0280】 在具體實現中，作為一種實施例，網路設備 2000 可以包括多個處理器，如圖 11 中所示的處理器 2001 和處理器 2005。這些處理器中的每一個可以是一個單核處理器（single-CPU），也可以是一個多核處理器（multi-CPU）。這裡的處理器可以指一個或多個設備、電路、和/或用於處理資料（如電腦程式指令）的處理核。

【0281】 在具體實現中，作為一種實施例，網路設備 2000 還可以包括輸出設備和輸入裝置。輸出設備和處理器 2001 通信，可以以多種方式來顯示資訊。例如，輸出設備可以是液晶顯示器（liquid crystal display，LCD）、發光二級管（light emitting diode，LED）顯示裝置、陰極射線管（cathode ray tube，CRT）顯示裝置或投影儀（projector）等。輸入裝置和處理器 2001 通信，可以以多種方式接收使用者的輸入。例如，輸入裝置可以是滑鼠、鍵盤、觸控式螢幕設備或傳感設備等。

【0282】 在一些實施例中，記憶體 2003 用於儲存執行本申請方案的程式碼 2010，處理器 2001 可以執行記憶體 2003 中儲存的程式碼 2010。也即是，網路設備 2000 可以通過處理器 2001 以及記憶體 2003 中的程式碼 2010，來實現方法實施例提供的編碼方法或解碼方法。程式碼 2010 中可以包括一個或多個軟體模組。可選地，處理器 2001 自身也可以儲存執行本申請方案的程式碼或指令。

【0283】 在具體實施例中，本申請實施例的網路設備 2000 可對應

於上述各個方法實施例中的第一網路設備或第二網路設備，網路設備 2000 中的處理器 2001 讀取記憶體 2003 中的程式碼 2010 或處理器 2001 自身儲存的程式碼或指令，使圖 11 所示的網路設備 2000 能夠執行第一網路設備或第二網路設備所執行的全部或部分操作。

【0284】 網路設備 2000 還可以對應於上述圖 8 和圖 9 所示的裝置，圖 8 和圖 9 所示的裝置中的每個功能模組採用網路設備 2000 的軟體實現。換句話說，圖 8 和圖 9 所示的裝置包括的功能模組為網路設備 2000 的處理器 2001 讀取記憶體 2003 中儲存的程式碼 2010 後生成的。例如，圖 8 和圖 9 中所涉及的獲取模組 801 和獲取模組 901 相當於通信介面 2004，編碼模組 802 和解碼模組 902 相當於處理器 2001 和/或處理器 2005。

【0285】 其中，圖 2 和圖 7 所示的方法的各步驟通過網路設備 2000 的處理器中的硬體的集成邏輯電路或者軟體形式的指令完成。結合本申請實施例所公開的方法的步驟可以直接體現為硬體處理器執行完成，或者用處理器中的硬體及軟體模組組合執行完成。軟體模組可以位於隨機記憶體，快閃記憶體、唯讀記憶體，可程式設計唯讀記憶體或者電可讀寫可程式設計記憶體、寄存器等本領域成熟的儲存介質中。該儲存介質位於記憶體，處理器讀取記憶體中的資訊，結合其硬體完成上述方法的步驟，為避免重複，這裡不再詳細描述。

【0286】 參見圖 12，圖 12 示出了本申請另一個示例性實施例提供

的網路設備 2100 的結構示意圖。圖 12 所示的網路設備 2100 用於執行上述圖 2 和圖 7 所示的方法所涉及的全部或部分操作。該網路設備 2100 例如是交換機、路由器等，該網路設備 2100 可以由一般性的匯流排體系結構來實現。

【0287】 如圖 12 所示，網路設備 2100 包括：主控板 2110 和介面板 2130。

【0288】 主控板也稱為主處理單元（main processing unit，MPU）或路由處理卡（route processor card），主控板 2110 用於對網路設備 2100 中各個元件的控制和管理，包括路由計算、設備管理、設備維護、協定處理功能。主控板 2110 包括：中央處理器 2111 和記憶體 2112。

【0289】 介面板 2130 也稱為線路介面單元卡（line processing unit，LPU）、線卡（line card）或業務板。介面板 2130 用於提供各種業務介面並實現資料包的轉發。業務介面包括而不限於乙太網介面、POS（packet over SONET/SDH）介面等，乙太網介面例如是靈活乙太網業務介面（flexible ethernet clients，FlexE Clients）。介面板 2130 包括：中央處理器 2131 網路處理器 2132、轉發表項記憶體 2134 和物理介面卡（physical interface card，PIC）2133。

【0290】 介面板 2130 上的中央處理器 2131 用於對介面板 2130 進行控制管理並與主控板 2110 上的中央處理器 2111 進行通信。

【0291】 網路處理器 2132 用於實現訊息的發送處理。網路處理器

2132 的形態可以是轉發晶片。轉發晶片可以是網路處理器 (network processor, NP)。在一些實施例中，轉發晶片可以通過專用積體電路 (application-specific integrated circuit, ASIC) 或現場可程式設計閘陣列 (field programmable gate array, FPGA) 實現。具體而言，網路處理器 2132 用於基於轉發表項記憶體 2134 保存的轉發表轉發接收到的訊息，如果訊息的目的地址為網路設備 2100 的位址，則將該訊息上送至 CPU (如中央處理器 2131) 處理；如果訊息的目的地址不是網路設備 2100 的位址，則根據該目的地址從轉發表中查找到該目的地址對應的下一跳和出介面，將該訊息轉發到該目的地址對應的出介面。其中，上行訊息的處理可以包括：訊息入介面的處理，轉發表查找；下行訊息的處理可以包括：轉發表查找等等。在一些實施例中，中央處理器也可執行轉發晶片的功能，比如基於通用 CPU 實現軟體轉發，從而介面板中不需要轉發晶片。

【0292】 物理介面卡 2133 用於實現實體層的對接功能，原始的流量由此進入介面板 2130，以及處理後的訊息從該物理介面卡 2133 發出。物理介面卡 2133 也稱為子卡，可安裝在介面板 2130 上，負責將光電信號轉換為訊息並對訊息進行合法性檢查後轉發給網路處理器 2132 處理。在一些實施例中，中央處理器 2131 也可執行網路處理器 2132 的功能，比如基於通用 CPU 實現軟體轉發，從而物理介面卡 2133 中不需要網路處理器 2132。

【0293】 可選地，網路設備 2100 包括多個介面板，例如網路設備

2100 還包括介面板 2140，介面板 2140 包括：中央處理器 2141、網路處理器 2142、轉發表項記憶體 2144 和物理介面卡 2143。介面板 2140 中各部件的功能和實現方式與介面板 2130 相同或相似，在此不再贅述。

【0294】 可選地，網路設備 2100 還包括交換網板 2120。交換網板 2120 也可以稱為交換網板單元（switch fabric unit，SFU）。在網路設備有多個介面板的情況下，交換網板 2120 用於完成各介面板之間的資料交換。例如，介面板 2130 和介面板 2140 之間可以通過交換網板 2120 通信。

【0295】 主控板 2110 和介面板耦合。例如。主控板 2110、介面板 2130 和介面板 2140，以及交換網板 2120 之間通過系統匯流排與系統背板相連實現互通。在一種可能的實現方式中，主控板 2110 和介面板 2130 及介面板 2140 之間建立進程間通信協定

（inter-process communication，IPC）通道，主控板 2110 和介面板 2130 及介面板 2140 之間通過 IPC 通道進行通信。

【0296】 在邏輯上，網路設備 2100 包括控制面和轉發面，控制面包括主控板 2110 和中央處理器 2111，轉發面包括執行轉發的各個元件，比如轉發表項記憶體 2134、物理介面卡 2133 和網路處理器 2132。控制面執行路由器、生成轉發表、處理信令和協定訊息、配置與維護網路設備的狀態等功能，控制面將生成的轉發表下發給轉發面，在轉發面，網路處理器 2132 基於控制面下發的轉發表對物理介面卡 2133 收到的訊息查表轉發。控制面下發的轉發表可

以保存在轉發表項記憶體 2134 中。在有些實施例中，控制面和轉發面可以完全分離，不在同一網路設備上。

【0297】 值得說明的是，主控板可能有一塊或多塊，有多塊的時候可以包括主用主控板和備用主控板。介面板可能有一塊或多塊，網路設備的資料處理能力越強，提供的介面板越多。介面板上的物理介面卡也可以有一塊或多塊。交換網板可能沒有，也可能有一塊或多塊，有多塊的時候可以共同實現負荷分擔冗餘備份。在集中式轉發架構下，網路設備可以不需要交換網板，介面板承擔整個系統的業務資料的處理功能。在分散式轉發架構下，網路設備可以有至少一塊交換網板，通過交換網板實現多塊介面板之間的資料交換，提供大容量的資料交換和處理能力。所以，分散式架構的網路設備的資料接入和處理能力要大於集中式架構的網路設備。可選地，網路設備的形態也可以是只有一塊板卡，即沒有交換網板，介面板和主控板的功能集成在該一塊板卡上，此時介面板上的中央處理器和主控板上的中央處理器在該一塊板卡上可以合併為一個中央處理器，執行兩者疊加後的功能，這種形態網路設備的資料交換和處理能力較低（例如，低端交換機或路由器等網路設備）。具體採用哪種架構，取決於具體的組網部署場景，此處不做任何限定。

【0298】 在具體實施例中，網路設備 2100 對應於上述圖 8 和圖 9 所示的裝置。在一些實施例中，圖 8 和圖 9 所示的裝置中的獲取模組 801 和獲取模組 901 相當於網路設備 2100 中的物理介面卡

2133 或物理介面卡 2143。圖 8 和圖 9 所示的裝置中的編碼模組 802 和解碼模組 902 相當於網路設備 2100 中的中央處理器 2111、網路處理器 2132 和網路處理器 2142 中的至少一個。

【0299】 基於上述圖 10、圖 11 及圖 12 所示的網路設備，本申請實施例還提供了一種通信系統，該系統包括：第一網路設備及第二網路設備。可選的，第一網路設備為圖 10 所示的網路設備 1500 或圖 11 所示的網路設備 2000 或圖 12 所示的網路設備 2100，第二網路設備為圖 10 所示的網路設備 1500 或圖 11 所示的網路設備 2000 或圖 12 所示的網路設備 2100。

【0300】 第一網路設備及第二網路設備所執行的方法可參見上述圖 1、圖 2 和圖 7 所示實施例的相關描述，此處不再加以贅述。

【0301】 應理解的是，上述處理器可以是中央處理器（central processing unit，CPU），還可以是其他通用處理器、數位訊號處理器（digital signal processing，DSP）、專用積體電路（application specific integrated circuit，ASIC）、現場可程式設計閘陣列（field-programmable gate array，FPGA）或者其他可程式設計邏輯器件、分立門或者電晶體邏輯器件、分立硬體元件等。通用處理器可以是微處理器或者是任何常規的處理器等。值得說明的是，處理器可以是支援進階精簡指令集機器（advanced RISC machines，ARM）架構的處理器。

【0302】 進一步地，在一種可選的實施例中，上述記憶體可以包括唯讀記憶體和隨機存取記憶體，並向處理器提供指令和資料。

記憶體還可以包括非易失性隨機存取記憶體。例如，記憶體還可以存放裝置類型的資訊。

【0303】 該記憶體可以是易失性記憶體或非易失性記憶體，或可包括易失性和非易失性記憶體兩者。其中，非易失性記憶體可以是唯讀記憶體（read-only memory，ROM）、可程式設計唯讀記憶體（programmable ROM，PROM）、可擦除可程式設計唯讀記憶體（erasable PROM，EPROM）、電可擦除可程式設計唯讀記憶體（electrically EPROM，EEPROM）或快閃記憶體。易失性記憶體可以是隨機存取記憶體（random access memory，RAM），其用作外部快取記憶體。通過示例性但不是限制性說明，許多形式的 RAM 可用。例如，靜態隨機存取記憶體（static RAM，SRAM）、動態隨機存取記憶體（dynamic random access memory，DRAM）、同步動態隨機存取記憶體（synchronous DRAM，SDRAM）、雙倍資料速率同步動態隨機存取記憶體（double data rate SDRAM，DDR SDRAM）、增強型同步動態隨機存取記憶體（enhanced SDRAM，ESDRAM）、同步連接動態隨機存取記憶體（synchlink DRAM，SLDRAM）和直接記憶體匯流排隨機存取記憶體（direct rambus RAM，DR RAM）。

【0304】 還提供了一種電腦可讀儲存介質，儲存介質中儲存有至少一條程式指令或代碼，所述程式指令或代碼由處理器載入並執行時以使電腦實現圖 2 中的編碼方法或者圖 7 中的解碼方法。

【0305】 本申請提供了一種電腦程式（產品），當電腦程式被電腦

執行時，可以使得處理器或電腦執行上述方法實施例中對應的各個步驟和/或流程。

【0306】 提供了一種晶片，包括處理器，用於從記憶體中調用並運行所述記憶體中儲存的指令，使得安裝有所述晶片的通信設備執行上述各方面中的方法。

【0307】 提供另一種晶片，包括：輸入介面、輸出介面、處理器和記憶體，所述輸入介面、輸出介面、所述處理器以及所述記憶體之間通過內部連接通路相連，所述處理器用於執行所述記憶體中的代碼，當所述代碼被執行時，處理器用於執行上述各方面中的方法。

【0308】 還提供了一種設備，該設備包括上述晶片。可選地，該設備為網路設備。示例性地，該設備為路由器或交換機或伺服器。

【0309】 在上述實施例中，可以全部或部分地通過軟體、硬體、固件或者其任意組合來實現。當使用軟體實現時，可以全部或部分地以電腦程式產品的形式實現。所述電腦程式產品包括一個或多個電腦指令。在電腦上載入和執行所述電腦程式指令時，全部或部分地產生按照本申請所述的流程或功能。所述電腦可以是通用電腦、專用電腦、電腦網路、或者其他可程式設計裝置。所述電腦指令可以儲存在電腦可讀儲存介質中，或者從一個電腦可讀儲存介質向另一個電腦可讀儲存介質傳輸，例如，所述電腦指令可以從一個網站、電腦、伺服器或資料中心通過有線（例如同軸電纜、光纖、數位用戶線路）或無線（例如紅外、無線、微

波等)方式向另一個網站網站、電腦、伺服器或資料中心進行傳輸。所述電腦可讀儲存介質可以是電腦能夠存取的任何可用介質或者是包含一個或多個可用介質集成的伺服器、資料中心等資料存放裝置。所述可用介質可以是磁性介質,(例如,軟碟、硬碟、磁帶)、光介質(例如,DVD)、或者半導體介質(例如固態硬碟(solid state disk, SSD)等。

【0310】 以上所述的具體實施方式,對本申請的目的、技術方案和有益效果進行了進一步詳細說明,所應理解的是,以上所述僅為本申請的具體實施方式而已,並不用於限定本申請的保護範圍,凡在本申請的技術方案的基礎之上,所做的任何修改、等同替換、改進等,均應包括在本申請的保護範圍之內。

【0311】 本領域普通技術人員可以意識到,結合本文中所公開的實施例中描述的各方法步驟和模組,能夠以軟體、硬體、固件或者其任意組合來實現,為了清楚地說明硬體和軟體的可互換性,在上述說明中已經按照功能一般性地描述了各實施例的步驟及組成。這些功能究竟以硬體還是軟體方式來執行,取決於技術方案的特定應用和設計約束條件。本領域普通技術人員可以對每個特定的應用來使用不同方法來實現所描述的功能,但是這種實現不應認為超出本申請的範圍。

【0312】 本領域普通技術人員可以理解實現上述實施例的全部或部分步驟可以通過硬體來完成,也可以通過程式來指令相關的硬體完成,該程式可以儲存於一種電腦可讀儲存介質中,上述提到

的儲存介質可以是唯讀記憶體，磁片或光碟等。

【0313】 當使用軟體實現時，可以全部或部分地以電腦程式產品的形式實現。該電腦程式產品包括一個或多個電腦程式指令。作為示例，本申請實施例的方法可以在機器可執行指令的上下文被描述，機器可執行指令諸如包括在目標的真實或者虛擬處理器上的器件中執行的程式模組中。一般而言，程式模組包括常式、程式、庫、物件、類、元件、資料結構等，其執行特定的任務或者實現特定的抽象資料結構。在各實施例中，程式模組的功能可以在所描述的程式模組之間合併或者分割。用於程式模組的機器可執行指令可以在本地或者分散式設備內執行。在分散式設備中，程式模組可以位於本地和遠端存放介質二者中。

【0314】 用於實現本申請實施例的方法的電腦程式代碼可以用一種或多種程式設計語言編寫。這些電腦程式代碼可以提供給通用電腦、專用電腦或其他可程式設計的資料處理裝置的處理器，使得程式碼在被電腦或其他可程式設計的資料處理裝置執行的時候，引起在流程圖和/或框圖中規定的功能/操作被實施。程式碼可以完全在電腦上、部分在電腦上、作為獨立的套裝軟體、部分在電腦上且部分在遠端電腦上或完全在遠端電腦或伺服器上執行。

【0315】 在本申請實施例的上下文中，電腦程式代碼或者相關資料可以由任意適當載體承載，以使得設備、裝置或者處理器能夠執行上文描述的各種處理和操作。載體的示例包括信號、電腦可讀介質等等。

【0316】 信號的示例可以包括電、光、無線電、聲音或其它形式的傳播信號，諸如載波、紅外信號等。

【0317】 機器可讀介質可以是包含或儲存用於或有關於指令執行系統、裝置或設備的程式的任何有形介質。機器可讀介質可以是機器可讀信號介質或機器可讀儲存介質。機器可讀介質可以包括但不限於電子的、磁的、光學的、電磁的、紅外的或半導體系統、裝置或設備，或其任意合適的組合。機器可讀儲存介質的更詳細示例包括帶有一根或多根導線的電氣連接、可攜式電腦磁片、硬碟、隨機儲存存取器（RAM）、唯讀記憶體（ROM）、可擦除可程式設計唯讀記憶體（EPROM 或快閃記憶體）、光存放裝置、磁存放裝置，或其任意合適的組合。

【0318】 所屬領域的技術人員可以清楚地瞭解到，為了描述的方便和簡潔，上述描述的系統、設備和模組的具體工作過程，可以參見前述方法實施例中的對應過程，在此不再贅述。

【0319】 在本申請所提供的幾個實施例中，應該理解到，所揭露的系統、設備和方法，可以通過其它的方式實現。例如，以上所描述的設備實施例僅僅是示意性的，例如，該模組的劃分，僅僅為一種邏輯功能劃分，實際實現時可以有另外的劃分方式，例如多個模組或元件可以結合或者可以集成到另一個系統，或一些特徵可以忽略，或不執行。另外，所顯示或討論的相互之間的耦合或直接耦合或通信連接可以是通過一些介面、設備或模組的間接耦合或通信連接，也可以是電的，機械的或其它的形式連接。

【0320】 該作為分離部件說明的模組可以是或者也可以不是物理上分開的，作為模組顯示的部件可以是或者也可以不是物理模組，即可以位於一個地方，或者也可以分佈到多個網路模組上。可以根據實際的需要選擇其中的部分或者全部模組來實現本申請實施例方案的目的。

【0321】 另外，在本申請各個實施例中的各功能模組可以集成在一個處理模組中，也可以是各個模組單獨物理存在，也可以是兩個或兩個以上模組集成在一個模組中。上述集成的模組既可以採用硬體的形式實現，也可以採用軟體功能模組的形式實現。

【0322】 該集成的模組如果以軟體功能模組的形式實現並作為獨立的產品銷售或使用時，可以儲存在一個電腦可讀儲存介質中。基於這樣的理解，本申請的技術方案本質上或者說對現有技術做出貢獻的部分，或者該技術方案的全部或部分可以以軟體產品的形式體現出來，該電腦軟體產品儲存在一個儲存介質中，包括若干指令用以使得一台電腦設備（可以是個人電腦，伺服器，或者網路設備等）執行本申請各個實施例中方法的全部或部分步驟。而前述的儲存介質包括：隨身碟、移動硬碟、唯讀記憶體（read-only memory, ROM）、隨機存取記憶體（random access memory, RAM）、磁碟或者光碟等各種可以儲存程式碼的介質。

【0323】 本申請中術語“第一”“第二”等字樣用於對作用和功能基本相同的相同項或相似項進行區分，應理解，“第一”、“第二”、“第n”之間不具有邏輯或時序上的依賴關係，也不對數量和執行順序

進行限定。還應理解，儘管以下描述使用術語第一、第二等來描述各種元素，但這些元素不應受術語的限制。這些術語只是用於將一元素與另一元素區別分開。例如，在不脫離各種所述示例的範圍的情況下，第一網路設備可以被稱為第二網路設備，並且類似地，第二網路設備可以被稱為第一網路設備。第一網路設備和第二網路設備都可以是任一類型的網路設備，並且在某些情況下，可以是單獨且不同的網路設備。

【0324】 還應理解，在本申請的各個實施例中，各個過程的序號的大小並不意味著執行順序的先後，各過程的執行順序應以其功能和內在邏輯確定，而不應對本申請實施例的實施過程構成任何限定。

【0325】 本申請中術語“至少一個”的含義是指一個或多個，本申請中術語“多個”的含義是指兩個或兩個以上，例如，多個第二訊息是指兩個或兩個以上的第二訊息。本文中術語“系統”和“網路”經常可互換使用。

【0326】 應理解，在本文中對各種所述示例的描述中所使用的術語只是為了描述特定示例，而並非旨在進行限制。如在對各種所述示例的描述和所附請求項書中所使用的那樣，單數形式“一個(“a”，“an”)”和“該”旨在也包括複數形式，除非上下文另外明確地指示。

【0327】 還應理解，術語“包括”(也稱“includes”、“including”、“comprises”和/或“comprising”)當在本說明書中使用時指定存在所

陳述的特徵、整數、步驟、操作、元素、和/或部件，但是並不排除存在或添加一個或多個其他特徵、整數、步驟、操作、元素、部件、和/或其分組。

【0328】 還應理解，術語“若”和“如果”可被解釋為意指“當...時”(“when”或“upon”)或“回應於確定”或“回應於檢測到”。類似地，根據上下文，短語“若確定...”或“若檢測到[所陳述的條件或事件]”可被解釋為意指“在確定...時”或“回應於確定...”或“在檢測到[所陳述的條件或事件]時”或“回應於檢測到[所陳述的條件或事件]”。

【0329】 應理解，根據 A 確定 B 並不意味著僅僅根據 A 確定 B，還可以根據 A 和/或其它資訊確定 B。

【0330】 還應理解，說明書通篇中提到的“一個實施例”、“一實施例”、“一種可能的實現方式”意味著與實施例或實現方式有關的特定特徵、結構或特性包括在本申請的至少一個實施例中。因此，在整個說明書各處出現的“在一個實施例中”或“在一實施例中”、“一種可能的實現方式”未必一定指相同的實施例。此外，這些特定的特徵、結構或特性可以任意適合的方式結合在一個或多個實施例中。

【符號說明】

【0331】

101:第一網路設備

102:晶片
103:第二網路設備
104:晶片
105:通道
201、202、701、702:步驟
801:獲取模組
802:第一編碼模組
803:第二編碼模組
804:發送模組
901:獲取模組
902:解碼模組
1500:網路設備
1501:收發器
1502:處理器
1503:記憶體
1504:匯流排
2000:網路設備處理器
2001、2005:處理器
2003:記憶體
2004:通信介面
2010:程式碼
2100:網路設備

- 2110:主控板
- 2111:中央處理器
- 2112:記憶體
- 2130:介面板
- 2131:中央處理器
- 2132:網路處理器
- 2134:轉發表項記憶體
- 2133:物理介面卡
- 2120:交換網板
- 2140:介面板
- 2141:中央處理器
- 2142:網路處理器
- 2144:轉發表項記憶體
- 2143:物理介面卡

【發明申請專利範圍】

【請求項1】 一種編碼方法，其中，所述方法包括：

獲取 2^n 組碼流塊，任一組碼流塊包括控制塊和資料塊，所述 n 為大於1的整數；

對所述 2^n 組碼流塊進行第一編碼，得到目標碼塊，所述目標碼塊包括基於所述 2^n 組碼流塊的控制塊確定的類型和基於所述 2^n 組碼流塊的控制塊和資料塊確定的資料單元；

其中，所述控制塊包括 m 位元，所述資料塊包括 $8m$ 位元，所述 m 為正整數；

其中，所述 n 的取值為2，所述 m 的取值為8，所述目標碼塊為257位元。

【請求項2】 如請求項1所述的方法，其中，所述類型用於指示所述目標碼塊為資料碼塊；

所述資料單元基於所述 2^n 組碼流塊的順序對所述 2^n 組碼流塊的資料塊進行所述第一編碼得到。

【請求項3】 如請求項1所述的方法，其中，所述類型用於指示所述目標碼塊為控制碼塊；

所述資料單元包括類型指示和碼塊內容，所述碼塊內容基於所述 2^n 組碼流塊的控制塊和資料塊確定的順序對所述 2^n 組碼流塊的資料塊進行所述第一編碼得到，所述類型指示基於所述 2^n 組碼流塊的控制塊得到，所述類型指示用於指示各組碼流塊的類型。

【請求項4】 如請求項3所述的方法，其中，所述目標碼塊為錯誤碼塊，所述錯誤碼塊中包括用於標識錯誤的資料。

【請求項5】 如請求項1-4任一所述的方法，其中，所述目標碼塊基於錯誤檢測結果對所述2ⁿ組碼流塊進行處理得到，所述錯誤檢測結果基於所述2ⁿ組碼流塊的控制塊和資料塊得到。

【請求項6】 如請求項5所述的方法，其中，所述錯誤檢測結果包括所述2ⁿ組碼流塊的內容順序錯誤或內容錯誤，所述目標碼塊基於所述2ⁿ組碼流塊中內容順序正確且內容正確的碼流塊以及錯誤塊進行所述第一編碼得到，所述錯誤塊基於所述2ⁿ組碼流塊中內容順序錯誤或內容錯誤的碼流塊得到。

【請求項7】 如請求項1-4任一所述的方法，其中，所述2ⁿ組碼流塊均來自介質無關介面MII。

【請求項8】 如請求項1-4任一所述的方法，其中，所述得到目標碼塊之後，還包括：

按照前向糾錯FEC碼型對所述目標碼塊進行第二編碼，得到第一資料；

發送所述第一資料。

【請求項9】 一種解碼方法，其中，所述方法包括：

獲取目標碼塊，所述目標碼塊包括類型和資料單元；

根據所述目標碼塊的類型和資料單元，對所述目標碼塊進行第一解碼，得到2ⁿ組碼流塊，任一組碼流塊包括基於所述類型和所述資料單元得到的控制塊和資料塊，所述n為大於1的整數；

其中，所述控制塊包括 m 位元，所述資料塊包括 $8m$ 位元，所述 m 為正整數；

其中，所述 n 的取值為2，所述 m 的取值為8，所述目標碼塊為257位元。

【請求項10】 如請求項9所述的方法，其中，所述類型用於指示所述目標碼塊為資料碼塊；

所述 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於對所述資料單元中與所述第 i 組碼流塊對應的 $8m$ 長度的內容進行所述第一解碼得到的，所述 m 為正整數，所述 i 為大於等於1且小於等於 2^n 的整數或者所述 i 為大於等於0且小於等於 $2^n - 1$ 的整數。

【請求項11】 如請求項9所述的方法，其中，所述類型用於指示所述目標碼塊為控制碼塊，所述資料單元包括類型指示和碼塊內容，所述類型指示包括 2^n 個位元，所述 2^n 個位元中的1個位元用於指示所述 2^n 組碼流塊中與所述位元對應的一組碼流塊的類型，所述碼塊內容包括 2^n 個位元組；

所述 2^n 組碼流塊中的第 i 組碼流塊包括的控制塊是基於所述類型、所述類型指示中與所述第 i 組碼流塊對應的位元和所述碼塊內容中與所述第 i 組碼流塊對應的位元組得到的，所述 i 為大於等於1且小於等於 2^n 的整數或者所述 i 為大於等於0且小於等於 $2^n - 1$ 的整數；

所述 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於所述類型指示中與所述第 i 組碼流塊對應的位元對所述碼塊內容中與所述第 i 組碼流塊對應的位元組進行所述第一解碼得到的。

【請求項12】 如請求項11所述的方法，其中，所述 2^n 個位元組包括第一位元組和 $2^n - 1$ 個第二位元組，所述第一位元組包括的位元數量和所述第二位元組包括的位元數量不相同。

【請求項13】 如請求項9所述的方法，其中，所述資料單元包括類型指示，所述類型和所述類型指示用於指示所述目標碼塊為錯誤碼塊；

所述 2^n 組碼流塊中每組碼流塊包括的控制塊為第一值，所述 2^n 組碼流塊中每組碼流塊包括的資料塊為第二值，所述第一值和所述第二值用於指示所述碼流塊為錯誤碼流塊。

【請求項14】 如請求項9-13任一所述的方法，其中，所述獲取目標碼塊，包括：

接收第二資料，所述第二資料是基於採用前向糾錯FEC碼型編碼的第一資料獲得的；

對所述第二資料進行第二解碼獲取所述目標碼塊，所述第二解碼為糾錯處理。

【請求項15】 如請求項14所述的方法，其中，所述目標碼塊是對所述第二資料進行糾錯但未成功糾錯所獲得的錯誤碼塊。

【請求項16】 如請求項9-13任一所述的方法，其中，所述獲取目標碼塊，包括：

接收第二資料，所述第二資料是基於採用前向糾錯FEC碼型編碼的第一資料獲得的；

對所述第二資料進行第二解碼獲取所述目標碼塊，所述第二解碼為檢錯但不糾錯處理。

【請求項17】 如請求項16所述的方法，其中，所述目標碼塊是從所述第二資料檢出錯誤但不糾錯所獲得的錯誤碼塊。

【請求項18】 如請求項9-13任一所述的方法，其中，所述 2^n 組碼流塊根據錯誤檢測結果以及所述目標碼塊的類型和資料單元對所述目標碼塊進行所述第一解碼得到，所述錯誤檢測結果基於所述目標碼塊的類型和資料單元得到。

【請求項19】 如請求項18所述的方法，其中，所述錯誤檢測結果包括所述目標碼塊的內容順序錯誤或內容錯誤，所述 2^n 組碼流塊根據第二碼塊的類型和資料單元對所述第二碼塊進行所述第一解碼得到，所述第二碼塊是對所述目標碼塊進行轉換得到的且與所述目標碼塊位元數相同的碼塊。

【請求項20】 如請求項18所述的方法，其中，所述錯誤檢測結果包括所述目標碼塊的內容順序錯誤或內容錯誤，所述 2^n 組碼流塊基於對 2^n 組第一碼流塊進行轉換得到，所述 2^n 組第一碼流塊基於所述目標碼塊的類型和資料單元對所述目標碼塊進行所述第一解碼得到。

【請求項21】 如請求項9-13任一所述的方法，其中，所述 2^n 組碼流塊均為介質無關介面MII格式。

【請求項22】 一種編碼裝置，其中，所述裝置包括：

獲取模組，用於獲取 2^n 組碼流塊，任一組碼流塊包括控制塊和資料塊，所述 n 為大於1的整數；

第一編碼模組，用於對所述 2^n 組碼流塊進行第一編碼，得到目標碼塊，所述目標碼塊包括基於所述 2^n 組碼流塊的控制塊確定的類型和基於所述 2^n 組碼流塊的控制塊和資料塊確定的資料單元；

其中，所述控制塊包括 m 位元，所述資料塊包括 $8m$ 位元，所述 m 為正整數；

其中，所述 n 的取值為2，所述 m 的取值為8，所述目標碼塊為257位元。

【請求項23】 如請求項22所述的裝置，其中，所述類型用於指示所述目標碼塊為資料碼塊；所述資料單元基於所述 2^n 組碼流塊的順序對所述 2^n 組碼流塊的資料塊進行所述第一編碼得到。

【請求項24】 如請求項22所述的裝置，其中，所述類型用於指示所述目標碼塊為控制碼塊；所述資料單元包括類型指示和碼塊內容，所述碼塊內容基於所述 2^n 組碼流塊的控制塊和資料塊確定的順序對所述 2^n 組碼流塊的資料塊進行所述第一編碼得到，所述類型指示基於所述 2^n 組碼流塊的控制塊得到，所述類型指示用於指示各組碼流塊的類型。

【請求項25】 如請求項24所述的裝置，其中，所述目標碼塊為錯誤碼塊，所述錯誤碼塊中包括用於標識錯誤的資料。

【請求項26】 如請求項22-25任一所述的裝置，其中，所述目標碼塊基於錯誤檢測結果對所述 2^n 組碼流塊進行處理得到，所述錯誤檢測結果基於所述 2^n 組碼流塊的控制塊和資料塊得到。

【請求項27】 如請求項26所述的裝置，其中，所述錯誤檢測結果包括所述 2^n 組碼流塊的內容順序錯誤或內容錯誤，所述目標碼塊基於所述 2^n 組碼流塊中內容順序正確且內容正確的碼流塊以及錯誤塊進行所述第一編碼得到，所述錯誤塊基於所述 2^n 組碼流塊中內容順序錯誤或內容錯誤的碼流塊得到。

【請求項28】 如請求項22-25任一所述的裝置，其中，所述 2^n 組碼流塊均來自介質無關介面MII。

【請求項29】 如請求項22-25任一所述的裝置，其中，所述裝置還包括：

第二編碼模組，用於按照前向糾錯FEC碼型對所述目標碼塊進行第二編碼，得到第一資料；

發送模組，用於發送所述第一資料。

【請求項30】 一種解碼裝置，其中，所述裝置包括：

獲取模組，用於獲取目標碼塊，所述目標碼塊包括類型和資料單元；

解碼模組，用於根據所述目標碼塊的類型和資料單元，對所述目標碼塊進行第一解碼，得到 2^n 組碼流塊，任一組碼流塊包括基於所述類型和所述資料單元得到的控制塊和資料塊，所述 n 為大於1的整數；

其中，所述控制塊包括 m 位元，所述資料塊包括 $8m$ 位元，所述 m 為正整數；

其中，所述 n 的取值為2，所述 m 的取值為8，所述目標碼塊為257位元。

【請求項31】 如請求項30所述的裝置，其中，所述類型用於指示所述目標碼塊為資料碼塊；所述 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於對所述資料單元中與所述第 i 組碼流塊對應的 $8m$ 長度的內容進行所述第一解碼得到的，所述 m 為正整數，所述 i 為大於等於1且小於等於 2^n 的整數或者所述 i 為大於等於0且小於等於 $2^n - 1$ 的整數。

【請求項32】 如請求項30所述的裝置，其中，所述類型用於指示所述目標碼塊為控制碼塊，所述資料單元包括類型指示和碼塊內容，所述類型指示包括 2^n 個位元，所述 2^n 個位元中的1個位元用於指示所述 2^n 組碼流塊中與所述位元對應的一組碼流塊的類型，所述碼塊內容包括 2^n 個位元組；所述 2^n 組碼流塊中的第 i 組碼流塊包括的控制塊是基於所述類型、所述類型指示中與所述第 i 組碼流塊對應的位元和所述碼塊內容中與所述第 i 組碼流塊對應的位元組得到的，所述 i 為大於等於1且小於等於 2^n 的整數或者所述 i 為大於等於0且小於等於 $2^n - 1$ 的整數；所述 2^n 組碼流塊中的第 i 組碼流塊包括的資料塊是基於所述類型指示中與所述第 i 組碼流塊對應的位元對所述碼塊內容中與所述第 i 組碼流塊對應的位元組進行所述第一解碼得到的。

【請求項33】 如請求項32所述的裝置，其中，所述 2^n 個位元組包括第一位元組和 $2^n - 1$ 個第二位元組，所述第一位元組包括的位元數量和所述第二位元組包括的位元數量不相同。

【請求項34】 如請求項30所述的裝置，其中，所述資料單元包括類型指示，所述類型和所述類型指示用於指示所述目標碼塊為錯誤碼塊；所述 2^n 組碼流塊中每組碼流塊包括的控制塊為第一值，所述 2^n 組碼流塊中每組碼流塊包括的資料塊為第二值，所述第一值和所述第二值用於指示所述碼流塊為錯誤碼流塊。

【請求項35】 如請求項30-34任一所述的裝置，其中，所述獲取模組，用於接收第二資料，所述第二資料是基於採用前向糾錯FEC碼型編碼的第一資料獲得的；對所述第二資料進行第二解碼獲取所述目標碼塊，所述第二解碼為糾錯處理。

【請求項36】 如請求項35所述的裝置，其中，所述目標碼塊是對所述第二資料進行糾錯但未成功糾錯所獲得的錯誤碼塊。

【請求項37】 如請求項30-34任一所述的裝置，其中，所述獲取模組，用於接收第二資料，所述第二資料是基於採用前向糾錯FEC碼型編碼的第一資料獲得的；對所述第二資料進行第二解碼獲取所述目標碼塊，所述第二解碼為檢錯但不糾錯處理。

【請求項38】 如請求項37所述的裝置，其中，所述目標碼塊是從所述第二資料檢出錯誤但不糾錯所獲得的錯誤碼塊。

【請求項39】 如請求項30-34任一所述的裝置，其中，所述 2^n 組碼流塊根據錯誤檢測結果以及所述目標碼塊的類型和資料單元

對所述目標碼塊進行所述第一解碼得到，所述錯誤檢測結果基於所述目標碼塊的類型和資料單元得到。

【請求項40】 如請求項39所述的裝置，其中，所述錯誤檢測結果包括所述目標碼塊的內容順序錯誤或內容錯誤，所述 2^n 組碼流塊根據第二碼塊的類型和資料單元對所述第二碼塊進行所述第一解碼得到，所述第二碼塊是對所述目標碼塊進行轉換得到的且與所述目標碼塊位元數相同的碼塊。

【請求項41】 如請求項39所述的裝置，其中，所述錯誤檢測結果包括所述目標碼塊的內容順序錯誤或內容錯誤，所述 2^n 組碼流塊基於對 2^n 組第一碼流塊進行轉換得到，所述 2^n 組第一碼流塊基於所述目標碼塊的類型和資料單元對所述目標碼塊進行所述第一解碼得到。

【請求項42】 如請求項30-34任一所述的裝置，其中，所述 2^n 組碼流塊均為介質無關介面MII格式。

【請求項43】 一種網路設備，其中，所述網路設備包括：處理器，所述處理器與記憶體耦合，所述記憶體中儲存有至少一條程式指令或代碼，所述至少一條程式指令或代碼由所述處理器載入並執行，以使所述網路設備實現如請求項1-21中任一所述的方法。

【請求項44】 一種通信系統，其中，所述系統包括第一網路設備和第二網路設備，所述第一網路設備用於執行如請求項1-8中任一所述的方法，所述第二網路設備用於執行如請求項9-21中任一所述的方法。

【請求項45】 一種電腦可讀儲存介質，其中，所述電腦可讀儲存介質中儲存有至少一條程式指令或代碼，所述程式指令或代碼由處理器載入並執行時以使電腦實現如請求項1-21中任一所述的方法。

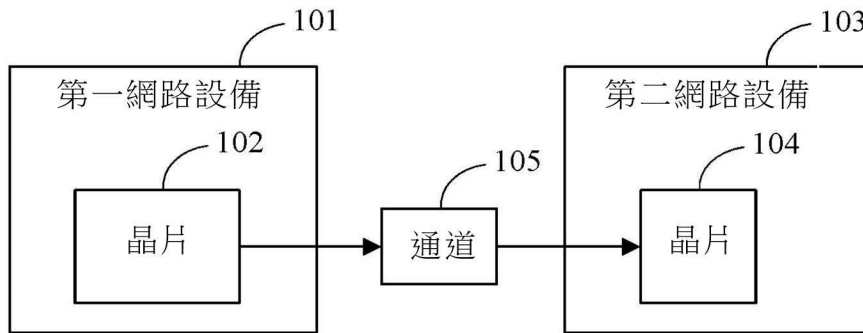
【請求項46】 一種電腦程式產品，其中，所述電腦程式產品包括電腦程式代碼，當所述電腦程式代碼被電腦運行時，使得所述電腦實現如請求項1-21中任一所述的方法。

【請求項47】 一種晶片，其中，所述晶片包括處理器，所述處理器用於從記憶體中調用並運行所述記憶體中儲存的指令，使得安裝有所述晶片的通信設備執行如請求項1-21中任一所述的方法。

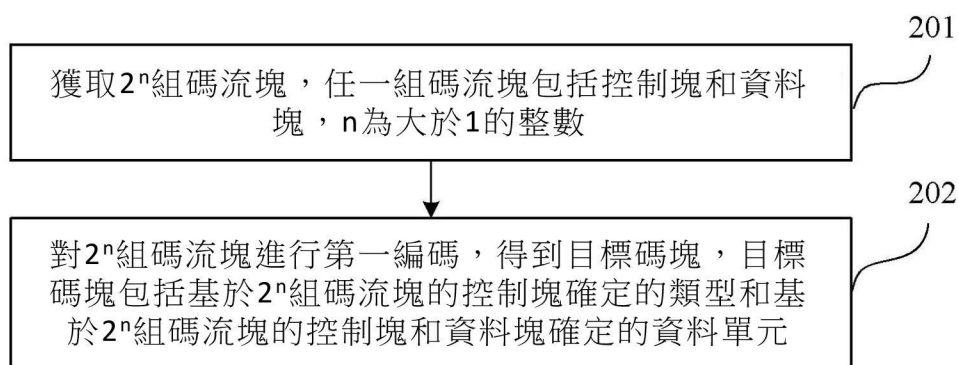
【請求項48】 一種晶片，其中，所述晶片包括：輸入介面、輸出介面、處理器和記憶體，所述輸入介面、所述輸出介面、所述處理器以及所述記憶體之間通過內部連接通路相連，所述處理器用於執行所述記憶體中的代碼，當所述代碼被執行時，所述處理器用於執行如請求項1-21中任一所述的方法。

【發明圖式】

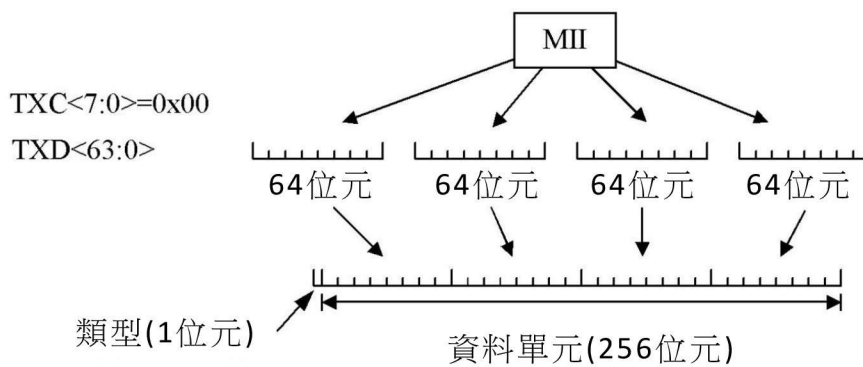
113-3-26



【圖1】



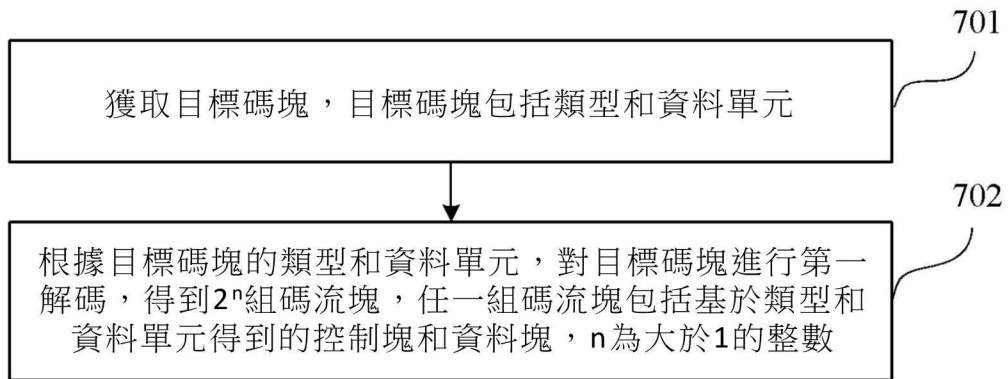
【圖2】



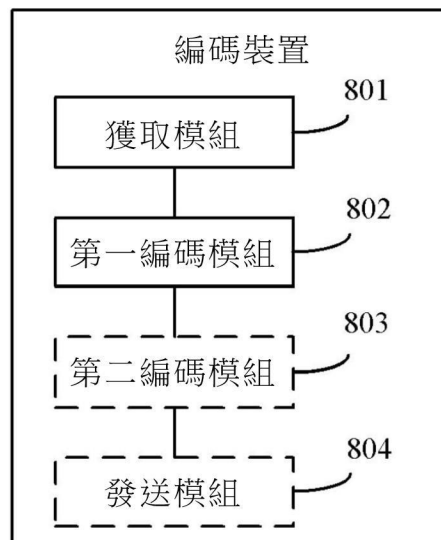
【圖3】

類型	資料單元			
1	D0	D1	D2	D3

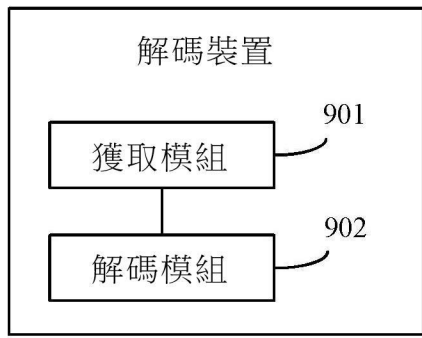
【圖4】



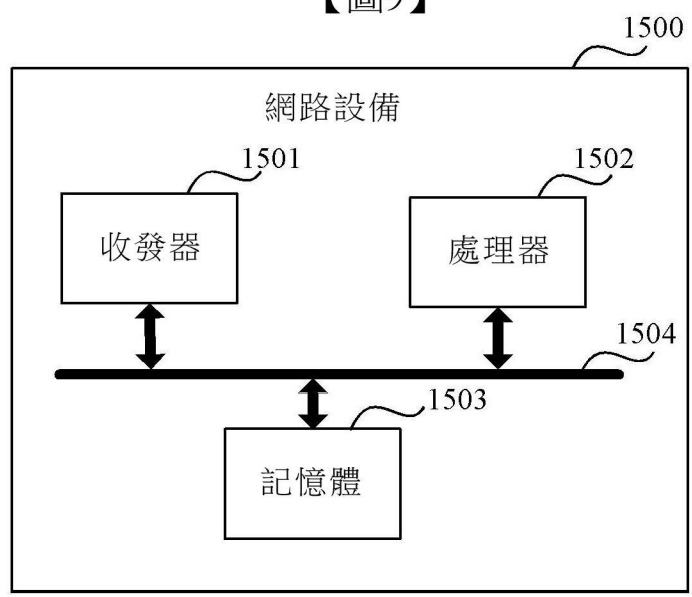
【圖7】



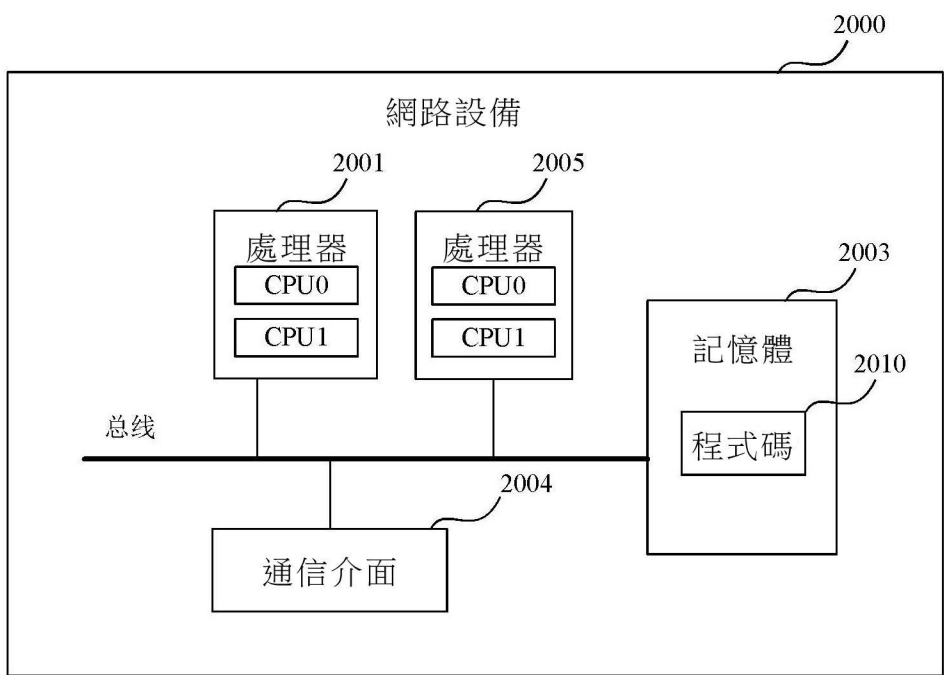
【圖8】



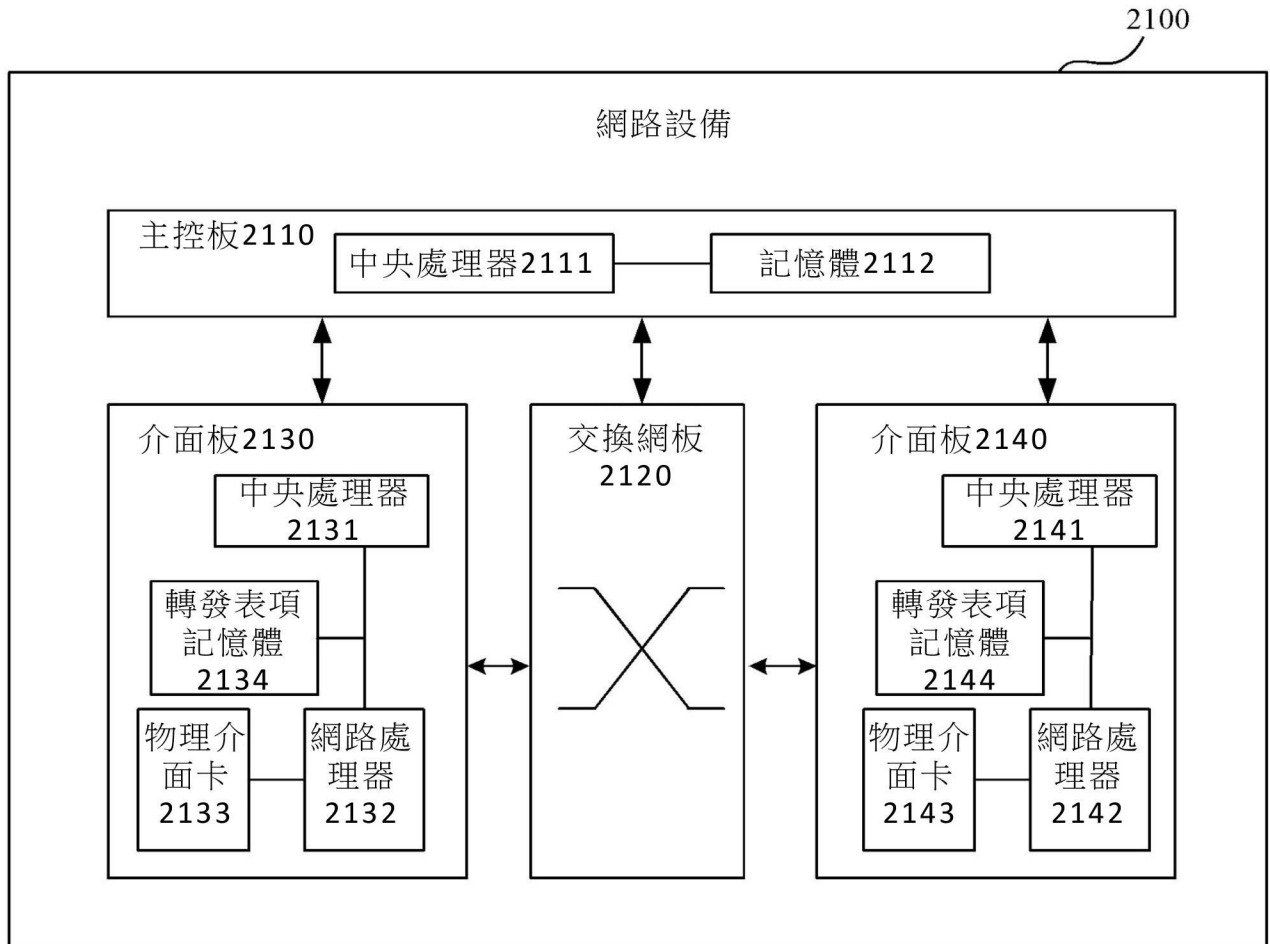
【圖9】



【圖10】



【圖11】



【圖12】