

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/11

H01L 21/8244

[12] 发明专利申请公开说明书

[21] 申请号 00118811.9

[43] 公开日 2001 年 7 月 25 日

[11] 公开号 CN 1305228A

[22] 申请日 2000.4.29 [21] 申请号 00118811.9

[30] 优先权

[32] 1999.10.25 [33] JP [31] 302270/1999

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 芦田基 神谷好一 浜砂荣二

[74] 专利代理机构 中国专利代理(香港)有限公司

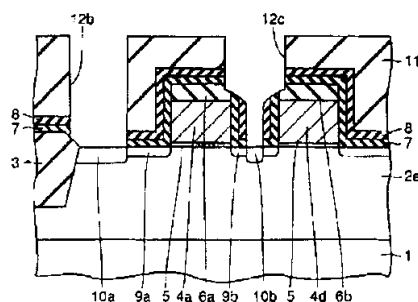
代理人 叶恺东

权利要求书 5 页 说明书 14 页 附图页数 16 页

[54] 发明名称 半导体器件

[57] 摘要

在硅衬底 1 的 p 阱 2a 的表面上形成包括栅电极 4a 的驱动晶体管 T3。为了覆盖该驱动晶体管 T3, 形成氧化硅膜 7 和氮化硅膜 8。在该氮化硅膜 8 上形成层间绝缘膜 11。至少按与栅电极 4a 平面重叠那样来配置接触孔 12c。由此, 可以获得进行期望动作并且可缩小存储器单元区域的半导体器件。



ISSN 1008-4274

权 利 要 求 书

1.一种半导体器件, 包括:

在半导体衬底(1)的主表面上形成的第一导电型区域(2a),

5 在所述半导体衬底(1)的主表面上在由元件隔离膜(3)分隔的所述第一导电型区域(2a)的表面上形成的元件形成区域(20a~20d),

形成在所述元件形成区域(20a~20d)中的预定半导体元件(T1~T6),

形成在所述半导体衬底(1)上以便覆盖所述半导体元件的绝缘膜(11),

和

10 在所述绝缘膜(11)上形成的露出所述元件形成区域(20a~20d)表面的第一接触孔(12c、12g),

其特征在于, 所述半导体元件(T1~T6)包括:

可横过所述元件形成区域(20a~20d)形成的电极部分(4a~4e),

15 夹置所述电极部分(4a~4e)且在所述元件形成区域(20a~20d)的一侧和另一侧上形成的有第一杂质浓度的第二导电型的一对第一杂质区域(9a~9d),
和

形成在所述第一杂质区域(9a~9d)内的至少一个区域中以便包含所述第一接触孔(12c、12g)的接触部分且有比所述第一杂质浓度高的第二杂质浓度的第二导电型的第二杂质区域(10a~10d),

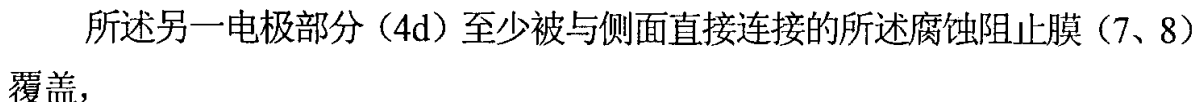
20 在所述绝缘膜(11)和所述半导体元件(T1~T6)之间, 形成与所述绝缘膜(11)腐蚀特性不同的腐蚀阻止膜(7、8), 以便与所述电极部分(4a~4e)两侧面直接连接, 覆盖所述电极部分(4a~4e),

所述第一接触孔(12c、12g)按与所述电极部分(4a~4e)平面重叠那样来配置。

25 2.如权利要求1的半导体器件, 其特征在于, 所述绝缘膜(11)包括氧化硅膜(11),

所述腐蚀阻止膜(7、8)至少包括氮化硅膜。

3.如权利要求1的半导体器件, 其特征在于, 还包括与所述电极部分(4a~4e)隔开间隔, 且横过所述元件形成区域(20a~20d)那样形成的另一电
30 极部分(4d),



所述第一接触孔（12c、12g）按与所述另一电极部分（4d）平面重叠那样来配置。

4.如权利要求3的半导体器件,其特征在于,所述电极部分(4a)与所述另一电极部分(4d)的间隔比所述腐蚀阻止膜(7、8)膜厚两倍长,

所述腐蚀阻止膜(7、8)的膜厚比所述电极部分(4a)和所述另一电极部分(4d)的高度薄。

5.如权利要求1的半导体器件,其特征在于,所述第二杂质区域(10a、10b)
10 通过所述第一接触孔(12c、12g)的所述接触部分导入杂质来形成。

6.如权利要求1的半导体器件,其特征在于,还包括形成在所述绝缘膜(11)中不与所述电极部分(4a)平面重叠配置的第二接触孔(12h),和

包括所述第二接触孔(12h)的接触部分,且形成在所述第一杂质区域(9c)内的其它区域中,有比所述第一杂质浓度高的第三杂质浓度的第二导电型的第三杂质区域(10c),

所述半导体元件(T5)是还包括所述第三杂质区域(10c)的晶体管(T5),

所述第三杂质区域(10c)与位于所述第三杂质区域(10c)侧所述电极部分(4a)的侧面正下方的所述半导体衬底(1)的主表面的距离(S1)比所述第二杂质区域(10d)与位于所述第二杂质区域(10d)侧所述电极部分(4a)的侧面正下方的所述半导体衬底(1)的主表面的距离(S2)长。

7.如权利要求6的半导体器件,其特征在于,所述元件隔离绝缘膜(3)由所述腐蚀阻止膜(7、8)覆盖,

所述第一或第二接触孔（12c、12g、12h）按与所述元件隔离绝缘膜（3）平面重叠那样配置。

25 8.如权利要求1的半导体器件,其特征在于,还包括:

第三接触孔(12h),形成在所述绝缘膜(11)中,按与所述电极部分(4e)平面重叠那样来配置;和

第二导电型的第四杂质区域(10c), 包括所述第三接触孔(12h)的接触部分, 且形成在所述第一杂质区域(9c、9d)内的其它区域中, 有比所述第一杂质浓度高的第二杂质浓度,

所述半导体元件(T5)是还包括所述第四杂质区域(10c)的晶体管(T5),
 所述第四杂质区域(10c)与位于所述第四杂质区域(10c)侧所述电极部分(4e)的侧面正下方的所述半导体衬底(1)的主表面的距离(S1)和所述第二杂质区域(10d)与位于所述第二杂质区域(10d)侧所述电极部分(4e)的侧面正下方的所述半导体衬底(1)的主表面的距离(S2)实际上相同。

9.如权利要求8的半导体器件,其特征在于,在所述第一接触孔(12g)和所述第三接触孔(12h)与所述电极部分(4e)平面重叠的部分中,所述电极部分(4e)的电极长度比其它部分长。

10.如权利要求9的半导体器件,其特征在于,所述第一或第三接触孔(12g、12h)按与所述元件隔离绝缘膜(3)平面重叠那样来配置。

11.如权利要求1的半导体器件,其特征在于,有多个所述半导体元件(T1~T6),还包括:

第二接触孔(12h),形成在所述绝缘膜(11)中,按不与所述电极部分(4a)平面重叠那样来配置;

第二导电型的第三杂质区域(10c),包括所述第二接触孔(12h)的接触部分,形成在所述第一杂质区域(9c、9d)内的其它区域中,有比所述第一杂质浓度高的第二杂质浓度;

第三接触孔(12h),形成在所述绝缘膜(11)中,按与所述电极部分(4e)平面重叠那样来配置;和

第二导电型的第四杂质区域(10c),包括所述第三接触孔(12h)的接触部分,形成在所述第一杂质区域(9c、9d)内的其它区域中,有比所述第一杂质浓度高的第二杂质浓度,

所述半导体元件(T5)包括:

第一晶体管(T5),有所述电极部分(4a)、一对所述第一杂质区域(9c、9d)、所述第二杂质区域(10d)和所述第三杂质区域(10c);和

第二晶体管(T5),有所述电极部分(4e)、一对所述第一杂质区域(9c、9d)、所述第二杂质区域(10d)和所述第四杂质区域(10c);

所述第三杂质区域(10c)与位于所述第三杂质区域(10c)侧所述电极部分(4a)的侧面正下方的所述半导体衬底(1)的主表面的距离(S1)比所述第二杂质区域(10d)与位于所述第二杂质区域(10d)侧所述电极部分(4a)

的侧面正下方的所述半导体衬底(1)的主表面的距离(S2)长,

所述第四杂质区域(10c)与位于所述第四杂质区域(10c)侧所述电极部分(4e)的侧面正下方的所述半导体衬底(1)的主表面的距离(S1)和所述第二杂质区域(10d)与位于所述第二杂质区域(10d)侧所述电极部分(4e)的侧面正下方的所述半导体衬底(1)的主表面的距离(S2)实际上相同。

12.如权利要求 11 的半导体器件,其特征在于,配有静态存储器单元,该静态存储器单元包括:

栅极和漏极交叉连接的一对驱动晶体管(T3、T4);

使源极与所述驱动晶体管(T3、T4)的各自漏极连接的一对存取晶体管(T1、T2);和

使漏极与所述驱动晶体管(T3、T4)的各自漏极连接,栅极与所述驱动晶体管(T3、T4)的各自栅极连接的一对负载晶体管(T5、T6),

所述存取晶体管(T1、T2)是所述第一晶体管(T1、T2),

所述驱动晶体管(T3、T4)和所述负载晶体管(T5、T6)是所述第二晶体管(T3~T6)。

13.如权利要求 1 的半导体器件,其特征在于,还包括:

导电体部分(14e、14d),按可埋入所述第一接触孔(12c、12b)那样来形成;和

布线层(14e、14d),形成在所述绝缘膜(11)中,与所述导电体部分(14e、14d)电连接,

所述布线层(14e、14d)部分覆盖所述导电体部分(14e、14d)的上表面,未被所述布线层(14e、14d)覆盖的所述导电体部分(14e、14d)的上表面处于比所述绝缘膜(11)的上表面低的位置。

14.如权利要求 1 的半导体器件,其特征在于,还包括形成在所述元件隔离绝缘膜(3)中且露出所述第一导电型区域的表面的第四接触孔(12k、12m)。

15.一种半导体器件,包括:

形成在半导体衬底(1)的主表面上的绝缘膜(11);

形成在所述绝缘膜(11)上且露出所述半导体衬底(1)的主表面的接触孔(12c、12b);

被埋入所述接触孔(12c、12b)中的导电体部分(14e、14d),和

形成在所述绝缘膜（11）上并与所述导电体部分（14e、14d）电连接的布线层（14e、14d），

其特征在于，所述布线层（14e、14d）覆盖所述导电体部分（14e、14d）上表面的一部分，

- 5 未被所述布线层（14e、14d）覆盖的所述导电体部分（14e、14d）的上表面处于比所述绝缘膜（11）上表面低的位置。

说明书

半导体器件

5 本发明涉及半导体器件，特别涉及配有静态随机存取存储器（以下记为‘SRAM’）的半导体器件。

近年来，为了在携带装置中可以尽量利用电池进行长时间使用，使携带装置中装入的半导体器件节省能量和低电压化日益变得重要。与此相伴，对低功耗功率并且可低电压工作的 SRAM 的需要不断扩大。

10 为了与这种要求对应，作为 SRAM 的存储器单元，使用 CMOS 型存储器单元。CMOS 型存储器单元由四个 n 沟道型 MOS 晶体管和两个 p 沟道型 MOS 晶体管构成。

一般来说，在 SRAM 存储器单元中，使用两个存取晶体管和两个驱动晶体管。在 CMOS 型存储器单元的情况下，除了这些晶体管以外，作为负载元
15 件，还使用两个负载晶体管。

因此，使用附图说明以往的 CMOS 型存储器单元。参照图 19，在硅衬底的表面上，形成由场隔离膜 103 分隔的元件形成区域 120a、120b、120c、120d。在元件形成区域 120a 中，形成存取晶体管 T1、驱动晶体管 T3。

在元件形成区域 120b 中，形成存取晶体管 T2、驱动晶体管 T4。在元件
20 形成区域 120c 中，形成负载晶体管 T5。在元件形成区域 120d 中，形成负载晶体管 T6。

形成可横过元件形成区域 120a、120b 的栅电极 104c。此外，形成可横过元件形成区域 120a、120c 的栅电极 104a。形成可横过元件形成区域 120b、120d 的栅电极 104b。形成露出元件形成区域 120a 表面的接触孔 112a、112b、112c。

25 形成露出元件形成区域 120b 表面的接触孔 112d、112e、112f。形成露出元件形成区域 120c 表面的接触孔 112g、112h。形成露出元件形成区域 120d 表面的接触孔 112i、112j。

此外，形成露出 n 阱 120b 表面的接触孔 112k、112m。再有，栅电极 104a 是相邻的其它存储器单元的栅电极。在一个 SRAM 中，在硅衬底上形成多个
30 这样的存储器单元。

下面，根据图 19 所示的剖面线 XX-XX 说明上述存储器单元的制造方法的一例。参照图 20，在硅衬底 101 的预定区域中形成 p 阱 102a。在该 p 阱 102a 的表面上，夹入栅极绝缘膜 105，以栅极上层绝缘膜 106a、106b 作为掩模，分别形成栅电极 104a、104d。

5 以该栅电极 104a、104d 和栅极上层绝缘膜 106a、106b 作为掩模，通过注入例如磷等杂质，分别形成 n⁻漏区 109a 和 n⁻源区 109b。

接着，参照图 21，例如按照 CVD 方法形成氧化硅膜（图中未示出），以便覆盖栅电极 104a、104d 和栅极上层绝缘膜 106a、106b。通过对该氧化硅膜实施各向异性腐蚀，在栅电极 104a 的两侧面上形成侧壁绝缘膜 107a。此外，
10 在栅电极 104d 的两侧面上分别形成侧壁绝缘膜 107b。

以该侧壁绝缘膜 107a、107b 和栅极上层绝缘膜 106a、106b 作为掩模，通过注入 n 型杂质，分别形成 n⁺漏区 110a、n⁺源区 110b。

接着，参照图 22，为了覆盖侧壁绝缘膜 107a、107b 和栅极上层绝缘膜 106a、106b，在硅衬底 101 上按照 CVD 方法形成由氧化硅膜构成的层间绝缘膜 111。
15 在该层间绝缘膜 111 上形成预定的抗蚀剂图形（图中未示出）。

以该抗蚀剂图形作为掩模，通过对层间绝缘膜 111 实施各向异性腐蚀，形成露出 n⁺漏区 110a 表面的接触孔 112b。此外，形成露出 n⁺源区 110b 表面的接触孔 112c。

接着，参照图 23，例如按照溅射方法形成由钛膜和氮化钛膜构成的阻挡层金属 113，以便覆盖接触孔 112a、112c 的侧面、底面和层间绝缘膜 111 的上表面。在该阻挡层金属 113 上，例如按照 CVD 方法形成钨膜（图中未示出）。
20 在该钨膜上形成抗蚀剂图形（图中未示出）。以该抗蚀剂图形作为掩模，

通过对钨膜和阻挡层金属膜 113 实施各向异性腐蚀，形成布线层 114a、114b、114c。利用以上工艺，完成 SRAM 存储器单元的主要部分。

25 在上述 SRAM 的存储器单元中，对于一个存储器单元来说，必须形成六个 MOS 晶体管。因此，作为负载元件，如果与不采用晶体管的例如其它高阻抗型的存储器单元的情况相比，那么存储器单元的占有面积变大。

此外，对于各个晶体管来说，还必须分别设置与晶体管电连接的接触孔。其结果，半导体芯片的尺寸就会变大。

30 因此，为了消除这样的问题，如果采用例如使接触孔更靠近栅电极，缩小

元件形成区域的对策，那么存在以下所示的问题。

首先，在使接触孔靠近栅电极的情况下，例如在图 22 所示的工艺中形成接触孔 112c 时，往往露出栅电极 104a。因此，接触孔 112c 中埋入的钨和栅电极 104a 就会短路。

5 此外，如果缩小元件形成区域，那么例如在图 22 所示的工艺中，在形成接触孔 112b 时，场隔离膜 103 往往被过度腐蚀。因此，来自接触孔 112b 中形成的钨插入场隔离膜 103 的过度腐蚀部分，电流就会向 p 阱漏泄。

因此，不能容易地缩小存储器单元的占有面积，不能进一步缩小芯片尺寸。

10 本发明是解决上述问题的发明，目的在于获得可以进行期望工作并且进一步缩小芯片尺寸的半导体器件。

本发明第一方案的半导体器件包括第一导电型区域、元件形成区域、半导体元件、绝缘膜和第一接触孔。第一导电型区域形成在半导体衬底的主表面上。元件形成区域在半导体衬底的主表面上由元件隔离绝缘膜分隔，形成在第一导电型区域的表面上。半导体元件形成在元件形成区域中。绝缘膜按可覆盖半导

15 体元件那样形成在半导体衬底上。第一接触孔形成在绝缘膜中，露出元件形成区域的表面。该半导体元件有电极部分、第二导电型的一对第一杂质区域和第二导电型的第二杂质区域。电极部分按可横过元件形成区域那样来形成。第二导电型的一对第一杂质区域插入电极部分分别形成在元件形成区域的一侧和另一侧。第二导电型的第二杂质区域形成在第一杂质区域内的至少一个区域中，

20 以便包括第一接触孔的接触部分，并有比第一杂质浓度高的第二杂质浓度。在绝缘膜和半导体元件之间，形成与绝缘膜腐蚀特性不同的腐蚀阻止膜，以便覆盖与电极两侧面直接连接的电极部分。第一接触孔按与电极部分平面重叠那样来配置。再有，如果进行平面重叠，那么对于半导体器件的布局图形来说，就称为进行重叠。以下相同。

25 按照这种半导体器件，即使第一接触孔配置在与电极部分平面重叠的位置上，由于利用与电极部分侧面直接连接的腐蚀阻止膜覆盖电极部分，所以通过形成第一接触孔时的腐蚀电极部分的表面未露出，而元件形成区域的表面自对准地露出。因此，电极部分和第一接触孔中埋入的布线材料不会短路。其结果，可获得具有更加缩小的芯片尺寸进行期望工作的半导体器件。

30 最好绝缘膜包括氧化硅膜，腐蚀阻止膜至少包括氮化硅膜。

在这种情况下，可以提高绝缘膜腐蚀率与形成第一接触孔时的腐蚀阻止膜的腐蚀率之比（腐蚀选择比），可以实质上不腐蚀氮化硅膜，而腐蚀氧化硅膜。

而且，最好腐蚀阻止膜还包括在氮化硅膜下侧形成的氧化硅膜。

在这种情况下，可以进一步提高腐蚀选择比。

5 而且，最好绝缘膜含有可提高腐蚀阻止膜腐蚀选择比的杂质。

在这种情况下，可以进一步提高腐蚀选择比。

作为这种杂质，磷或硼较好。

最好还包括与电极部分隔开间隔，按可横过元件形成区域那样形成的另一电极部分，另一电极部分被至少与侧面直接连接的腐蚀阻止膜覆盖，第一接触
10 孔按与另一电极平面重叠那样来配置。

这种情况下，第一接触孔按与另一电极平面重叠那样来配置，可以容易地缩小配有多个电极部分的半导体器件的芯片尺寸。

此外，期望电极部分与其它电极部分的间隔比腐蚀阻止膜膜厚的两倍长，腐蚀阻止膜的膜厚比电极部分和其它电极部分的高度薄。

15 这种情况下，可以自对准地确实露出在形成第一接触孔时处于相邻的电极部分和其它电极部分之间位置的元件形成区域的表面。

而且，期望通过第一接触孔的接触部分，导入杂质来形成第二杂质区域。

这种情况下，通过接触部分，可以容易自对准地形成第二杂质区域。

最好还包括第二接触孔和第二导电型的第三杂质区域，第二接触孔形成在
20 绝缘膜中，按不与电极部分平面重叠那样来配置，而第二导电型的第三杂质区域包括该第二接触孔的接触部分，形成在第一杂质区域内的其它区域中，有比第一杂质浓度高的第三杂质浓度，半导体元件是包括该第三杂质区域的晶体管，第三杂质区域与位于第三杂质区域侧电极部分的侧面正下方的半导体衬底的主表面的距离比第二杂质区域与位于第二杂质区域侧电极部分的侧面正下方
25 的半导体衬底的主表面的距离长。

这种情况下，在有一对杂质区域、第二杂质区域的第三杂质区域的晶体管中，在第三杂质区域和位于其第三杂质区域侧电极部分的侧面正下方之间，可以有由第一杂质区域构成的一种寄生电阻。在有这种寄生电阻的晶体管中，可以有有意地下降电流驱动能力。

30 最好通过第二接触孔的接触部分并导入杂质来形成该第三杂质区域。

这种情况下，通过接触部分后，可以容易自对准地形成第三杂质区域。

最好元件隔离绝缘膜被腐蚀阻止膜覆盖，第一或第二接触孔分别按与元件隔离绝缘膜平面重叠那样来配置。

5 这种情况下，可以进一步缩小元件形成区域，进一步推进半导体器件芯片尺寸的缩小。此外，利用元件隔离绝缘膜被腐蚀阻止膜覆盖，在形成各自接触孔时元件隔离绝缘膜就不会被过度腐蚀。此外，通过各自接触孔的接触部分导入杂质来形成第二或第三杂质区域，可以抑制来自元件隔离绝缘膜和元件形成区域边界附近的电流漏泄。

10 最好还包括第三接触孔和第二导电型的第四杂质区域，第三接触孔按与电极部分平面重叠那样形成在绝缘膜中，而第二导电型的第四杂质区域包括该第三接触孔的接触部分，形成在第一杂质区域内的其它区域中，有比第一杂质浓度高的第二杂质浓度，半导体元件是包括第四杂质区域的晶体管，第四杂质区域与位于该第四杂质区域侧电极部分的侧面正下方的半导体衬底的主表面的距离与第二杂质区域与位于该第二杂质区域侧电极部分的侧面正下方的半导体衬底的主表面的距离实质上相同。

这种情况下，在具有电极部分、一对第一杂质区域、第二杂质区域和第四杂质区域的晶体管中，通过具有上述距离关系，工作的偏差降低，晶体管的工作稳定。

20 最好在第一接触孔和第三接触孔与电极部分重叠的部分中，电极部分的电极长度比其它部分长。

这种情况下，实质上未扩大元件形成区域，可以通过电极部分，容易地形成位于一侧和另一侧位置的第一接触孔和第三接触孔。

此外，最好第一或第三接触孔各自按与元件隔离绝缘膜平面重叠那样来配置。

25 这种情况下，可以进一步缩小元件形成区域，可以进一步实现半导体器件芯片尺寸的缩小。此外，通过元件隔离膜被腐蚀阻止膜覆盖，在形成第一和第三接触孔时，可以抑制元件隔离绝缘膜被过度腐蚀，从而可以抑制漏泄电流。

而且，最好第四杂质区域通过第三接触孔的接触部分，导入杂质来形成。

在这种情况下，通过接触部分，可以容易自对准地形成第四杂质区域。

30 最好还包括第二接触孔、第二导电型的第三杂质区域、第三接触孔和第二

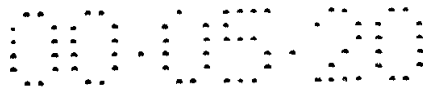
导电型的第四杂质区域，第二接触孔形成在绝缘膜中，按不与电极部分平面重叠那样来配置，第二导电型的第三杂质区域包括该第二接触孔的接触部分，形成在第一杂质区域内的其它区域中，有比第一杂质浓度高的第三杂质浓度，第三接触孔形成在绝缘膜中，按与电极部分平面重叠那样来配置，而第二导电型的第四杂质区域包括该第三接触孔的接触部分，形成在第一杂质区域内的其它区域中，有比第一杂质浓度高的第二杂质浓度。而且，在半导体衬底上形成多个半导体器件，半导体器件最好包括带有电极部分、一对第一杂质区域、第二杂质区域和第三杂质区域的第一晶体管，以及带有电极部分、一对第一杂质区域、第二杂质区域和第四杂质区域的第二晶体管。而且，第三杂质区域与位于第三杂质区域侧电极部分的侧面正下方的半导体衬底的主表面的距离比第二杂质区域与位于第二杂质区域侧电极部分的侧面正下方的半导体衬底的主表面的距离长，第四杂质区域与位于该第四杂质区域侧电极部分的侧面正下方的半导体衬底的主表面的距离与第二杂质区域与位于该第二杂质区域侧电极部分的侧面正下方的半导体衬底的主表面的距离实质上相同。

这种情况下，在第一晶体管中，有如上所述的寄生电阻，可以使该晶体管的工作能力（电流驱动能力）下降。此外，在第二晶体管中，没有那样的寄生电阻，可抑制工作的偏差，使工作稳定。

此外，最好有静态存储器单元，包括栅极和漏极交叉连接的一对驱动晶体管，使源极与该对驱动晶体管的各自漏极连接的一对存取晶体管，和使漏极与该对驱动晶体管的各自漏极连接，栅极与该对驱动晶体管的各自栅极连接的一对负载晶体管，存取晶体管是第一晶体管，驱动晶体管和负载晶体管是第二晶体管。

在这种情况下，通过特别以静态存储器单元的存取晶体管作为第一晶体管，利用存在寄生电阻使存取晶体管的电流驱动能力有意地下降，存取晶体管的电流驱动能力与驱动晶体管的电流驱动能力之比（ β 比）变大。其结果，可以使静态存储器单元的工作稳定。

最好还包括导电体部分和布线层，按可埋入第一接触孔那样形成导电体部分，而布线层形成在绝缘膜上，与导电体部分电连接，该布线层部分地覆盖导电体部分的上表面，该布线层未覆盖的导电体部分的上表面处于比绝缘膜的上表面低的位置。



在这种情况下,可以缩小相邻布线层的实际水平间隔,可以进一步减小布线形成区域,从而进一步减小半导体器件的芯片尺寸。

此外,最好还包括第四接触孔,形成在绝缘膜和元件隔离绝缘膜上,露出第一导电型区域的表面。

5 在这种情况下,可以在布局图形不受限制下容易地形成稳定第一导电型区域电位的第四接触孔。

本发明的第二方案的半导体器件包括绝缘膜、接触孔、导电体部分和布线层。绝缘膜形成在半导体衬底的主表面上。接触孔形成在绝缘膜上，露出半导体衬底的主表面。导电体部分埋入接触孔中。布线层形成在绝缘膜上，与导电体部分电连接。该布线层覆盖导电体部分的一部分上表面，未被布线层覆盖的导电体部分的上表面处于比绝缘膜的上表面低的位置。

按照这种半导体器件，通过未被布线层覆盖的导电体部分的上表面处于比绝缘膜的上表面低的位置，可以缩小与导电体部分连接的布线层与其它布线层的实际水平距离。由此，可以缩小形成布线层的区域，从而可以缩小半导体器件的芯片尺寸。

图1是表示本发明实施例1的SRAM的存储器单元的等效电路的图。

图2是表示该实施例中存储器单元平面结构的图。

图3是图2所示的剖面线III-III的剖面图。

图 4 是该实施例中表示图 2 所示的 SRAM 的存储器单元制造方法的一工
20 艺的剖面线 III-III 的剖面图。

图5是表示在该实施例中图4所示工艺后进行的工艺剖面图。

图6是表示在该实施例中图5所示工艺后进行的工艺剖面图。

图7是表示在该实施例中图6所示工艺后进行的工艺剖面图。

图8是表示在该实施例中图7所示工艺后进行的工艺剖面图。

25 图9是表示在该实施例中图8所示工艺后进行的工艺剖面图。

图 10 是表示在该实施例中图 9 所示工艺后进行的工艺剖面图。

图 11 是表示在该实施例中图 10 所示工艺后进行的工艺剖面图。

图 12 是表示在该实施例中图 11 所示工艺后进行的工艺剖面图。

图 13 是表示本发明实施例 2 的 SRAM 的存储器单元的剖面图。

30 图 14 是该实施例中图 13 所示的存储器单元的平面图。

图 15 是表示该实施例中图 13 所示的 SRAM 的存储器单元的制造方法的一工艺的剖面图。

图 16 是本发明实施例 3 的 SRAM 的存储器单元的平面图。

图 17 是在该实施例中存储器单元的图 16 所示的剖面线 XVII-XVII 的剖面图。

图 18 是在该实施例中为了与实施例 1 说明的存储器单元进行比较的图 2 所示的剖面线 XVIII-XVIII 的剖面图。

图 19 是以往的 SRAM 的平面图。

图 20 表示 SRAM 的存储器单元制造方法的一工艺，是基于图 19 所示的剖面线 XX-XX 的剖面图。

图 21 是表示图 20 所示工艺后进行的工艺的剖面图。

图 22 是表示图 21 所示工艺后进行的工艺的剖面图。

图 23 是表示图 22 所示工艺后进行的工艺的剖面图。

实施例 1

下面说明配有本发明实施例 1 的静态存储器单元的半导体器件。图 1 和图 2 分别表示静态存储器单元的等效电路和其平面结构。参照图 1 和图 2，在 SRAM 中，在矩阵状配置的互补型数据线（位线）和字线的交叉部分上配置存储器单元。存储器单元由触发器电路和两个存取晶体管 T1、T2 构成。

在触发器电路中，例如通过负载晶体管 T5 与驱动晶体管 T3 组成的一个倒相器和负载晶体管 T6 与驱动晶体管 T4 组成另一倒相器分别与输入端子和输出端子交叉连接，可构成两个存储节点 N1、N2。

在元件形成区域 20a 中形成存取晶体管 T1 和驱动晶体管 T3。在元件形成区域 20b 中形成存取晶体管 T2 和驱动晶体管 T4。存取晶体管 T1 和存取晶体管 T2 的栅电极 4c 按可横过元件形成区域 20a、20b 那样来形成。

在元件形成区域 20c 中形成负载晶体管 T5。在元件形成区域 20d 中形成负载晶体管 T6。驱动晶体管 T3 和负载晶体管 T5 的栅电极 4a 按可横过元件形成区域 20c、20d 那样来形成。驱动晶体管 T4 和负载晶体管 T6 的栅电极 4b 按可横过元件形成区域 20b、20d 那样来形成。相邻的另一存储器单元的栅电极 4d 与栅电极 4a 隔开间隔地进行配置。

各元件形成区域 20a、20b、20c、20d 由场隔离膜 3 分隔。配置与存取晶

体管 T1 的漏区电连接的接触孔 12a。配置与存取晶体管 T2 的漏区电连接的接触孔 12d。形成与存取晶体管 T1 的源区和驱动晶体管 T3 的漏区电连接的接触孔 12b。

形成与驱动晶体管 T3 的源区电连接的接触孔 12c。形成与存取晶体管 T2 的源区和驱动晶体管 T4 的漏区电连接的接触孔 12e。形成与驱动晶体管 T4 的源区电连接的接触孔 12f。

分别形成与负载晶体管 T5 的漏区和源区分别电连接的接触孔 12h、12g。分别形成与负载晶体管 T6 的漏区和源区分别电连接的接触孔 12i、12j。

而且，形成与 n 阱电连接的接触孔 12k、12m。接触孔 12b 与存储节点 N1 对应。接触孔 12e 与存储节点 N2 对应。接触孔 12c、12f 与主要触点对应。接触孔 12g、12j 与电源线 (V_{CC} 线) 连接。存取晶体管 T1、T2 的栅电极 4c 与字线 (WL) 连接。通过该字线控制存取晶体管 T1、T2 的导通。

在存储节点 N1、N2 上，存在两个状态，即一个存储节点的电压为高电平时，另一个存储节点的电压就为低电平的状态，或与其相反的状态。该状态被称为双稳定状态。预定的电源电压被限定施加在存储器单元上，存储器单元可以持续保持其双稳定状态。在 SRAM 中，上述一个存储器单元在硅衬底的表面上被形成多个。再有，在图 1 和图 2 中，S 表示源区，而 D 表示漏区。

下面，简单地说明该存储器单元的工作。首先，在特定的存储器单元中写入数据时，通过与该存储器单元对应的字线 (WL)，使存取晶体管 T1、T2 导通，同时按照期望的逻辑值对互补型的位线强制地施加电压。由此，触发器电路的两个存储节点 N1、N2 的电位被设定为上述双稳定状态，数据作为电位差被保持。

另一方面，在读出数据时，通过使存储晶体管 T1、T2 导通，存储节点 N1、N2 的电位被传送给位线，就会读出数据。

下面，根据图 2 所示的剖面线 III-III 说明 SRAM 存储器单元的剖面结构。参照图 3，在硅衬底 1 的预定区域中形成 p 阱 2a。在该 p 阱 2a 的表面上形成夹入栅极氧化膜 5 的栅电极 4a 和栅极上层绝缘膜 6a。同样地，形成栅电极 4d 和栅极上层绝缘膜 6b。

在插入栅电极 4a 的 p 阱 2a 的表面上，分别形成 n 漏区 9a 和 n 源区 9b。形成可与栅电极 4a、4d 的各自两侧面直接连接的作为腐蚀阻止膜的氧化硅膜 7

和氮化硅膜 8。

在该氮化硅膜 8 上, 形成例如由氧化硅膜构成的层间绝缘膜 11。在层间绝缘膜 11、氮化硅膜 8 和氧化硅膜 7 中, 形成露出场隔离膜 3 的一部分和 n 漏区 9a 表面的接触孔 12b。此外, 形成露出 n 源区 9b 的接触孔 12c。

5 按其开口端可与场隔离膜 3 重叠那样形成接触孔 12b。按可与栅电极 4a 和栅电极 4c 平面重叠那样形成接触孔 12c。通过插入接触孔 12b 的接触部分导入预定的杂质来形成 n⁺漏区 10a。

此外, 通过插入接触孔 12c 的接触部分导入预定的杂质来形成 n⁺源区 10b。再有, 在接触孔 12b、12c 内, 如下面所述, 形成阻挡层金属和钨膜。

10 下面, 根据图 2 所示的剖面线 III-III 说明该 SRAM 制造方法的一例。首先, 参照图 4, 在硅衬底 1 的表面上形成用于形成元件形成区域的场隔离膜 3。接着, 在预定区域中形成 p 阱 2a 和 n 阱 (图中未示出)。

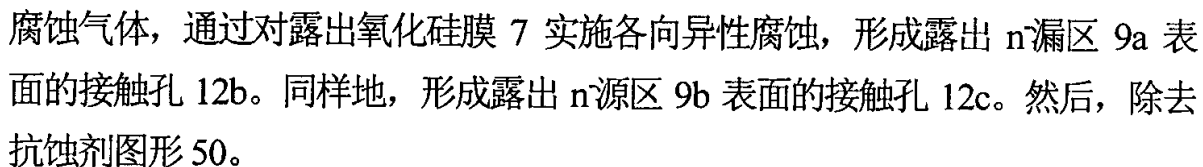
在 p 阱 2a 的表面上形成夹入栅极氧化膜 5 的栅电极 4a、4d 和栅极上层绝缘膜 6a、6b。以栅电极 4a、4d 和栅极上层绝缘膜 6a、6b 作为掩模, 通过注入
15 例如磷等 n 型杂质, 分别形成 n 漏区 9a、n 源区 9b。

接着, 参照图 5, 为了覆盖栅电极 4a、4d 和栅极上层绝缘膜 6a、6b, 例如按照 CVD 方法形成膜厚 1~50nm 的氧化硅膜 7。在该氧化硅膜 7 上, 例如按照 CVD 方法形成膜厚 1~50nm 的氮化硅膜 8。在该氮化硅膜 8 上, 例如按照 CVD 方法形成由膜厚 100~1000nm 的氧化硅膜构成的层间绝缘膜 11。如下所述, 氧
20 化硅膜 7 和氮化硅膜 8 成为形成各接触孔时的腐蚀阻止膜。

接着, 参照图 6, 在层间绝缘膜 11 上形成抗蚀剂图形 50。以该抗蚀剂图形 50 作为掩模, 使用例如包含 C₄F₈ 的腐蚀气体, 通过在层间绝缘膜 11 上实施各向异性腐蚀, 露出氮化硅膜 8 的表面。在该各向异性腐蚀中, 期望氮化硅膜 8 的腐蚀率在层间绝缘膜 11 的腐蚀率的十分之一以下。

25 接着, 参照图 7, 继续以抗蚀剂图形 50 作为掩模, 使用例如包含 CH₂F₂ 的腐蚀气体, 通过对露出氮化硅膜 8 实施各向异性腐蚀, 露出氧化硅膜 7 的表面。在该各向异性腐蚀中, 期望氧化硅膜 7 的腐蚀率在氮化硅膜 8 的腐蚀率的十分之一以下。再有, 在该各向异性腐蚀中, 在栅电极 4a、4d 相互面对的侧面上分别残留氮化硅膜 8a、8b。

30 下面, 参照图 8, 继续以抗蚀剂图形 50 作为掩模, 使用例如包含 CHF₃ 的



接着, 参照图 9, 通过插入接触孔 12b 的接触部分, 注入例如砷等 n 型杂质, 形成 n^+ 漏区 10a。此外, 同样地, 通过插入接触孔 12c 的接触部分, 导入 n 型杂质, 形成 n^+ 源区 10b。

接着, 参照图 10, 在接触孔 12b、12c 的侧面、底面和层间绝缘膜 11 的上表面上, 例如按照溅射方法形成膜厚约 30nm 的钛膜 (图中未示出)。在该钛膜上, 例如按照溅射方法等形成膜厚约 50nm 的氮化钛膜。钛膜和氮化钛膜成为阻挡层金属 13。在该阻挡层金属 13 上, 例如按照 CVD 方法形成钨膜 14。

接着, 参照图 11, 在钨膜 14 上形成抗蚀剂图形 51。以该抗蚀剂图形 51 作为掩模, 通过对钨膜 14 和阻挡层金属 13 实施各向异性腐蚀, 分别形成上层连接布线 14a、14b、14c。然后, 除去抗蚀剂图形 51。

接着, 参照图 12, 为了覆盖上层连接布线 14a、14b、14c, 在层间绝缘膜 15 上 11 上还形成氧化硅膜等绝缘膜 15。如上所述, 完成 SRAM 存储器单元的主要部分。

在上述 SRAM 存储器单元中, 如图 6~图 8 所示, 即使接触孔 12c 的开口端位置配置在与栅电极 4a、4d 重叠的位置上, 利用存在作为直接覆盖栅电极 4a、4d 各自两侧面的腐蚀阻止膜的氧化硅膜 7 和氮化硅膜 8, 可以经过各向异性腐

20 蚀不露出栅电极 4a、4d 的表面, 可以容易自对准地露出 n 源区 9b 的表面。

由此,可以使接触孔 12c 中埋入的上层布线 14b 和栅电极 4a、4d 不短路,缩小 SRAM 存储器单元的区域。

此外，在形成接触孔 12b 时，即使与场隔离膜 3 平面重叠那样来配置，利用存在氮化硅膜 8 和氧化硅膜 7，就不会过度腐蚀场隔离膜 3 的表面。

25 此外,通过插入接触孔 12b 的接触部分,导入 n 型杂质,自对准地形成 n^+ 漏区 10a,可以在其内部包含位于场隔离膜 3 附近位置的元件形成区域部分的结晶缺陷。由此,可以抑制从上层连接布线 14a 向硅衬底 1 的漏泄电流。根据这些结果,可获得进行期望工作并且进一步缩小芯片尺寸的半导体器件。

此外，如图 5 所示，期望作为腐蚀阻止膜的氧化硅膜 7 和氮化硅膜 8 的其
30 膜厚 t 比栅电极 4a、4d 和栅极上层绝缘膜 6a、6b 的高度 H 薄。而且，作为相

邻的栅电极 4a、4d 的间隔 D 比膜厚 t 的两倍长。由此，在图 8 所示的工艺中，在接触孔 12c 的底部确实可以露出 n 源区 9b。

再有，图 6、图 7 和图 8 所示的形成接触孔的腐蚀中采用的腐蚀气体是一个例子，如果相对于腐蚀层间绝缘膜 11 时的腐蚀率来说氮化硅膜 8 的腐蚀率 5 达到十分之一以下的条件，那么就不限于上述例子。

此外，在腐蚀氮化硅膜 8 时，如果相对于氮化硅膜 8 的腐蚀率来说氧化硅膜 7 的腐蚀率达到十分之一以下的条件，那么就不限于上述条件。

特别地，作为层间绝缘膜 11，通过采用添加硼和磷等杂质的氧化硅膜，可以进一步增大层间绝缘膜 11 和氮化硅膜 8 的腐蚀选择比。

10 实施例 2

下面说明配有本发明实施例 2 的 SRAM 存储器单元的半导体器件。参照图 13，在层间绝缘膜 11 上形成的上层连接布线 14d 与接触孔 12b 中埋入部分的上表面部分地连接。此外，上层连接布线 14e 与接触孔 12c 中埋入部分的上表面部分地连接。

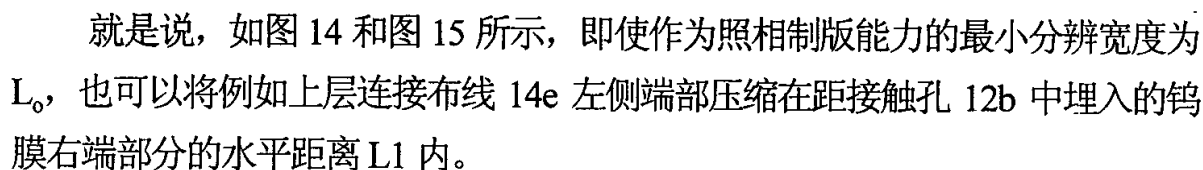
15 未连接上层连接布线 14d 的被埋入接触孔 12b 中的部分的上表面处于比层间绝缘膜 11 的上表面低的位置。同样地，未连接上层连接布线 14e 的被埋入接触孔 12c 中的部分上表面处于比层间绝缘膜 11 的上表面低的位置。再有，由于除此以外的结构与实施例 1 中说明的图 12 所示的结构相同，所以同一部件附以相同的符号，并省略其说明。

20 在上述存储器单元中，在接触孔 12b、12c 的各自埋入部分中形成凹陷 16a、16b。下面，采用附图说明上述存储器单元的制造方法的一例。参照图 15，在图 10 所示的工艺后，在钨膜 14 上形成抗蚀剂图形 52。

以该抗蚀剂图形 52 作为掩模，通过对钨膜 14 和阻挡层金属 13 实施各向异性腐蚀，露出层间绝缘膜 11 的上表面。为了除去在露出的层间绝缘膜 11 的 25 上表面上存在的腐蚀残渣，实施预定的过腐蚀。

通过该过腐蚀，还腐蚀在接触孔 12b、12c 中分别埋入的钨膜 14 和阻挡层金属 13，分别形成凹陷 16a、16b。然后，除去抗蚀剂图形 52。由此，分别形成上层连接布线 14d、14e、14f。

按照上述存储器单元，与实施例 1 中说明的存储器单元相比，可以进一步 30 缩小各上层连接布线 14d、14e、14f 的间隔。



同样，可以将上层连接布线 14f 左侧端部压缩在距接触孔 12c 中埋入的钨膜 14 右端部分的水平距离 L2 内。其结果，可以实现形成在层间绝缘膜 11 上的上层连接布线区域，从而进一步实现存储器单元区域的缩小化。

下面说明配有本发明实施例 3 的 SRAM 存储器单元的半导体器件。参照图 16 和图 17, 特别形成栅电极 4e 和 4f。如图 17 所示, 在该栅电极 4e 中, 在元件形成区域 20c 中形成比其它部分长的栅电极的栅极长度。

同样地，对于栅电极 4f 来说，在元件形成区域 20d 中形成比其它部分长的栅电极的栅极长度。再有，对于除此以外的结构来说，由于与实施例 1 中说明的图 2 所示的结构相同，所以对同一部件附以相同的符号并省略其说明。

在该存储器单元中,在图 17 所示的负载晶体管 T5 中, n^+ 漏区 10c 和位于该 n^+ 漏区 10c 侧的栅电极 4e 侧面正下方的硅衬底 1 的主表面的距离 S_1 与 n^+ 源区 10d 和位于该 n^+ 源区 10d 侧的栅电极 4e 侧面正下方的硅衬底 1 的主表面的距离 S_2 实际上相等。

另一方面, 在实施例 1 中说明的与 SRAM 存储器单元对应的区域中, 如图 18 所示, 对应的距离 S_1 变得比距离 S_2 长。因此, 在负载晶体管 T5 中, 如图 18 所示, p 源区 9c 变成一种寄生电阻 R。

在本实施例的 SRAM 存储器单元中, 作为负载晶体管 T5、T6, 通过制成没有上述寄生电阻 R 的晶体管, 工作的偏差降低, 晶体管的工作更稳定。

另一方面，对于存取晶体管 T1、T2 来说，期望是有寄生电阻的晶体管。而且，对于驱动晶体管 T3、T4 来说，期望是没有寄生电阻的晶体管。

再有，在图 16 所示的结构中，驱动晶体管 T3、T4 是有寄生电阻的晶体管，通过适当配置接触孔 12b、12c，可以制成没有寄生电阻的晶体管。

对于存取晶体管 T1、T2 来说，利用寄生电阻的存在可以有意地降低电流驱动能力。对于驱动晶体管 T3、T4 来说，电流驱动能力比较高，没有工作的偏差。

由此, 可以使存取晶体管 T1、T2 的电流驱动能力与驱动晶体管 T3、T4

的电流驱动能力之比 (β 比) 增大, 其结果, 可以进一步稳定 SRAM 存储器单元的工作。

再有, 在上述各实施例中, 在实例中列举说明了 SRAM 存储器单元, 但使接触孔与栅电极平面重叠的结构除了可以用于 SRAM 以外, 例如还可以用于 DRAM 等其它半导体器件, 可以容易地实现半导体芯片的缩小化或高集成化。

此外, 不仅对于各晶体管的连接来说, 而且对于使形成各晶体管的 p 阱或 n 阱等电位的接触孔 12k、12m 来说, 都可以将接触孔按与场隔离膜 3 平面重叠那样来配置, 可以进一步缩小芯片尺寸。

10 一般可以认为, 以上披露的实施例在所有方面都是例示而不是限制的实施例。本发明的范围不限于上述说明, 而由权利要求书来表示, 意在包括与权利要求范围同等意义和范围内的所有变更。

说明书附图

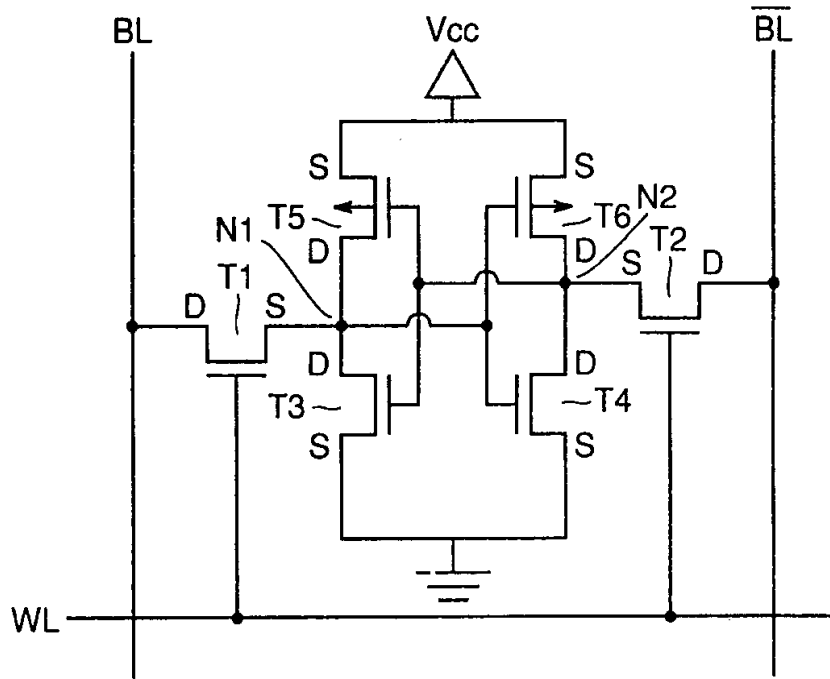


图 1

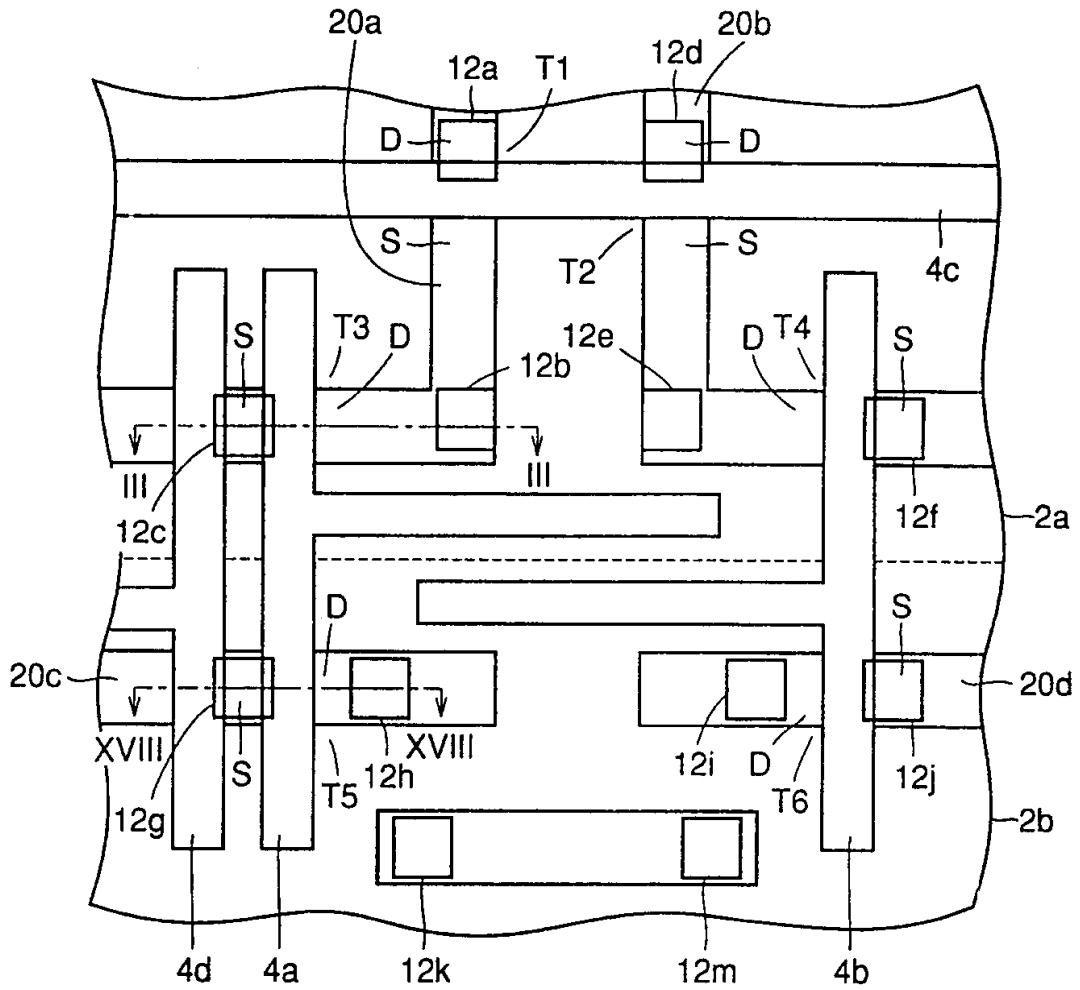


图 2

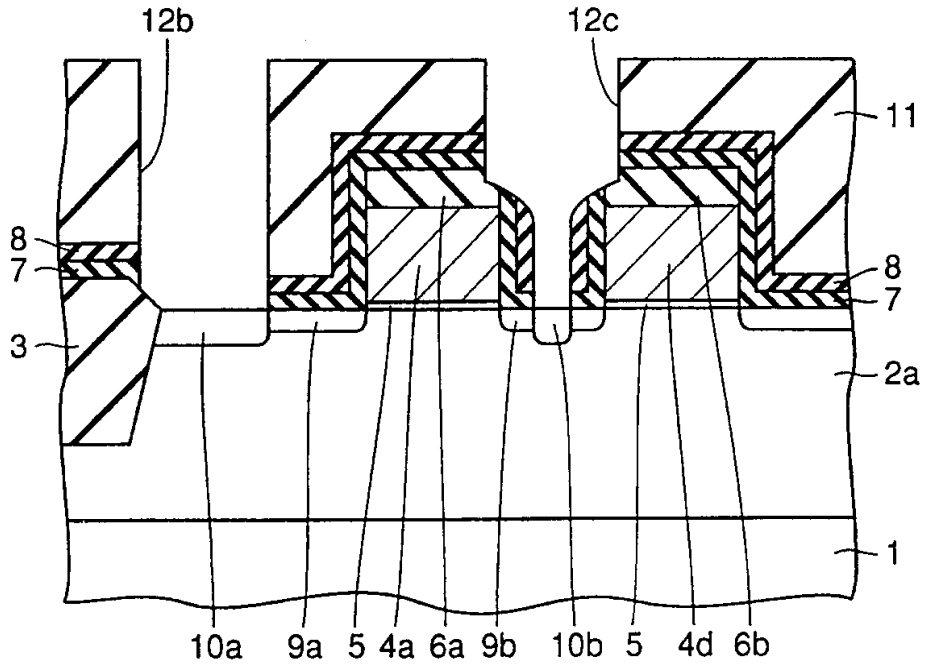


图 3

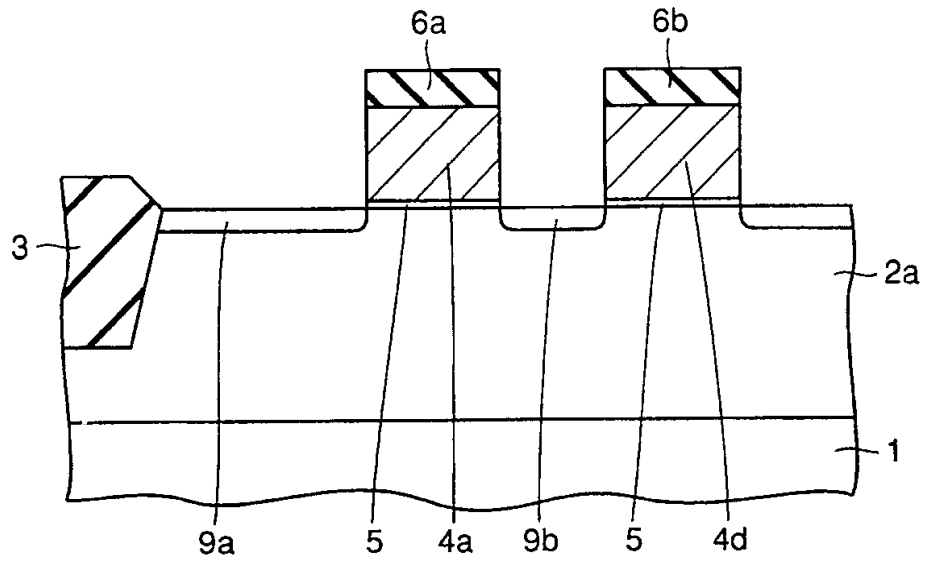


图 4

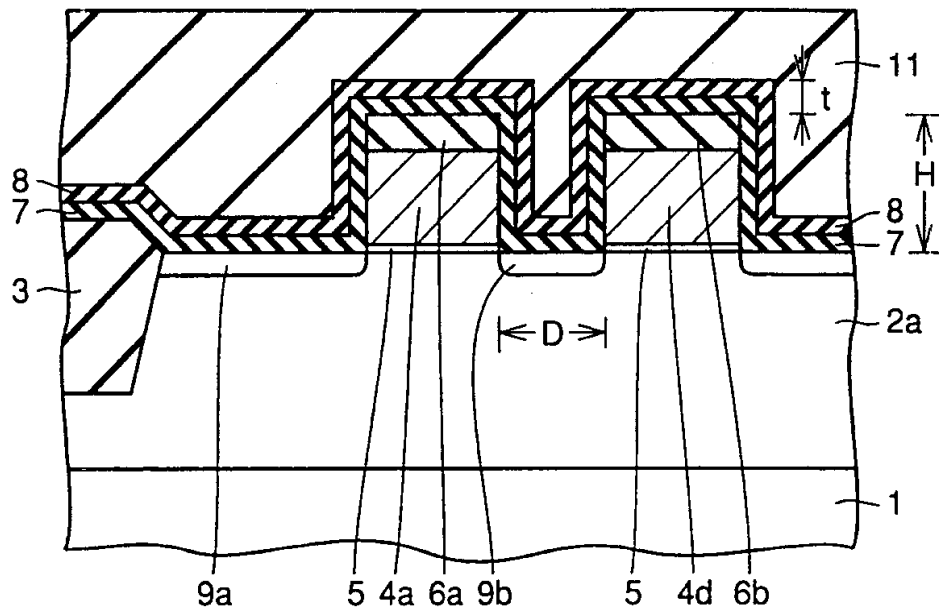


图 5

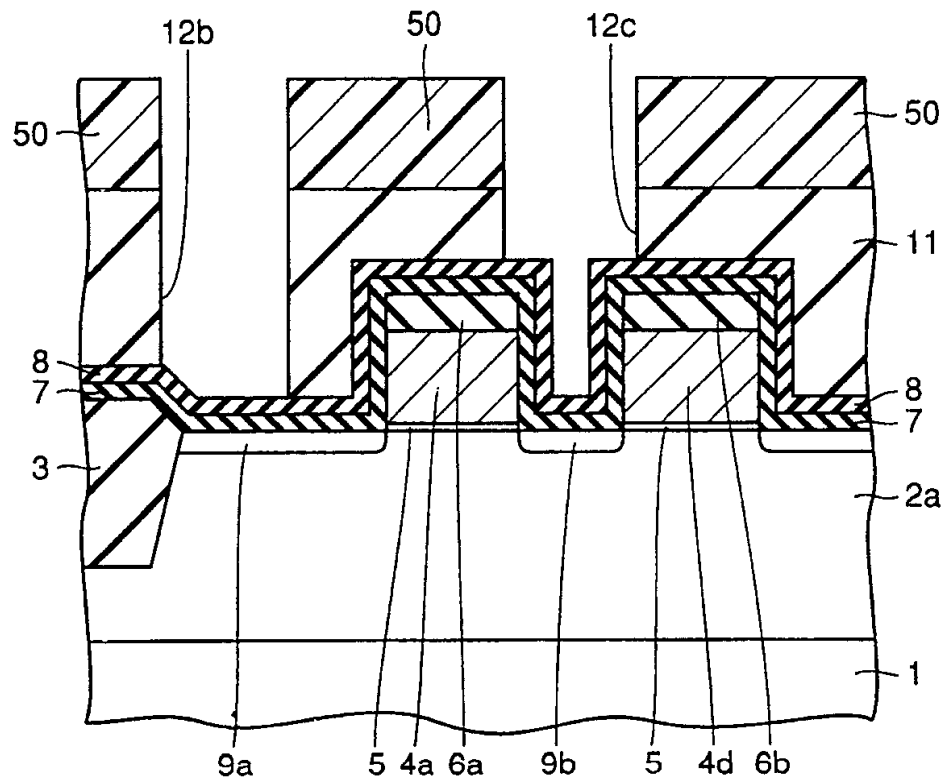


图 6

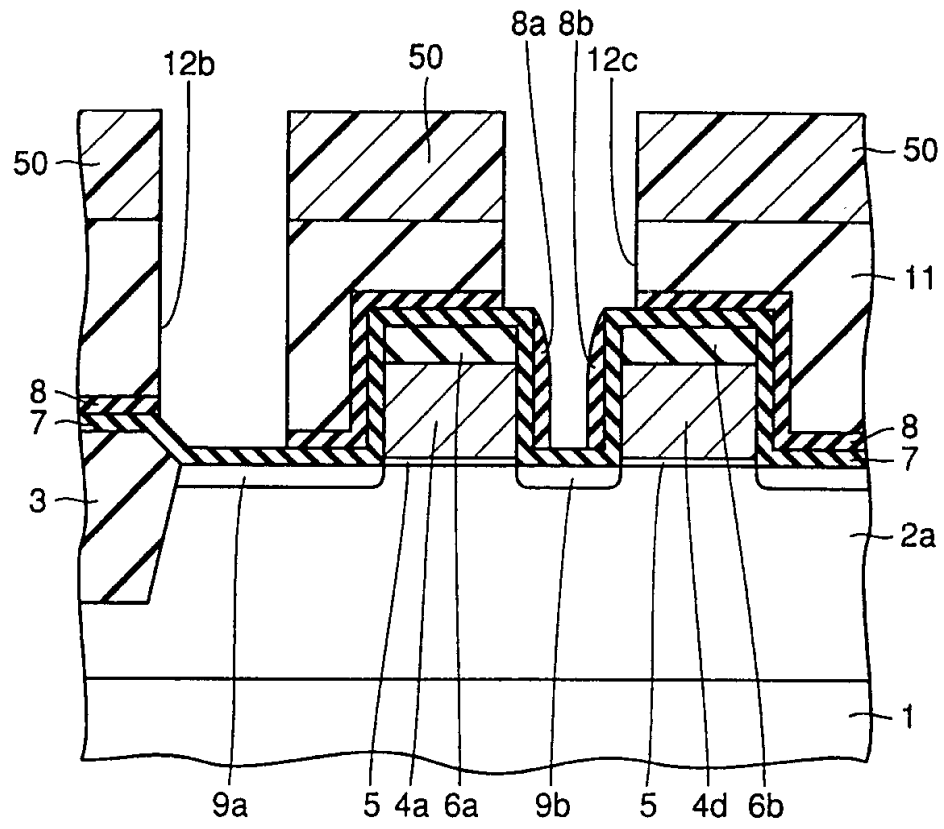


图 7

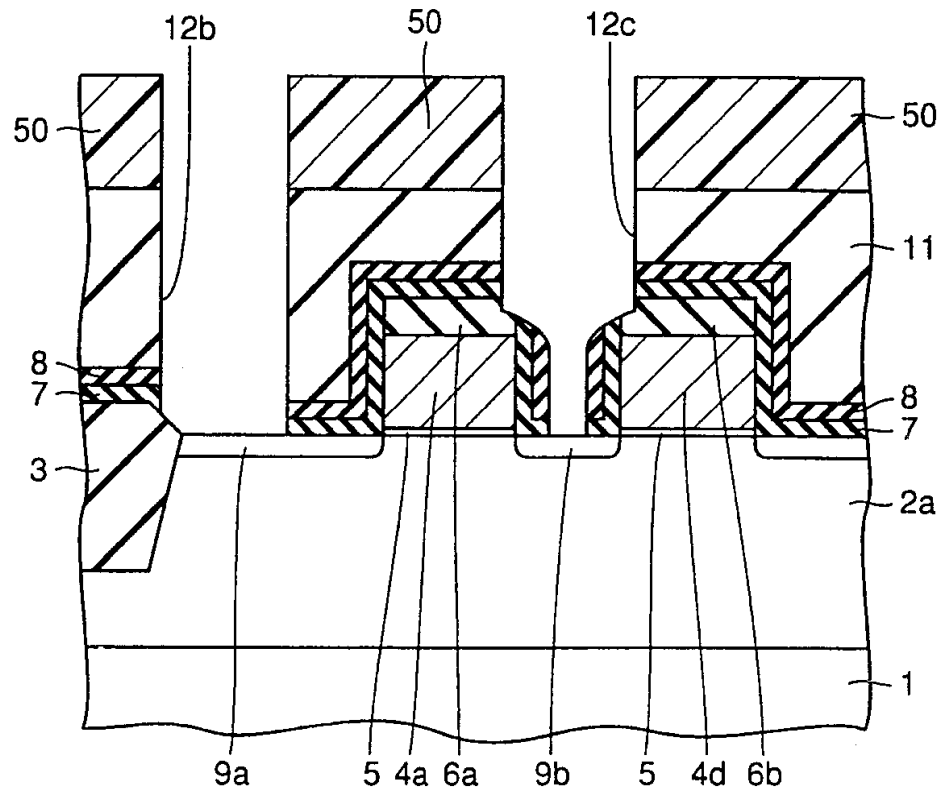


图 8

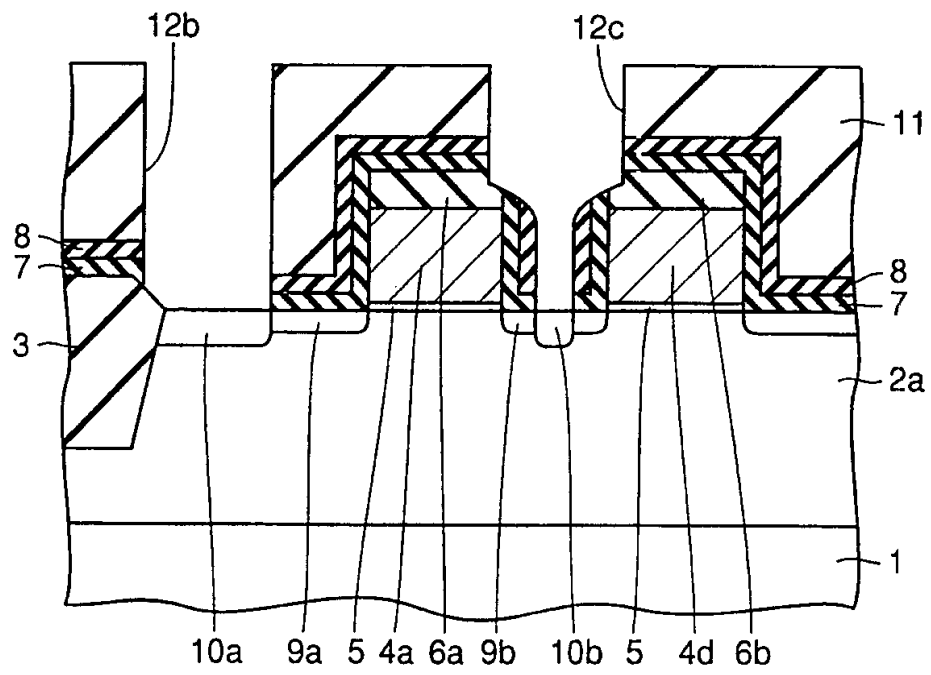


图 9

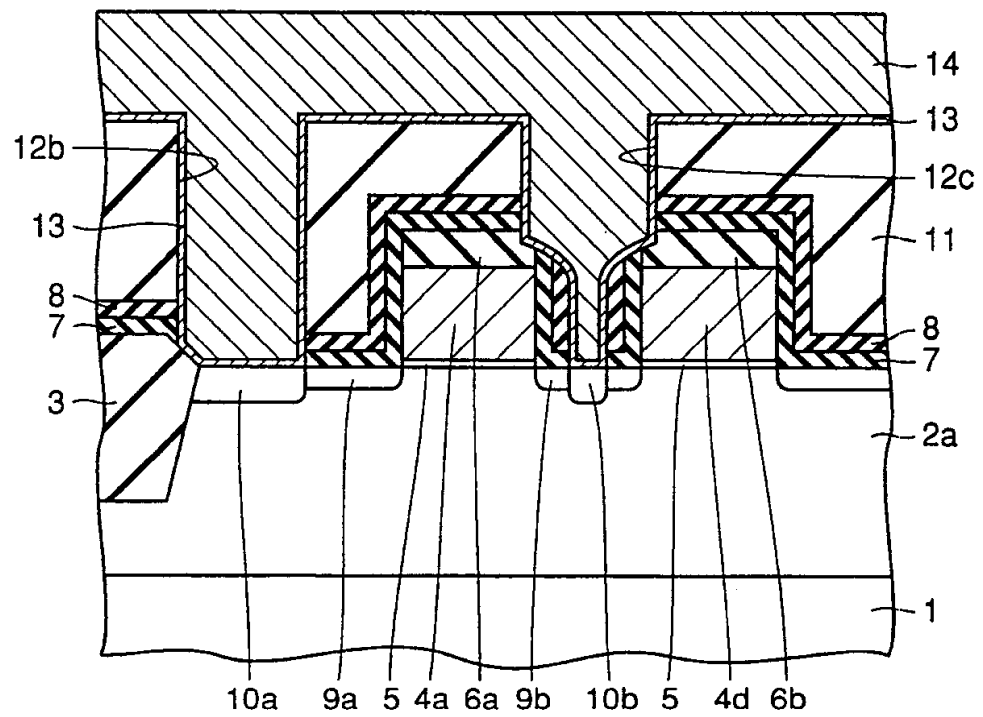


图 10

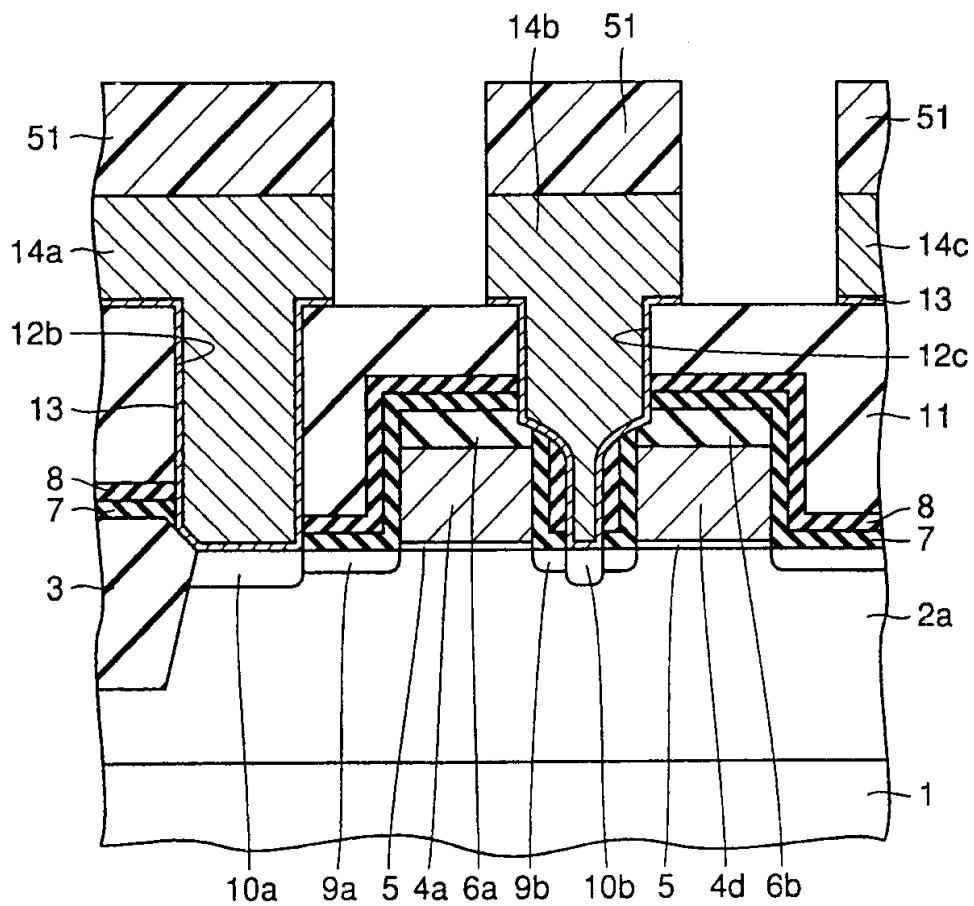


图 11

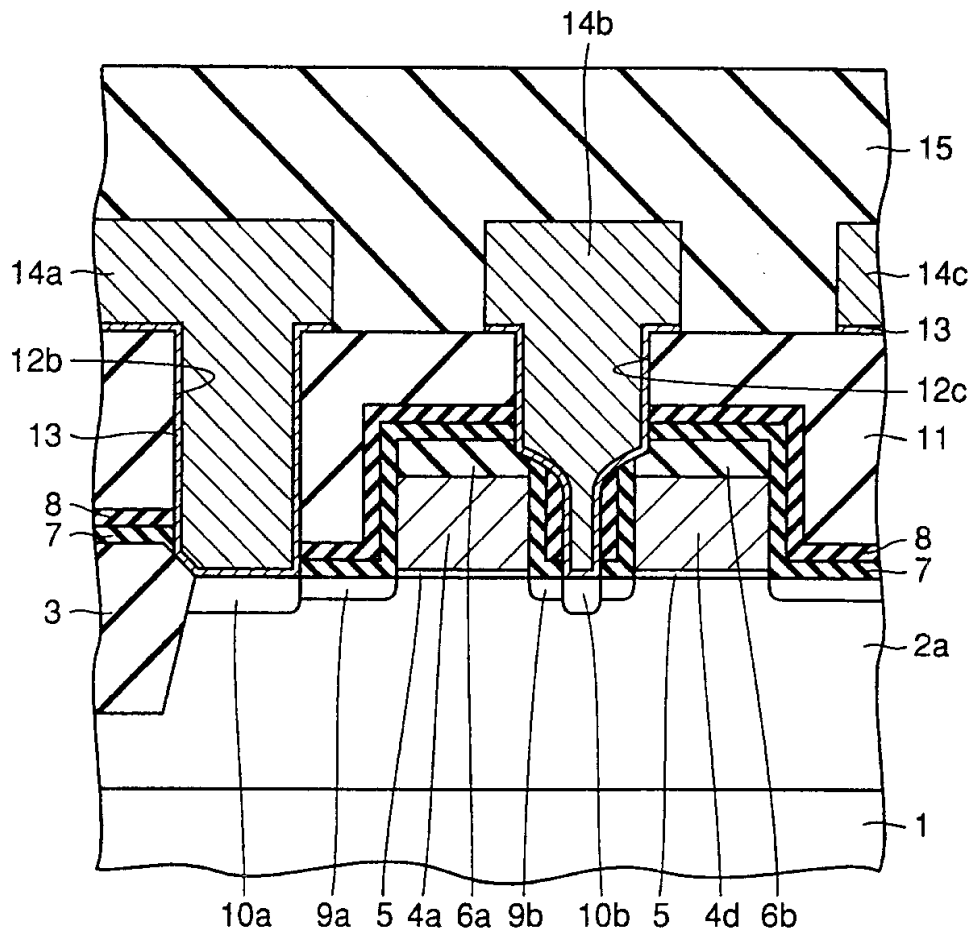


图 12

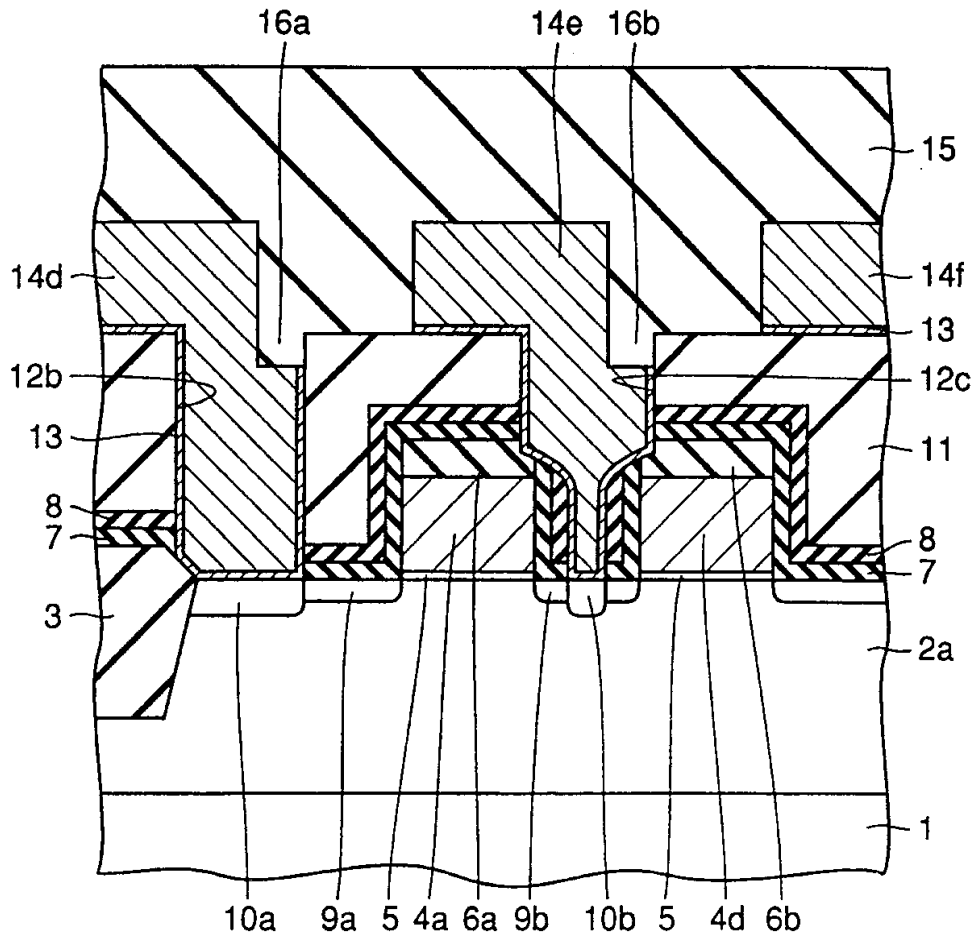


图 13

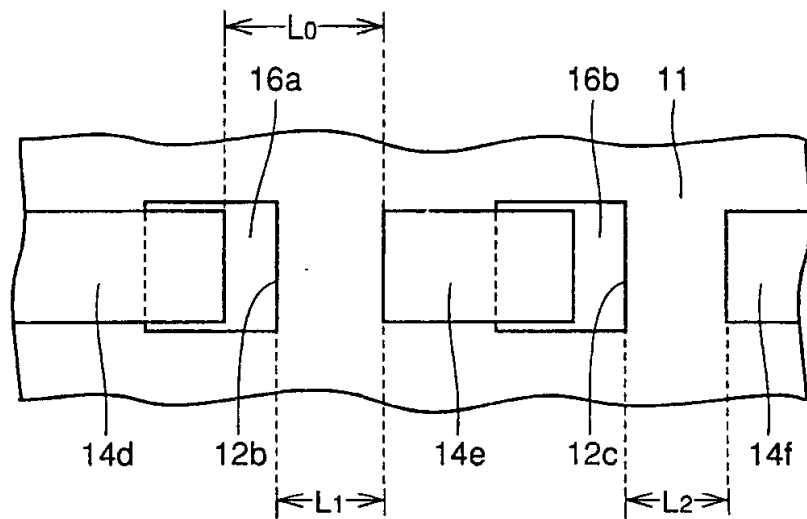


图 14

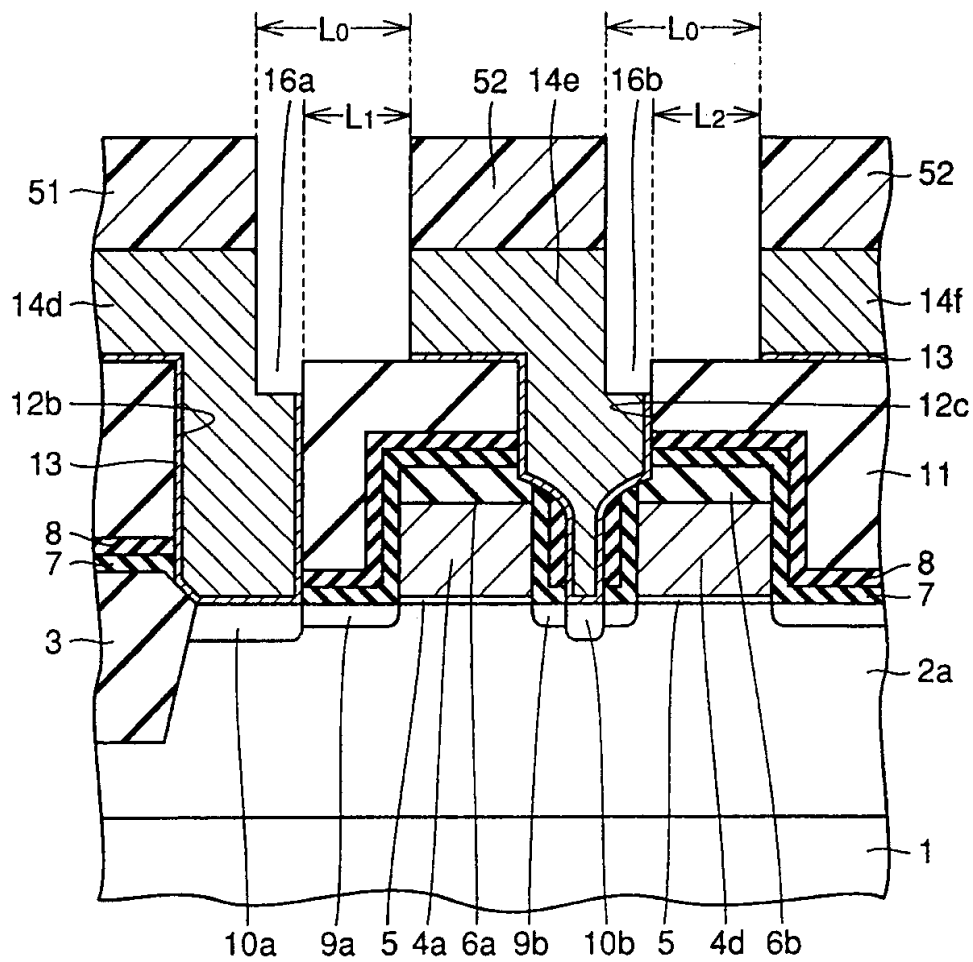


图 15

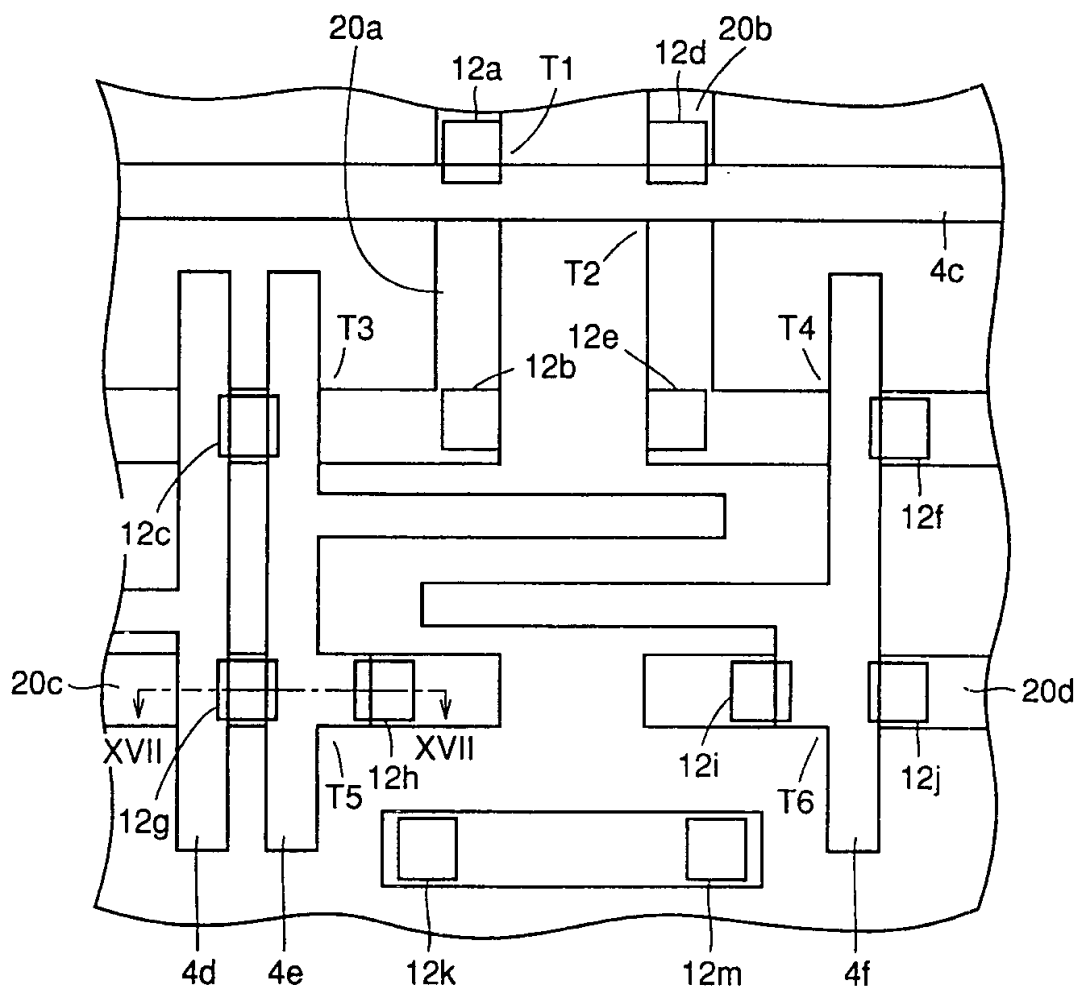


图 16

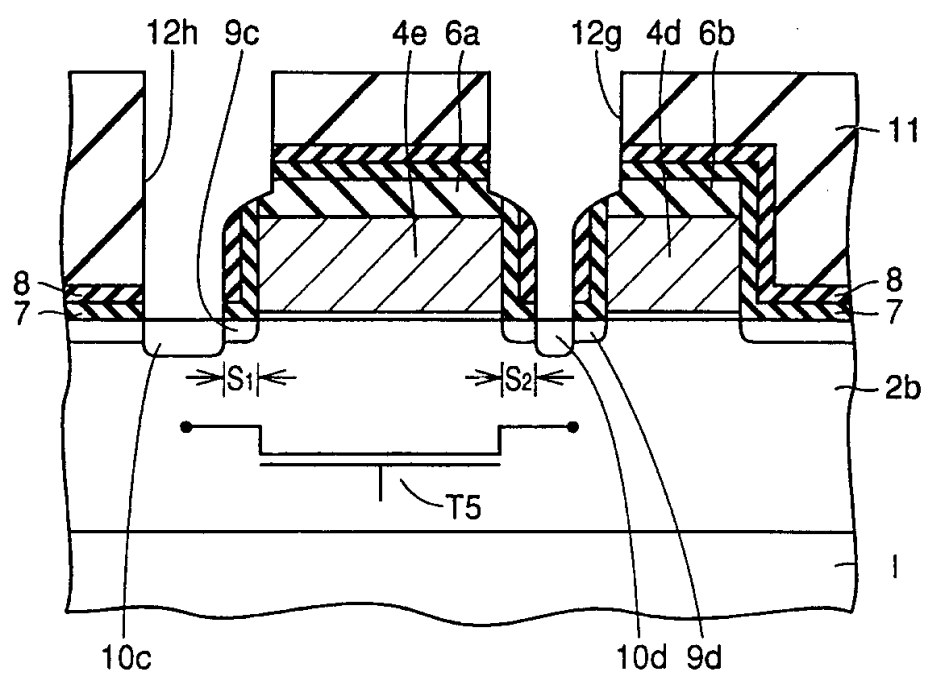


图 17

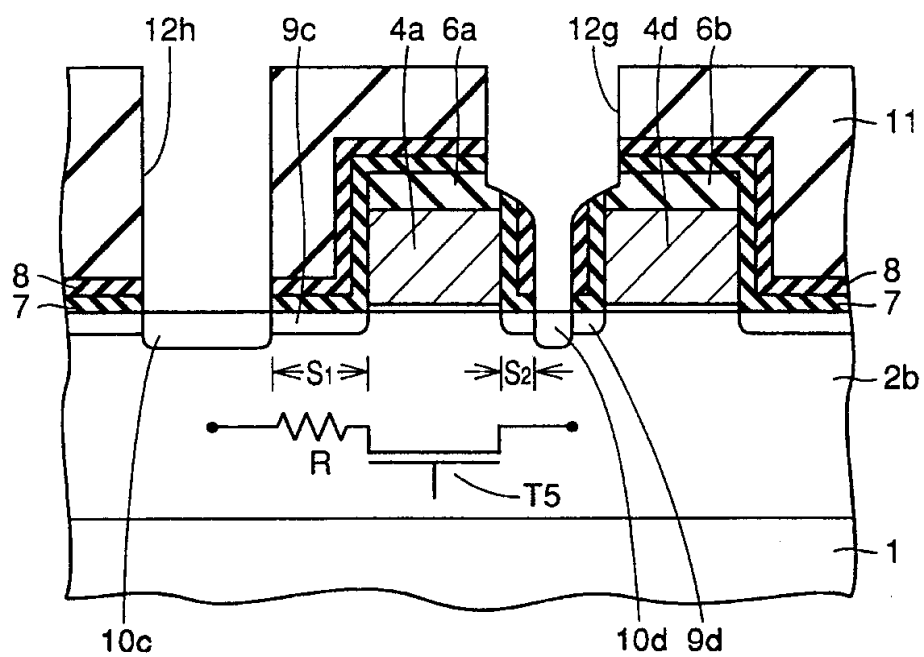


图 18

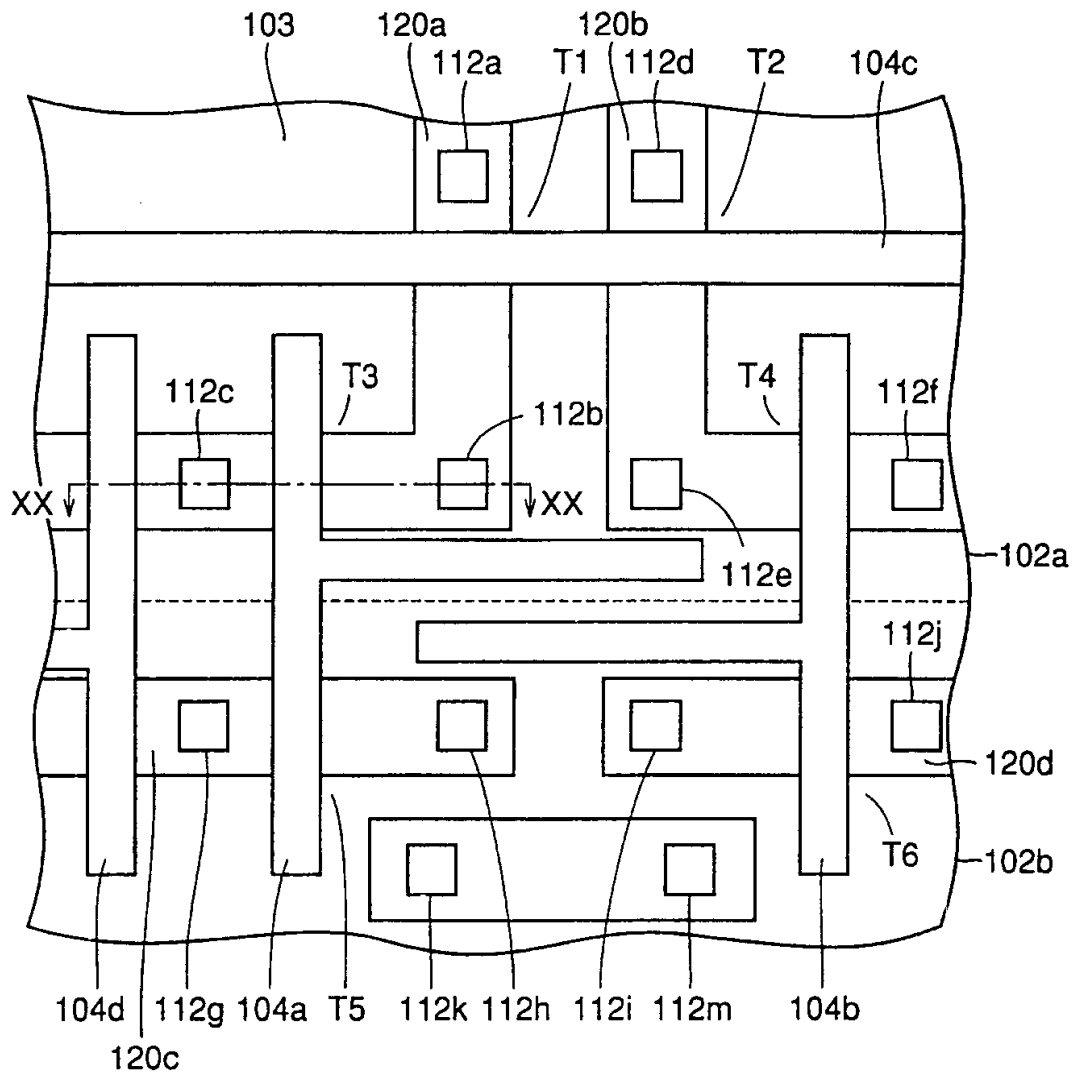


图 19

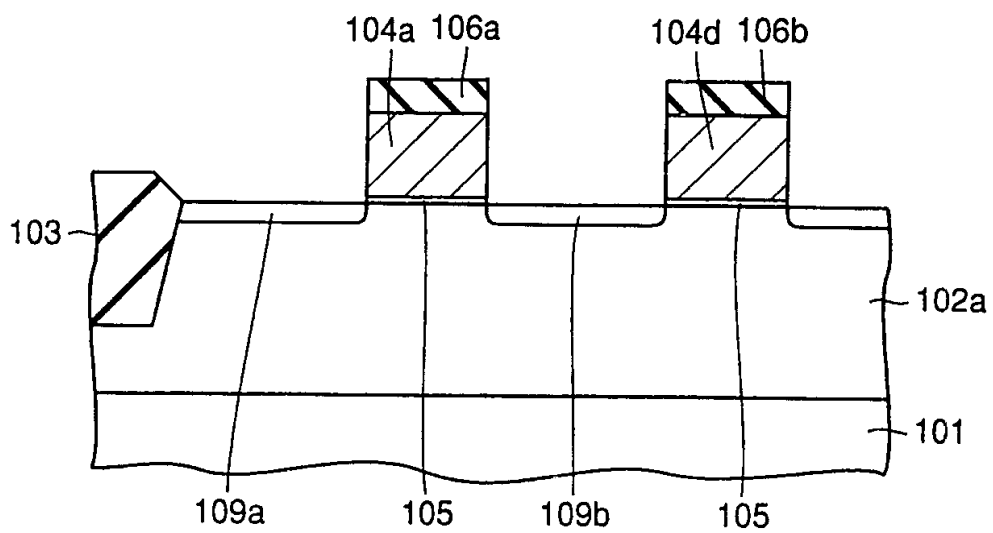


图 20

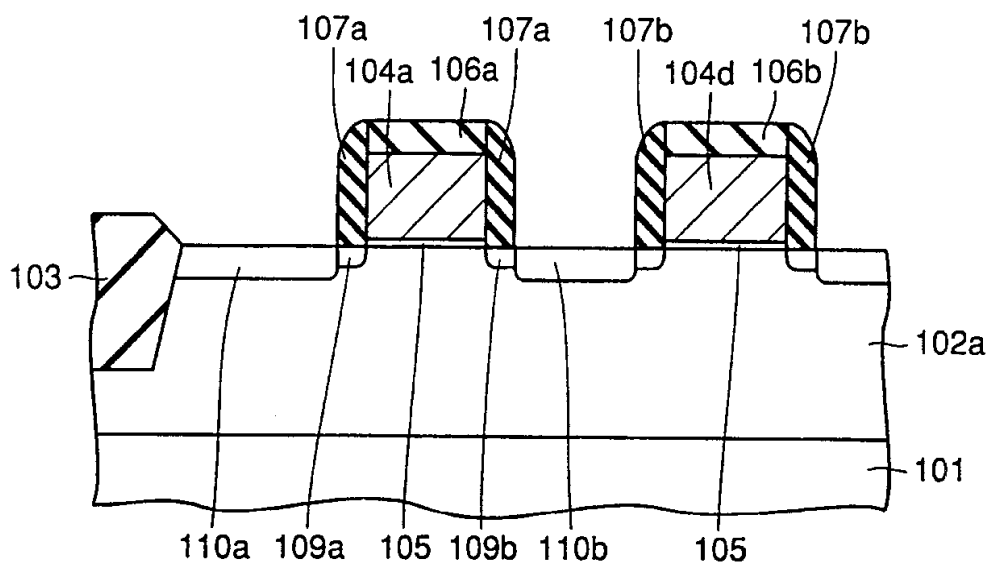


图 21

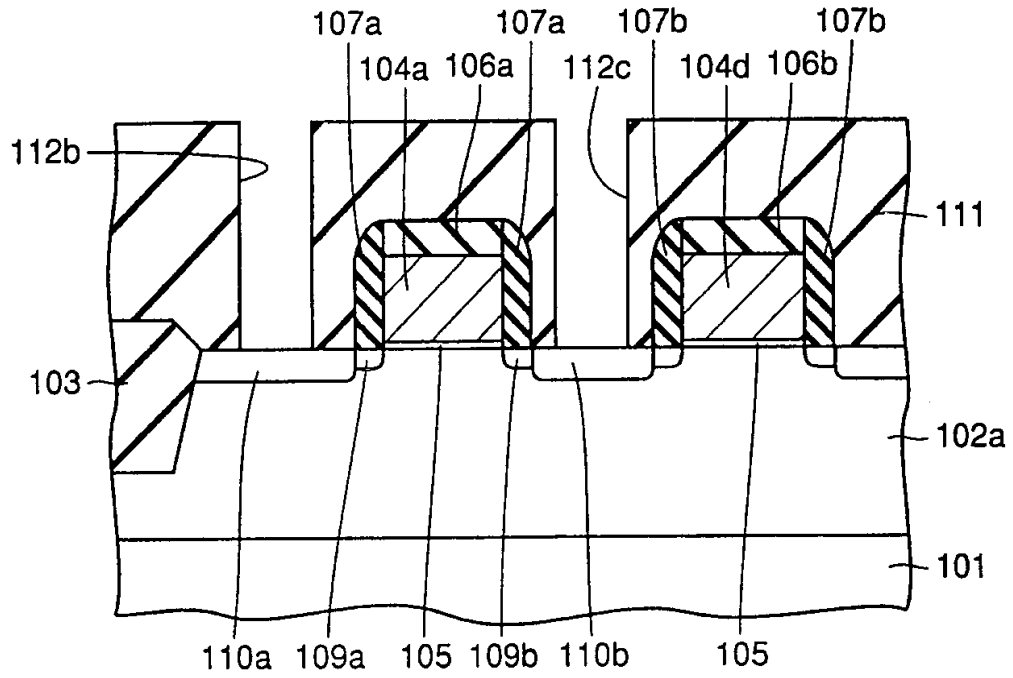


图 22

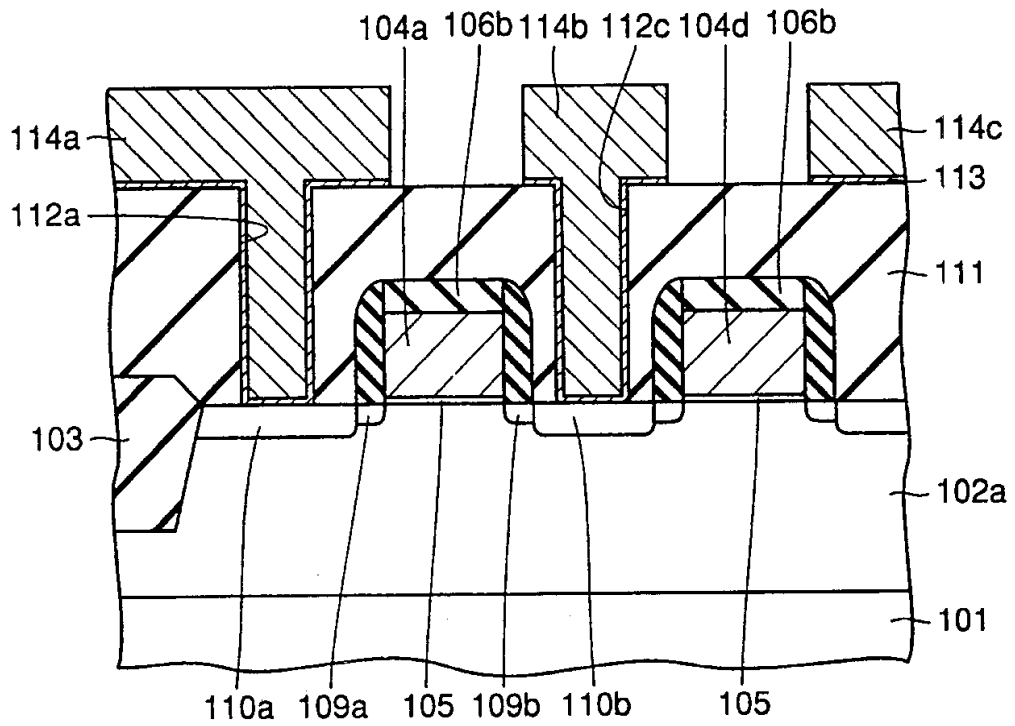


图 23