



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0092053
(43) 공개일자 2020년08월03일

(51) 국제특허분류(Int. Cl.)
H03G 1/00 (2006.01) H03G 3/30 (2006.01)
(52) CPC특허분류
H03G 1/007 (2013.01)
H03G 3/3015 (2013.01)
(21) 출원번호 10-2019-0009121
(22) 출원일자 2019년01월24일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이상민
서울특별시 강남구 선릉로 221, 211동 1903호(도곡동, 도곡렉슬아파트)
운영창
서울특별시 강남구 선릉로 217, 206동 2204호(도곡동, 도곡렉슬아파트)
(74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 20 항

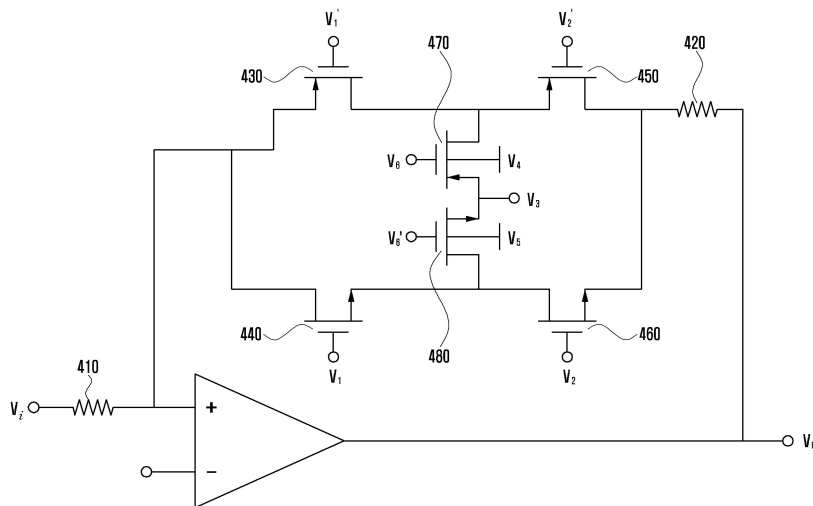
(54) 발명의 명칭 스위치 및 상기 스위치를 제어하기 위한 스위치 제어 프로세서를 포함하는 증폭기

(57) 요약

본 발명은 4G 시스템 이후 보다 높은 데이터 전송률을 지원하기 위한 5G 통신 시스템을 IoT 기술과 융합하는 통신 기법 및 그 시스템에 관한 것이다. 본 개시는 5G 통신 기술 및 IoT 관련 기술을 기반으로 지능형 서비스 (예를 들어, 스마트 홈, 스마트 빌딩, 스마트 시티, 스마트 카 혹은 커넥티드 카, 헬스 케어, 디지털 교육, 소매업, 보안 및 안전 관련 서비스 등)에 적용될 수 있다.

본 발명은 입력단에 전기적으로 연결된 제1 저항, 출력단에 전기적으로 연결된 제2 저항 MOSFET(MOSFET)으로 구성되고 상기 제2 저항의 일단과 전기적으로 연결되는 스위치 및 상기 스위치를 구성하는 MOSFET의 게이트단과 상기 스위치를 구성하는 MOSFET의 벌크(bulk)단이 기설정된 제1 문턱값보다 높은 임피던스값을 가지는 임피던스와 전기적으로 연결되도록 형성된 스위치 제어 프로세서를 포함하는 증폭기를 제공한다.

대표도



(52) CPC특허분류

H03K 17/6877 (2013.01)

H03K 17/693 (2013.01)

(72) 발명자

권대훈

경기도 화성시 동탄반석로 96, 403동 1502호(반송
동, 솔빛마을경남아너스빌아파트)

김재협

경기도 수원시 영통구 센트럴타운로 76, 6103동
1502호(이의동, e편한세상 광고)

명세서

청구범위

청구항 1

입력신호를 증폭하는 증폭기에 있어서,

입력단에 전기적으로 연결된 제1 저항;

출력단에 전기적으로 연결된 제2 저항;

모스펫(MOSFET)으로 구성되고 상기 제2 저항의 일단과 전기적으로 연결되는 스위치; 및

상기 스위치를 구성하는 모스펫의 게이트단과 상기 스위치를 구성하는 모스펫의 벌크(bulk)단이 기설정된 제1 문턱값보다 높은 임피던스값을 가지는 임피던스와 전기적으로 연결되도록 형성된 스위치 제어 프로세서를 포함하는,

증폭기.

청구항 2

제1항에 있어서,

상기 스위치는 CMOS(complementary metal-oxide semiconductor)를 포함하고,

상기 스위치 제어 프로세서는,

상기 CMOS를 구성하는 PMOS의 게이트단과 상기 PMOS의 벌크단이 상기 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스; 및

상기 CMOS를 구성하는 NMOS의 게이트단과 상기 NMOS의 벌크단이 상기 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스를 포함하는 것을 특징으로 하는,

증폭기.

청구항 3

제2항에 있어서,

상기 스위치 제어 프로세서는,

제어 신호를 수신하는 제1 인버터;

제1 PMOS의 게이트단과 제1 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제1 CMOS;

상기 제1 인버터의 출력단과 전기적으로 연결되는 제2 인버터;

제2 PMOS의 게이트단과 제2 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제2 CMOS;

상기 제1 PMOS의 소스단 및 상기 제2 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스; 및

상기 제1 NMOS의 소스단 및 상기 제2 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스를 포함하는 것을 특징으로 하는,

증폭기.

청구항 4

제3항에 있어서,

상기 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS의 소스단 또는 상기 제2 PMOS의 소스단과 전기적으로 연결되고, 상기 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS의 소스단 또는 상기 제2 NMOS의 소스단과 전

기적으로 연결되는 것을 특징으로 하는,
증폭기.

청구항 5

제3항에 있어서,
상기 스위치를 구성하는 PMOS의 게이트단은 상기 제1 CMOS의 출력단과 전기적으로 연결되고, 상기 스위치를 구성하는 NMOS의 게이트단은 상기 제2 CMOS의 출력단과 전기적으로 연결되는 것을 특징으로 하는,
증폭기.

청구항 6

제1항에 있어서,
상기 스위치는,
CMOS로 구성되며 상기 제2 저항의 일단과 전기적으로 연결되는 제1 스위치; 및
CMOS로 구성되며 상기 제1 스위치의 일단과 전기적으로 연결되는 제2 스위치를 포함하는 것을 특징으로 하는,
증폭기.

청구항 7

제6항에 있어서,
상기 스위치 제어 프로세서는,
제어 신호를 수신하는 제1 인버터;
제1 PMOS의 게이트단과 제1 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제1 CMOS;
상기 제1 인버터의 출력단과 전기적으로 연결되는 제2 인버터;
제2 PMOS의 게이트단과 제2 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제2 CMOS;
상기 제1 PMOS의 소스단 및 상기 제2 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제1 임피던스;
상기 제1 NMOS의 소스단 및 상기 제2 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제2 임피던스;
제3 PMOS의 게이트단과 제3 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제3 CMOS;
제4 PMOS의 게이트단과 제4 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제4 CMOS;
상기 제3 PMOS의 소스단 및 상기 제4 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제3 임피던스; 및
상기 제3 NMOS의 소스단 및 상기 제4 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제4 임피던스를 포함하는,
증폭기.

청구항 8

제7항에 있어서,
상기 제1 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS의 소스단 또는 상기 제2 PMOS의 소스단과 전기적으로 연결되고, 상기 제1 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS의 소스단 또는 상기 제2 NMOS의 소스단과 전기적으로 연결되며, 상기 제2 스위치를 구성하는 PMOS의 벌크단은 상기 제3 PMOS의 소스단 또는 상기 제4 PMOS의 소스단과 전기적으로 연결되고, 상기 제2 스위치를 구성하는 NMOS의 벌크단은 상기 제3 NMOS의 소스단 또는 상기 제4 NMOS의 소스단과 전기적으로 연결되는 것을 특징으로 하는,

증폭기.

청구항 9

제6항에 있어서,

상기 제1 스위치와 상기 제2 스위치 사이에 기설정된 제2 문턱값보다 낮은 임피던스값을 가지는 제3 스위치를 더 포함하는,

증폭기.

청구항 10

제9항에 있어서,

상기 제3 스위치는,

상기 제2 문턱값보다 낮은 임피던스값을 가지며, 상기 제1 스위치를 구성하는 PMOS와 상기 제2 스위치를 구성하는 PMOS 사이에 드레인단이 전기적으로 연결되는 제5 PMOS; 및

상기 제2 문턱값보다 낮은 임피던스값을 가지며, 상기 제1 스위치를 구성하는 NMOS와 상기 제2 스위치를 구성하는 NMOS 사이에 드레인단이 전기적으로 연결되는 제5 NMOS를 포함하는 것을 특징으로 하는,

증폭기.

청구항 11

증폭기를 포함하는 전자 장치에 있어서,

상기 증폭기는,

입력단에 전기적으로 연결된 제1 저항;

출력단에 전기적으로 연결된 제2 저항;

모스펫(MOSFET)으로 구성되고 상기 제2 저항의 일단과 전기적으로 연결되는 스위치; 및

상기 스위치를 구성하는 모스펫의 게이트단과 상기 스위치를 구성하는 모스펫의 벌크(bulk)단이 기설정된 제1 문턱값보다 높은 임피던스값을 가지는 임피던스와 전기적으로 연결되도록 형성된 스위치 제어 프로세서를 포함하는 것을 특징으로 하는,

전자 장치.

청구항 12

제11항에 있어서,

상기 스위치는 CMOS(complementary metal-oxide semiconductor)를 포함하고,

상기 스위치 제어 프로세서는,

상기 CMOS를 구성하는 PMOS의 게이트단과 상기 PMOS의 벌크단이 상기 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스; 및

상기 CMOS를 구성하는 NMOS의 게이트단과 상기 NMOS의 벌크단이 상기 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스를 포함하는 것을 특징으로 하는,

전자 장치.

청구항 13

제12항에 있어서,

상기 스위치 제어 프로세서는,

제어 신호를 수신하는 제1 인버터;

제1 PMOS의 게이트단과 제1 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제1 CMOS;
 상기 제1 인버터의 출력단과 전기적으로 연결되는 제2 인버터;
 제2 PMOS의 게이트단과 제2 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제2 CMOS;
 상기 제1 PMOS의 소스단 및 상기 제2 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제1 임피던스; 및
 상기 제1 NMOS의 소스단 및 상기 제2 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제2 임피던스를 포함하는 것을 특징으로 하는,
 전자 장치.

청구항 14

제13항에 있어서,
 상기 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS의 소스단 또는 상기 제2 PMOS의 소스단과 전기적으로 연결되고, 상기 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS의 소스단 또는 상기 제2 NMOS의 소스단과 전기적으로 연결되는 것을 특징으로 하는,
 전자 장치.

청구항 15

제13항에 있어서,
 상기 스위치를 구성하는 PMOS의 게이트단은 상기 제1 CMOS의 출력단과 전기적으로 연결되고, 상기 스위치를 구성하는 NMOS의 게이트단은 상기 제2 CMOS의 출력단과 전기적으로 연결되는 것을 특징으로 하는,
 전자 장치.

청구항 16

제11항에 있어서,
 상기 스위치는,
 CMOS로 구성되며 상기 제2 저항의 일단과 전기적으로 연결되는 제1 스위치; 및
 CMOS로 구성되며 상기 제1 스위치의 일단과 전기적으로 연결되는 제2 스위치를 포함하는 것을 특징으로 하는,
 전자 장치.

청구항 17

제16항에 있어서,
 상기 스위치 제어 프로세서는,
 제어 신호를 수신하는 제1 인버터;
 제1 PMOS의 게이트단과 제1 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제1 CMOS;
 상기 제1 인버터의 출력단과 전기적으로 연결되는 제2 인버터;
 제2 PMOS의 게이트단과 제2 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제2 CMOS;
 상기 제1 PMOS의 소스단 및 상기 제2 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제1 임피던스;
 상기 제1 NMOS의 소스단 및 상기 제2 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제2 임피던스;
 제3 PMOS의 게이트단과 제3 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제3 CMOS;

제4 PMOS의 게이트단과 제4 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제4 CMOS;

상기 제3 PMOS의 소스단 및 상기 제4 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제3 임피던스; 및

상기 제3 NMOS의 소스단 및 상기 제4 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제4 임피던스를 포함하는,

전자 장치.

청구항 18

제17항에 있어서,

상기 제1 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS의 소스단 또는 상기 제2 PMOS의 소스단과 전기적으로 연결되고, 상기 제1 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS의 소스단 또는 상기 제2 NMOS의 소스단과 전기적으로 연결되며, 상기 제2 스위치를 구성하는 PMOS의 벌크단은 상기 제3 PMOS의 소스단 또는 상기 제4 PMOS의 소스단과 전기적으로 연결되고, 상기 제2 스위치를 구성하는 NMOS의 벌크단은 상기 제3 NMOS의 소스단 또는 상기 제4 NMOS의 소스단과 전기적으로 연결되는 것을 특징으로 하는,

전자 장치.

청구항 19

제16항에 있어서,

상기 제1 스위치와 상기 제2 스위치 사이에 기설정된 제2 문턱값보다 낮은 임피던스값을 가지는 제3 스위치를 더 포함하는,

전자 장치.

청구항 20

제19항에 있어서,

상기 제3 스위치는,

상기 제2 문턱값보다 낮은 임피던스값을 가지며, 상기 제1 스위치를 구성하는 PMOS와 상기 제2 스위치를 구성하는 PMOS 사이에 드레인단이 전기적으로 연결되는 제5 PMOS; 및

상기 제2 문턱값보다 낮은 임피던스값을 가지며, 상기 제1 스위치를 구성하는 NMOS와 상기 제2 스위치를 구성하는 NMOS 사이에 드레인단이 전기적으로 연결되는 제5 NMOS를 포함하는 것을 특징으로 하는,

전자 장치.

발명의 설명

기술 분야

[0001] 본 개시는 복수개의 스위치를 포함하여 이득값을 변경할 수 있는 증폭기의 스위치 제어 회로 및 상기 스위치 제어 회로를 포함하는 증폭기에 관한 것이다.

배경 기술

[0002] 4G 통신 시스템 상용화 이후 증가 추세에 있는 무선 데이터 트래픽 수요를 충족시키기 위해, 개선된 5G 통신 시스템 또는 pre-5G 통신 시스템을 개발하기 위한 노력이 이루어지고 있다. 이러한 이유로, 5G 통신 시스템 또는 pre-5G 통신 시스템은 4G 네트워크 이후 (Beyond 4G Network) 통신 시스템 또는 LTE 시스템 이후 (Post LTE) 이후의 시스템이라 불리어지고 있다. 높은 데이터 전송률을 달성하기 위해, 5G 통신 시스템은 초고주파(mmWave) 대역 (예를 들어, 60기가(60GHz) 대역과 같은)에서의 구현이 고려되고 있다. 초고주파 대역에서의 전파의 경로 손실 완화 및 전파의 전달 거리를 증가시키기 위해, 5G 통신 시스템에서는 빔포밍(beamforming), 거대 배열 다중 입출력(massive MIMO), 전차원 다중입출력(Full Dimensional MIMO: FD-MIMO), 어레이 안테나(array

antenna), 아날로그 빔형성(analog beam-forming), 및 대규모 안테나 (large scale antenna) 기술들이 논의되고 있다. 또한 시스템의 네트워크 개선을 위해, 5G 통신 시스템에서는 진화된 소형 셀, 개선된 소형 셀(advanced small cell), 클라우드 무선 액세스 네트워크 (cloud radio access network: cloud RAN), 초고밀도 네트워크 (ultra-dense network), 기기 간 통신 (Device to Device communication: D2D), 무선 백홀 (wireless backhaul), 이동 네트워크 (moving network), 협력 통신 (cooperative communication), CoMP (Coordinated Multi-Points), 및 수신 간섭제거 (interference cancellation) 등의 기술 개발이 이루어지고 있다. 이 밖에도, 5G 시스템에서는 진보된 코딩 변조(Advanced Coding Modulation: ACM) 방식인 FQAM (Hybrid FSK and QAM Modulation) 및 SWSC (Sliding Window Superposition Coding)과, 진보된 접속 기술인 FBMC(Filter Bank Multi Carrier), NOMA(non orthogonal multiple access), 및 SCMA(sparse code multiple access) 등이 개발되고 있다.

[0003] 한편, 인터넷은 인간이 정보를 생성하고 소비하는 인간 중심의 연결 망에서, 사물 등 분산된 구성 요소들 간에 정보를 주고 받아 처리하는 IoT(Internet of Things, 사물인터넷) 망으로 진화하고 있다. 클라우드 서버 등과의 연결을 통한 빅데이터(Big data) 처리 기술 등이 IoT 기술에 결합된 IoE (Internet of Everything) 기술도 대두되고 있다. IoT를 구현하기 위해서, 센싱 기술, 유무선 통신 및 네트워크 인프라, 서비스 인터페이스 기술, 및 보안 기술과 같은 기술 요소 들이 요구되어, 최근에는 사물간의 연결을 위한 센서 네트워크(sensor network), 사물 통신(Machine to Machine, M2M), MTC(Machine Type Communication)등의 기술이 연구되고 있다. IoT 환경에서는 연결된 사물들에서 생성된 데이터를 수집, 분석하여 인간의 삶에 새로운 가치를 창출하는 지능형 IT(Internet Technology) 서비스가 제공될 수 있다. IoT는 기존의 IT(information technology)기술과 다양한 산업 간의 융합 및 복합을 통하여 스마트홈, 스마트 빌딩, 스마트 시티, 스마트 카 혹은 커넥티드 카, 스마트 그리드, 헬스 케어, 스마트 가전, 첨단의료서비스 등의 분야에 응용될 수 있다.

[0004] 이에, 5G 통신 시스템을 IoT 망에 적용하기 위한 다양한 시도들이 이루어지고 있다. 예를 들어, 센서 네트워크(sensor network), 사물 통신(Machine to Machine, M2M), MTC(Machine Type Communication)등의 기술이 5G 통신 기술이 빔 포밍, MIMO, 및 어레이 안테나 등의 기법에 의해 구현되고 있는 것이다. 앞서 설명한 빅데이터 처리 기술로써 클라우드 무선 액세스 네트워크(cloud RAN)가 적용되는 것도 5G 기술과 IoT 기술 융합의 일 예라고 할 수 있을 것이다.

발명의 내용

해결하려는 과제

[0005] 저항 소자를 포함하는 증폭기의 이득값을 변경하기 위해서는 복수개의 스위치가 요구될 수 있으며, 상기 각각의 스위치는 MOS펫을 통해 구현할 수 있다. 한편, 고주파수 대역을 이용하는 5G 이동 통신 시스템에서는 상기 MOS펫에 의해 생성되는 기생 커패시턴스 성분에 의해 증폭기의 성능(예를 들어 이득값 또는 대역폭)이 감소할 수 있다. 따라서 이와 같은 문제를 해결하기 위한 증폭기 구조가 요구된다.

과제의 해결 수단

[0006] 본 개시는 입력단에 전기적으로 연결된 제1 저항, 출력단에 전기적으로 연결된 제2 저항, MOS펫(MOSFET)으로 구성되고 상기 제2 저항의 일단과 전기적으로 연결되는 스위치 및 상기 스위치를 구성하는 MOS펫의 게이트단과 상기 스위치를 구성하는 MOS펫의 벌크(bulk)단이 기설정된 제1 문턱값보다 높은 임피던스값을 가지는 임피던스와 전기적으로 연결되도록 형성된 스위치 제어 프로세서를 포함하는 증폭기를 제공한다.

[0007] 본 개시는 입력단에 전기적으로 연결된 제1 저항, 출력단에 전기적으로 연결된 제2 저항, MOS펫(MOSFET)으로 구성되고 상기 제2 저항의 일단과 전기적으로 연결되는 스위치 및 상기 스위치를 구성하는 MOS펫의 게이트단과 상기 스위치를 구성하는 MOS펫의 벌크(bulk)단이 기설정된 제1 문턱값보다 높은 임피던스값을 가지는 임피던스와 전기적으로 연결되도록 형성된 스위치 제어 프로세서를 포함하는 증폭기를 포함하는 전자 장치를 제공한다.

발명의 효과

[0008] 본 개시에서 개시하고 있는 실시예에 따르면, 스위치를 구성하는 MOS펫에 의해 생성되는 기생 커패시턴스에 의해 증폭기의 이득값이 감소되는 것을 방지할 수 있다. 뿐만 아니라, 본 개시에서 개시하고 있는 실시예에 따르면, 밀러 효과에 의해 증폭기의 대역폭이 감소하는 현상을 방지할 수 있다.

도면의 간단한 설명

- [0009] 도 1a는 종래 기술에 따른 증폭기의 구조를 나타낸 도면이다.
- 도 1b는 종래 기술에 따른 증폭기의 스위치를 제어하기 위한 스위치 제어 프로세서를 나타낸 도면이다.
- 도 2a는 본 개시에서 개시하고 있는 일 실시예에 따른 스위치 제어 프로세서를 나타낸 도면이다.
- 도 2b는 본 개시에서 개시하고 있는 일 실시예에 따른 증폭기를 나타낸 도면이다.
- 도 3a는 본 개시에서 개시하고 있는 일 실시예에 따라 2단 스위치 및 단락 스위치를 포함하는 증폭기를 나타낸 도면이다.
- 도 3b는 본 개시에서 개시하고 있는 일 실시예에 따른 2단 스위치 및 단락 스위치를 제어하기 위한 스위치 제어 프로세서를 나타낸 도면이다.
- 도 4는 본 개시에서 개시하고 있는 일 실시예에 따라 단락 스위치를 PMOS와 NMOS로 구성한 경우를 나타낸 도면이다.
- 도 5는 본 개시에서 개시하고 있는 일 실시예에 따른 가변 이득 증폭기를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 본 발명의 실시 예를 설명함에 있어서 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.
- [0011] 마찬가지로 이유로 첨부 도면에 있어서 일부 구성요소는 과장되거나 생략되거나 개략적으로 도시되었다. 또한, 각 구성요소의 크기는 실제 크기를 전적으로 반영하는 것이 아니다. 각 도면에서 동일한 또는 대응하는 구성요소에는 동일한 참조 번호를 부여하였다.
- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0013] 이 때, 처리 흐름도 도면들의 각 블록과 흐름도 도면들의 조합들은 컴퓨터 프로그램 인스트럭션들에 의해 수행될 수 있음을 이해할 수 있을 것이다. 이들 컴퓨터 프로그램 인스트럭션들은 범용 컴퓨터, 특수용 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비의 프로세서에 탑재될 수 있으므로, 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비의 프로세서를 통해 수행되는 그 인스트럭션들이 흐름도 블록(들)에서 설명된 기능들을 수행하는 수단을 생성하게 된다. 이들 컴퓨터 프로그램 인스트럭션들은 특정 방식으로 기능을 구현하기 위해 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비를 지향할 수 있는 컴퓨터 이용 가능 또는 컴퓨터 판독 가능 메모리에 저장되는 것도 가능하므로, 그 컴퓨터 이용가능 또는 컴퓨터 판독 가능 메모리에 저장된 인스트럭션들은 흐름도 블록(들)에서 설명된 기능을 수행하는 인스트럭션 수단을 내포하는 제조 품목을 생산하는 것도 가능하다. 컴퓨터 프로그램 인스트럭션들은 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비 상에 탑재되는 것도 가능하므로, 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비 상에서 일련의 동작 단계들이 수행되어 컴퓨터로 실행되는 프로세스를 생성해서 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비를 수행하는 인스트럭션들은 흐름도 블록(들)에서 설명된 기능들을 실행하기 위한 단계들을 제공하는 것도 가능하다.
- [0014] 또한, 각 블록은 특정된 논리적 기능(들)을 실행하기 위한 하나 이상의 실행 가능한 인스트럭션들을 포함하는 모듈, 세그먼트 또는 코드의 일부를 나타낼 수 있다. 또, 몇 가지 대체 실행 예들에서는 블록들에서 언급된 기능들이 순서를 벗어나서 발생하는 것도 가능함을 주목해야 한다. 예컨대, 잇달아 도시되어 있는 두 개의 블록들은 사실 실질적으로 동시에 수행되는 것도 가능하고 또는 그 블록들이 때때로 해당하는 기능에 따라 역순으로 수행되는 것도 가능하다.
- [0015] 이 때, 본 실시예에서 사용되는 '~부'라는 용어는 소프트웨어 또는 FPGA또는 ASIC과 같은 하드웨어 구성요소를

의미하며, '~부'는 어떤 역할들을 수행한다. 그렇지만 '~부'는 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 '~부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들, 및 변수들을 포함한다. 구성요소들과 '~부'들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부'들로 결합되거나 추가적인 구성요소들과 '~부'들로 더 분리될 수 있다. 뿐만 아니라, 구성요소들 및 '~부'들은 디바이스 또는 보안 멀티미디어카드 내의 하나 또는 그 이상의 CPU들을 재생시키도록 구현될 수도 있다. 또한 실시 예에서 '~부'는 하나 이상의 프로세서를 포함할 수 있다.

- [0017] 도 1a는 종래 기술에 따른 증폭기의 구조를 나타낸 도면이다.
- [0018] 종래 기술에 따르면, 증폭기는 입력단에 연결되는 제1 저항(110)과 출력단에 연결되는 제2 저항(120)을 포함할 수 있다. 종래 기술에 따르면, 입력단을 통해 입력되는 입력 신호(v_i)는 상기 제1 저항(110)과 상기 제2 저항(120)을 통해 증폭되어 출력단에 형성(v_o)될 수 있다. 종래 기술에 따르면, 증폭기의 이득 값은 상기 제1 저항(110)의 저항값과 상기 제2 저항(120)의 저항값의 비율에 기반하여 결정될 수 있다.
- [0019] 종래 기술에 따르면, 증폭기의 동작을 턴 온 또는 턴 오프하기 위해 또는 증폭기의 이득값을 변경하기 위해 제2 저항(120)의 일단에 스위치가 전기적으로 연결될 수 있다. 종래 기술에 따르면, PMOS(130)와 NMOS(140)를 결합한 CMOS를 통해 상기 스위치를 구현할 수 있다.
- [0020] 종래 기술에 따르면, v_1 이 MOS펫의 문턱전압값보다 높은 경우 PMOS(130)와NMOS(140)는 모두 턴 온 될 수 있다. 반면에, v_1 이 MOS펫의 문턱전압값보다 낮은 경우 PMOS(130)와 NMOS(140)는 모두 턴 오프 될 수 있다. 즉, v_1 전압 제어를 통해 PMONS(130)와 NMOS(140)를 포함하는 스위치의 턴 온/턴 오프 제어가 가능할 수 있다.
- [0022] 도 1b는 종래 기술에 따른 증폭기의 스위치를 제어하기 위한 스위치 제어 프로세서를 나타낸 도면이다.
- [0023] 종래 기술에 따르면, PMOS는 게이트단으로 인가되는 전압이 문턱전압값 미만인 경우 턴 온 되고, NMOS는 게이트단으로 인가되는 전압이 문턱전압값을 초과하는 경우 턴 온 될 수 있다. 따라서 종래 기술에 따르면 증폭기의 스위치를 제어하기 위한 스위치 제어 프로세서는 도 2b와 같이 구성될 수 있다.
- [0024] 종래 기술에 따르면, 제1 인버터(150)는 스위치 제어 프로세서에 입력되는 v_1 입력 신호를 v_1' 신호로 출력할 수 있다. 종래 기술에 따르면 상기 제1 인버터(150)에 의해 출력되는 v_1' 신호는 스위치를 구성하는 PMOS의 게이트단으로 공급될 수 있다. 종래 기술에 따르면 제1 인버터(150)를 통해 출력된 v_1' 신호는 제2 인버터(160)에 입력될 수 있으며, 제2 인버터(160)는 입력되는 v_1' 신호를 v_1 신호로 출력할 수 있다. 종래 기술에 따르면, 제2 인버터(160)에 의해 출력되는 v_1 신호는 스위치를 구성하는 NMOS의 게이트단으로 공급될 수 있다.
- [0025] 종래 기술에 따르면, MOS펫의 특성사 PMOS의 게이트단과 PMOS의 소스단 사이, PMOS의 게이트단과 PMOS의 드레인단 사이, PMOS의 소스단과 PMOS의 벌크(bulk)단 사이, PMOS의 드레인단과 PMOS의 벌크단 사이에 기생 커패시턴스 성분이 형성될 수 있다.
- [0026] 종래 기술에 따르면, 증폭기가 동작하는 주파수 대역이 낮은 경우, 상기 기생 커패시턴스 성분의 임피던스값은 충분히 높으므로, 스위치가 턴 온 되더라도 상기 기생 커패시턴스를 통해 증폭하고자 하는 기초 신호(fundamental signal)가 흐르지 않을 수 있다. 그러나, 5G 이동 통신 시스템과 같이 증폭기가 동작하는 주파수 대역이 높아지는 경우, 기생 커패시턴스 성분의 임피던스값이 낮아지게 되어, 스위치가 턴 온 되는 경우, 상기 기생 커패시턴스를 통해 증폭하고자 하는 기초 신호가 흐르는 경우가 발생할 수 있다. 즉, 종래 기술에 따르면, 증폭하고자 하는 기생 신호의 일부가 증폭기의 출력단으로 흐르지 않고 기생 커패시턴스를 통해 흐름으로써 증폭기의 이득 값이 특히 높은 주파수 영역에서 감소할 수 있다.
- [0028] 도 2a는 본 개시에서 개시하고 있는 일 실시예에 따른 스위치 제어 프로세서를 나타낸 도면이다.

- [0029] 일 실시예에 따르면, 스위치 제어 프로세서는 제어 신호(v_1)를 수신하는 제1 인버터(230), 제1 PMOS(241)의 게이트단과 제1 NMOS(242)의 게이트단이 상기 제1 인버터(230)의 출력단과 전기적으로 연결되는 제1 CMOS, 상기 제1 인버터(230)의 출력단과 전기적으로 연결되는 제2 인버터(250), 제2 PMOS(251)의 게이트단과 제2 NMOS(252)의 게이트단이 상기 제2 인버터의 출력단(250)과 전기적으로 연결되는 제2 CMOS, 상기 제1 PMOS(241)의 소스단 및 상기 제2 PMOS(251)의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스(210) 및 상기 제1 NMOS(242)의 소스단 및 상기 제2 NMOS(252)의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스(220)를 포함할 수 있다.
- [0030] 일 실시예에 따르면, 제어 신호(v_1)가 V_{DD} 인 경우 제1 인버터(230)를 통해 출력되는 출력 신호는 0일 수 있다. 다양한 실시예에 따르면, 제1 인버터(230)의 출력 신호가 0인 경우, 제1 PMOS(241)는 턴 온 되고 제1 NMOS(242)는 턴 오프 될 수 있다. 일 실시예에 따르면, 제1 PMOS(241)만이 턴 온 되는 경우, 제1 CMOS의 출력단에 출력되는 출력 신호는 V_{DD} 일 수 있다. 다양한 실시예에 따르면, 상기 제1 CMOS의 출력단에 출력되는 출력 신호는 스위치를 구성하는 NMOS 게이트단의 제어 신호로 이용될 수 있다. 즉, v_1 이 V_{DD} 인 경우 스위치를 구성하는 NMOS 게이트단으로 공급되는 제어 신호는 V_{DD} 이므로 NMOS는 턴 온 될 수 있다.
- [0031] 일 실시예에 따르면, 스위치를 구성하는 NMOS가 턴 온 되는 경우, NMOS의 게이트단은 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스(210)와 전기적으로 연결될 수 있다. 다양한 실시예에 따르면 상기 제1 임피던스(210)는 저항 및 인덕터를 포함할 수 있다.
- [0032] 일 실시예에 따르면, 높은 임피던스값을 가지는 상기 제1 임피던스(210)에 의해 스위치를 구성하는 NMOS의 게이트단과 소스단 사이의 기생 커패시턴스 및 스위치를 구성하는 NMOS의 게이트단과 드레인단 사이의 기생 커패시턴스를 통해 전류가 흐르는 것을 방지할 수 있다. (기생 커패시턴스에 흐르는 전류의 차단 효과에 대한 구체적인 설명은 도 2b에 대한 설명으로 후술한다.)
- [0033] 일 실시예에 따르면, 제1 인버터(230)를 통해 출력되는 출력 신호가 0인 경우 제2 인버터(250)를 통해 출력되는 출력 신호는 V_{DD} 일 수 있다. 다양한 실시예에 따르면, 제2 인버터(250)의 출력 신호가 V_{DD} 인 경우, 제2 PMOS(251)는 턴 오프 되고 제2 NMOS(252)는 턴 온 될 수 있다. 일 실시예에 따르면, 제2 NMOS(252)만이 턴 온 되는 경우, 제2 CMOS의 출력단에 출력되는 출력 신호는 0 일 수 있다. 다양한 실시예에 따르면, 상기 제2 CMOS의 출력단에 출력되는 출력 신호는 스위치를 구성하는 PMOS 게이트단의 제어 신호로 이용될 수 있다. 즉, v_1 이 V_{DD} 인 경우 스위치를 구성하는 NMOS 게이트단으로 공급되는 제어 신호는 0이므로 PMOS는 턴 온 될 수 있다.
- [0034] 일 실시예에 따르면, 스위치를 구성하는 PMOS가 턴 온 되는 경우, PMOS의 게이트단은 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스(220)와 전기적으로 연결될 수 있다. 다양한 실시예에 따르면 상기 제2 임피던스(220)는 저항 및 인덕터를 포함할 수 있다.
- [0035] 일 실시예에 따르면, 높은 임피던스값을 가지는 상기 제2 임피던스(220)에 의해 스위치를 구성하는 PMOS의 게이트단과 소스단 사이의 기생 커패시턴스 및 스위치를 구성하는 PMOS의 게이트단과 드레인단 사이의 기생 커패시턴스를 통해 전류가 흐르는 것을 방지할 수 있다.
- [0036] 일 실시예에 따르면, 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS(241)의 소스단 또는 상기 제2 PMOS(251)의 소스단과 전기적으로 연결될 수 있다. 다양한 실시예에 따르면 스위치를 구성하는 PMOS의 벌크단은 상기 제1 임피던스(210)와 전기적으로 연결될 수 있다. 따라서 상기 제1 임피던스(210)에 의해 스위치를 구성하는 PMOS의 벌크단과 소스단 사이의 기생 커패시턴스 및 스위치를 구성하는 PMOS의 벌크단과 드레인단 사이의 기생 커패시턴스를 통해 전류가 흐르는 것을 방지할 수 있다.
- [0037] 일 실시예에 따르면, 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS(242)의 소스단 또는 상기 제2 NMOS(252)의 소스단과 전기적으로 연결될 수 있다. 다양한 실시예에 따르면 스위치를 구성하는 NMOS의 벌크단은 상기 제2 임피던스(220)와 전기적으로 연결될 수 있다. 따라서 상기 제2 임피던스(220)에 의해 스위치를 구성하는 NMOS의 벌크단과 소스단 사이의 기생 커패시턴스 및 스위치를 구성하는 NMOS의 벌크단과 드레인단 사이의 기생 커패시턴스를 통해 전류가 흐르는 것을 방지할 수 있다.
- [0038] 일 실시예에 따르면, 스위치를 구성하는 PMOS의 벌크단은 스위치 제어 프로세서의 v_2 노드와 전기적으로 연결될 수 있으며 스위치를 구성하는 NMOS의 벌크단은 스위치 제어 프로세서의 v_3 노드와 전기적으로 연결될 수 있다.

- [0040] 도 2b는 본 개시에서 개시하고 있는 일 실시예에 따른 증폭기를 나타낸 도면이다.
- [0041] 보다 구체적으로 도 2b는 도 2a에서 도시한 스위치 제어 프로세서를 포함하는 증폭기에서 스위치를 구성하는 MOS펫이 온 된 경우 등가회로를 나타낸 도면이다. 도 2a에서는 스위치가 PMOS와 NMOS를 포함하는 CMOS인 경우를 도시하였으나, 도 2b에서는 중복되는 설명을 피하기 위해 스위치가 하나의 PMOS만으로 구성된 경우를 도시하였다.
- [0042] 일 실시예에 따르면, 스위치가 턴 온 되는 경우 스위치를 구성하는 PMOS의 소스단(s)과 드레인단(d)은 저항($r_{sd,on}$)을 통해 전기적으로 연결될 수 있다. 예를 들어 상기 저항($r_{sd,on}$)은 PMOS가 온 되는 경우, 드레인단과 소스단 사이에 생성될 수 있으며, 낮은 임피던스 값을 가질 수 있다. 다양한 실시예에 따르면, MOS펫의 특성상 게이트단과 소스단 사이에 제1 기생 커패시터 성분(C_{gs})이 생성되고, 게이트단과 드레인단 사이에 제2 기생 커패시터 성분(C_{gd})이 생성되며, 소스단과 벌크단 사이에 제3 기생 커패시터 성분(C_{sb})이 생성되고 드레인단과 벌크단 사이에 제4 기생 커패시터 성분(C_{db})이 생성될 수 있다.
- [0043] 일 실시예에 따르면, 증폭기의 동작 주파수 대역이 높아질수록, 상기 기생 커패시터 성분의 임피던스값은 낮아질 수 있다. 다양한 실시예에 따르면, 증폭기의 동작 주파수 대역이 충분히 높아져 상기 기생 커패시터의 임피던스값이 기설정된 문턱값 이하가 되는 경우, 상기 기생 커패시터를 통해 증폭하고자 하는 기초 신호의 일부가 흐를 가능성이 있다. 일 실시예에 따르면, 상기 기초 신호는 상기 증폭기의 입력단에 배치된 제1 저항(230)과 상기 증폭기의 출력단에 배치된 제2 저항(240)의 비율에 기반하여 증폭될 수 있다.
- [0044] 일 실시예에 따르면, 상기 MOS펫의 벌크단에는 임피던스값이 높은 제1 임피던스(210)가 전기적으로 연결되고, 상기 MOS펫의 게이트단에는 임피던스값이 높은 제2 임피던스(220)가 전기적으로 연결될 수 있다. 다양한 실시예에 따르면, 제1 기생 커패시터 성분(C_{gs})과 제2 기생 커패시터 성분(C_{gd})을 통해 전류가 흐르더라도 스위치를 구성하는 PMOS의 게이트단에는 임피던스값이 높은 제2 임피던스(220)가 연결되어 있으므로 증폭하고자 하는 기초 신호가 상기 게이트단을 통해 흘러 나가지 않을 수 있다. 동일한 원리로 제3 기생 커패시터 성분(C_{sb})과 제4 기생 커패시터 성분(C_{db})을 통해 전류가 흐르더라도 스위치를 구성하는 PMOS의 벌크단에는 임피던스값이 높은 제1 임피던스(210)가 연결되어 있으므로 증폭하고자 하는 기초 신호가 상기 벌크단을 통해 흘러 나가지 않을 수 있다.
- [0045] 즉, 본 개시에서 개시하고 있는 일 실시예에 따르면 스위치를 구성하는 MOS펫의 기생 커패시터를 통해 흘러나가는 전류를 임피던스값이 높은 제1 임피던스(210)와 제2 임피던스(220)를 통해 차단함으로써 증폭기의 게인값을 향상시킬 수 있다.
- [0046] 일 실시예에 따르면, 상기 제1 임피던스(210) 및 상기 제 2 임피던스(220)는 저항 또는 인덕터를 포함할 수 있다. 다양한 실시예에 따르면, 제1 임피던스(210) 및 제2 임피던스(220)가 높은 임피던스값을 가지는 저항으로 구성되는 경우, 증폭기의 동작 주파수에 관계없이 MOS펫의 기생 커패시터를 통해 흘러나가는 전류를 차단할 수 있다. 일 실시예에 따르면, 제1 임피던스(210) 및 제2 임피던스(220)가 인덕터로 구성되는 경우, 증폭기의 동작 주파수가 높아질수록 인덕터의 임피던스값도 높아지므로 MOS펫의 기생 커패시터를 통해 흘러나가는 전류를 차단할 수 있다.
- [0048] 도 3a는 본 개시에서 개시하고 있는 일 실시예에 따라 2단 스위치 및 단락 스위치를 포함하는 증폭기를 나타낸 도면이다.
- [0049] 일 실시예에 따르면, 스위치를 구성하는 MOS펫의 게이트단과 벌크단의 임피던스값을 높임으로써 꺼져있는 스위치들을 통한 증폭기 피드백 신호의 양이 커질 수 있다. 즉, 증폭기의 출력단에서 증폭기의 입력단으로 피드백 되는 출력 신호의 양이 커질 수 있다. 다양한 실시예에 따르면, 증폭기 피드백 신호의 양이 커지는 경우 밀러 효과(Miller effect)에 의해 증폭기의 대역폭이 감소될 수 있다.
- [0050] 일 실시예에 따르면, 꺼져있는 스위치를 통한 피드백 신호의 증가에 따른 대역폭 감소 효과를 방지하기 위해 도 3a와 같이 2단으로 스위치를 구성하며, 2단 스위치 사이에 단락 스위치를 배치할 수 있다. 다양한 실시예에 따르면, 상기 2단 스위치와 단락 스위치를 적절하게 제어하여 증폭기의 피드백 신호가 상기 단락 스위치를 통해 흐르도록 할 수 있다.

- [0051] 일 실시예에 따르면, 증폭기를 구성하는 2단 스위치는 제1 PMOS(320)와 제1 NMOS(330)를 이용한 제1 CMOS를 포함하는 제1 스위치와 제2 PMOS(340)와 제2 NMOS(350)를 이용한 제2 CMOS를 포함하는 제2 스위치가 직렬로 연결되어 구성될 수 있다. 다양한 실시예에 따르면, 상기 제1 스위치와 제2 스위치는 앞서 도 1a에 대한 설명에서 설명한 스위치의 동작과 동일 또는 유사한 동작을 수행할 수 있다. 예를 들어, v_1 과 v_2 가 V_{DD} 인 경우, 제1 PMOS(320), 제1 NMOS(330), 제2 PMOS(340), 제2 NMOS(350)는 모두 턴 온 될 수 있다.
- [0052] 일 실시예에 따르면, 상기 제1 스위치와 상기 제2 스위치 사이에 연결되는 단락 스위치는 제3 NMOS(361)와 제4 NMOS(362)를 포함할 수 있다. 다양한 실시예에 따르면, 상기 제1 스위치와 상기 제2 스위치가 턴 온 되는 경우(즉, v_1 과 v_2 가 V_{DD} 인 경우) 상기 제3 NMOS(361)와 제4 NMOS(362)는 모두 턴 오프 될 수 있다.
- [0053] 일 실시예에 따르면, 상기 제1 스위치와 상기 제2 스위치가 턴 오프 되는 경우(즉, v_1 과 v_2 가 0인 경우) 상기 제3 NMOS(361)와 제4 NMOS(362)는 모두 턴 온 될 수 있다. 다양한 실시예에 따르면, 제1 스위치와 제2 스위치가 턴 오프되더라도 MOS펄스의 기생 커패시터에 의해 증폭기에 피드백 신호가 흐를 수 있다. 일 실시예에 따르면, 상기 제2 스위치를 통과한 피드백 신호의 대부분은 임피던스값이 낮은 단락 스위치를 향해 흐를 수 있다. 즉, 본 개시에서 개시하고 있는 일 실시예에 따른 경우, 제2 스위치를 통과한 피드백 신호의 대부분이 단락 스위치를 통해 흐름으로써 피드백 신호가 증폭기의 입력단으로 흘러 증폭기의 대역폭이 감소하는 현상을 방지할 수 있다.
- [0055] 도 3b는 본 개시에서 개시하고 있는 일 실시예에 따른 2단 스위치를 제어하기 위한 스위치 제어 프로세서를 나타낸 도면이다.
- [0056] 일 실시예에 따르면, 스위치 제어 프로세서는 2단 스위치를 구성하는 제1 스위치를 제어하기 위한 제1 스위치 제어 프로세서와 제2 스위치를 제어하기 위한 제2 스위치 제어 프로세서로 구분할 수 있다. 다양한 실시예에 따르면, 제1 스위치를 제어하기 위한 제1 스위치 제어 프로세서는 제어 신호(v_1)를 수신하는 제1 인버터(371), 제1 PMOS(391)의 게이트단과 제1 NMOS(392)의 게이트단이 상기 제1 인버터(371)의 출력단과 전기적으로 연결되는 제1 CMOS, 상기 제1 인버터(371)의 출력단과 전기적으로 연결되는 제2 인버터(372), 제2 PMOS(393)의 게이트단과 제2 NMOS(394)의 게이트단이 상기 제2 인버터의 출력단(372)과 전기적으로 연결되는 제2 CMOS, 상기 제1 PMOS(391)의 소스단 및 상기 제2 PMOS(393)의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스(381) 및 상기 제1 NMOS(392)의 소스단 및 상기 제2 NMOS(394)의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스(382)를 포함할 수 있다.
- [0057] 일 실시예에 따르면, 제어 신호(v_1)가 V_{DD} 인 경우 제1 인버터(371)를 통해 출력되는 출력 신호는 0일 수 있다. 다양한 실시예에 따르면, 제1 인버터(371)의 출력 신호가 0인 경우, 제1 PMOS(391)는 턴 온 되고 제1 NMOS(392)는 턴 오프 될 수 있다. 일 실시예에 따르면, 제1 PMOS(391)만이 턴 온 되는 경우, 제1 CMOS의 출력단에 출력되는 출력 신호는 V_{DD} 일 수 있다. 다양한 실시예에 따르면, 상기 제1 CMOS의 출력단에 출력되는 출력 신호는 스위치를 구성하는 NMOS 게이트단의 제어 신호로 이용될 수 있다. 즉, v_1 이 V_{DD} 인 경우 스위치를 구성하는 NMOS 게이트단으로 공급되는 제어 신호는 V_{DD} 이므로 NMOS는 턴 온 될 수 있다.
- [0058] 일 실시예에 따르면, 스위치를 구성하는 NMOS가 턴 온 되는 경우, NMOS의 게이트단은 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스(381)와 전기적으로 연결될 수 있다. 다양한 실시예에 따르면 상기 제1 임피던스(381)는 저항 및 인덕터를 포함할 수 있다.
- [0059] 일 실시예에 따르면, 제1 인버터(372)를 통해 출력되는 출력 신호가 0인 경우 제2 인버터(372)를 통해 출력되는 출력 신호는 V_{DD} 일 수 있다. 다양한 실시예에 따르면, 제2 인버터(372)의 출력 신호가 V_{DD} 인 경우, 제2 PMOS(393)는 턴 오프 되고 제2 NMOS(394)는 턴 온 될 수 있다. 일 실시예에 따르면, 제2 NMOS(394)만이 턴 온 되는 경우, 제2 CMOS의 출력단에 출력되는 출력 신호는 0일 수 있다. 다양한 실시예에 따르면, 상기 제2 CMOS의 출력단에 출력되는 출력 신호는 스위치를 구성하는 PMOS 게이트단의 제어 신호로 이용될 수 있다. 즉, v_1 이 V_{DD} 인 경우 스위치를 구성하는 NMOS 게이트단으로 공급되는 제어 신호는 0이므로 PMOS는 턴 온 될 수 있다.
- [0060] 일 실시예에 따르면, 스위치를 구성하는 PMOS가 턴 온 되는 경우, PMOS의 게이트단은 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스(382)와 전기적으로 연결될 수 있다. 다양한 실시예에 따르면 상기 제2 임피던스

(382)는 저항 및 인덕터를 포함할 수 있다.

- [0061] 일 실시예에 따르면, 2단 스위치에서 제1 스위치를 구성하는 PMOS의 벌크단은 스위치 제어 프로세서에서 제1 PMOS(391)의 소스단 또는 제2 PMOS의 소스단(v_3 노드)과 전기적으로 연결되고 제1 스위치를 구성하는 NMOS의 벌크단은 제1 NMOS(392)의 소스단 또는 제2 NMOS(394)의 소스단(v_4 노드)과 전기적으로 연결될 수 있다.
- [0062] 일 실시예에 따르면, 제2 스위치를 제어하기 위한 제2 스위치 제어 프로세서는 제3 PMOS(395)의 게이트단과 제3 NMOS(396)의 게이트단이 상기 제1 인버터(371)의 출력단과 전기적으로 연결되는 제3 CMOS, 제4 PMOS(397)의 게이트단과 제4 NMOS(398)의 게이트단이 상기 제2 인버터(372)의 출력단과 전기적으로 연결되는 제4 CMOS, 상기 제3 PMOS(395)의 소스단 및 상기 제4 PMOS(397)의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제3 임피던스(383) 및 상기 제3 NMOS(396)의 소스단 및 상기 제4 NMOS(398)의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제4 임피던스(384)를 포함할 수 있다. 다양한 실시예에 따르면, 제2 스위치를 구성하는 PMOS의 벌크단은 상기 제3 PMOS(385)의 소스단 또는 상기 제4 PMOS(397)의 소스단(v_5 노드)과 전기적으로 연결되고, 상기 제2 스위치를 구성하는 NMOS의 벌크단은 상기 제3 NMOS(396)의 소스단 또는 상기 제4 NMOS(398)의 소스단(v_6 노드)과 전기적으로 연결될 수 있다.
- [0063] 일 실시예에 따르면, 제1스위치 제어 프로세서의 동작은 도 2a에 대한 설명에서 설명한 스위치 제어 프로세서의 동작과 동일 또는 유사할 수 있다. 다양한 실시예에 따르면, 제2 스위치 제어 프로세서의 동작은 앞서 설명한 제1 스위치 제어 프로세서의 동작과 동일 또는 유사할 수 있다.
- [0064] 한편, 도 3a 및 도 3b에서 도시한 회로 구조는 본 개시를 통해 개시하고자 하는 일 실시예에 불과할 뿐이므로 본 개시의 권리범위가 도 3a 및 도 3b에서 도시한 회로 구조에 국한되어서는 안 될 것이다.
- [0066] 도 4는 본 개시에서 개시하고 있는 일 실시예에 따라 단락 스위치를 PMOS와 NMOS로 구성한 경우를 나타낸 도면이다.
- [0067] 일 실시예에 따르면 입력단에 제1 저항(410)과 출력단에 제2 저항(420)을 포함하는 증폭기의 출력단에는 2단 스위치가 배치될 수 있다. 다양한 실시예에 따르면, 2단 스위치는 제1 PMOS(430)와 제1 NMOS(440)를 포함하는 제1 CMOS로 구성된 제1 스위치와 제2 PMOS(450)와 제2 NMOS(460)를 포함하는 제2 CMOS로 구성된 제2 스위치를 포함할 수 있다.
- [0068] 일 실시예에 따르면, 상기 제1 스위치와 제2 스위치 사이에는 제3 PMOS(470)와 제3 NMOS(480)를 포함하는 단락 스위치가 배치될 수 있다. 다양한 실시예에 따르면, v_1 과 v_2 가 V_{DD} 인 경우(즉, 제1 스위치와 제2 스위치가 턴 온 되는 경우) v_6 는 V_{DD} 일 수 있다. 즉, 제1 스위치와 제2 스위치가 턴 온 되는 경우 제3 PMOS(470)와 제3 NMOS(480)는 모두 턴 오프 될 수 있다.
- [0069] 일 실시예에 따르면 v_1 과 v_2 가 0인 경우(즉, 제1 스위치와 제2 스위치가 턴 오프 되는 경우) v_6 는 0일 수 있다. 즉, 제1 스위치와 제2 스위치가 턴 오프 되는 경우 제3 PMOS(470)와 제3 NMOS(480)는 모두 턴 온 될 수 있다. 다양한 실시예에 따르면, 제3 PMOS(470)와 제3 NMOS(480)의 소스단인 v_3 노드는 기설정된 문턱값보다 낮은 임피던스값을 가질 수 있다. 따라서, 증폭기의 피드백 신호 대부분은 낮은 임피던스값을 가지는 단락 스위치를 통해 흐를 수 있다.
- [0070] 일 실시예에 따르면, 제3 PMOS(470)의 벌크단 전압은 v_4 일 수 있으며, 제3 NMOS(480)의 벌크단 전압은 v_5 일 수 있다. 다양한 실시예에 따르면, 상기 단락 스위치를 구성하는 제3 PMOS와 제3 NMOS의 벌크단은 도 2b에서 도시한 바와 같이 높은 임피던스값을 가지는 임피던스와 전기적으로 연결될 수 있다.
- [0072] 도 5는 본 개시에서 개시하고 있는 일 실시예에 따른 가변 이득 증폭기를 나타낸 도면이다.
- [0073] 일 실시예에 따르면, 증폭기는 입력단에 제1 저항(510)을 포함할 수 있다. 다양한 실시예에 따르면, 증폭기의 이득 값을 가변시키기 위해 출력단에 복수개의 저항(521, 522, 523)이 병렬로 연결될 수 있으며, 각 저항(521, 522, 523)에 대응하여 스위치(531, 532, 533)가 배치될 수 있다. 일 실시예에 따르면, 상기 각 스위치의 턴 온/턴 오프를 제어하여 증폭기의 이득 값을 변경할 수 있다.

- [0074] 일 실시예에 따르면, 각 스위치(531, 532, 533)가 MOS펫을 이용한 스위치로 구성되는 경우 병렬로 연결된 각 스위치의 기생 커패시턴스 성분에 의해 전술한 바와 같이 증폭기의 이득 값이 감소할 수 있다. 따라서 본 개시에서는 스위치에 의해 증폭기의 이득값이 감소하는 것을 방지하기 위한 스위치 제어 프로세서를 제공한다. 본 개시에서 개시하고 있는 스위치 및 스위치 제어 프로세서는 증폭기를 구성하는 각 스위치(531, 532, 533)에 적용될 수 있다.
- [0075] 뿐만 아니라, 본 개시에 따를 경우, 스위치를 제1 스위치와 제2 스위치가 직렬로 연결된 2단 스위치로 구성하고 상기 제1 스위치와 상기 제2 스위치 사이에 단락 스위치를 배치함으로써 꺼져있는 스위치를 통한 증폭기 피드백 신호의 양을 줄일 수 있다. 따라서, 본 개시에 따를 경우, 꺼져있는 스위치가 증폭기의 입력단에 영향을 미치는 피드백 신호가 감소됨으로써 증폭기의 대역폭이 향상될 수 있다.
- [0077] 일 실시예에 따르면, 증폭기는 입력단에 전기적으로 연결된 제1 저항, 출력단에 전기적으로 연결된 제2 저항, MOS펫(MOSFET)으로 구성되고 상기 제2 저항의 일단과 전기적으로 연결되는 스위치 및 상기 스위치를 구성하는 MOS펫의 게이트단과 상기 스위치를 구성하는 MOS펫의 벌크(bulk)단이 기설정된 제1 문턱값보다 높은 임피던스 값을 가지는 임피던스와 전기적으로 연결되도록 형성된 스위치 제어 프로세서를 포함하는 증폭기를 포함할 수 있다.
- [0078] 일 실시예에 따르면, 상기 스위치는 CMOS(complementary metal-oxide semiconductor)를 포함하고, 상기 스위치 제어 프로세서는, 상기 CMOS를 구성하는 PMOS의 게이트단과 상기 PMOS의 벌크단이 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제1 임피던스 및 상기 CMOS를 구성하는 NMOS의 게이트단과 상기 NMOS의 벌크단이 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제2 임피던스를 포함할 수 있다.
- [0079] 일 실시예에 따르면, 상기 스위치 제어 프로세서는 제어 신호를 수신하는 제1 인버터, 제1 PMOS의 게이트단과 제1 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제1 CMOS, 상기 제1 인버터의 출력단과 전기적으로 연결되는 제2 인버터, 제2 PMOS의 게이트단과 제2 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제2 CMOS, 상기 제1 PMOS의 소스단 및 상기 제2 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제1 임피던스 및 상기 제1 NMOS의 소스단 및 상기 제2 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제2 임피던스를 포함할 수 있다.
- [0080] 일 실시예에 따르면, 상기 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS의 소스단 또는 상기 제2 PMOS의 소스단과 전기적으로 연결되고, 상기 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS의 소스단 또는 상기 제2 NMOS의 소스단과 전기적으로 연결될 수 있다.
- [0081] 일 실시예에 따르면, 상기 스위치를 구성하는 PMOS의 게이트단은 상기 제1 CMOS의 출력단과 전기적으로 연결되고, 상기 스위치를 구성하는 NMOS의 게이트단은 상기 제2 CMOS의 출력단과 전기적으로 연결될 수 있다.
- [0082] 일 실시예에 따르면, 상기 스위치는 CMOS로 구성되며 상기 제2 저항의 일단과 전기적으로 연결되는 제1 스위치 및 CMOS로 구성되며 상기 제1 스위치의 일단과 전기적으로 연결되는 제2 스위치를 포함할 수 있다.
- [0083] 일 실시예에 따르면, 상기 스위치 제어 프로세서는 제어 신호를 수신하는 제1 인버터, 제1 PMOS의 게이트단과 제1 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제1 CMOS, 상기 제1 인버터의 출력단과 전기적으로 연결되는 제2 인버터, 제2 PMOS의 게이트단과 제2 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제2 CMOS, 상기 제1 PMOS의 소스단 및 상기 제2 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제1 임피던스, 상기 제1 NMOS의 소스단 및 상기 제2 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제2 임피던스, 제3 PMOS의 게이트단과 제3 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제3 CMOS, 제4 PMOS의 게이트단과 제4 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제4 CMOS, 상기 제3 PMOS의 소스단 및 상기 제4 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제3 임피던스 및 상기 제3 NMOS의 소스단 및 상기 제4 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스 값을 가지는 제4 임피던스를 포함할 수 있다.
- [0084] 일 실시예에 따르면, 상기 제1 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS의 소스단 또는 상기 제2 PMOS의 소스단과 전기적으로 연결되고, 상기 제1 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS의 소스단 또는 상기 제2 NMOS의 소스단과 전기적으로 연결되며, 상기 제2 스위치를 구성하는 PMOS의 벌크단은 상기 제3 PMOS의

소스단 또는 상기 제4 PMOS의 소스단과 전기적으로 연결되고, 상기 제2 스위치를 구성하는 NMOS의 벌크단은 상기 제3 NMOS의 소스단 또는 상기 제4 NMOS의 소스단과 전기적으로 연결될 수 있다.

- [0085] 일 실시예에 따르면, 상기 증폭기는 상기 제1 스위치와 상기 제2 스위치 사이에 기설정된 제2 문턱값보다 낮은 임피던스값을 가지는 제3 스위치를 더 포함할 수 있다.
- [0086] 일 실시예에 따르면, 상기 제3 스위치는 상기 제2 문턱값보다 낮은 임피던스값을 가지며, 상기 제1 스위치를 구성하는 PMOS와 상기 제2 스위치를 구성하는 PMOS 사이에 드레인단이 전기적으로 연결되는 제5 PMOS 및 상기 제2 문턱값보다 낮은 임피던스값을 가지며, 상기 제1 스위치를 구성하는 NMOS와 상기 제2 스위치를 구성하는 NMOS 사이에 드레인단이 전기적으로 연결되는 제5 NMOS를 포함할 수 있다.
- [0087] 일 실시예에 따르면, 전자 장치는 증폭기를 포함할 수 있고, 상기 증폭기는 입력단에 전기적으로 연결된 제1 저항, 출력단에 전기적으로 연결된 제2 저항, 모스펫(MOSFET)으로 구성되고 상기 제2 저항의 일단과 전기적으로 연결되는 스위치 및 상기 스위치를 구성하는 모스펫의 게이트단과 상기 스위치를 구성하는 모스펫의 벌크(bulk)단이 기설정된 제1 문턱값보다 높은 임피던스값을 가지는 임피던스와 전기적으로 연결되도록 형성된 스위치 제어 프로세서를 포함할 수 있다.
- [0088] 일 실시예에 따르면, 상기 스위치는 CMOS(complementary metal-oxide semiconductor)를 포함하고, 상기 스위치 제어 프로세서는 상기 CMOS를 구성하는 PMOS의 게이트단과 상기 PMOS의 벌크단이 상기 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스 및 상기 CMOS를 구성하는 NMOS의 게이트단과 상기 NMOS의 벌크단이 상기 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스를 포함할 수 있다.
- [0089] 일 실시예에 따르면, 상기 스위치 제어 프로세서는 제어 신호를 수신하는 제1 인버터, 제1 PMOS의 게이트단과 제1 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제1 CMOS, 상기 제1 인버터의 출력단과 전기적으로 연결되는 제2 인버터, 제2 PMOS의 게이트단과 제2 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제2 CMOS, 상기 제1 PMOS의 소스단 및 상기 제2 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스 및 상기 제1 NMOS의 소스단 및 상기 제2 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스를 포함할 수 있다.
- [0090] 일 실시예에 따르면, 상기 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS의 소스단 또는 상기 제2 PMOS의 소스단과 전기적으로 연결되고, 상기 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS의 소스단 또는 상기 제2 NMOS의 소스단과 전기적으로 연결될 수 있다.
- [0091] 일 실시예에 따르면, 상기 스위치를 구성하는 PMOS의 게이트단은 상기 제1 CMOS의 출력단과 전기적으로 연결되고, 상기 스위치를 구성하는 NMOS의 게이트단은 상기 제2 CMOS의 출력단과 전기적으로 연결될 수 있다.
- [0092] 일 실시예에 따르면, 상기 스위치는 CMOS로 구성되며 상기 제2 저항의 일단과 전기적으로 연결되는 제1 스위치 및 CMOS로 구성되며 상기 제1 스위치의 일단과 전기적으로 연결되는 제2 스위치를 포함할 수 있다.
- [0093] 일 실시예에 따르면, 상기 스위치 제어 프로세서는 제어 신호를 수신하는 제1 인버터, 제1 PMOS의 게이트단과 제1 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제1 CMOS, 상기 제1 인버터의 출력단과 전기적으로 연결되는 제2 인버터, 제2 PMOS의 게이트단과 제2 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제2 CMOS, 상기 제1 PMOS의 소스단 및 상기 제2 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제1 임피던스, 상기 제1 NMOS의 소스단 및 상기 제2 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제2 임피던스, 제3 PMOS의 게이트단과 제3 NMOS의 게이트단이 상기 제1 인버터의 출력단과 전기적으로 연결되는 제3 CMOS, 제4 PMOS의 게이트단과 제4 NMOS의 게이트단이 상기 제2 인버터의 출력단과 전기적으로 연결되는 제4 CMOS, 상기 제3 PMOS의 소스단 및 상기 제4 PMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제3 임피던스 및 상기 제3 NMOS의 소스단 및 상기 제4 NMOS의 소스단과 전기적으로 연결되고 상기 제1 문턱값보다 높은 임피던스값을 가지는 제4 임피던스를 포함할 수 있다.
- [0094] 일 실시예에 따르면, 상기 제1 스위치를 구성하는 PMOS의 벌크단은 상기 제1 PMOS의 소스단 또는 상기 제2 PMOS의 소스단과 전기적으로 연결되고, 상기 제1 스위치를 구성하는 NMOS의 벌크단은 상기 제1 NMOS의 소스단 또는 상기 제2 NMOS의 소스단과 전기적으로 연결되며, 상기 제2 스위치를 구성하는 PMOS의 벌크단은 상기 제3 PMOS의 소스단 또는 상기 제4 PMOS의 소스단과 전기적으로 연결되고, 상기 제2 스위치를 구성하는 NMOS의 벌크단은 상기 제3 NMOS의 소스단 또는 상기 제4 NMOS의 소스단과 전기적으로 연결될 수 있다.

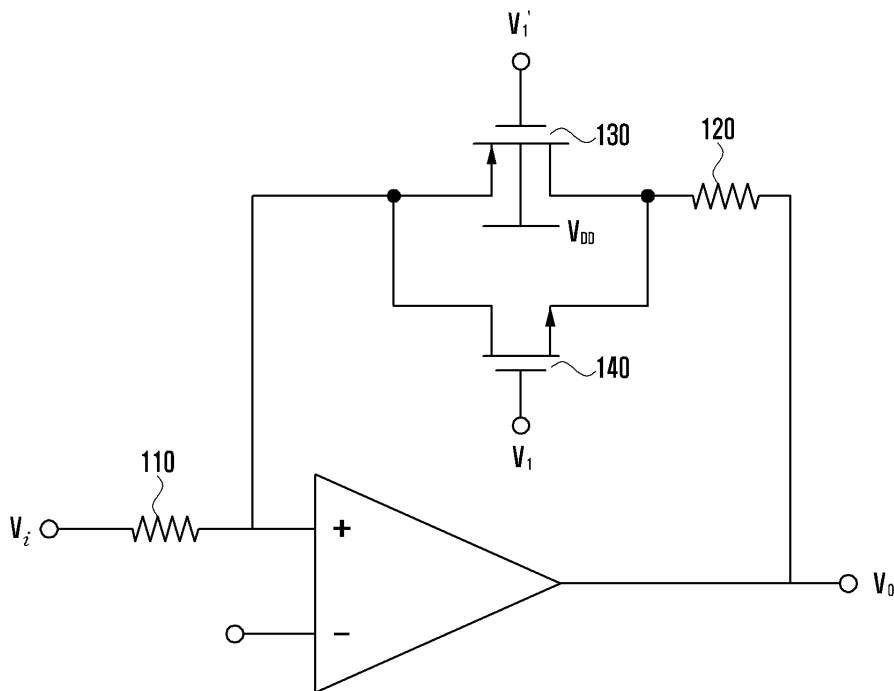
[0095] 일 실시예에 따르면, 상기 전자 장치의 증폭기는 상기 제1 스위치와 상기 제2 스위치 사이에 기설정된 제2 문턱값보다 낮은 임피던스값을 가지는 제3 스위치를 더 포함할 수 있다.

[0096] 일 실시예에 따르면, 상기 제3 스위치는 상기 제2 문턱값보다 낮은 임피던스값을 가지며, 상기 제1 스위치를 구성하는 PMOS와 상기 제2 스위치를 구성하는 PMOS 사이에 드레인단이 전기적으로 연결되는 제5 PMOS 및 상기 제2 문턱값보다 낮은 임피던스값을 가지며, 상기 제1 스위치를 구성하는 NMOS와 상기 제2 스위치를 구성하는 NMOS 사이에 드레인단이 전기적으로 연결되는 제5 NMOS를 포함할 수 있다.

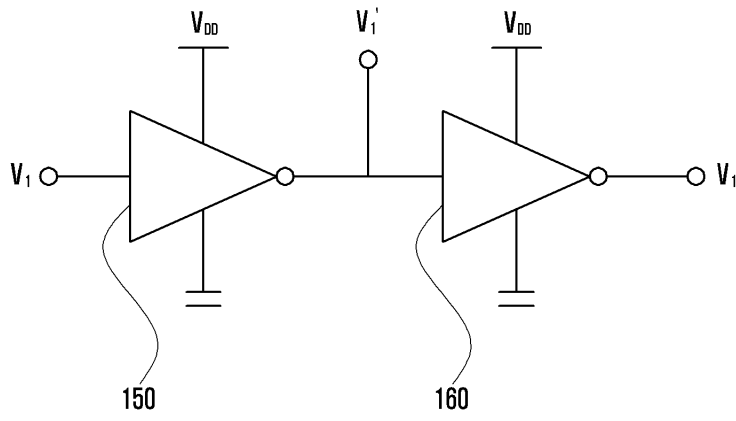
[0098] 본 명세서와 도면에 개시된 본 발명의 실시 예들은 본 발명의 기술 내용을 쉽게 설명하고 본 발명의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 즉 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명의 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다. 또한 상기 각각의 실시 예는 필요에 따라 서로 조합되어 운용할 수 있다. 예컨대, 본 발명에서 제안하는 방법들의 일부분들이 서로 조합되어 기지국과 단말이 운용될 수 있다.

도면

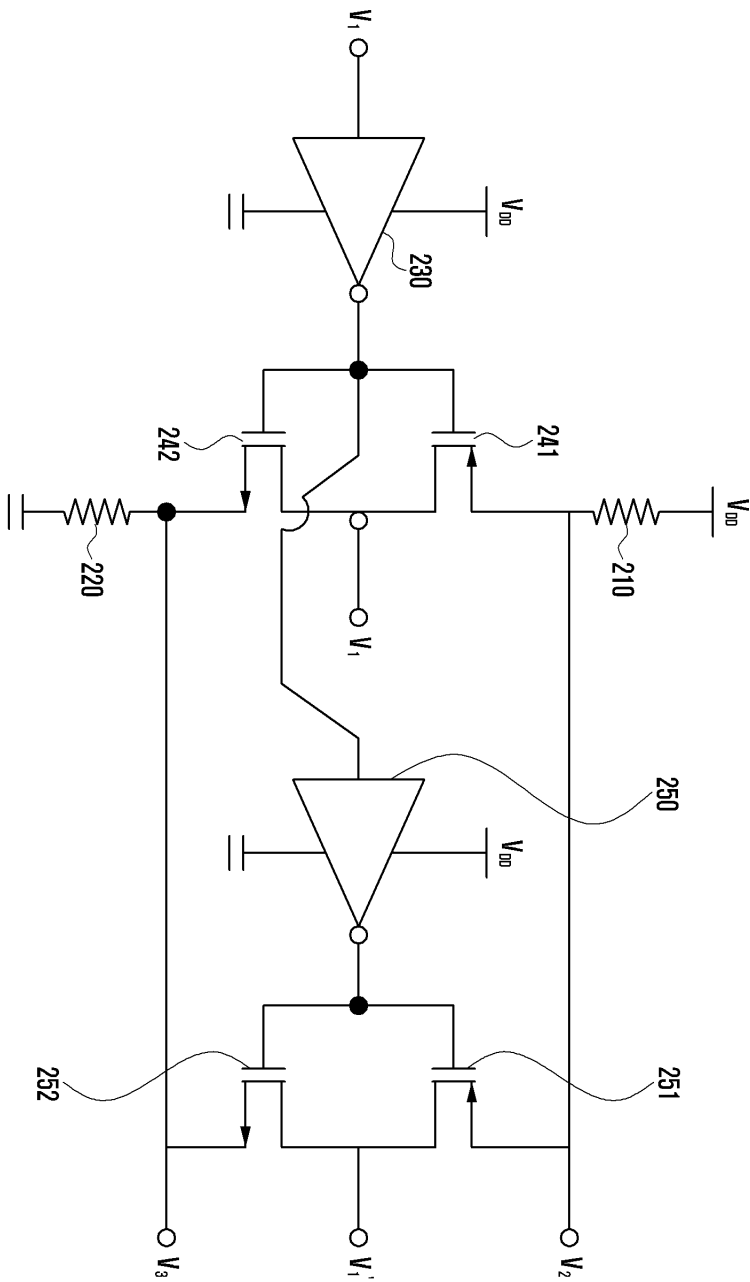
도면1a



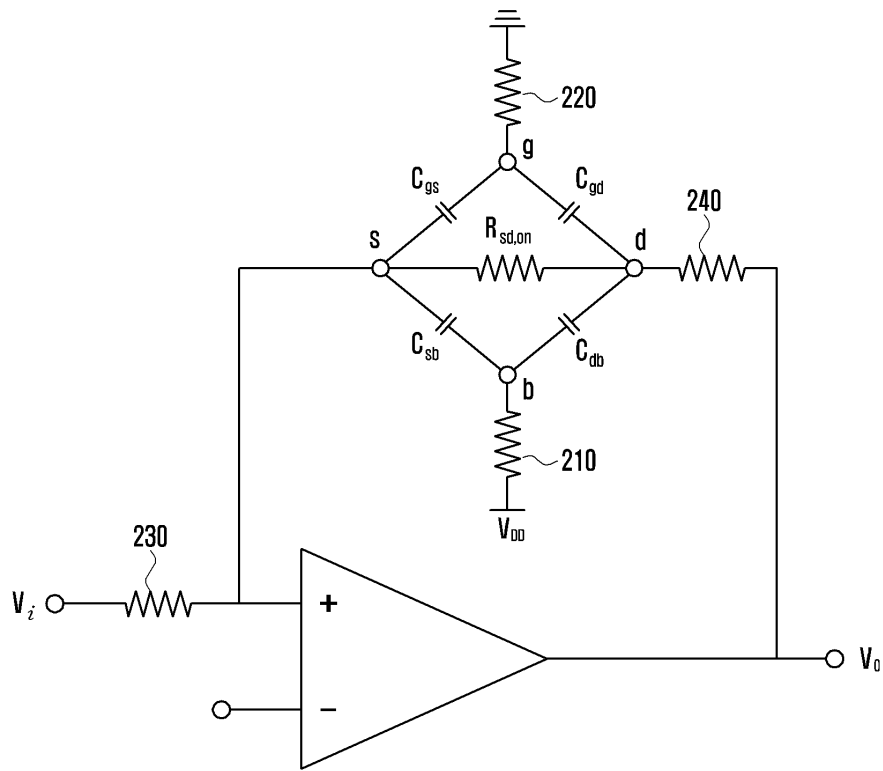
도면1b



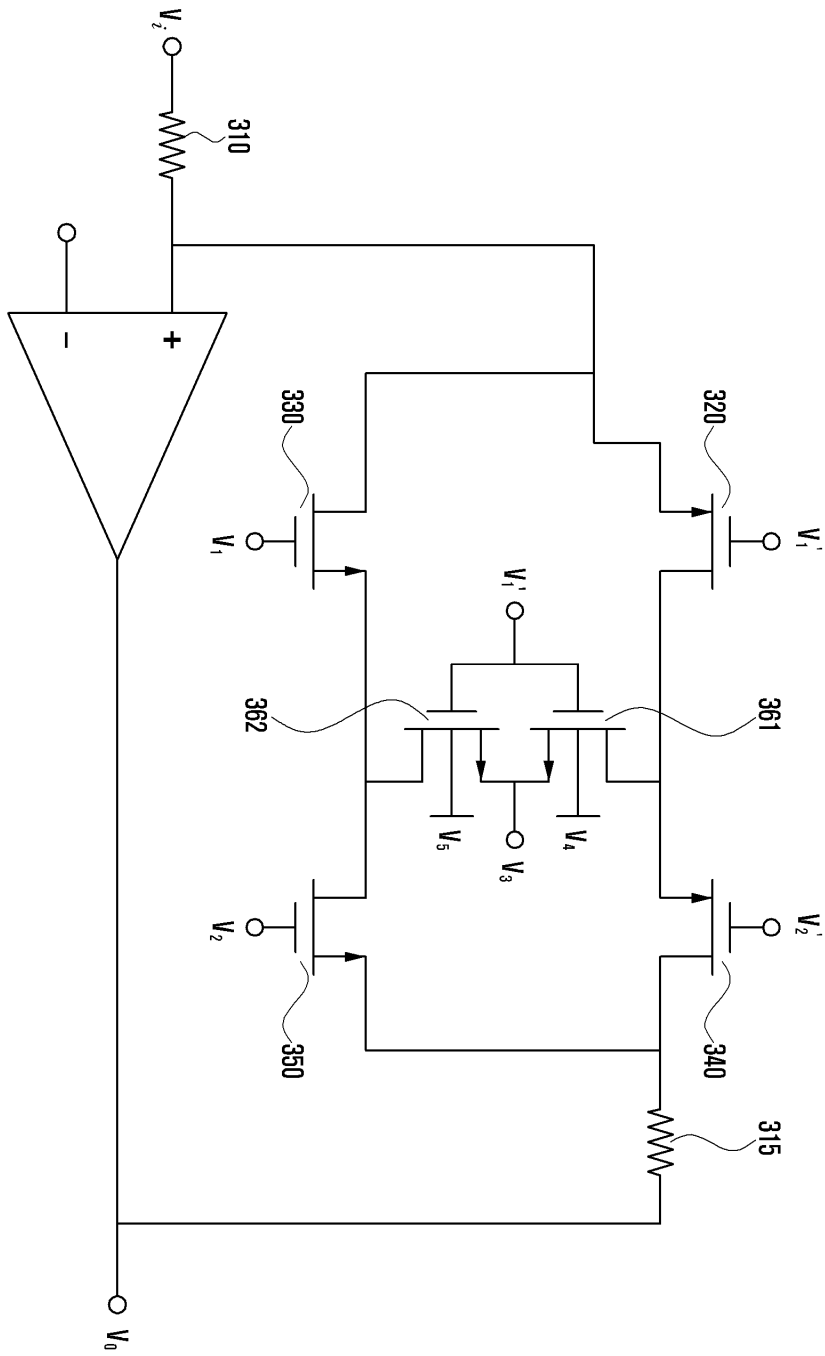
도면2a



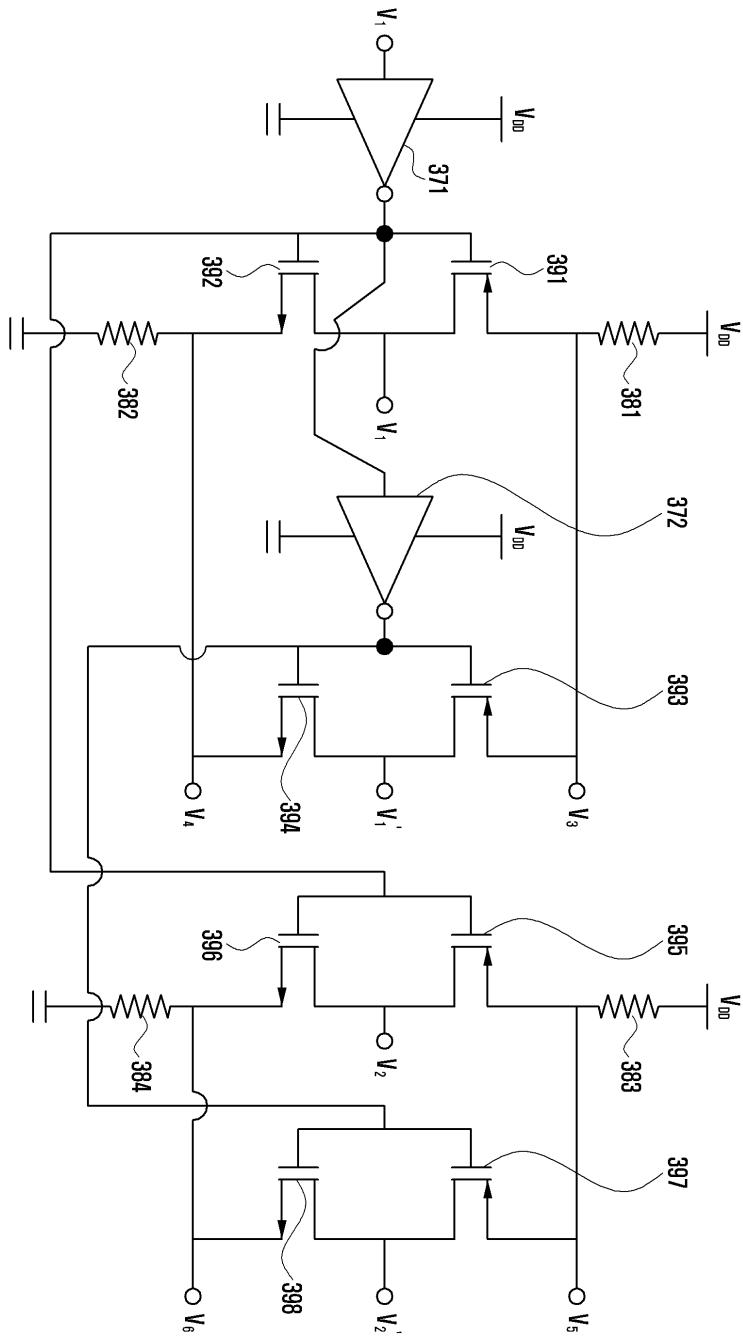
도면2b



도면3a



도면3b



도면5

