



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94114626

※ 申請日期：94.5.6.

※IPC 分類：

G09G3/20 (2006.01)

H05B33/00 (2006.01)

G09F9/30 (2006.01)

一、發明名稱：(中文/英文)

顯示裝置及其驅動方法

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 奇美電子股份有限公司/CHI MEI OPTOELECTRONICS CORP.
2. 京瓷股份有限公司(京セラ株式会社)

代表人：(中文/英文)

1. 廖錦祥
2. 西口泰夫

住居所或營業所地址：(中文/英文)

1. 台南縣新市鄉奇業路 1 號
2. 京都市伏見區竹田鳥羽殿町 6 番地

國 籍：(中文/英文)

1. 中華民國/R.O.C.
2. 日本/JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 三和宏一
2. 小野晉也(小野晋也)
3. 小林芳直

國 籍：(中文/英文)

1. ~ 3. 日本/JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

日本 2004.06.18 特願 2004-181655

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種顯示裝置及其驅動方法，該顯示裝置具備多個配置成行列狀之像素電路，且像素電路具有按照注入電流大小而發光之發光元件及控制流向該發光元件之電流值之電晶體元件。在該發光元件發光之前，對既定之靜電電容量儲存電荷，使用所儲存之電荷對該電晶體元件之閘極、源極間進行對應於驅動臨限值電壓之電壓之偵測及供給。

【先前技術】

使用自行發光之有機電子發光(EL)元件之有機 EL 顯示裝置因不需要在液晶顯示裝置需要之背光，最適於裝置之薄型化，而且在視角上也無限制。因而，期待其實用化成為替代液晶顯示裝置之下世代顯示裝置。

在使用有機 EL 元件之影像顯示裝置上已知被動陣列型和主動陣列型。前者雖然構造簡單卻有難實現大型且高精細之顯示器之問題。因而，近年來，盛行開發主動陣列型顯示裝置，係利用在像素內所設置之主動元件，例如由薄膜電晶體構成之驅動元件，控制流向像素內部之發光元件之電流(例如參照專利文獻 1)。

第 7 圖係表示在以往之影像顯示裝置之單一像素(在彩色顯示之情況和一個像素中之 R、G、B 之其中之一對應之副像素，以下一樣)對應之像素電路之構造之電路圖。如第 7 圖所示，像素電路 100 具備有機 EL 元件 101，用以作為發

光元件；驅動元件 102，用以規定流向有機 EL 元件 101 之電流值；第一切換元件 103，用以控制驅動元件 102 之驅動狀態；第二切換元件 104 及第三切換元件 105，在後述之臨限值電壓偵測時發揮功能；以及電容器 106，配置於驅動元件 102 之閘極和源極之間。又，以往之顯示裝置也如第 7 圖所示，自驅動電路 112 經由低電位供給線 107、高電位供給線 108、掃描線 109、第一控制線 110、第二控制線 111 以及信號線 113 供給這些電路元件驅動控制用之電氣信號。

驅動電路 112 係用以供給控制像素電路 100 中電路元件之驅動狀態之電氣信號的。具體而言，像素電路 100 中之電路元件具有預先供給驅動元件 102 之驅動臨限值電壓之功能、在供給驅動臨限值電壓之前對有機 EL 元件 101 儲存既定之電荷之功能、按照有機 EL 元件 101 之顯示灰階之電位供給驅動元件 102 之功能以及在供給有機 EL 元件 101 之陽極、陰極間電壓後使有機 EL 元件 101 按照顯示灰階之亮度發光之功能。在實現這些功能時，驅動電路 112 經由低電位供給線 107 等供給既定之電氣信號。

[專利文獻 1]特開 2002-196357 號公報

【發明內容】

發明要解決之課題

可是，以往使用之有機 EL 元件之顯示裝置，因自驅動電路 112 延伸之配線構造之線數多，有難提高各像素之數值孔徑之問題。以下說明該問題點。

以往之顯示裝置，具有將多個像素電路 100 排列成行列

狀之構造，在該多個像素電路 100 之各像素電路，供給驅動元件 102 臨限值電壓。在此，以往之顯示裝置，由於具有經由同一信號線 113 依次供給配置於同一行之像素電路資料電壓之構造之關係，具有對於配置於同一列之像素電路 100 同時供給驅動臨限值電壓等，而對於配置於不同列之像素電路 100 按照和資料電壓之供給對應的相異之時序供給驅動臨限值電壓等之構造。

因此，在以往之顯示裝置，需要採用對於配置於不同列之像素電路 100 各自獨立的供給電氣信號之構造，具體而言，需要線數按照利用多個像素電路 100 所構成之行列之列數之低電位供給線 107～第二控制線 111。而，低電位供給線 107～第二控制線 111 各自爲了對於在同一行所配置之全部之像素電路 100 供給電氣信號，具有自將像素電路 100 配置成行列狀之陣列基板之一方之端部在行方向延伸至另一方之端部爲止之構造。

因而，在陣列基板上之這些配線構造之佔有面積變成很大，隨著佔有面積增加，因各像素電路 100 中之有機 EL 元件 101 之發光面之佔有面積相對的減少，難令數值孔徑增加。而，在將供給配置於相異之行之像素電路 100 電氣信號之低電位供給線 107 等簡單的共用化之情況，可提高數值孔徑，但是由於供給驅動元件 102 之驅動臨限值電壓值變動等，新發生顯示影像之畫質降低之問題。

鑑於上述之問題點，本發明之目的在於實現在抑制顯示品質降低下減少和像素電路連接之配線構造之個數之顯示

裝置。

解決課題之方式

為解決上述之問題，達成目的，申請專利範圍第 1 項之顯示裝置，具備像素電路，將多個像素電路配置成行列狀，各自具有按照注入電流大小而發光之發光元件及控制流向該發光元件之電流值之電晶體元件，形成後使得在該發光元件發光之前，藉著對既定之靜電電容儲存電荷進行令該電晶體元件之閘極、源極間之電壓值變至比驅動臨限值電壓高之值之電荷儲存動作及藉著調整閘極、源極間之電壓對該電晶體元件之閘極、源極間進行和驅動臨限值電壓對應之電壓之偵測、供給動作；及驅動電路，至少控制在該像素電路之電荷儲存及和驅動臨限值電壓對應之電壓之偵測、供給之時序，其特徵為該驅動電路對於配置於該行列之與第一列在一方之行方向相鄰之第二列之像素電路，控制成和在該第一列所配置之像素電路同時開始該電荷儲存及該電壓之偵測、供給，對於配置於與第一列在另一方之行方向相鄰之第三列之像素電路，控制成和在該第一列所配置之像素電路同時結束該電荷儲存及該電壓之偵測、供給。

若依據申請專利範圍第 1 項之發明，藉著在配置於第一列之像素電路和配置於第二列之像素電路之間使電荷儲存之開始時序及和臨限值電壓對應之電壓之偵測、供給之開始時序變成同時，在配置於第一列之像素電路和配置於第三列之像素電路之間使電荷儲存之終了時序及和臨限值電壓對應之電壓之偵測、供給之終了時序變成同時，可減少傳送規

定像素電路之各步驟之開始、終了時序之電氣信號之配線構造。又，在這種形態，藉著規定時序，在相鄰像素電路間，在一方之像素電路之電荷儲存所需之時間長度之增減和電壓之偵測、供給所需之時間長度之增減變成相等。因此，例如，由電荷儲存所需之時間長度之增加或減少所引起之電晶體元件之源極電位之變化量和電壓之偵測、供給所需之時間長度之增加或減少所引起之電晶體元件之源極電位之變化量相抵消，整體上可抑制閘極、源極間之電壓之變動範圍。

又，申請專利範圍第 2 項之顯示裝置，在上述之發明，該驅動電路在控制上使得在配置於該第一列之像素電路和配置於該第二列之像素電路之間之該電荷儲存及該電壓之偵測、供給之終了時序之時間差與在配置於該第一列之像素電路和配置於該第三列之像素電路之間之該電荷儲存及該電壓之偵測、供給之開始時序之時間差變成同一值。

又，申請專利範圍第 3 項之顯示裝置，在上述之發明，該發光元件具有藉著被供給順向電壓而電流流動後發光，藉著被供給逆向電壓而儲存按照供給電壓之電荷之特性，在該電荷儲存及該電壓之偵測、供給時用以作為該靜電電容。

又，申請專利範圍第 4 項之顯示裝置之驅動方法，該顯示裝置具備多個像素電路，配置成行列狀，具有按照注入電流之亮度發光之發光元件及控制流向該發光元件之電流值之電晶體元件，形成後使得在該發光元件發光之前，對既定之靜電電容儲存電荷後，使用所儲存之電荷對該電晶體元件之閘極、源極間進行和驅動臨限值電壓對應之電壓之偵測、

供給，其特徵為對於配置於該行列之與第一列在一方之行方向相鄰之第二列之像素電路，和在該第一列所配置之像素電路同時開始該電荷儲存及該電壓之偵測、供給；對於配置於與第一列在另一方之行方向相鄰之第三列之像素電路，和在該第一列所配置之像素電路同時結束該電荷儲存及該電壓之偵測、供給。

【實施方式】

以下，邊參照圖面邊說明本發明之顯示裝置之最佳實施例(以下只稱為「實施例」)。此外，圖面係示意圖，應留意和實際的相異，在圖面之間當然也包含彼此之尺寸之關係或比例相異之部分。又，以 n 通道型說明以下所言及之薄膜電晶體，但是當然也可將本發明應用於 p 通道型。此外，在以下之說明，關於薄膜電晶體，閘極以外之電極構造在源極及汲極都可令發揮功能之情況稱為源/汲極。

本實施例之顯示裝置係將像素電路配置成行列狀之顯示裝置，具有共用供給在相異之列所配置之像素電路電氣信號之配線構造之幾種構造，藉著對配線構造之共用形態下工夫，在將顯示影像之品質之降低抑制至無法視認之程度下令數值孔徑提高。第 1 圖係表示實施例之顯示裝置之整體構造之示意圖。此外，第 1 圖所示之像素電路係將多個像素電路和顯示影像之像素數對應的配置成行列狀的，關於像素電路之個數，不必限定為第 1 圖所示的。

本實施例之顯示裝置如第 1 圖所示，具備多個像素電路 1，配置成行列狀；及驅動電路 2，供給像素電路 1 既定之電

氣信號。此外，在第 1 圖，表示配置成 M 列 N 行 (M、N：整數)之行列狀之多個像素電路 1 之中位於 m 列 n 行 (m：滿足 $1 < m \leq M$ 之整數，n：N 以下之整數)之像素電路 1a、位於 (m-1) 列 n 行之像素電路 1b 以及位於 (m+1) 列 n 行之像素電路 1c。

其次，說明像素電路 1 之構造。在本實施例，因像素電路 1a～像素電路 1c 各自具有相同之構造，在以下以像素電路 1a 為例說明。像素電路 1a 具備有機 EL 元件 3a，按照注入電流發光；薄膜電晶體 4a，源極和有機 EL 元件 3a 之陽極連接，在功能上作為控制流向有機 EL 元件 3a 之電流量之驅動元件；以及電容器 5a，和薄膜電晶體 4a 之閘極及源極連接。又，像素電路 1a 中第一切換元件 6a，控制薄膜電晶體 4a 之驅動狀態；及第二切換元件 7a 和第三切換元件 8a，在後述之電荷儲存步驟及臨限值電壓偵測步驟時發揮功能。

有機 EL 元件 3a 在功能上作為在申請專利範圍之發光元件及靜電電容，藉著施加順向電壓，電流流動而發光，而且在逆向電壓作用時，在功能上作為電容器。有機 EL 元件 3a 具體上具有陽極層、發光層以及陰極層依次疊層之構造。發光層係用以將自陽極層側所注入之電子和自陰極層側所注入之電洞發光再結合的，具體而言具有利用酞花青、三鋁錯合物、苯并喹啉化物及鋁錯合物等有機系材料形成後按照需要添加了既定之雜質之構造。此外，也可採用對於發光層在陽極側設置電洞輸送層，對於發光層在陰極側設置電子輸送層之構造。

薄膜電晶體 4a 用以作為驅動元件，係在功能上作為在申請專利範圍之電晶體元件的。薄膜電晶體 4a 如第 1 圖所示，源極和有機 EL 元件 3a 之陽極連接，藉著按照作用於閘極之電壓控制流向有機 EL 元件 3a 之電流值，控制有機 EL 元件 3a 之發光亮度。

第一切換元件 6a 係用以控制薄膜電晶體 4a 之閘極和資料電壓供給電路 15(後述)之間之電氣連接狀態的。具體而言，第一切換元件 6a 在後述之資料電壓寫入步驟時將資料電壓供給電路 15 和薄膜電晶體 4a 之閘極在電氣上連接，控制成供給薄膜電晶體 4a 之閘極自資料電壓供給電路 15 輸出之資料電壓。此外，具體而言，第一切換元件 6a 例如利用薄膜電晶體形成，閘極和後述之掃描線驅動電路 12 在電氣上連接。藉著具有這種構造，第一切換元件 6a 具備依據自掃描線驅動電路 12 供給之電氣信號控制導通狀態之構造。

第二切換元件 7a 係用以控制薄膜電晶體 4a 之閘極和陽極電位供給電路 11(後述)之間之電氣連接狀態的。第三切換元件 8a 係用以控制薄膜電晶體 4a 之汲極和陽極電位供給電路 11 之間之電氣連接狀態的。具體而言，第二切換元件 7a 及第三切換元件 8a 係在後述之電荷儲存步驟及臨限值電壓偵測步驟發揮功能的，各自依據後述之第一控制電路 13 及第二控制電路 14 之控制而動作。此外，第二切換元件 7a 及第三切換元件 8a 和第一切換元件 6a 一樣，具有例如利用薄膜電晶體形成並藉著供給閘極來自第一控制電路 13 等之電氣信號動作之構造。

其次，說明驅動電路 2。驅動電路 2 係藉著供給像素電路 1 既定之電氣信號，控制像素電路 1 中之有機 EL 元件 3 之發光狀態等的驅動電路 2 利用多種電路構成，具體而言，具備陰極電位供給電路 10，供給有機 EL 元件 3 之陰極側之電位；陽極電位供給電路 11，供給有機 EL 元件 3 之陽極側之電位；掃描線驅動電路 12，控制像素電路 1 中之第一切換元件 6 之驅動狀態；第一控制電路 13，控制第二切換元件 7 之驅動狀態；第二控制電路 14，控制第三切換元件 8 之驅動狀態；以及資料電壓供給電路 15，供給按照顯示灰階之資料電壓。

陰極電位供給電路 10，係用以控制有機 EL 元件 3 之陰極側之電位。陰極電位供給電路 10 除了具有藉著供給有機 EL 元件 3 之陰極比自陽極電位供給電路 11 供給之電位低之電位供給有機 EL 元件 3 順向電壓而令發光之功能以外，藉著在後述之電荷儲存步驟及臨限值電壓偵測步驟改變供給電位而發揮既定之功用。關於電荷儲存步驟等之功能將後述。

陽極電位供給電路 11，係用以控制有機 EL 元件 3 之陽極側之電位。具體而言，陽極電位供給電路 11 經由薄膜電晶體 4 及第三切換元件 8 和有機 EL 元件 3 之陽極在電氣上連接，在薄膜電晶體 4 及第三切換元件 8 為導通狀態時供給有機 EL 元件 3 之陽極電位。此外，在本實施例，陽極電位供給電路 11 和驅動電路 2 中之別的電路相異，在構造上總是供給固定電位。

掃描線驅動電路 12 係用以控制像素電路 1 中之第一切換元件 6 之驅動的。具體而言，藉著向像素電路 1 中之第一切換元件 6 輸出既定之掃描用電氣信號，控制第一切換元件 6 之開關。

第一控制電路 13 係用以控制像素電路 1 中之第二切換元件 7 之驅動的，第二控制電路 14 係用以控制第三切換元件 8 之驅動的。如後述所示，第二切換元件 7 及第三切換元件 8 係在電荷儲存步驟及臨限值電壓偵測步驟進行應發揮既定之功能之動作的，第一控制電路 13 及第二控制電路 14 具有藉著輸出既定之電氣信號控制第二切換元件 7 及第三切換元件 8 之開關之時序之功能。

資料電壓供給電路 15 係用以輸出和像素電路 1 中之有機 EL 元件 3 之發光亮度對應之資料電壓的。即，有機 EL 元件 3 係利用在功能上作為驅動元件之薄膜電晶體 4 控制注入電流值的，而薄膜電晶體 4 具有按照閘極、源極間之電壓值決定流向閘極、源極間之電流值之特性。因供給有機 EL 元件 3 通過薄膜電晶體 4 之閘極、源極間之電流，藉著控制薄膜電晶體 4 之閘極、源極間之電壓，可控制流向有機 EL 元件 3 之電流值，藉著控制電流值可控制有機 EL 元件 3 之發光亮度。資料電壓供給電路 15 具有輸出規定這種薄膜電晶體 4 之閘極、源極間之電壓之資料電壓之功能。

其次，說明像素電路 1 中之構成元件和驅動電路 2 之電氣上之連接形態。即，驅動電路 2 中之各電路和像素電路 1 中之構成元件之關係如上述所示，例如關於第一切換元件

6, 關於像素電路 1a~像素電路 1c 各自具備之第二切換元件 7a~第二切換元件 7c 之任一個元件, 都依據自第一控制電路 13 供給之電氣信號控制驅動狀態, 在像素電路 1a~像素電路 1c 各自進行應發揮相同之功能之動作。

可是, 像素電路 1 中之各構成元件之功能係相同, 動作時序也未必相同, 在相異之像素電路 1 也有供給相同之電氣信號之情況, 也有供給相異之電氣信號之情況。具體而言, 藉著依據第 1 圖所示之形態採用將像素電路 1a~像素電路 1c 和驅動電路 2 在電氣上連接之構造, 如後述所示, 使得在將顯示影像之品質之降低抑制至無法視認之程度下, 減少和像素電路 1 連接之配線構造之線數。以下, 關於驅動電路 2 中之各電路, 具體說明和像素電路 1a~像素電路 1c 之連接形態。

陰極電位供給電路 10 經由同一配線構造和像素電路 1a、像素電路 1b 連接, 而經由相異之配線構造和像素電路 1c 在電氣上連接。即, 也如第 1 圖所示, 自陰極電位供給電路 10 延伸傳送彼此相異之電氣信號之陰極電位線 17a 及陰極電位線 17b, 陰極電位線 17a 和像素電路 1a 中之有機 EL 元件 3a 之陰極及像素電路 1b 中之有機 EL 元件 3b 之陰極連接。而, 陰極電位線 17b 和像素電路 1c 中之有機 EL 元件 3c 之陰極連接, 供給像素電路 1a、像素電路 1b 中之有機 EL 元件 3a、有機 EL 元件 3b 之陰極之電氣信號和供給像素電路 1c 之有機 EL 元件 3c 之陰極之電氣信號相異。

一方面, 第一控制電路 13 具有和陰極電位供給電路 10

相異之連接形態。具體而言，第一控制電路 13 經由同一配線構造和像素電路 1a、像素電路 1c 連接，而經由相異之配線構造和像素電路 1b 在電氣上連接。即，自第一控制電路 13 延伸傳送彼此相異之電氣信號之第一控制線 18a 及第一控制線 18b，第一控制線 18a 和像素電路 1a 中之第二切換元件 7a 之閘極及像素電路 1c 中之第二切換元件 7c 閘極連接。而，第一控制線 18b 和像素電路 1b 中之第二切換元件 7b 之閘極連接，供給像素電路 1a 及像素電路 1c 中之第二切換元件 7a 及第二切換元件 7c 之閘極之電氣信號和供給像素電路 1b 中之第二切換元件 7c 之閘極之電氣信號相異。

第二控制電路 14 具有和第一控制電路 13 一樣之形態，具有和陰極電位供給電路 10 相異之形態。即，自第二控制電路 14 延伸第二控制線 19a 及第二控制線 19b，第二控制線 19a 和像素電路 1a 中之第三切換元件 8a 之閘極及像素電路 1c 中之第三切換元件 8c 閘極連接，第二控制線 19b 和像素電路 1b 中之第三切換元件 8b 之閘極連接。

陽極電位供給電路 11 及掃描線驅動電路 12 具有和上述之電路相異之連接形態。即，陽極電位供給電路 11 經由單一之陽極電位線 20 和像素電路 1a～像素電路 1c 各自具備之第三切換元件 8a～第三切換元件 8c 之汲極連接。採用這種連接形態係由於陽極電位供給電路 11 在本實施例具有供給無電位變化之固定電位之構造。又，關於掃描線驅動電路 12，因具有經由同一信號線 22 供給像素電路 1a～1c 資料電壓之構造，爲了供給各像素電路 1a～1c 相異之資料電壓，

需要將第一切換元件 6a~6c 在各自相異之時序設為導通狀態。

其次，說明本實施例之顯示裝置之動作。以下，首先以像素電路 1a 為例說明著眼於各個像素電路 1 和驅動電路 2 中之各電路之關係之單一像素電路之動作後，說明基於和驅動電路 2 之連接形態之相異之像素電路 1a~像素電路 1c 之動作之相互關係。

首先，以像素電路 1a 為例說明像素電路 1 之動作。第 2 圖係表示自驅動電路 2 中之各電路供給像素電路 1a 之電氣信號之時間變化和基於這種電氣信號之供給之薄膜電晶體 4a 之源極(和有機 EL 元件 3a 之陽極連接之電極)之電位之時間變化之時序圖。以下，邊參照第 2 圖邊說明像素電路 1a 之動作。

像素電路 1 之動作具體上由以下之步驟構成，電荷儲存步驟，供給有機 EL 元件 3a 逆向電壓而令儲存電荷；臨限值電壓偵測步驟，偵測、寫入薄膜電晶體 4a 之閘極、源極間之驅動臨限值電壓；資料電壓寫入步驟，向薄膜電晶體 4a 之閘極、源極間寫入和顯示亮度對應之資料電壓；以及發光步驟，供給有機 EL 元件 3a 按照所寫入之資料電壓之電流後令按照既定之亮度發光。具體而言，如第 2 圖所示，在時間長度 t_1 進行電荷儲存步驟，在時間長度 t_2 進行臨限值電壓偵測步驟，在時間長度 t_3 進行資料電壓寫入步驟；在時間長度 t_4 進行發光步驟。以下簡單說明各步驟。

電荷儲存步驟係藉著供給有機 EL 元件 3a 逆向電壓，有

機 EL 元件 3a 在功能上作為電容器，儲存既定量之電荷之步驟。具體而言，依據陰極電位線 17a 之電位變為比陽極電位線 20 之電位高之值，供給有機 EL 元件 3a 逆向電壓，電荷儲存步驟開始。又，在本步驟，依據第二控制線 19a 之電位變為高電位，第三切換元件 8a 變成導通狀態，依據第一控制線 18a 之電位保持低電位，第二切換元件 7a 保持不導通狀態。又，因掃描線 21a 之電位保持低電位，第一切換元件 6a 也保持不導通狀態。

藉著保持這種狀態，在有機 EL 元件 3a 之陰極側儲存正電荷，而在陽極側儲存負電荷，薄膜電晶體 4a 之源極電位如第 2 圖所示逐漸降低。

在電荷儲存步驟結束時，薄膜電晶體 4a 之閘極、源極間之電壓變成比臨限值電壓高，薄膜電晶體 4a 變成導通狀態。然後，依據第一控制線 18a 之電位變為高電位，結束在時間長度 t_1 進行之電荷儲存步驟。

然後，進行臨限值電壓偵測步驟。臨限值電壓偵測步驟係偵測、供給在薄膜電晶體 4a 之閘極、源極間之驅動臨限值電壓之步驟。具體而言，依據陰極電位線 17a 之電位降至 0 電位，臨限值電壓偵測步驟開始。又，在本步驟，第一控制線 18a 及第二控制線 19a 之電位保持高電位，第二切換元件 7a 及第三切換元件 8a 保持導通狀態。又，因掃描線 21a 之電位保持低電位，第一切換元件 6a 保持在不導通狀態。

因此，薄膜電晶體 4a 之閘極在和信號線 22 電氣絕緣之一方，經由第二切換元件 7a、第三切換元件 8a 和薄膜電晶

體 4a 之汲極連接。如此，薄膜電晶體 4a 變成導通狀態，薄膜電晶體 4a 之汲極、源極間利用形成之通道變成導通。結果，薄膜電晶體 4a 之閘極和源極之間變成導通，逐漸供給源極 (=有機 EL 元件 3a 之陽極) 在閘極所儲存之電荷，因和在電荷儲存步驟所儲存之負電荷相抵消，源極之電位逐漸上升。因此，薄膜電晶體 4a 之閘極、源極間之電壓逐漸降低，具體而言閘極、源極間之電壓只變化 $V_2 (< 0)$ 。

這種臨限值電壓偵測步驟依據第一控制線 18a 及第二控制線 19a 之電位變成低電位而結束。即，依據第一控制線 18a 及第二控制線 19a 之電位變成低電位，第二切換元件 7a 及第三切換元件 8a 變成不導通狀態，薄膜電晶體 4a 之閘極和陽極電位線 20 之間在電氣上絕緣，停止供給正電荷。因此，閘極、源極間之電壓之變化停止，在薄膜電晶體 4a 之閘極、源極間保持在該時刻之閘極、源極間之電壓，作為驅動臨限值電壓。

然後，進行資料電壓寫入步驟及發光步驟。即，在第一控制線 18a 及第二控制線 19a 之電位保持低電位之狀態，掃描線 21a 之電位變為高電位。因此，薄膜電晶體 4a 之閘極經由第一切換元件 6a 和信號線 22 連接，而依據第二切換元件 7a 等係不導通狀態，變成和信號線 22 以外絕緣之狀態。因而，重新供給薄膜電晶體 4a 之閘極自資料電壓供給電路 15 所輸出之資料電壓。因此，就在薄膜電晶體 4a 之閘極、源極間寫入和在臨限值電壓偵測步驟所供給之臨限值電壓與重新作用之資料電壓之和對應之電壓。而，在發光步驟，

寫入了該電壓之薄膜電晶體 4a 所控制之電流流向有機 EL 元件 3a，有機 EL 元件 3a 按照既定之亮度發光。

如上述所示，在像素電路 1a，依據陰極電位線 17a 之電位變化控制電荷儲存步驟及臨限值電壓偵測步驟之開始時序，依據第一控制線 18a 及第二控制線 19a 之電位變化控制電荷儲存步驟及臨限值電壓偵測步驟之終了時序。依據這種控制，在時間長度 t_1 進行電荷儲存步驟，在時間長度 t_2 進行臨限值電壓偵測步驟。而，在電荷儲存步驟，薄膜電晶體 4a 之源極電位 V_1 只變化既定值，在臨限值電壓偵測步驟，薄膜電晶體 4a 之源極電位 V_2 也只變化既定值。

其次，說明關於電荷儲存步驟及臨限值電壓偵測步驟之像素電路 1a～像素電路 1c 之各自之關係。第 3 圖係表示在關於像素電路 1a～像素電路 1c 之電荷儲存步驟及臨限值電壓偵測步驟之電位變動之時序圖。具體而言，表示陰極電位線 17a、17b、第一控制線 18a、18b、第二控制線 19a、19b 以及像素電路 1a～像素電路 1c 各自具備之薄膜電晶體 4a～薄膜電晶體 4c 之源極之電位變化。

像素電路 1a 和像素電路 1b 也如第 1 圖所示，具有利用共用之陰極電位線 17a 供給來自陰極電位供給電路 10 之電氣信號之構造。一方面，自第一控制電路 13 及第二控制電路 14 供給來自各自相異之第一控制線 18a、18b 及第二控制線 19a、19b 之相異之電氣信號。

與此相對，像素電路 1a 和像素電路 1c 也如第 1 圖所示，具有利用共用之第一控制線 18a 及第二控制線 19a 供給來自

第一控制電路 13 及第二控制電路 14 之電氣信號之構造。一方面，自陰極電位供給電路 10 供給依據各自相異之陰極電位線 17a、17b 而異之電氣信號。

又，如已參照第 2 圖之說明所示，依據經由陰極電位線 17 供給之電氣信號控制電荷儲存步驟及臨限值電壓偵測步驟之開始時序，依據經由第一控制線 18 及第二控制線 19 供給之電氣信號控制電荷儲存步驟及臨限值電壓偵測步驟之終了時序。

具體而言，也如第 3 圖所示，像素電路 1b 和像素電路 1a 相比，電荷儲存步驟及臨限值電壓偵測步驟之開始時序一致，而電荷儲存步驟及臨限值電壓偵測步驟之終了時序只提早 Δt 。因而，在像素電路 1b，關於電荷儲存步驟所需之時間長度 t_{1b} 及臨限值電壓偵測步驟所需之時間長度 t_{2b} ，和在像素電路 1a 之時間長度 t_{1a} 、 t_{2a} 相比，各自只少 Δt 。

在像素電路 1c 也一樣。即，像素電路 1c 和像素電路 1a 相比，電荷儲存步驟及臨限值電壓偵測步驟之終了時序一致，而電荷儲存步驟及臨限值電壓偵測步驟之開始時序只落後 Δt 。因而，在像素電路 1c，關於電荷儲存步驟所需之時間長度 t_{1c} 及臨限值電壓偵測步驟所需之時間長度 t_{2c} ，和在像素電路 1a 之時間長度 t_{1a} 、 t_{2a} 相比，各自只少 Δt 。

在此，說明電荷儲存步驟所需之時間長度 t_1 及臨限值電壓偵測步驟所需之時間長度 t_2 和在各步驟之源極電位 V_1 之變化量、 V_2 之變化量之關係。即，如上述所示，電荷儲存步驟供給有機 EL 元件 3 逆向電壓，令有機 EL 元件 3 用以作

為儲存電荷之電容器。因而，自在第 2 圖之時間長度 t_1 之源極電位之變化也得知，在電荷儲存步驟終了時薄膜電晶體 4 之源極電位和時間長度 t_1 之值相依。即，在電荷儲存步驟所需之時間長度 t_1 相異之情況，源極電位 V_1 之變化量也相異。

這在臨限值電壓偵測步驟之情況也一樣。即，臨限值電壓偵測步驟在薄膜電晶體 4 之閘極、源極間之電壓比驅動臨限值高之狀態開始，其目的在於令閘極、源極間之電壓逐漸降低而令接近驅動臨限值。因而，自在第 2 圖之時間長度 t_2 之源極電位之變化也得知，在臨限值電壓偵測步驟，薄膜電晶體 4 的閘極、源極間的電壓隨時間的經過減少。在臨限值電壓偵測步驟終了時之薄膜電晶體 4 的閘極、源極間的電壓值和時間長度 t_2 之值相依。因此，在臨限值電壓偵測步驟所需之時間長度 t_2 相異之情況，源極電位 V_2 之變化量也相異。

又，在各像素電路 1，在電荷儲存步驟開始時閘極、源極間之電壓之絕對值及自電荷儲存步驟終了至臨限值電壓偵測步驟開始為止之期間之閘極、源極間之電壓之變化量可看成大致固定。因而，在時間長度 t_1 、 t_2 相異之情況，在臨限值電壓偵測步驟終了之時刻之薄膜電晶體 4 之閘極、源極間之電壓變成相異之值，具體而言，在像素電路 1a～像素電路 1c 中之薄膜電晶體 4a～薄膜電晶體 4c 之間產生按照 V_1 之變化量和 V_2 之變化量相異之電壓。

因而，在本實施例，在各像素電路 1，使得藉著對在臨限值電壓偵測步驟完了時供給之閘極、源極間之電壓加上資料電壓顯示影像。因此，例如對於像素電路 1a～像素電路

1c 供給同值之資料電壓而想顯示同一顏色之情況，也在無法忽略在臨限值電壓偵測步驟完了時之電壓差之情況，變成各自顯示相異之顏色，令使用者覺得異樣。

與此相對，如本實施例所示，在採用在相鄰之像素電路 1 間共用陰極電位線 17、第一控制線 18 以及第二控制線 19 之構造之情況，難在各像素電路 1 使得電荷儲存步驟之時間長度 t_1 和源極電位 V_1 之變化量及臨限值電壓偵測步驟之時間長度 t_2 和源極電位 V_2 之變化量相同。因此，在本實施例，使得在 V_1 、 V_2 之變化量變成相異之值之前提下，將取相異之值所引起之顯示顏色之變化降至使用者無法識別之程度。

首先，在本實施例，未採用在相鄰之列所配置之像素電路 1 之一方之配對(例如，像素電路 1a 和像素電路共用陰極電位線 17、第一控制線 18 以及第二控制線 19 之全部，而在另一方之配對(例如，像素電路 1a 和像素電路 1c)個別的採用陰極電位線 17 等之全部之構造。即，也如圖所示，在一方之配對共用部分之配線構造，在另一方之配對共用剩下部分之構造。

依據這種構造，可減少配線構造之線數，而且可使用在行方之顯示色之變化一樣。也如第 3 圖所示，在本實施例，在像素電路 1a 和像素電路 1b 及像素電路 1a 和像素電路 1c 之間，電荷儲存步驟之時間長度之差在相鄰之像素電路間都變成定值 Δt 。這在臨限值電壓偵測步驟也一樣，在相鄰之像素電路間，即像素電路 1b 和像素電路 1a 之間及像素電路 1a 和像素電路 1c 之間之臨限值電壓偵測步驟之時間長度之

差如第 3 圖所示變成定值 Δt 。

因而，在本實施例，在屬於相鄰列之像素電路間之各步驟之時間長度之差變成定值，係儘管供給相同之資料電壓而顯示色因時間長度差而變動之情況，也在各像素電路間一樣的發生顯示色之變動。即，在本實施例之顯示裝置，因在部分像素電路間未顯著的產生顯示色，可減少使用者覺得異樣之可能性。

又，在本實施例，使得像素電路 1a 和像素電路 1b 共用陰極電位線 17a，像素電路 1a 和像素電路 1c 共用第一控制線 18a 及第二控制線 19a。依據這種共用形態，在本實施例，使得可抑制在像素電路 1a 和像素電路 1b 之間及像素電路 1a 和像素電路 1c 之間發生之顯示色之變動範圍。

即，在電荷儲存步驟，因薄膜電晶體 4 之源極電位相對於時間經過單調的增加，隨著電荷儲存步驟所需之時間長度 t_1 增加，源極電位之值增加。而，在臨限值電壓偵測步驟，因源極電位相對於時間經過單調的減少，隨著臨限值電壓偵測步驟所需之時間長度 t_2 增加，薄膜電晶體 4 之源極電位之值減少。

鑑於這種關係，在本實施例，藉著在一方之相鄰像素電路間(例如像素電路 1a 和像素電路 1b)共用陰極電位線，將電荷儲存步驟及臨限值電壓偵測步驟之開始時序設為相同，藉著在另一方之相鄰像素電路間(例如像素電路 1a 和像素電路 1c)共用第一控制線及第二控制線，將電荷儲存步驟及臨限值電壓偵測步驟之終了時刻設為相同，

在採用這種構造之情況，在和作為基準之像素電路相鄰之像素電路之各步驟之時間長度比電荷儲存步驟之時間長度成為基準之像素電路增加時，在臨限值電壓偵測步驟也增加。即，以第 3 圖之例子而言，例如在將像素電路 1b 作為基準之情況，在相鄰之列所配置之像素電路 1a 之電荷儲存步驟之時間長度比像素電路 1b 之情況增加，而且在臨限值電壓偵測步驟之時間長度也增加。如上述所示，像素電路 1 在電荷儲存步驟具有源極電位隨著時間長度增加而增加之傾向，在臨限值電壓偵測步驟具有源極電位隨著時間長度增加而減少之特性。因而，在某像素電路 1，和相鄰之像素電路 1 相比，在電荷儲存步驟及臨限值電壓偵測步驟雙方之時間長度增加之構造，臨限值電壓偵測步驟之長時間化所引起之源極電位之增加量和電荷儲存步驟之長時間化所引起之源極電位之增加量相抵消，整體上可減少源極電位之變動範圍。因而，最終之薄膜電晶體 4 之閘極、源極間之電壓值因和經由全部步驟之源極電位之變化量對應，藉著在相異之像素電路間之源極電位之變化量之差減少，在各像素電路中之薄膜電晶體之閘極、源極間之電壓差也減少，具有可令在相異之像素電路之顯示色之差異減少之優點。

此外，在本實施例，構成驅動電路 2 及陰極電位線 17 等之配線構造，使得在相鄰之像素電路間之電荷儲存步驟之時間長度之差和在該像素電路間之臨限值電壓偵測步驟之時間長度之差變成相同。藉著採用這種構造，係在電荷儲存步驟等發生時間長度之差之情況，也可抑制顯示色之變動。

即，也如第 2 圖之時序圖所示，在電荷儲存步驟及臨限值電壓偵測步驟之薄膜電晶體 4a 之源極電位在步驟終了附近之時刻，在任一步驟電位變化率都變低，而且在兩步驟之變化率之絕對值大致相等。因此，在相鄰像素電路間之電荷儲存步驟之時間長度之差和在臨限值電壓偵測步驟之時間長度之差相等之情況，在各步驟之源極電位之變動值之絕對值也大致相等，可令經由在相鄰之列所配置之像素電路間之電荷儲存步驟及臨限值電壓偵測步驟之閘極、源極間之電壓差減少，結果，可抑制顯示色之變動。

此外，在本實施例，決定在相鄰像素電路間之 V_1 、 V_2 之變化量之差之容許範圍，藉著採用將依據 V_1 、 V_2 之變化量而定之薄膜電晶體 4 之閘極、源極間之電壓之差抑制在容許範圍內之構造，將顯示色之變化抑制至使用者無法識別之程度為止。以下，詳細說明因在相鄰像素電路間之 V_1 、 V_2 之具體之值之差異而產生之薄膜電晶體 4 之閘極、源極間之電壓差之容許範圍。此外，以下以在相鄰像素電路間顯示同一顏色之情況為例說明，假設只因在臨限值電壓偵測步驟完了時閘極、源極間之電壓之差異而發生顯示色之變動。又，在以下之討論，顯示裝置顯示單色，顯示色之差異意指在各像素電路 1 之有機 EL 元件 3 之發光亮度之差異。此外，在有機 EL 元件 3 之發光亮度之差異之指標上使用流向有機 EL 元件 3 之電流值。

將相鄰之一方之像素電路 1(例如像素電路 1b)設為基準，設流向成為基準之像素電路中之有機 EL 元件 3(例如有

機 EL 元件 3b) 之電流 I 和流向成為比較對象之像素電路 (例如像素電路 1a) 中之有機 EL 元件 3 (例如有機 EL 元件 3a) 之電流 I 之差分值為 ΔI 。使用這些符號可將容許範圍表達成下式。

[數學式 1]

$$\left| \frac{\Delta I}{I} \right| < k \quad \dots (1)$$

在此， k 係和使用者之顯示色變化之識別界限對應之值，例如 ($k=0.01$)。

在此，在發光步驟時流向有機 EL 元件 3 之電流 I 和薄膜電晶體 4 之驅動臨限值電壓 V_{th} 相依的變化，具體而言，使用位於相鄰列之像素電路中之薄膜電晶體 4 所偵測之驅動臨限值電壓之差分值 ΔV_{th} ，如下式之關係成立。

[數學式 2]

$$\Delta I = \frac{\partial I}{\partial V_{th}} \Delta V_{th} = -\beta(V_{gs} - V_{th}) \cdot \Delta V_{th} \quad \dots (2)$$

此外，使用在一般之薄膜電晶體在電流值 I 、驅動臨限值電壓 V_{th} 以及閘極、源極間之電壓之間成立之

[數學式 3]

$$I = \frac{\beta}{2}(V_{gs} - V_{th})^2 \quad \dots (3)$$

[數學式 4]

$$\beta = \frac{\mu C_{ox} W}{L} \quad \dots (4)$$

之 2 式，導出式(2)。在式(4)， μ 係在薄膜電晶體形成之通道區域之電子之移動率， C_{ox} 係薄膜電晶體之每單位面積之靜電電容量， W 係在薄膜電晶體形成之通道之寬度， L 係通道長度。藉著使用式(2)，可自式(1)得到式(5)。

[數學式 5]

$$\left| \frac{\Delta I}{I} \right| = \frac{2}{V_{gs} - V_{th}} |\Delta V_{th}| = \frac{2}{V_{data}} |\Delta V_{th}| < k \quad \dots (5)$$

因此，在導出可容許之顯示色之變動範圍時，只要令依據電荷儲存步驟及臨限值電壓偵測步驟所導出之驅動臨限值電壓 V_{th} 之值之變化量滿足式(5)即可。

因而，在電荷儲存步驟薄膜電晶體 4 之汲極電位保持 0 電位，閘極、源極間之電壓保持在利用電容器 5 之作用在前圖框(Frame)顯示時所供給之資料電壓 V_{data} 和驅動臨限值電壓 V_{th} 之和。因而，在電荷儲存步驟，薄膜電晶體 4 變成在所謂的線性區域動作，關於在電荷儲存步驟時流向薄膜電晶體 4 之閘極、源極間之電流 I_{charge} ，式(6)之一般式成

[數學式 6]

$$I_{charge} \approx \beta(V_{gd}(t) - V_{th}) \cdot V_{sd}(t) = \beta(V_g(t) - V_{th}) \cdot V_1(t) = \beta(V_{data}' + V_1(t)) \cdot V_1(t) \quad \dots (6)$$

立。因而，該電流 I_{charge} 因利用在功能上作為電容值 C_{OLED} 之靜電電容量之有機 EL 元件 3 供給，式(7)

[數學式 7]

$$I_{charge} = \frac{\partial V_1(t)}{\partial t} \quad \dots (7)$$

成立，依照式(6)及式(7)，在只進行電荷儲存步驟時間長度 t_1 之情況之薄膜電晶體 4 之源極電位 $V_1(t_1)$ 以式(8)表示。

[數學式 8]

$$V_1(t_1) = \frac{V_{data}'}{\exp\left(-\frac{\beta \cdot V_{data}'}{C_{OLED}} t_1 + \ln\left(1 + \frac{V_{data}'}{V_1(0)}\right)\right)} - 1 \quad \dots (8)$$

其次，說明在臨限值電壓偵測步驟終了時薄膜電晶體 4 之源極電位 V_2 。在臨限值電壓偵測步驟，因薄膜電晶體 4 之閘極電位及汲極電位保持 0 電位，變成薄膜電晶體 4 在飽和區域動作，在臨限值電壓偵測步驟時流向薄膜電晶體 4 之閘極、源極間之電流 I_{vth} 使用電容器 5 之靜電電容值 C_s 滿足式(9)，

[數學式 9]

$$I_{vth} = \frac{\beta}{2} (-V_2(t) - V_{th})^2 = (C_s + C_{OLED}) \frac{\partial V_2(t)}{\partial t} \quad \dots (9)$$

藉著解式(9)所示之微分方式式，以式(10)表示源極電位 V_2 。

[數學式 10]

$$V_2(t) = -V_{th} + \frac{1}{\frac{1}{V_2(0) + V_{th}} - \frac{\beta}{2(C_s + C_{OLED})}t} \quad \dots (10)$$

而，在本實施例之顯示裝置，因利用臨限值電壓偵測步驟實際所偵測之驅動臨限值電壓之值係 $V_2(t_2)$ ，依照式(10)使用臨限值電壓偵測步驟所需之時間長度 t_2 及源極電位 V_2 之起始值 $V_2(0)$ ，以式(11)

[數學式 11]

$$\Delta V_{th} = \frac{\partial V_2(t_2)}{\partial t_2} \Delta t_2 + \frac{\partial V_2(t_2)}{\partial V_2(0)} \Delta V_2(0) \quad \dots (11)$$

表示在式(5)等在相鄰列所配置之像素電路間之驅動臨限值電壓 V_{th} 之差分值 ΔV_{th} 之值。在此，起始值 $V_2(0)$ 因使用在臨限值電壓偵測步驟開始時的陰極電位線 17 之電位變動所引起之源極電位之變化量(常數) ΔV_{pow} 以式(12)

[數學式 12]

$$V_2(0) = V_1(t_1) + \Delta V_{pow} \quad \dots (12)$$

表示，藉著將式(12)代入式(11)後進行既定之式變形，得到式(13)。

[數學式 13]

$$\Delta V_{th} = \frac{\partial V_2(t_2)}{\partial t_2} \Delta t_2 + \frac{\partial V_2(t_2)}{\partial V_2(0)} \frac{\partial V_1(t_1)}{\partial t_1} \Delta t_1 \quad \dots (13)$$

然後，將式(8)及式(10)代入式(13)，導出式(14)

[數學式 14]

$$\begin{aligned}
\Delta V_{th} = & \frac{\frac{\beta}{2(C_s + C_{OLED})}}{\left(\frac{1}{V_2(0) + V_{th}} - \frac{\beta}{2(C_s + C_{OLED})} t_2 \right)^2} \Delta t_2 \\
& - \frac{1}{(V_2(0) + V_{th})^2 \left(\frac{1}{V_2 + V_{th}} - \frac{\beta}{2(C_s + C_{OLED})} t_2 \right)^2} \\
& \times \frac{\frac{\beta \cdot V_{data}^2}{C_{OLED}} \cdot \exp\left(-\frac{\beta \cdot V_{data}}{C_{OLED}} t_1 + \ln\left(1 + \frac{V_{data}}{V_1(0)}\right)\right)}{\left(\exp\left(-\frac{\beta \cdot V_{data}}{C_{OLED}} t_1 + \ln\left(1 + \frac{V_{data}}{V_1(0)}\right)\right) - 1 \right)^2} \Delta t_1 \\
& \dots (14)
\end{aligned}$$

之關係。在本實施例之這種顯示裝置，藉著如式(14)所示之 ΔV_{th} 之值對於任意之 V_{data} 之值滿足式(5)般決定電容器 5 之電容值或薄膜電晶體 4 之具體之構造等，係在相鄰列之像素電路之間共用陰極電位線 17、第一控制線 18 以及第二控制線 19 之情況，也例如在畫面整體顯示同一色之情況，可將在相鄰列所配置之像素電路 1 間之顯示色之變動抑制至無法視認之程度為止。

(變化例 1)

此外，在相異之列所配置之多個像素電路共用陰極電位線等配線構造之顯示裝置，在像素電路之具體之構造上當然未限定為第 1 圖所示的。例如，使用第 4 圖所示之像素電路 23 構成顯示裝置之情況，也可在按照和第 1 圖相同之形態共用配線構造下，將顯示色之變動抑制至無法視認之程度為止。

即，第 4 圖所示之像素電路 23 和像素電路 1 相異，在構造上具備第二切換元件 25，配置於薄膜電晶體 4 之閘極、汲極間；第三切換元件 26，配置於薄膜電晶體 4 和第一切換元件 6 之間；以及電容器 24，配置於第一切換元件 6 之一方之源/汲極(和資料電壓供給電路 15 在電氣上未連接側之源/汲極)和有機 EL 元件 3 之陽極之間。關於這種像素電路 23，也在具體之條件上藉著將在第 1 圖之電路之電容器 5 置換為電容器 24 後設計成滿足式(10)，可在共用配線構造下將顯示色之變動抑制至無法視認之程度。

(變化例 2)

又，在第 5 圖所示之像素電路 28，也可在共用配線構造下將顯示色之變動抑制至無法視認之程度。具體上，在第 5 圖所示之像素電路 28，具備第二切換元件 29，有機 EL 元件 3 之陽極側係未經由薄膜電晶體 4 而與陽極電位供給電路 11 在電氣上連接，而且配置於有機 EL 元件 3 之陰極側和薄膜電晶體 4 之汲極之間；第三切換元件 30，配置於薄膜電晶體 4 之閘極、汲極間；以及電容器 31，配置於薄膜電晶體 4 之閘極和第一切換元件 6 之一方之源/汲極(和資料電壓供給電路 15 連接之源/汲極之反側之源/汲極)之間。在這種像素電路 28，在式(10)($C_s + C_{OLED}$)之部分置換為電容器 31 之靜電電容值 C_1 和 C_s 之和。因而，關於在驅動臨限值電壓偵測步驟時流向薄膜電晶體 4 之電流值 I_{Vth} ，使用自陽極電位線供給之電位 VDD 及既定之比例係數 α ，以式(15)近似時，

[數學式 15]

$$I \approx \alpha(V_{DD} - V_1 - V_{th})^2 \quad \dots (15)$$

式 (16)

[數學式 16]

$$\alpha(V_{DD} - V_1 - V_{th, OLED})^2 = \frac{\beta}{2}(V_1 - V_{th})^2 + (C_1 + C_{OLED})\frac{dV_1}{dt} \quad \dots (16)$$

成立。使用式 (16) 所示之微分方程式之解，可實現和實施例 1 一樣的將顯示色之變動抑制至無法視認之程度為止之顯示裝置。

(變化例 3)

此外，對於第 6 圖所示之像素電路 33 也一樣。即，像素電路 33 在構造上新具備第二切換元件 34，控制第一切換元件之一方之源/汲極(和資料電壓供給電路 15 連接之源/汲極之反側之源/汲極)和陰極電位供給電路 10 之間之電氣上之連接；第三切換元件 35，配置於薄膜電晶體 4 之閘極、汲極間；以及電容器 36，配置於薄膜電晶體 4 和第一切換元件 6 之間。在具備這種像素電路 33 之顯示裝置，藉著對於汲極電位進行和實施例 1 及變形例 1 一樣之計算，可實現將顯示色之變動抑制至無法視認之程度為止之顯示裝置。

以上，使用實施例及變形例說明了本發明，但是本發明不應解釋成限定為上述之例子，若係本業者，可想到各種實施例、變形例等。例如，在實施例等，在申請專利範圍之電晶體元件之例子上使用 n 通道之薄膜電晶體 4，但是在電晶體之構造上不必解釋成限定為 n 通道，可使用 p 型之薄膜電

晶體等。

又，關於發光元件，除了有機 EL 元件以外，也可使用無機 EL 元件等。此外，發光元件未必也同時具有在申請專利範圍之作爲靜電電容之功能，個別獨立的形成不具有電容器之功能之發光元件和在電荷儲存步驟儲存電荷之靜電電容也可。

發明之效果

依據本發明之顯示裝置及顯示裝置之驅動方法，藉著在配置於第一列之像素電路和配置於第二列之像素電路之間使電荷儲存之開始時序及和臨限值電壓對應之電壓之偵測、供給之開始時序變成同時，在配置於第一列之像素電路和配置於第三列之像素電路之間使電荷儲存之終了時序及和臨限值電壓對應之電壓之偵測、供給之終了時序變成同時，可減少傳送規定像素電路之各步驟之開始、終了時序之電氣信號之配線構造。又，在這種形態，藉著規定時序，在相鄰像素電路間，在一方之像素電路之電荷儲存所需之時間長度之增減和電壓之偵測、供給所需之時間長度之增減變成相等。因此，例如，由電荷儲存所需之時間長度之增加或減少所引起之電晶體元件之源極電位之變化量和電壓之偵測、供給所需之時間長度之增加或減少所引起之電晶體元件之源極電位之變化量相抵消，整體上可抑制閘極、源極間之電壓之變動範圍。因此，若依據申請專利範圍第 1 項之發明，儘管減少了供給像素電路電氣信號之配線構造之線數，可是抑制在配置於相異之列之像素電路間之閘極、源極間之電壓

之變動範圍，具有可抑制顯示品質降低之效果。

【圖式簡單說明】

第 1 圖係表示實施例之顯示裝置之整體構造之示意圖。

第 2 圖係表示單一像素電路中之薄膜電晶體之源極電位及供給像素電路之電氣信號之時間變動之時序圖。

第 3 圖係表示在多個像素電路之源極電位之時間變動及所供給之電氣信號之供給時序之關係之時序圖。

第 4 圖係表示在實施例之變化例之像素電路之構造之電路圖。

第 5 圖係表示在實施例之別的變化例之像素電路之構造之電路圖。

第 6 圖係表示在實施例之別的變化例之像素電路之構造之電路圖。

第 7 圖係表示以往之顯示裝置之構造之示意圖。

【元件符號說明】

1a ~ 1c	像素電路
3	驅動電路
3a ~ 3c	有機 EL 元件
4a ~ 4c	薄膜電晶體
5a ~ 5c	電容器
6a ~ 6c	第一切換元件
7a ~ 7c	第二切換元件
8a ~ 8c	第三切換元件
10	陰極電位供給電路

16	陽極電位供給電路
17	掃描線驅動電路
18	第一控制電路
19	第二控制電路
20	資料電壓供給電路
17a、17b	陰極電位線
18a、18b	第一控制線
19a、19b	第二控制線
21	陽極電位線
21a～21c	掃描線
22	信號線
23	像素電路
24	電容器
25	第二切換元件
26	第三切換元件
28	像素電路
29	第二切換元件
30	第三切換元件
31	電容器
33	像素電路
34	第二切換元件
35	第三切換元件
36	電容器
100	像素電路

101	元 件
102	驅 動 元 件
103	第 一 切 換 元 件
104	第 二 切 換 元 件
105	第 三 切 換 元 件
106	電 容 器
107	低 電 位 供 給 線
108	高 電 位 供 給 線
109	掃 描 線
110	控 制 線
111	控 制 線
112	驅 動 電 路
113	信 號 線

五、中文發明摘要：

[課題] 實現在抑制顯示品質降低下，減少和像素電路連接之配線數之顯示裝置。

[解決方式] 像素電路 1a 具備有機 EL 元件 3a、規定流向有機 EL 元件 3a 之電流之薄膜電晶體 4a、電容器 5a、控制薄膜電晶體 4a 之驅動狀態之第一切換元件 6a 以及在電荷儲存步驟及臨限值電壓偵測步驟時發揮功能之第二切換元件 7a 與第三切換元件 8a。在構造上和前段之像素電路 1b 共用與有機 EL 元件 3a 之陰極側連接之陰極電位線 17a，而和後段之像素電路 1c 共用控制第二切換元件 7a、第三切換元件 8a 之驅動狀態之第一控制線 18a 及第二控制線 19a。

六、英文發明摘要：

十、申請專利範圍：

- 1.一種顯示裝置，具備：像素電路，將多個像素電路配置成行列狀，且各自具有按照注入電流大小而發光之發光元件及控制流向該發光元件之電流值之電晶體元件，在該發光元件發光之前，藉著對既定之靜電電容量儲存電荷而進行變化該電晶體元件之閘極、源極間之電壓值變至比驅動臨限值電壓高之值之電荷儲存動作，及藉著調整在閘極、源極間之電壓對應於該電晶體元件之閘極、源極間之驅動臨限值電壓的電壓之偵測、供給動作；及驅動電路，至少控制在該像素電路之電荷儲存及對應於驅動臨限值電壓之電壓的偵測、供給之時序，其特徵為，該驅動電路對配置於對該行列之第一列在一方之行方向相鄰之第二列之像素電路，控制成和在該第一列所配置之像素電路同時開始該電荷儲存及該電壓之偵測、供給，對配置於對該第一列在另一方之行方向相鄰之第三列之像素電路，控制成和在該第一列所配置之像素電路同時結束該電荷儲存及該電壓之偵測、供給。
- 2.如申請專利範圍第 1 項之顯示裝置，其中，該驅動電路在控制上使在配置於該第一列之像素電路和配置於該第二列之像素電路之間之該電荷儲存及該電壓之偵測、供給之終了時序之時間差，與在配置於該第一列之像素電路和配置於該第三列之像素電路之間之該電荷儲存及該電壓之偵測、供給之開始時序之時間差，成為同一值。
- 3.如申請專利範圍第 1 或 2 項之顯示裝置，其中，該發光元

件具有藉著被供給順向電壓而電流流動後發光，藉著被供給逆向電壓而儲存按照供給電壓之電荷之特性，在該電荷儲存及該電壓之偵測、供給時作為該靜電電容量之功能。

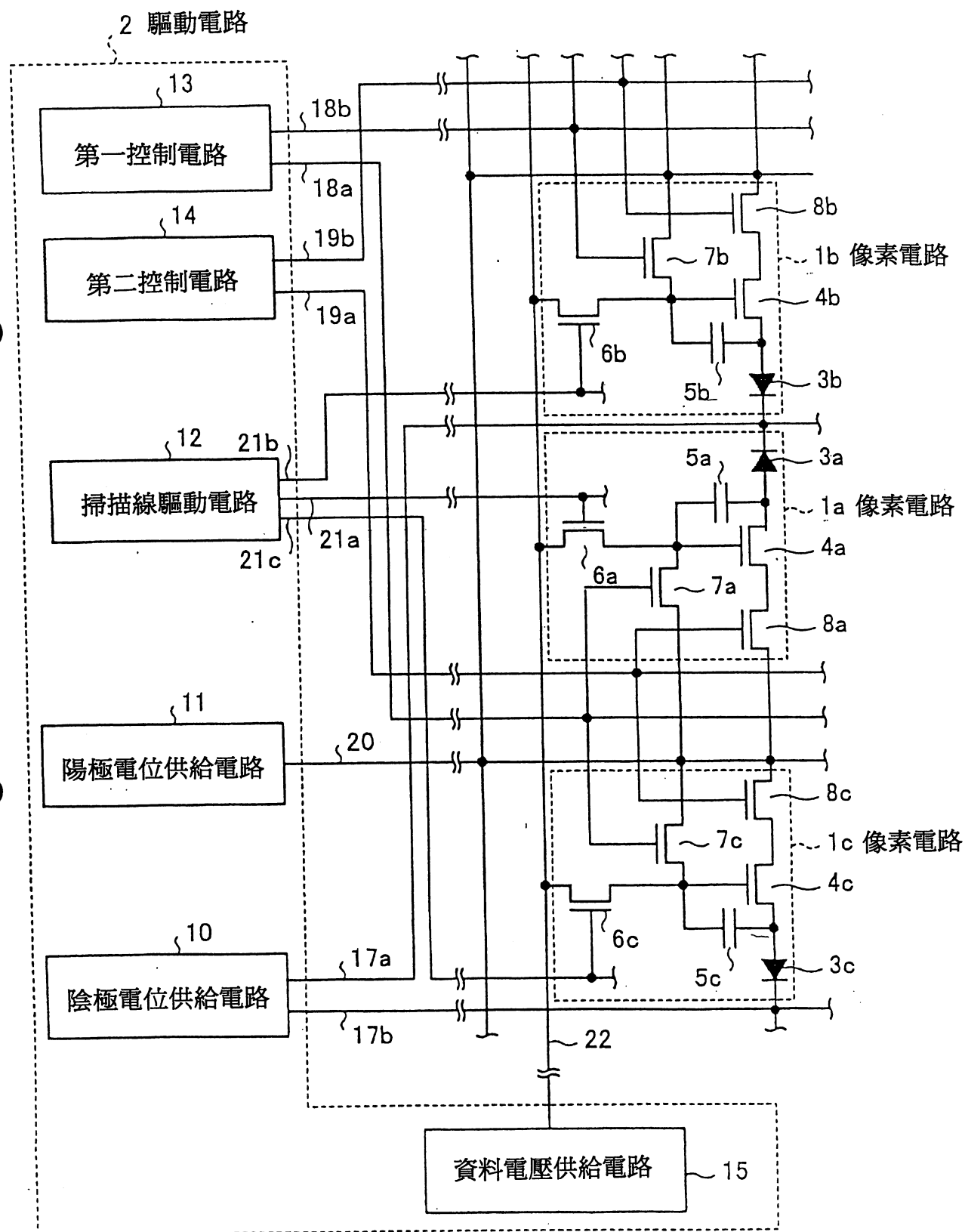
4. 一種顯示裝置之驅動方法，該顯示裝置具備多個像素電路，配置成行列狀，具有按照注入電流大小而發光之發光元件及控制流向該發光元件之電流值之電晶體元件，在該發光元件發光之前，對既定之靜電電容量儲存電荷，使用所儲存之電荷對該電晶體元件之閘極、源極間進行和驅動臨限值電壓對應之電壓之偵測、供給，其特徵為：

對配置於該行列之第一列在一方之行方向相鄰之第二列之像素電路，和在該第一列所配置之像素電路同時開始該電荷儲存及該電壓之偵測、供給；

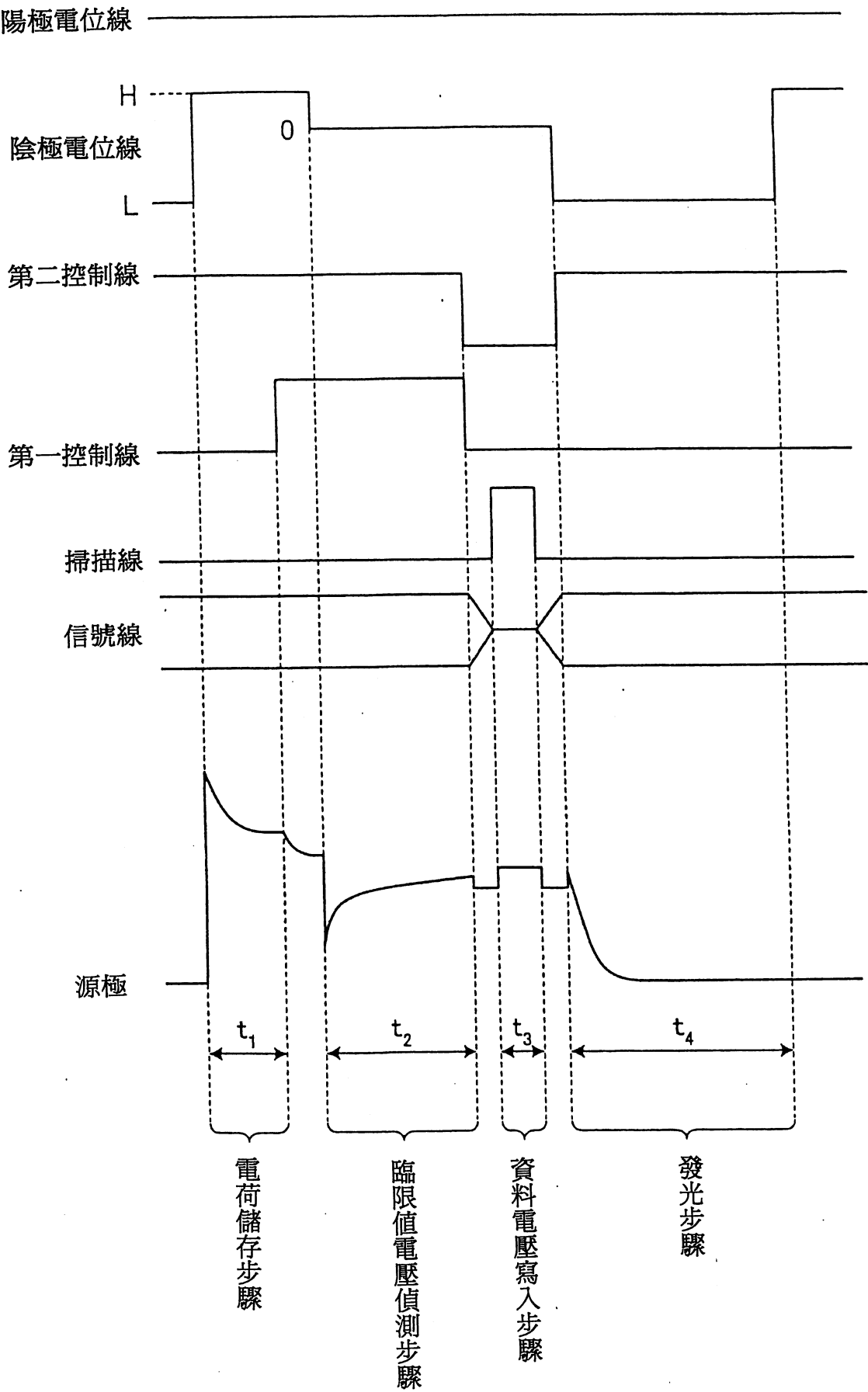
對配置於對該第一列在另一方之行方向相鄰之第三列之像素電路，和在該第一列所配置之像素電路同時結束該電荷儲存及該電壓之偵測、供給。

十一、圖式：

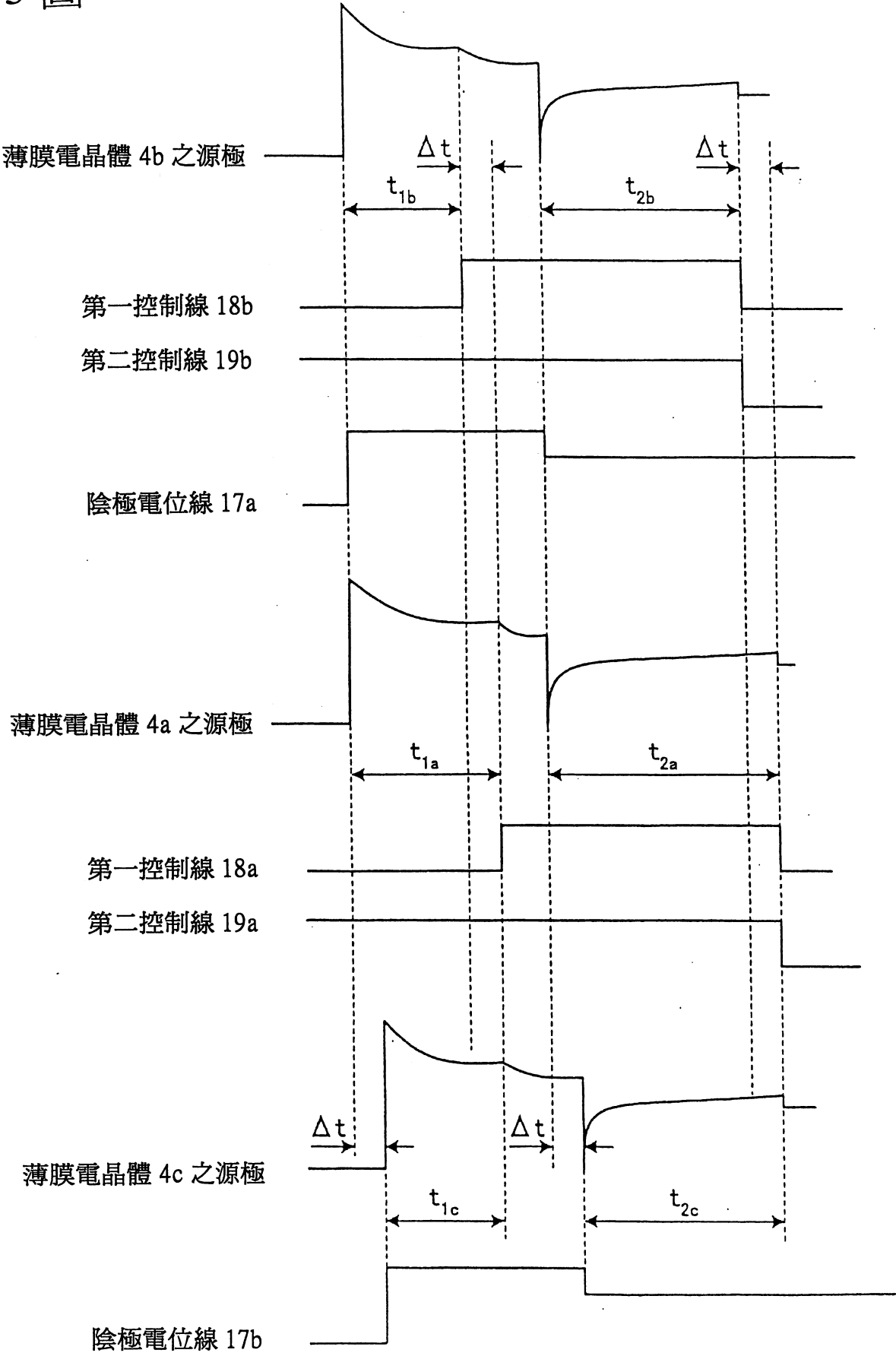
第 1 圖



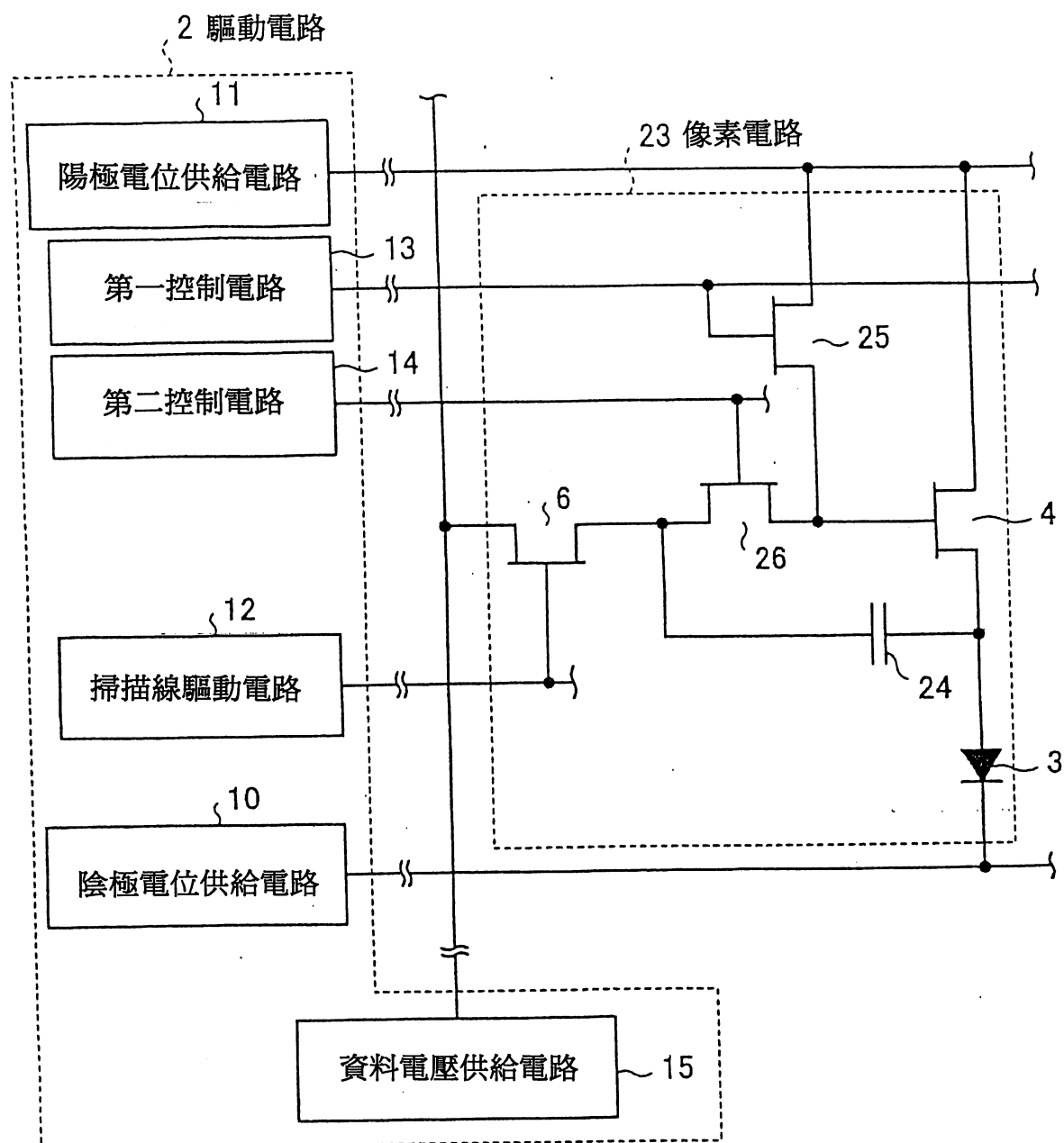
I300916
第 2 圖

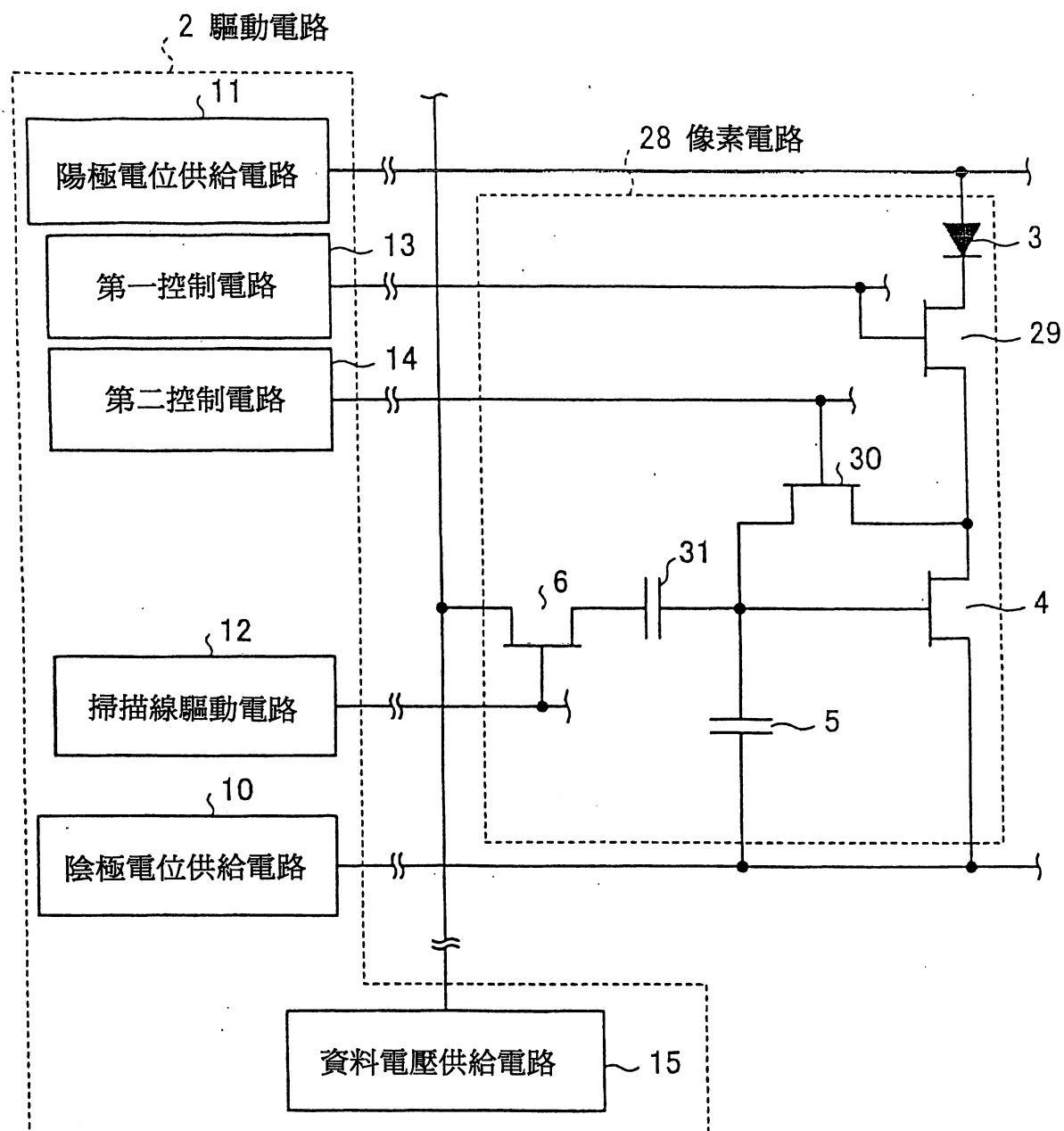


第 3 圖

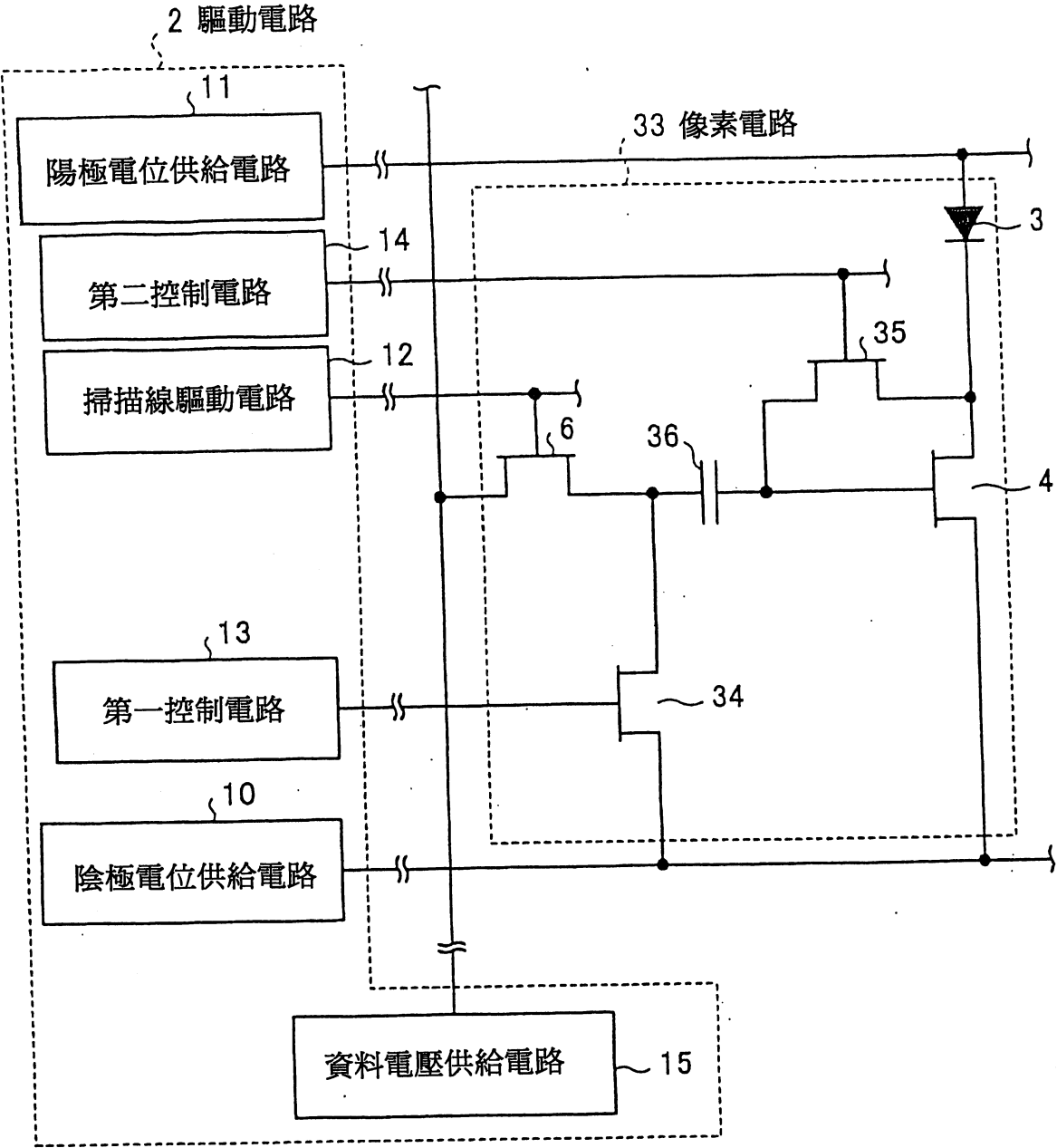


第 4 圖

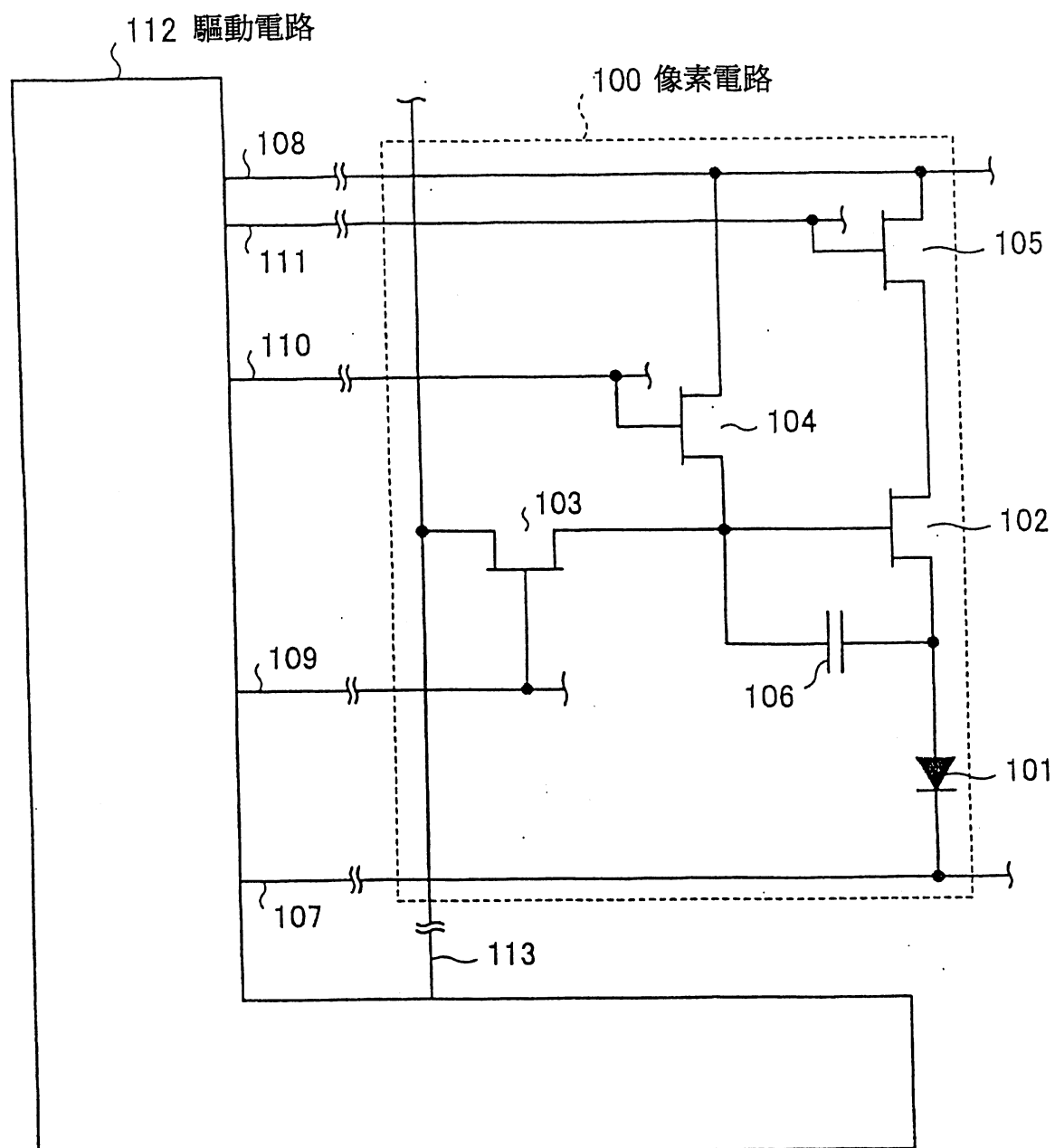




第 6 圖



第 7 圖



七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

1 a ~ 1 c	像素電路
2	驅動電路
3 a ~ 3 c	有機 EL 元件
4 a ~ 4 c	薄膜電晶體
5 a ~ 5 c	電容器
6 a ~ 6 c	第一切換元件
7 a ~ 7 c	第二切換元件
8 a ~ 8 c	第三切換元件
10	陰極電位供給電路
11	陽極電位供給電路
12	掃描線驅動電路
13	第一控制電路
14	第二控制電路
15	資料電壓供給電路
17 a 、 17 b	陰極電位線
18 a 、 18 b	第一控制線
19 a 、 19 b	第二控制線
20	陽極電位線
21 a ~ 21 c	掃描線
22	信號線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：