(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108

(45) 공고일자 1999년07월15일
(11) 등록번호 10-0210980
(24) 등록일자 1999년04월29일

(21) 출원번호 10-1996-0010933
(22) 출원일자 1996년04월12일
(65) 공개번호 특1996-0039384
(43) 공개일자 1996년11월25일

(30) 우선권주장 95-087211 1995년04월12일 일본(JP)
95-108691 1995년05월02일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 다카시마 다이사부로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
시라다케 신이치로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
이나바 츠네오
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 김윤배, 이세진

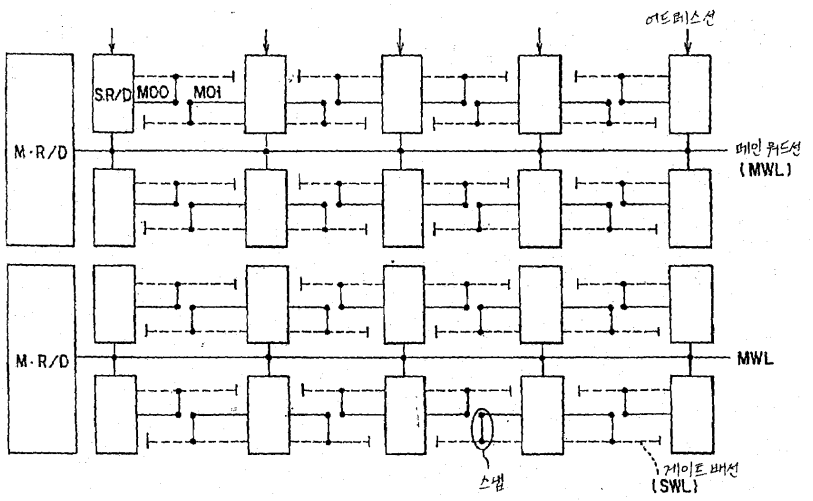
심사관 : 신양환

(54) 반도체 기억장치

요약

본 발명에 따른 반도체 기억장치는, 게이트배선에 의해 구성된 다수의 워드선(SWL)과; 이 다수의 워드선(SWL)과 다수의 비트선 사이의 노드에 선택적으로 배치된 메모리셀(M)을 갖추고, 워드선 배치방향으로 분할된 다수의 서브어레이(SA)를 갖춘 메모리셀 어레이; 워드선 배치방향으로 상기 메모리셀 어레이의 적어도 일단에 배치된 메인 행디코더(M·R/D); 각각의 상기 다수의 서브어레이(SA)의 적어도 일단에 배치된 다수의 서브어레이 디코더(S·R/D) 및; 상기 게이트배선상의 층상에 형성됨과 더불어 상기 서브어레이 디코더(S·R/D)로부터 연장되는 제1배선층(MW)을 구비하여 구성되고; 상기 제1배선층(MW)이 상기 서브어레이(SA)가 상기 게이트배선과 접촉이 야기되도록 워드선 배치방향으로 2개로 분할된 위치에서 배선되어지는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1a도 내지 제1d도는 각각 종래의 DRAM에서의 셀어레이부의 구성을 나타낸 도면.

제2a도 내지 제2c도는 종래의 DRAM에서의 계층 워드선구조를 나타낸 도면.

제3도는 종래의 DRAM의 문제를 설명하기 위한 그래프.

제4도는 종래의 DRAM의 문제를 설명하기 위한 도면.

제5도는 제1실시예에 따른 DRAM에서의 메모리셀 어레이부와 행디코더부의 구성 연결관계를 나타낸 도면.

제6도는 제1실시예의 서브어레이가 2개로 분할된 위치에서 금속배선과 게이트배선 간의 콘택트부의 레이아웃을 나타낸 도면.

제7a도 내지 제7d도는 각각 제1실시예의 부분의 구성을 나타낸 도면.

제8도는 구체적 회로를 이용하는 것에 의해 제1실시예를 나타낸 도면.

제9도는 제8도에 나타낸 회로의 동작을 설명하기 위한 도면.

제10도는 본 발명에서의 게이트 지연을 설명하기 위한 그래프.

제11도는 구체적 회로를 이용하는 것에 의해 제2실시예에 따른 DRAM에서의 메모리셀 어레이부와 행디코더부 사이의 구성 연결관계를 나타낸 도면.

제12도는 제3실시예에 따른 DRAM에서의 메모리셀 어레이와 행디코더부 사이의 구성 연결관계를 나타낸 도면.

제13도는 제3실시예에서 배선피치를 나타낸 도면.

제14도는 제3실시예에 따른 구체적 회로를 나타낸 도면.

제15도는 제4실시예에 따른 DRAM에서의 메모리셀 어레이와 행디코더부 사이의 구성 연결관계를 나타낸 도면.

제16도는 제5실시예에 따른 DRAM에서의 메모리셀 어레이와 행디코더부 사이의 구성 연결관계를 나타낸 도면.

제17도는 제6실시예에 따른 DRAM의 주요 부분의 구성을 설명하기 위해 서브 행디코더 부분의 레이아웃을 나타낸 도면.

제18a도 및 제18b도는 각각 제7실시예에서의 서브 행디코더의 레이아웃을 나타낸 도면.

제19도는 제8실시예에 따른 DRAM에서의 메모리셀 어레이와 행디코더부 사이의 구성 연결관계를 나타낸 도면.

제20도는 제8실시예에서 메인 행디코더부의 레이아웃을 나타낸 도면.

제21a도 및 제21b도는 각각 제8실시예에서 서브 행디코더의 레이아웃을 나타낸 도면.

제22도는 제9실시예에 따른 DRAM에서의 메모리셀 어레이와 행디코더부 사이의 구성 연결관계를 나타낸 도면.

제23a도 및 제23b도는 제10실시예에 따른 워드선의 구동회로와, 게이트 배선 및, 게이트상의 배선층을 나타낸 도면.

제24a도 내지 제24d도는 각각 제10실시예에서의 서브-서브어레이 사이의 경계부분의 레이아웃을 나타낸 도면.

제25도는 제10실시예에서 워드선의 배선구조를 나타낸 도면.

제26도는 서브-서브어레이의 경계부분에서의 배선 사이의 교차를 설명하기 위한 도면.

제27a도 내지 제27d도는 각각 제11실시예에서의 서브-서브어레이 사이의 경계부분의 레이아웃을 나타낸 도면이다.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 다이나믹 반도체 기억장치에 관한 것으로, 특히 메모리셀 어레이에서 워드선 구성이 개선된 반도체 기억장치에 관한 것이다.

[종래의 기술 및 그 문제점]

최근, 미세 처리기술의 개발에 따라 4 또는 16M 비트 DRAM이 고밀도 대량생산으로 제조될 수 있고, 1G 비트 DRAM이 연구소에서 제조될 수 있게 되었다. 그러나, 서브미크론 세대에 있어서, 리소그래피 기술의 늦은 발전에 기인하여 배선등의 프로세싱이 어렵다. 특히, 상부층에 형성된 금속배선등의 프로세싱은 기초를 이루는 단계의 차이에 기인하는 어려움이 있다.

제1a도는 종래의 DRAM의 셀어레이부의 구성을 나타낸 것으로, 메모리셀(MC1~MC8)이 워드선(W1~W4)과 비트선(BL1, /BL1 및 BL2, /BL2) 사이의 노드에 선택적으로 배치된다. 행디코더(R/D1~R/D4)에 의해 선택된 워드선(WL)에 연결되는 메모리셀 데이터는 비트선(BL)을 통해 독출되고, 감지증폭기(S/A1,S/A2)에 의해 증폭된다.

워드선(WL)이 메모리셀의 트랜지스터를 위한 배선으로 기능하는 게이트 배선에 의해 구성될 경우, 게이트 배선의 재료가 비교적 높은 저항성을 갖기 때문에, 선택에 있어서의 상승/하강의 RC지연이 크다. 이러한 이유에 대해, 다음과 같은 방법이 알려져 있다. 즉, 제1b도에 나타낸 바와 같이, A1등으로 이루어진 금속배선은 게이트배선상에 평행으로 배치되고, 셀어레이가 분할되며, 금속배선과 게이트배선 사이의 콘택트가 각 셀어레이의 중앙에서 확립된다. 이러한 콘택트부가 일반적으로 션트(shunt), 스냅(snap), 또는 스티치(stitch)로 불리워진다. 제1c도에 나타낸 바와 같이 금속배선과 게이트배선 사이의 콘택트는 금속배선이 중간 배선을 통해 게이트배선에 연결되는 방법으로 확립된다.

그러나, 이러한 구조는 다음과 같은 문제를 갖고 있다.

제1d도에 나타낸 바와 같이 게이트배선의 피치(L1=선, S1=공간)는 금속배선의 피치(L2=선, S2=공간)와 동일해야 한다. 그러나, 상부층은 기본적인 단계의 차이를 갖추고 있고, 금속 자체가 용이하게 처리될 수 없기 때문에, 금속배선은 용이하게 처리될 수 없다.

최근, SRAM등에 이용되는 계층 워드선구조가 DRAM에 채용되어지도록 시도되어지고 있다. 제2a도는 종래의 DRAM에서의 계층 워드선구조를 나타낸다. 제2b도는 상기한 칩의 평면 블럭도를 나타낸다.

메인 행디코더(M·R/D)로부터의 출력이 공급되는 금속배선에 의해 구성된 하나의 메인 워드선(MWL)은 게이트배선으로서 기능하는 서브 워드선(SWL)을 위해 구성됨과 더불어 폴리실리콘등으로 구성된다. 하나의 메모리셀 어레이는 다수의 부분으로 분할되고, 서브 행디코더(S·R/D)가 그 사이에 배치된다. 즉, 하나의 금속 배선이 4개의 게이트 배선을 위해 배치된다.

각 서브 행디코더는 게이트 배선을 구동시키도록 비트선 방향으로부터 출력되는 메인 워드선신호와 어드레스신호(WDRV; 도시되지 않았음)에 응답하여 디코드된다. 디코딩이 비트선방향으로부터의 어드레스신호에 의해 수행됨으로써 주행디코더의 피치와 주워드선의 피치(금속배선)가, 예컨대 제2c도에 나타낸 바와 같이 게이트 배선의 피치의 4배로 심각하게 이완되어질 수 있다. 제2c도에서 언급하는 L3+S3=4(L1+S2)가 확립된다.

그러나, 이러한 종래 구조는 다음과 같은 문제를 갖고 있다.

스냅(snap) 구조에 있어서, 콘택트의 수가 오직 감소된다. 이에 대해, 계층 워드선구조에 있어서 서브 행디코더회로가 분산되도록 배치되고, 스냅구조에서 요구되는 것보다 더 큰 영역이 요구된다. 이러한 이유로 인해, S·R/D와 S·R/D 사이의 열의 수가 스냅과 스냅 사이의 열의 수 보다 더 크지 않으면, 칩 크기가 증가된다. 이에 대해 계층 워드선 구조에서 S·R/D와 S·R/D 사이의 서브어레이 증가에서의 게이트배선의 저항에 의해 RC지연이 야기된다.

제3도에 나타낸 바와 같이 스냅구조에서 얻어진 것과 동일한 칩 크기를 얻기 위해 다음과 같은 식이 만족되어야만 한다.

$2\times$(열/스냅의 수)=열/서브행디코더의 수

특히, 계층워드선의 S·R/D와 S·R/D 사이의 열의 수는 스냅과 스냅 사이의 열의 수 2배 이상이어야만 한다. 스냅부의 영역이 서브 행디코더의 영역의 2배 이상이다. 이에 대해, 메인 디코더에 연결된 어레이의 수는 스냅구조에서 보다 계층워드선에서 더 크다. 이러한 이유에 대해, 계층워드선에서의 어레이의 수는 스냅 구조에서의 어레이의 수의 거의 2배이고, 계층워드선 구조에서의 영역은 스냅구조에서의 영역과 거의 동일하다. 이 때, 게이트배선 지연 RC가 열의 수의 2배이다. 이에 대해, 다음과 같은 식이 확립된다.

$RC=(2R)\times(2C)=4RC$

그리고, 지연이 4배로 되도록 증가한다. 결과적으로, 일정 속도를 유지하기 위해 스냅구조에서 보다 더 낮은 게이트배선의 저항을 만들기 위한 개발이 수행되어야만 하고, 개발비용이 요구된다.

또한, 종래의 계층 워드선구조는 다음과 같은 문제를 갖고 있다. 서브어레이 상의 금속배선의 치수가 제3도에 나타낸 바와 같이 완화될 수 있음에도 불구하고, 메인 행디코더의 피치와 서브 행디코더의 금속배선의 피치는 완화될 수 없게 된다. 결과적으로, 금속배선의 치수가 메인 행디코더와 서브 행디코더의 치수로 제한된다.

제1a도 내지 제1d도에 나타낸 종래의 스냅구조에 있어서 행디코더의 치수는 셀어레이상의 치수에 비해 완화된다. 그러나, 제2a도 내지 제2c도에 나타낸 계층 워드선구조에 있어서, 서브어레이상의 치수가 심각하게 완화되므로 금속배선이 메인 행디코더와 서브 행디코더의 치수로 제한된다.

예컨대, 제4도에서 언급한 바와 같이 메인 행디코더의 웰에 대해 콘택트가 형성될 경우, 비트선 방향으로 연장되는 제2층 금속배선(도시되지 않았음)이 웰을 갖는 콘택트를 초래하도록 제1층 금속배선(금속1)을 갖는 콘택트를 초래한다. 이러한 이유에 대해, 제4도에서 (A)로 지시한 바와 같이 제1층 금속배선의 피치가 반으로 감소된다. 제1층 금속배선과 제2층 금속배선 사이의 콘택트의 치수가 크고, 부분(A)에서의 제1층 금속의 치수가 서브어레이의 치수의 반 보다 더 작다. 다른 워드선 전원(VSV)에서의 부분(B)에서와 같이, 또한 부분(C)에서와 같이 메인 행디코더에서의 다른 배선, 예컨대 하부 회로로부터의 신호(S1)가 평행하게 메인 워드선에 연결될 경우, 치수가 더욱 엄격하게 된다. 더욱이, 서브 행디코더부에 있어서 부분(A)와 같은 부분이 존재한다. 서브 워드선이 (D)에 의해 지시된 바와 같이 제1층 금속배선에 의해 형성될 경우, 치수는 더욱 엄격해지게 된다.

상기한 바와 같이 메모리셀 어레이에서 종래의 워드선 구성에 관해 스냅구조에 있어서, 금속배선 피치가 엄격하기 때문에 프로세싱은 용이하게 수행될 수 없게 된다. 계층 워드선구조에 있어서, 피치가 완화됨에도 불구하고, 게이트배선의 저항이 감소하지 않으면 지연이 증가하고, 칩 크기가 증가한다.

종래의 계층 워드선구조에 있어서, 서브어레이상의 금속배선의 피치는 심각하게 완화되지만, 메인 행디코더와 서브 행디코더의 금속배선의 치수는 일정하다. 결과적으로, 금속배선의 치수는 메인 행디코더와 서

브 행디코더의 금속배선의 치수로 제한된다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 계층워드선구조에서 금속배선의 치수를 완화시킬 수 있고, 칩 크기의 증가나 게이트배선의 저항을 감소시키는 것 없이 고속동작을 수행할 수 있는 다이나믹 반도체 기억장치를 제공함에 그 목적이 있다.

또한 본 발명은, 서브어레이상의 금속배선의 치수 뿐만 아니라 계층워드선 구조에서의 메인 행디코더와 서브 행디코더의 치수를 완화시킬 수 있는 다이나믹 반도체 기억장치를 제공함에 다른 목적이 있다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위한 본 발명은, 다음과 같은 구성을 채용하고 있다.

본 발명의 제1반도체 기억장치는, 게이트배선에 의해 구성된 다수의 워드선과; 다수의 워드선과 다수의 비트선 사이의 노드에 선택적으로 배치된 메모리셀을 갖추고, 워드선 배치방향으로 분할된 다수의 서브어레이를 갖춘 메모리셀 어레이; 워드선 배치방향으로 메모리셀 어레이의 적어도 일단에 배치된 메인 행디코더; 각각의 다수의 서브어레이의 적어도 일단에 배치된 다수의 서브 행디코더 및; 게이트배선상의 층상에 형성됨과 더불어 서브어레이 디코더로부터 연장되는 제1배선층을 구비하고, 제1배선층이 서브어레이가 게이트배선과 접촉이 야기되도록 워드선 배치방향으로 2개로 분할된 위치에서 배선되어지는 것을 특징으로 한다.

이 경우, 다수의 서브어레이가 워드선 배치 방향으로 2개로 분할된 2개의 서브-서브어레이를 포함하고, 서브어레이의 각 2개의 게이트배선중 하나가 2개의 서브-서브어레이 사이의 경계부분에서 절단된다. 절단되지 않은 게이트배선을 갖춘 서브어레이로부터의 워드선이 제1배선층(MW)과 접촉이 야기되고, 절단되는 게이트배선을 갖춘 서브어레이로부터의 워드선과 대응하는 워드선을 구동시키기 위해 서브 행디코더에 가까운 워드선이 서브 행디코더와 서브어레이사이의 경계 부분에서 제1배선층과 접촉이 야기된다.

본 발명의 반도체 기억장치의 바람직한 측면은 다음과 같다.

(1) 다수의 서브 행디코더가 서브어레이의 제1단으로부터 제2단까지 배치되고, 제1단에 배치된 서브 행디코더로부터의 제1배선층과 제2단에 배치된 서브 행디코더로부터의 제1배선층이 2분할 위치에서 배선됨과 더불어 중첩되지 않게 서로로부터 전기적으로 절연되도록 워드선 배치방향으로 거의 동일한 직선상에 배치된다.

(2) 메인 행디코더와 상기 서브 행디코더가 제1배선층으로서 동일한 배선층을 이용함으로써 서로 연결된다.

(3) 메인 행디코더와 서브 행디코더가 서브어레이 상의 제1배선층으로서 동일한 배선층에 의해 연결되고, 서브 행디코더 상의 제1배선층과 다른 배선층에 의해 서로 연결된다.

(4) 제1배선층이 주 구성요소로서 알루미늄이나 동을 포함하는 배선으로 이루어진다.

(5) 게이트배선이 폴리실리콘, WSi, W, MoSi, Mo, TiSi 중 하나를 포함하는 배선이다.

(6) 메인 행디코더가 워드선 배치방향으로 메모리셀 어레이의 각각의 양단에 배치된다.

(7) 3개의 제1배선층이 4개의 게이트배선의 영역에 배치된다.

(8) 5개의 제1배선층이 8개의 게이트배선의 영역에 배치된다.

(9) 제1배선층이 메인 게이트배선과 다수의 서브 게이트배선을 포함한다.

(10) 서브 행디코더가 2개의 워드선을 위해 배치된 하나의 구동회로를 포함한다.

(11) 제1배선층으로부터 게이트배선까지의 콘택트가 제3배선층을 통해 형성된다.

본 발명에 따르면, 계층 워드선구조에 있어서, 서브어레이로부터 연장되는 제1배선층(금속배선)이 게이트배선상의 층상에 형성되고, 제1배선층과 게이트 배선 사이의 콘택트는 서브어레이가 워드선방향으로 2개로 분할된 위치(거의 중간 점)에서 형성된다. 이러한 이유로 인해, 서브 행디코더로부터 연장되는 금속배선이 게이트배선으로서 직접 이용될 때 얻어진 것 보다 더 완화되는 금속배선의 피치가 얻어질 수 있고, RC 지연이 게이트 배선의 저항을 감소시키는 것 없이 감소될 수 있게 된다.

특히, 금속배선의 피치가 게이트배선의 피치의 4/3, 8/5배 이상으로 되는 한 칩 크기의 증가가 배제되고, 게이트배선에 의해 야기된 RC 지연이 종래의 스냅구조와 동일하게 만들어질 수 있다. 이러한 이유로 인해, 저저항 게이트 재료의 개발이 필요로 되지 않는다. 더욱이, 피치가 완화되는 동안 게이트배선의 RC 지연이 종래의 계층 워드선구조와 동일하게 만들어질 경우, 서브 행디코더의 수가 반으로 감소될 수 있어 칩 크기가 감소될 수 있다.

더욱이, 본 발명에 따르면, 서브어레이에서 2개의 서브-서브어레이의 경계부분에서의 각 2개의 배선중 하나가 절단되고, 게이트배선이 절단되지 않은 각 워드선이 서브-서브어레이의 경계 부분에서 제1배선층과 접촉을 야기시킨다. 게이트배선이 절단되고, 대응하는 워드선을 구동시키기 위한 서브 행디코더에 가까운 각 워드선은 서브 행디코더와 서브어레이 사이의 경계 부분에서 제1배선층과 접촉이 야기되고, 서브 행디코더로부터 떨어진 각 워드선은 서브-서브어레이 사이의 경계부분에서 제1배선층과 접촉이 야기된다. 따라서, 상부층 배선으로부터 게이트까지의 콘택트부에서 4개의 워드선의 피치에서 2개의 게이트에 대해 오직 콘택트가 형성될 필요가 있고, 콘택트에 대한 게이트 재료의 마진은 게이트 재료의 폭이나 게이트재료 사이의 간격에 대해 넓어질 수 있게 된다.

상기한 바와 같이 본 발명에 따르면, 금속배선의 피치가 게이트배선의 피치의 4/3, 8/5배 이상으로 이완되는 한, 칩 크기의 증가가 배제되고, 게이트배선에 의해 야기된 RC 지연이 종래의 스냅 구조에서의 RC

지연과 동일하게 만들어진다. 더욱이, 저저항 게이트재료의 개발이 필요로 되지 않는다. 피치가 완화되는 동안 게이트배선의 RC 지연이 계층 워드선구조에서의 RC 지연이 동일하게 만들어지는 경우, 서브 행디코더의 수가 반으로 감소되어 칩 크기가 감소될 수 있게 된다.

본 발명의 제2반도체 기억장치는, 게이트배선에 의해 구성된 다수의 워드선과; 다수의 워드선과 다수의 비트선 사이의 노드에 선택적으로 배치된 메모리셀을 갖추고, 워드선 배치방향으로 분할된 다수의 서브어레이를 갖춘 메모리셀 어레이; 워드선 배치방향으로 메모리셀 어레이의 양단에 배치된 메인 행디코더; 각각의 다수의 서브어레이의 적어도 일단에 배치된 다수의 서브 행디코더 및; 다수의 서브 행디코더를 제어하기 위해 다수의 워드선의 적어도 2개에 대해 메모리셀 어레이상에 배치된 메인 워드선을 구비하고; 모든 다른 메인 워드선이 메모리셀 어레이의 일단에 배치된 메인 행디코더와 타단에 배치된 메인 행디코더에 교대로 연결되는 것을 특징으로 한다.

본 발명의 바람직한 측면은 다음과 같다.

(1) 메인 워드선이 서브어레이상의 제1금속배선이고, 서브 행디코더상의 제2금속배선에 대해 스위치된다.

(2) 서브어레이상의 게이트배선이 서브 행디코더상의 비트선으로서 동일한 배선에 대해 스위치된다.

본 발명의 제2반도체 기억장치에 따르면, 메인 행디코더가 계층 워드선구조에서 셀어레이의 양단에 배치될 경우, 그리고 모든 다른 메인 워드선 배선이 양단에서 메인 행디코더에 교대로 연결될 경우, 서브어레이상의 금속배선의 피치가 완화될 수 있고, 메인 행디코더에서의 금속배선의 피치가 종래 기술의 2배로 되도록 완화될 수 있다.

계층 워드선구조에 있어서, 서브어레이상의 금속1의 피치가 완화될 수 있음에도 불구하고, 메인 행디코더의 피치와 서브 행디코더 금속1의 피치는 일정하다. 결과적으로, 금속1의 피치는 메인 행디코더의 피치와 서브 행디코더의 피치로 제한된다. 이에 대해, 메인 행디코더는 셀어레이의 양단에 배치되고, 모든 다른 메인 워드선 배선이 양단에서 메인 행디코더에 교대로 연결된다. 이러한 이유로 인해, 메인 행디코더의 피치는 종래 기술의 2배로 완화될 수 있다.

접속이 서브어레이상의 제1금속배선에 의해 스위치될 수 있고, 접속이 서브 행디코더상의 제2금속배선에 대해 스위치될 수 있는 경우, 서브 행디코더에서의 금속배선이 비트선방향으로 스위치된다. 이러한 이유로 인해, 치수는 제한없이 완화될 수 있다. 더욱이, 서브 행디코더상의 위치가 비트선 방향으로부터 제1금속배선까지 메인 워드선과 제1금속배선을 잠정적으로 떨어뜨리는 데에만 이용하고, 서브 워드선등의 배선을 위해 이용하지 않을 경우, 서브 행디코더부의 제1금속배선의 피치는 완화될 수 있다.

[실시예]

이하, 예시도면을 참조해서 본 발명에 따른 각 실시예를 상세히 설명한다.

[실시예 1]

제5도는 본 발명의 제1실시예에 따른 DRAM에서 메모리셀 어레이부와 행디코더부 사이의 구성 연결관계를 나타낸 것이다.

메인 행디코더(M·R/D)가 각 메모리셀의 종단에 배치되고, 메인 행디코더로부터의 출력을 위한 메인 워드선(MWL)이 모든 4개의 게이트배선을 위해 메모리셀 어레이를 지난다. 메모리셀 어레이는 메인 워드선 방향으로 서브어레이(SA)로 2개 이상으로 분할되고, 서브 행디코더(S·R/D)가 그 사이에 배치된다. 종래의 구조와 같이, 이러한 서브 행디코더는 메인 워드선과 비트선 방향(도시되지 않았음)으로부터의 어드레스 신호에 의해 디코드되고, 선택된 서브어레이에서의 하나의 워드선이 선택된다. 메인 워드선은 A1등으로 이루어진 금속배선이고, 게이트배선은 폴리실리콘등으로 이루어진다.

본 실시예는 다음과 같은점에서 종래 기술과 다르다.

종래의 서브 행디코더로부터의 출력이 서브 행디코더로부터 게이트배선으로서의 서브어레이에 직접 공급된다. 그러나, 본 실시예에 있어서, 메인 워드선과 동일한 금속배선층과 서브 행디코더로부터의 서브어레이가 서브어레이의 거의 중앙 위치(2분할점)로 연장되고, 워드선에 대한 콘택트가 스냅구조에서와 같이 분할점에 형성된다. 특히, 서브어레이의 일단에 배치된 서브 행디코더 출력의 금속배선(M00)은 2분할점에서 게이트배선에 연결되고, 서브어레이의 타단에 배치된 서브 행디코더 출력의 금속배선(M01)은 2분할점에서 게이트배선에 연결된다. 이 경우, 이러한 금속배선은 워드선 방향에 대해 평행으로 되지 않도록 바람직하게 배치되는 바, 예컨대 금속배선(M00,M01)이 거의 동일한 직선상에 바람직하게 배치된다.

상기한 구조에 따라 오직 3개의 금속배선(스냅용의 하나의 메인 워드선과 2개의 배선)만이 4개의 게이트배선용으로 배치될 필요가 있고, 금속배선의 피치가 종래의 게이트배선의 피치의 4/3배로 될 수 있다. 예컨대, 1G비트급 DRAM에서의 게이트배선의 라인/스페이스가 0.18/0.2㎛로 설정되도록 가정한다. 이 경우, 금속배선의 라인/스페이스는 0.24/0.26㎛으로 완화된다. 따라서, 배선은 1세대 또는 반세대 이전의 DRAM을 위한 배선처리장치에 의해 만족할만하게 처리될 수 있게 된다.

제6도는 본 실시예의 서브어레이가 2개로 분할된 위치에서 금속배선과 게이트배선 사이의 콘택트부의 레이아웃을 나타낸 것이고, 제7도는 제6도의 구체도이다.

제6도의 예에 있어서, 8개의 게이트배선이 6개의 금속배선에 대해 배치된다. 좌측으로부터의 제2 및 제5금속배선이 메인 워드선 배선이고, 상부 부분의 제1,제3,제4,제6금속배선이 상부배선의 서브 행디코더의 신호에 응답하여 스냅부분에서 끝난다. 제7c도에 나타낸 바와 같이 각 금속배선이 비트선을 통해 게이트배선에 연결된다. 하부 부분의 제1,제3,제4,제6금속배선이 하부부분의 서브 행디코더의 신호에 응답하여 그 스냅부에서 끝나고, 게이트배선에 연결된다. 제7d도에 나타낸 바와 같이 금속배선은 게이트배선에 직접 연결된다.

이와 같은 방법에서 상부 부분의 제1,제3,제4,제6금속배선이 하부 부분의 제1,제3,제4,제6금속배선에 평행으로 되지 않고, 상부와 하부 부분의 금속배선의 각 쌍은 거의동일한 직선상으로 연장된다.

결과적으로, 제7b도에 나타낸 바와 같이 오직 3개의 금속배선이 4개의 게이트배선에 대해 배치될 필요가 있고, 디자인 치수가 완화될 수 있다.

제8도는 구체적 회로를 이용하여 본 실시예를 나타낸 것이고, 제9도는 회로의 동작을 나타낸 것이다.

예컨대, 메인 워드선(/MWL0)이 선택된 것으로 가정하면, 레벨은 H로부터 L로 떨어지고, 비트선 방향으로부터의 어드레스(WDRV3)가 선택되며, WDRV3이 상승하고, /WDRV3이 떨어진다. 이 경우, 서브 행디코더(S·R/D00)가 활성화되고, 서브 행디코더(S·R/D00)에 연결된 금속배선(M02)이 상승한다. 메모리 트랜지스터가 턴온되어 데이터가 독출된다.

제8도에 나타낸 바와 같이 서브어레이에서의 금속배선과 게이트배선 사이의 콘택트는 서브어레이의 중앙에서의 스냅의 위치 뿐만 아니라 서브 행디코더(스냅2)의 출구의 부분에도 형성된다.

상기한 구성에 따라 실제 게이트배선의 RC 지연이 종래의 계층 워드선구조에서와 같이 S·R/D-S·R/D열의 수에 의해 결정되지 않고, S·R/D-S·R/D열의 수, 예컨대 (S·R/D)-(스냅) 열의 수에 대한 게이트배선 길이의 반에 의해 결정된다.

제10도는 본 발명의 게이트 지연을 나타낸 것이다. 본 발명에 따르면, 열/서브 행디코더의 수가 종래 스냅 구조에서의 열/스냅의 수의 2배이고, 게이트배선 지연이 일정하다. 이는 RC 지연이 열/서브 행디코더의 수에 의해 결정되지 않고, 열/서브 행디코더의 수, 예컨대 스냅-S·R/D 게이트배선 길이의 반에 의해 결정되기 때문이다.

칩 크기가 종래의 계층 워드선구조의 칩 크기와 동일할 경우, 예컨대 서브 행디코더가 동일한 수로 분할될 경우(스냅부의 영역은 서브 행디코더의 영역과 비교하여 무시할 수 있다), 게이트배선의 RC 지연은

$R/2 \times C/2 = RC/4$

예컨대, 금속배선 치수인 동안 1/4로 감소시킬 수 있다. 이러한 수단은 게이트배선의 저항이 감소될 필요가 없다.

이에 대해, 서브 행디코더는 본 발명에서의 계층 워드선구조에서 분할된 서브어레이의 수를 반으로 분할하고, 서브 행디코더의 수는 치수를 완화하는 한 줄일 수 있고, 게이트 지연은 칩 크기를 줄이는 한 계층 워드선구조에서의 게이트 지연과 동일하게 만들 수 있게 된다.

종래의 스냅구조와 동일한 칩 크기는 스냅 구조에서의 열/스냅의 수의 2배의 열/서브 행디코더의 수에 의해 얻을 수 있다. 이 때, 스냅구조에서의 스냅-스냅열의 수는 본 발명의 스냅-S·R/D열의 수와 동일하다. 이러한 이유에 대해, 스냅구조에서와 동일한 RC 지연이 얻어질 수 있게 된다. 따라서, 금속배선의 치수는 스냅구조와 동일한 칩 크기와 게이트 지연을 얻을 수 있는 한 완화시킬 수 있게 된다. 이러한 수단은 저저항 게이트를 개발할 필요가 없어 치수가 완화될 수 있게 된다.

[실시예 2]

제11도는 구체적 회로를 이용하여 제2실시예에 따른 DRAM에서의 메모리셀 어레이부와 행디코더부 사이의 구성 연결관계를 나타낸 것이다. 제11도는 배치된 서브 행디코더의 수에서 제8도와 다르다.

서브어레이(A)와 서브어레이(B) 사이의 서브 행디코더의 출력이 제8도에서의 서브어레이(A), (B)에 의해 나누어지지만, 서브어레이(A), (B)는 제11도에서 독립적으로 동작한다. 이는 비트선방향으로부터의 어드레스가 서브어레이(A)에서의 WDRV3과 WDRV1에 의해 제어됨과 더불어 서브어레이(B)에서 WDRV0'와 WDRV2'에 의해 제어되기 때문이다.

서브 행디코더 회로의 트랜지스터의 수는 제8도에서의 트랜지스터의 수에 2배로 되지만, 오직 하나의 서브어레이만이 구동되기 때문에 각 트랜지스터상의 부하는 제8도에서의 부하의 반으로 된다. 이러한 이유에 대해, 제11도에서의 회로의 전체 영역은 제8도의 회로의 전체 영역과 동일하다. 이러한 방법에 있어서, 제11도의 회로에서는 오직 하나의 서브어레이만이 활성화됨에 따라 저전력 소모가 달성된다.

[실시예 3]

제12도는 제3실시예에 따른 DRAM에서 메모리셀 어레이부와 행디코더부 사이의 구성 연결관계를 나타낸 것이다.

본 실시예에 있어서, 하나의 메인 행디코더(M·R/D)와 금속배선으로서 기능하는 하나의 메인 워드선(MWL)이 8개의 게이트배선에 대해 배치되고, 4개의 금속배선의 출력이 각 서브 행디코더(S·R/D)로부터 연장된다. 본 실시예에 있어서, 제13도와 같이 5(=1+4)개의 금속배선이 8개의 게이트배선에 대해 배치된다. 이러한 이유에 대해, 금속배선의 피치가 8/5배 이하, 예컨대 (L5+S5)=8(L1+S1)/5로 되도록 완화될 수 있는 한, 제1실시예와 동일한 효과가 얻어질 수 있다.

제14도는 본 실시예의 구체적 회로를 나타낸 것이다. 하나의 메인 워드선(MWL)이 8개의 게이트배선(SWL)에 대해 구성되고, 제8도에서의 어드레스의 수의 2배인 비트선 방향으로부터의 어드레스가 요구된다. 본 실시예에 있어서, 제11도에 도시한 서브어레이가 배치될 수있다.

서브 행디코더가 제8도, 제11도, 제14도의 각각에서의 CMOS에 의해 구성됨에도 불구하고, 서브 행디코더는 nMOS 또는 다른 회로에 의해 구성되어도 된다.

[실시예 4,5]

제15도 및 제16도는 본 발명의 제4 및 제5실시예를 나타낸 것이다. 본 실시예는 제5도 및 제12도에서의 실시예와 다르다. 제4 및 제5실시예의 각각에 있어서, 메인 행디코더(M·R/D)가 셀어레이의 양단에 배치되고, 메모리셀어레이와 서브 행디코더의 디자인 치수 뿐만 아니라 메인 행디코더의 디자인 치수도 완화된다.

제15도에 도시한 제4실시예에 있어서, 메인 행디코더의 디자인 치수는 완화시킬 수 있게 되어 하나의 메인 행디코더가 8개의 게이트 배선 폭에 배치된다. 제16도에 도시된 제5실시예에 있어서, 메인 행디코더의 디자인 치수가 완화될 수 있어 하나의 메인 행디코더가 16개의 게이트 배선폭으로 배치된다.

[실시예 6]

제17도는 제6실시예에 따른 DRAM의 주요 부분의 구성을 설명하기 위해 서브 행디코더의 부분의 레이아웃을 나타낸 것이다.

메인 워드선(MWL)으로 기능하는 제1층 금속배선(금속1)이 서브 행디코더를 지난다. 서브 행디코더에서의 제1층 금속배선의 피치는 하나에 의해 엄격하게 될 경우, 제1층 금속배선의 피치가 완화되는 것은 의미가 없다.

제17도에 나타낸 바와 같이 예컨대, 비트선 방향으로부터의 신호와 전원이 제1층 금속배선을 통해 다른 확산층, 트랜지스터등에 연결되도록 제2층 금속배선(금속2)을 통해 공급될 때, 신호와 전원이 제1층 금속배선을 통해 공급되기 때문에 서브 행디코더의 제1층 금속배선의 피치가 엄격해지게 된다. 특히, 금속1과 금속2 사이의 콘택트(관통 콘택트)가 클 경우, 제1층 금속배선의 피치가 엄격해지게 된다. 본 실시예에 있어서, 금속1의 수가 증가되고, 금속1의 치수가 셀어레이의 치수 보다 더욱 엄격해지게 된다.

이러한 방법에 있어서, 서브 행디코더상의 메인 워드선 배선과 서브어레이상의 메인 워드선 배선은 동일한 금속층으로 형성하여도 되고, 또는 다음의 설명과 같이 제18a도 및 제18b도와 다른 금속층으로 형성하여도 된다.

[실시예 7]

제18a도 및 제18b도는 본 발명의 제7실시예를 나타낸 것이다. 제18b도는 제18a도로부터 제1층 금속배선(금속1), 제2층 금속배선(금속2), 금속1과 금속2 사이의 콘택트를 추출함으로써 얻어진다.

제18b도에 나타낸 바와 같이 메인 워드선(MWL)과 서브 워드선(SWL)이 서브어레이상의 동일한 제1층 금속배선에 연결되고, 메인 워드선이 서브 행디코더상의 제2층 금속배선에 대해 스위치된다. 비트선 방향으로부터의 어드레스 신호와 전원은 제1층 금속배선을 통해 회로에 연결된다.

이러한 방법에 있어서, 어드레스신호와 전원은 제2층 금속배선과 제1층 금속배선을 통해 회로에 연결될 필요가 없고, 제1층 금속배선을 통해 회로에 연결된다. 이러한 이유에 대해, 금속1과 금속2 사이의 콘택트와 제1층 금속배선의 릴레이는 배치될 필요가 없다. 따라서, 제1층 금속배선의 치수가 완화될 수 있다.

[실시예 8]

제19도는 제8실시예에 따른 DRAM에서의 메모리셀 어레이부와 행디코더부 사이의 구성 연결관계를 나타낸 것이다.

메모리셀 어레이는 워드선 방향으로 2개 이상(본 실시예에서는 4개)으로 분할되고, 서브 행디코더(S·R/D)가 그 사이에 서브어레이로서 배치된다. 이러한 서브 행디코더는 메인 워드선(MWL)으로부터의 어드레스와 비트선 방향으로부터의 어드레스에 의해 디코딩을 수행하고, 게이트배선을 통해 서브 워드선(SWL)으로서의 서브어레이로 들어간다.

이러한 방법에 있어서, 서브 행디코더 간격이 작은 간격으로 분할되므로, 제5도에 도시된 구성에서의 스냅은 불필요하게 된다. 더욱이, 비트선 방향에서의 어드레스의 존재에 기인하여 워드선 방향으로 금속배선의 메인 워드선의 피치가 종래 기술의 4배로 되도록 심각하게 완화되어질 수 있게 된다. 따라서, 서브 셀어레이상의 금속배선의 프로세싱이 매우 용이하게 된다. 제18a도 및 제18b도로부터 명백히 알 수 있는 바와 같이 하나의 금속배선이 4개의 게이트배선을 위해 배치된다.

메인 워드선을 구동시키기 위한 메인 행디코더는 메모리셀 어레이의 양단에 배치되고, 다수의 메인 워드선의 모든 다른 메인 워드선은 양단에 배치된 메인 행디코더에 교대로 연결된다. 이러한 이유에 대해 메인 행디코더에서의 금속배선의 피치는 종래의 계층 워드선구조(제2b도)에 대해 2배로 되도록 명백히 이완될 수 있게 된다. 따라서, 메인 워드선에서의 금속배선의 피치가 종래 기술의 서브어레이의 피치 보다 더욱 심각하게 엄격해진다는 문제가 해결된다.

제20도는 본 실시예에서 메인 행디코더의 레이아웃을 나타낸 것이다. 설명의 편의를 위해, 제20도는 단지 금속1과, 금속2 및, 금속1과 금속2 사이의 콘택트층만을 나타낸다. 메인 워드선의 금속1의 피치는 메인 행디코더와 서브 디코더 사이의 모든 다른 콘택트부가 형성되기 때문에, 서브어레이상의 금속1의 피치는 2배로 되도록 완화된다.

트랜지스터(Q1)가 배치된 트랜지스터부(B)에서의 전원(VSV)을 증가시키기 위한 금속1의 배선이 배치됨에도 불구하고, 배선의 피치는 서브어레이상의 금속1의 피치와 동일하다. 트랜지스터(Q1)에 연결된 구동 트랜지스터(Q1)의 피치가 2/2.5배로 서브어레이((C)부분)보다 더 엄격하고, 종래 기술에서의 피치와 비교하여 심각하게 이완될 수 있다. 그러나, (C)부분의 금속1이 메인 워드선에 직접 연결되지 않기 때문에, 금속이 메인 워드선의 RC 지연에 비례하지 않게 되고, 금속1이 금속1에 의해 구성될 필요가 없게 된다.

제21a도 및 제21b도는 각각 본 실시예의 서브 행디코더부의 레이아웃을 나타낸다. 제21a도에 있어서, 메인 워드선이 금속1에 의해 서브 행디코더를 통해 지나고, 비트선방향으로부터의 신호(WDRV0)가 금속2로부터 금속1로 잠정적으로 공급됨과 더불어 금속1의 하부층에 공급된다. 이러한 이유에 대해, 서브 행디코더상의 금속1의 피치가 서브어레이(M부분)상의 금속1의 피치의 반으로 된다.

그러나, 배선을 이용하는 것에 의해 서브 행디코더로 연장되는 게이트배선의 서브 워드선은 비트선과 동일하고, 서브 워드선의 치수는 제4d도부분에서의 서브 워드선 보다 더욱 완화된다.

제21b도에 나타낸 바와 같이 서브어레이상의 금속1의 배선이 금속2에 대해 스위치될 경우, 제21a도에서 M부분과 같은 부분이 생략될 수 있다. 이는 비트선 방향으로부터의 신호가 금속1에 대해 스위치됨과 더불

어 하부층에 직접 공급되어 배선이 금속1의 상부층상의 금속2와 관계없이 수행될 수 있기 때문이다. 더욱이, 서브 워드선은 비트선 배선에 의해 서브 행디코더로 연장된다. 결과적으로, 서브어레이상의 금속1의 피치는 서브 행디코더상과 동일하게 만들어질 수 있다.

[실시예 9]

제22도는 제9실시예에 따른 DRAM의 메모리셀 어레이부와 행디코더부 사이의 구성 연결관계를 나타낸 것이다.

본 실시예에 따르면, 비트선 방향으로부터 서브 행디코더(S·R/D)에 공급되는 어드레스의 수가 증가하고, 메인 워드선(MWL)의 피치가 서브 워드선(SWL)의 피치의 8배로 된다. 이 때, 메인 행디코더(M·R/D)가 어레이의 양단에 배치될 경우, 메인 행디코더의 금속1의 피치가 제19도의 2배로 만들어질 수 있게 된다.

[실시예 10]

제1실시예에 있어서, A1으로 구성된 금속배선층으로부터 폴리실리콘으로 구성된 게이트배선까지의 콘택트가 최소 피치에서 게이트배선이 배치된 위치에 형성되어야만 한다. 이 경우, 최소 프로세싱 디멘죤이 F로 표현될 경우, 워드선의간격과 각 워드선이 폭이 F이고, 콘택트의 크기는 F×F자승이다. 이러한 이유에 대해, 게이트배선은 콘택트의 위치와 관련하여 충분히 크게 될 수 있다. 이 때, 게이트배선과 콘택트의 프로세싱에 있어서, 게이트배선과 콘택트의 마스크의 비교 위치가 기판으로부터 시프트되어 콘택트가 게이트 외부에 형성된다. 이러한 이유에 대해, 게이트배선과 기판이 유용하지 않게 단락회로로 된다.

콘택트홀이 RIE에 의해 형성됨에도 불구하고, 다른 에칭율을 갖춘 프로세스가 내부층과 게이트 재료에 일반적으로 적용된다. 특히, SiO_2와 폴리실리콘이 각각 내부층과 게이트재료로서 이용될 경우, 폴리실리콘을 위한 에칭율과 SiO_2를 위한 에칭율을 갖춘 프로세스가 이용된다. 그러나, 콘택트가 게이트 배선으로부터 시프트되도록 배치되는 경우, 게이트 재료에서 정지되어진 홀이 기판으로 연장된다. 이러한 이유로 인해, 게이트에 인가되는 전위가 기판에 인가되고, 게이트와 기판이 단락회로로 된다.

본 실시예는 게이트에 대한 콘택트의 마진이 금속배선의 피치가 제1실시예에서와 같이 칩크기의 증가나 워드선의 RC 지연의 증가 없이 종래의 스냅 구조에서 보다 더욱 완화시킬 수 있는 구조에서 형성될 수 없다는 문제를 해결한다.

제23a도 및 제23b도는 제11실시예에 따른 워드선의 구동회로, 게이트배선, 게이트상의 층의 배선을 나타낸 것이다. 제24a도 내지 제24d도는 본 실시예의 레이아웃과 서브-서브어레이 사이의 경계부분을 나타낸 것이다. 제24a도는 모든 게이트배선, 비트선 배선, 금속배선을 나타내고, 제24b도는 게이트배선과 비트선 배선을 나타내며, 제24c도는 비트선 배선과 금속배선을 나타내고, 제24d도는 게이트배선만을 나타낸다.

본 실시예에 있어서, 3개의 알루미늄 배선이 4개의 게이트에 대해 배치되고, 금속배선의 프로세싱 피치가 완화된다. 비트선의 배선층이 알루미늄 배선층의 피치와 게이트배선층의 피치 사이의 중간 피치에서 처리된다. 이 부분에서 알루미늄 배선층이 비트선 배선을 통해 게이트배선층에 연결된다. 이 부분에서 비트선의 피치를 프로세싱함에 따라 오직 2개의 비트선 배선의 최대가 본 실시예에서 4개의 게이트에 대해 배치되고, 게이트배선층의 프로세싱 디멘죤과 비교하여 충분히 완화되는 프로세싱 디멘죤이 실현될 수 있다.

지금까지의 기본 구성은 제1실시예와 동일하다. 본 실시예는 기본 구성에 부가하여 각 2개의 게이트배선중 하나가 절단되는 특징적 형상을 갖는다. 특히, 각 2개의 워드선중 하나가 각 서브어레이가 워드선방향으로 2개로 분할되는 것에 의해 얻어진 서브-서브어레이 사이의 경계 부분에서 절단되고, 게이트배선이 절단되지 않은 각 워드선이 서브-서브어레이 사이의 경계부분에서 상부 금속배선층과 접촉을 야기시킨다. 게이트배선이 절단되고, 대응하는 워드선을 구동시키기 위해 서브 행디코더에 가까운 각각의 워드선은 서브 행디코더와 서브어레이 사이의 경계 부분에서 금속배선층과 접촉을 야기시키고, 서브 행디코더로부터 떨어진 각 워드선은 서브-서브어레이 사이의 경계부분에서 금속배선층과 접촉을 야기시킨다.

제24d도에 나타낸 바와 같이 게이트배선과 게이트와 비트선 사이의 콘택트의 레이아웃에 있어서, 게이트의 충분히 큰 마진이 콘택트 주위에서 얻어진다. 특히, 각 게이트배선의 폭과 게이트배선 사이의 간격이 최소 프로세싱 디멘죤 F로 설정되고, 콘택트가 F×F로 형성될 경우, 게이트배선은 F의 폭을 갖는 마진과 콘택트되는 주위에 배치될 수 있다.

이러한 방법에 있어서, 게이트배선과 콘택트의 비교 위치가 프로세싱에서 F의 최대에 의해 서로로부터 시프트되고, 게이트에 대한 콘택트가 게이트 외측의 부분에서의 기판으로 연장되는 것으로부터 방지할 수 있게 된다. 이는 2개의 워드선중 하나가 모든 서브-서브어레이를 절단하는 것으로 실현할 수 있고, 비트선과 게이트 사이의 콘택트가 절단위치에서 형성된다.

절단 워드선(WLB1,WLB2)이 2개의 서브-서브어레이의 경계위치의 상하에서 서로 전기적으로 연결된다. 이는 다음과 같은 구성에 의해 실현될 수 있다. 즉, 제25도에 나타낸 바와 같이 서브-서브어레이1에 속하는 게이트에 대한 콘택트가 서브 행디코더와 서브-서브어레이 사이의 경계 부분에서 알루미늄 배선층에 의해 형성되고, 서브-서브어레이2에 속하는 게이트에 대한 콘택트가 서브-서브어레이1,2 사이의 경계부분에서 비트선 배선층을 통해 형성된다. 알루미늄배선과 게이트배선이 비트선을 통해 서로 연결된 구성이 제7c도에 나타나 있다.

이 경우, 알루미늄 배선이 서브-서브어레이 사이의 경계부분에서 비트선을 통해 게이트배선에 연결되는 하나의 이유는 다음과 같다. 즉, 알루미늄 배선층으로부터 게이트로 직접 콘택트를 형성하기 위해 매우 큰 깊이, 예컨대 높은 애스펙트 비를 갖춘 콘택트홀이 형성되어야만 한다. 기술적으로 이러한 콘택트홀을 형성하는 것이 어렵기 때문에, 알루미늄 배선이 비트선을 통해 게이트 배선에 연결되는 것으로 콘택트를 형성하기 위한 단계가 용이하게 이루어진다.

다른 이유는 다음과 같다. 즉, 제26도에 나타낸 바와 같이 워드선(WLB1)을 구동시키기 위한 제1서브 행디코더로부터 떨어진 측(서브-서브어레이2)상의 게이트에 대한 배선과, 워드선(WBL2)을 구동시키기 위한 제

2서브 행디코더로부터의 제1서브-서브어레이에 속하는 게이트에 대한 배선은 서로 교차되어야만 한다. 이러한 배선이 금속배선을 통해 서로 교차되도록 시도될 때, 알루미늄의 프로세싱 피치가 감소되어야만 한다. 이러한 이유로 인해 이러한 배선은 비트선 배선층을 이용함으로써 서로 교차되게 된다.

상기한 바와 같이, 본 실시예에 따르면, 제1실시예와 동일한 효과가 당연히 얻어질 수 있게 된다. 상부층으로부터 게이트까지의 콘택트부에서 2개의 게이트에 대한 콘택트만이 4개의 워드선의 피치에서 형성될 필요가 있고, 콘택트와 관련한 게이트 재료의 마진이 게이트 재료의 폭과 게이트 재료의 간격에 대해 증가될 수 있게 된다.

[실시예 11]

제27a도 내지 제27d도는 본 발명의 제11실시예에 따른 레이아웃을 나타낸 것이다. 제27a도는 모든 게이트배선, 비트선 배선, 금속배선을 나타내고, 제27b도는 게이트배선과 비트선 배선을 나타내며, 제27c도는 비트선 배선과 금속배선을 나타내고, 제27d도는 게이트배선만을 나타낸다.

제10실시예에 있어서, 서로 전기적으로 등가인 워드선이 2개의 서브-서브어레이의 각각에서 동일한 직선상에 배치된다. 제11실시예는 워드선이 각 서브-서브어레이에서 동일한 직선상에 배치되지 않는 구성을 설명하고 있다. 본 구성에 있어서, 제10실시예와 동일한 효과가 얻어질 수 있다.

본 발명은 상기한 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위내에서 다양하게 변형하여 실시할 수 있다.

한편, 본원 특허청구범위의 각 구성요건에 병기한 도면의 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로서, 본원 발명의 기술적 범위를 도면에 도시된 실시예에 한정할 의도로 병기한 것은 아니다.

(57) 청구의 범위

청구항 1

게이트배선에 의해 구성된 다수의 워드선(SWL)과; 이 다수의 워드선(SWL)과 다수의 비트선 사이의 노드에 선택적으로 배치된 메모리셀(M)을 갖추고, 워드선 배치방향으로 분할된 다수의 서브어레이(SA)를 갖춘 메모리셀 어레이; 워드선 배치방향으로 상기 메모리셀 어레이의 적어도 일단에 배치된 메인 행디코더(M·R/D); 각각의 상기 다수의 서브어레이(SA)의 적어도 일단에 배치된 다수의 서브어레이 디코더(S·R/D) 및; 상기 게이트배선상의 층상에 형성됨과 더불어 상기 서브행디코더(S·R/D)로부터 연장되는 제1배선층(MW)을 구비하여 구성된 반도체 기억장치에 있어서, 상기 제1배선층(MW)이 상기 서브어레이(SA)가 상기 게이트배선과 접촉이 야기되도록 워드선 배치방향으로 2개로 분할된 위치에서 배선되어지는 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 다수의 서브행디코더(S·R/D)가 상기 서브어레이(SA)의 제1단으로부터 제2단까지 배치되고, 제1단에 배치된 서브행디코더(S·R/D)로부터의 상기 제1배선층(MW)과 제2단에 배치된 상기 서브행디코더(S·R/D)로부터의 상기 제1배선층(MW)이 2분할 위치에서 배선됨과 더불어 중첩되지 않게 서로 로부터 전기적으로 절연되도록 워드선 배치방향으로 거의 동일한 직선상에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 3

제2항에 있어서, 상기 메인 행디코더와 상기 서브 행디코더(S·R/D)가 상기 제1배선층(MW)으로서 동일한 배선층을 이용함으로써 서로 연결되는 것을 특징으로 하는 반도체 기억장치.

청구항 4

제1항에 있어서, 다수의 서브어레이(SA)가 워드선 배치 방향으로 2개로 분할된 2개의 서브-서브어레이를 포함하고, 상기 서브어레이의 각 2개의 게이트배선중 하나가 상기 2개의 서브-서브어레이 사이의 경계부분에서 절단되는 것을 특징으로 하는 반도체 기억장치.

청구항 5

제1항에 있어서, 상기 제1배선층(MW)으로부터 상기 게이트배선까지의 콘택트가 제3배선층(BW)을 통해 형성되는 것을 특징으로 하는 반도체 기억장치.

청구항 6

제1항에 있어서, 상기 메인 행디코더와 상기 서브 행디코더(S·R/D)가 상기 제1배선층(MW)으로서 동일한 배선층을 이용함으로써 서로 연결되는 것을 특징으로 하는 반도체 기억장치.

청구항 7

제6항에 있어서, 상기 메인 행디코더와 상기 서브 행디코더(S·R/D)가 상기 서브어레이(SA)상의 상기 제1배선층(MW)으로서 동일한 배선층에 의해 연결되고, 상기 서브 행디코더(S·R/D)상의 상기 제1배선층(MW)과 다른 배선층에 의해 서로 연결되는 것을 특징으로 하는 반도체 기억장치.

청구항 8

제6항에 있어서, 상기 제1배선층(MW)이 주 구성요소로서 알루미늄이나 동을 포함하는 배선으로 이루어지는 것을 특징으로 하는 반도체 기억장치.

청구항 9

제6항에 있어서, 상기 게이트배선이 폴리실리콘, WSi, W, MoSi, Mo, TiSi 중 하나를 포함하는 배선인 것을 특징으로 하는 반도체 기억장치.

청구항 10

제6항에 있어서, 상기 메인 행디코더가 워드선 배치방향으로 상기 메모리셀 어레이의 각각의 양단에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 11

제6항에 있어서, 상기 서브 행디코더(S·R/D)가 2개의 워드선을 위해 배치된 하나의 구동회로를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 12

제6항에 있어서, 상기 제1배선층(MW)으로부터 상기 게이트배선까지의 콘택트가 제3배선층(BW)을 통해 형성되는 것을 특징으로 하는 반도체 기억장치.

청구항 13

제6항에 있어서, 3개의 상기 제1배선층(MW)이 4개의 상기 게이트배선의 영역에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 14

제13항에 있어서, 상기 제1배선층이 메인 게이트배선과 다수의 서브게이트배선을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 15

제6항에 있어서, 5개의 상기 제1배선층(MW)이 8개의 상기 게이트배선의 영역에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 16

제15항에 있어서, 상기 제1배선층이 메인 게이트배선과 다수의 서브게이트배선을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 17

제1항에 있어서, 절단되지 않은 게이트배선을 갖춘 상기 서브어레이로부터의 워드선이 상기 제1배선층(MW)과 접촉이 야기되고, 절단되는 게이트배선을 갖춘 상기 서브어레이로부터의 워드선과 대응하는 워드선을 구동시키기 위해 상기 서브 행디코더(S·R/D)에 가까운 워드선이 상기 서브 행디코더(S·R/D)와 상기 서브어레이(SA) 사이의 경계 부분에서 상기 제1배선층(MW)과 접촉이 야기되는 것을 특징으로 하는 반도체 기억장치.

청구항 18

제17항에 있어서, 상기 메인 행디코더와 상기 서브 행디코더(S·R/D)가 상기 서브어레이(SA)상의 상기 제1배선층(MW)으로서 동일한 배선층에 의해 연결되고, 상기 서브 행디코더(S·R/D)상의 상기 제1배선층(MW)과 다른 배선층에 의해 서로 연결되는 것을 특징으로 하는 반도체 기억장치.

청구항 19

제17항에 있어서, 상기 제1배선층(MW)이 주 구성요소로서 알루미늄이나 동을 포함하는 배선으로 이루어지는 것을 특징으로 하는 반도체 기억장치.

청구항 20

제17항에 있어서, 상기 게이트배선이 폴리실리콘, WSi, W, MoSi, Mo, TiSi 중 하나를 포함하는 배선인 것을 특징으로 하는 반도체 기억장치.

청구항 21

제17항에 있어서, 상기 메인 행디코더가 워드선 배치방향으로 상기 메모리셀 어레이의 각각의 양단에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 22

제17항에 있어서, 상기 서브 행디코더(S·R/D)가 2개의 워드선을 위해 배치된 하나의 구동회로를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 23

제17항에 있어서, 상기 제1배선층(MW)으로부터 상기 게이트배선까지의 콘택트가 제3배선층(BW)을 통해 형성되는 것을 특징으로 하는 반도체 기억장치.

청구항 24

제17항에 있어서, 3개의 상기 제1배선층(MW)이 4개의 상기 게이트배선의 영역에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 25

제24항에 있어서, 상기 제1배선층이 메인 게이트배선과 다수의 서브 게이트배선을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 26

제17항에 있어서, 5개의 상기 제1배선층(MW)이 8개의 상기 게이트배선의 영역에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 27

제26항에 있어서, 상기 제1배선층이 메인 게이트배선과 다수의 서브 게이트배선을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 28

게이트배선에 의해 구성된 다수의 워드선(SWL)과; 이 다수의 워드선(SWL)과 다수의 비트선 사이의 노드에 선택적으로 배치된 메모리셀(M)을 갖추고, 워드선 배치방향으로 분할된 다수의 서브어레이(SA)를 갖춘 메모리셀 어레이; 워드선 배치방향으로 상기 메모리셀 어레이의 양단에 배치된 메인 행디코더(M·R/D); 각각의 상기 다수의 서브어레이(SA)의 적어도 일단에 배치된 다수의 서브 행디코더(S·R/D) 및; 상기 다수의 서브 행디코더(S·R/D)를 제어하기 위해 상기 다수의 워드선의 적어도 2개에 대해 상기 메모리셀 어레이상에 배치된 메인 워드선(MWL)을 구비하여 구성된 반도체 기억장치에 있어서, 모든 다른 상기 메인 워드선(MWL)이 상기 메모리셀 어레이의 일단에 배치된 상기 메인 행디코더와 타단에 배치된 상기 메인 행디코더에 교대로 연결되는 것을 특징으로 하는 반도체 기억장치.

청구항 29

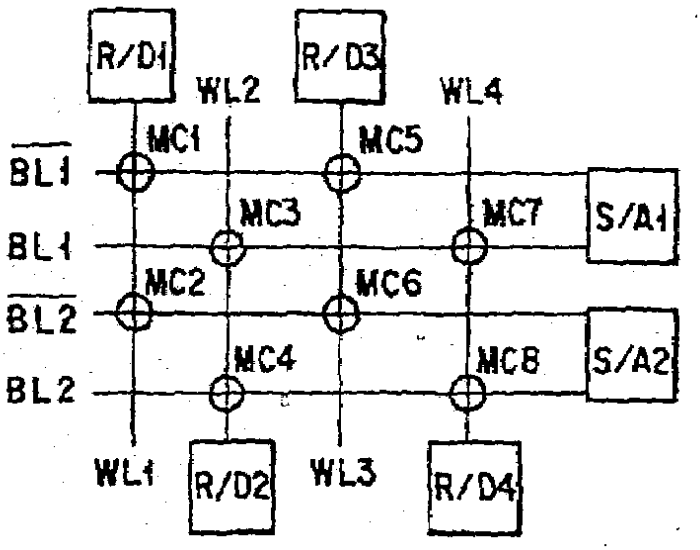
제28항에 있어서, 상기 메인 워드선(MWL)이 상기 서브어레이(SA)상의 제1금속배선이고, 상기 서브 행디코더(S·R/D)상의 제2금속배선에 대해 스위치되는 것을 특징으로 하는 반도체 기억장치.

청구항 30

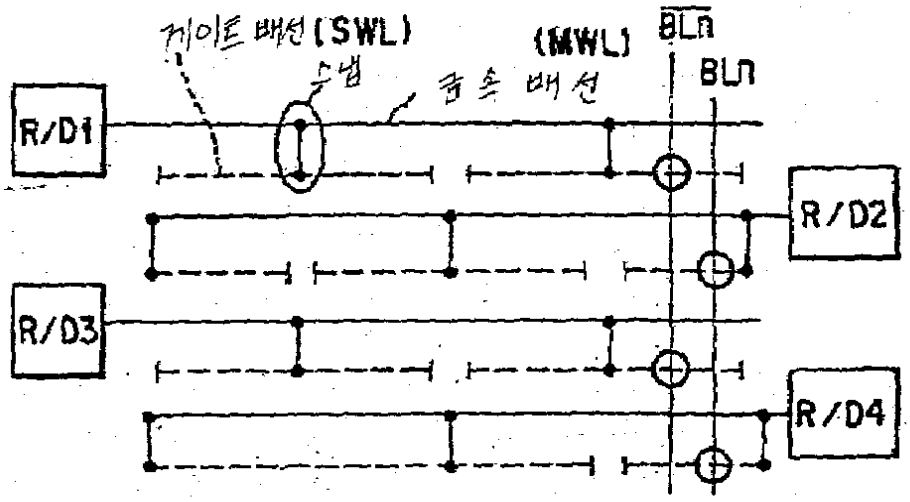
제28항에 있어서, 상기 서브어레이(SA)상의 상기 게이트배선이 상기 서브 행디코더(S·R/D)상의 상기 비트선으로서 동일한 배선에 대해 스위치되는 것을 특징으로 하는 반도체 기억장치.

도면

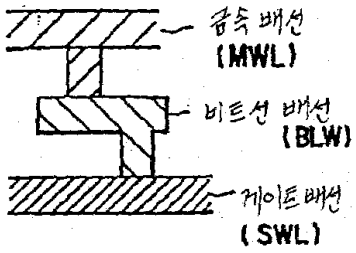
도면1a



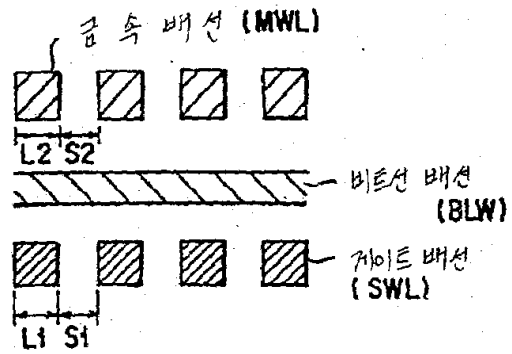
도면1b



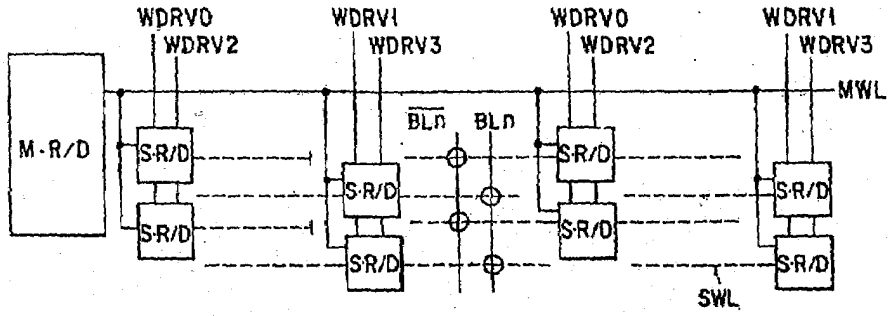
도면1c



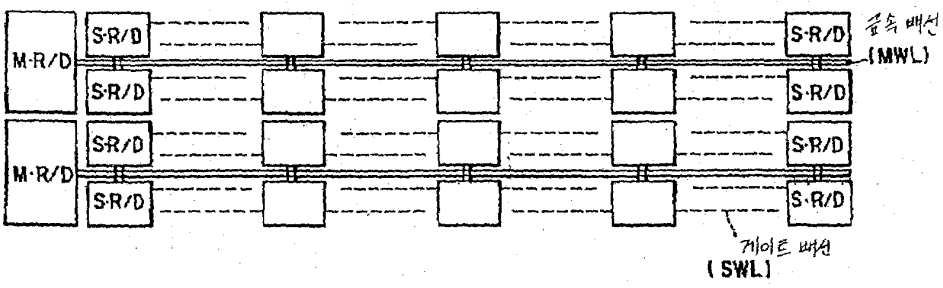
도면1d



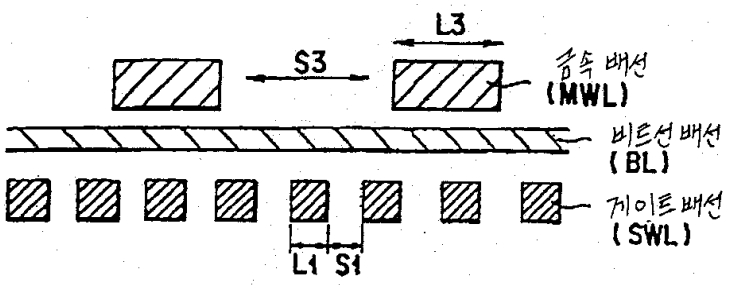
도면2a



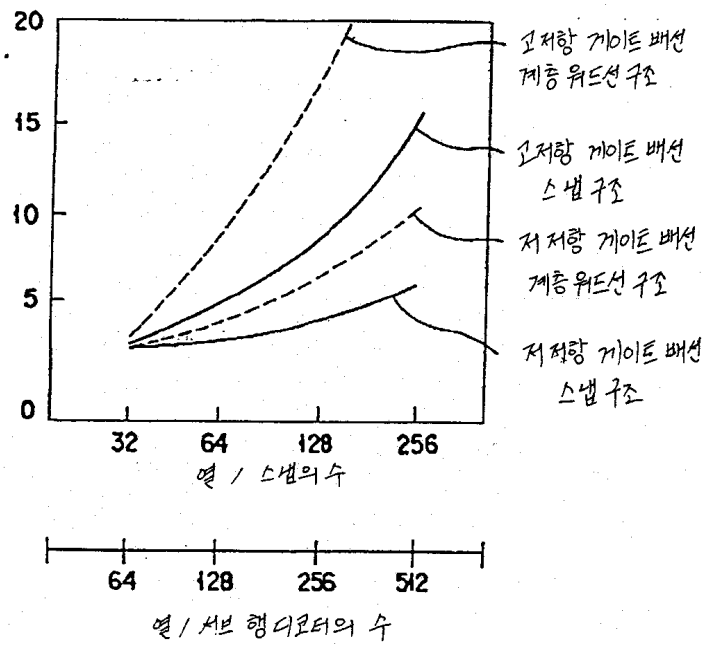
도면2b



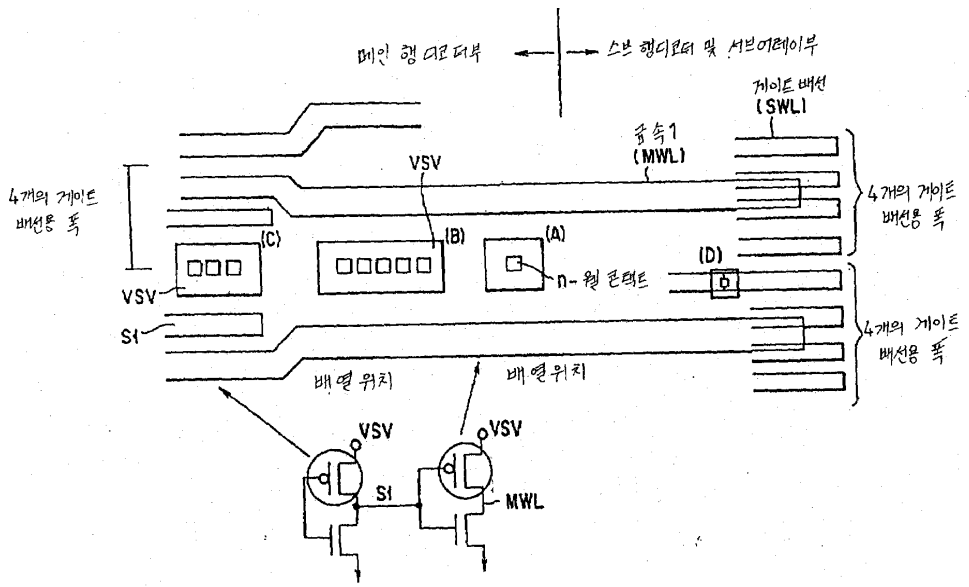
도면2c



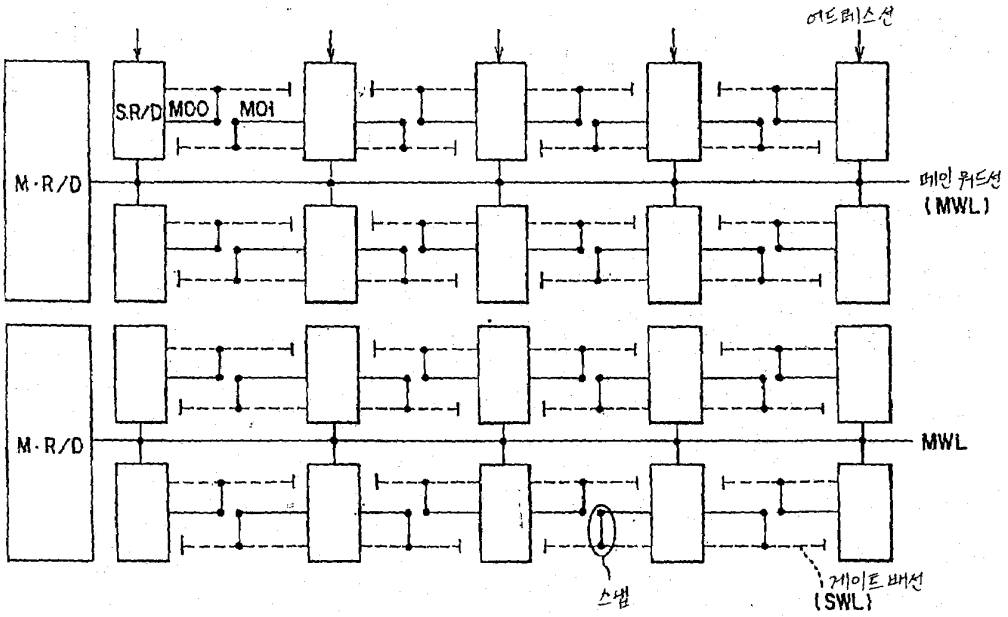
도면3


20
15
10
5
0
32
64
128
256
열 / 스냅의 수
고저항 게이트 배선 계층 워드선 구조
고저항 게이트 배선 스냅 구조
저저항 게이트 배선 계층 워드선 구조
저저항 게이트 배선 스냅 구조
64
128
256
512
열 / 서브 행 디코더의 수

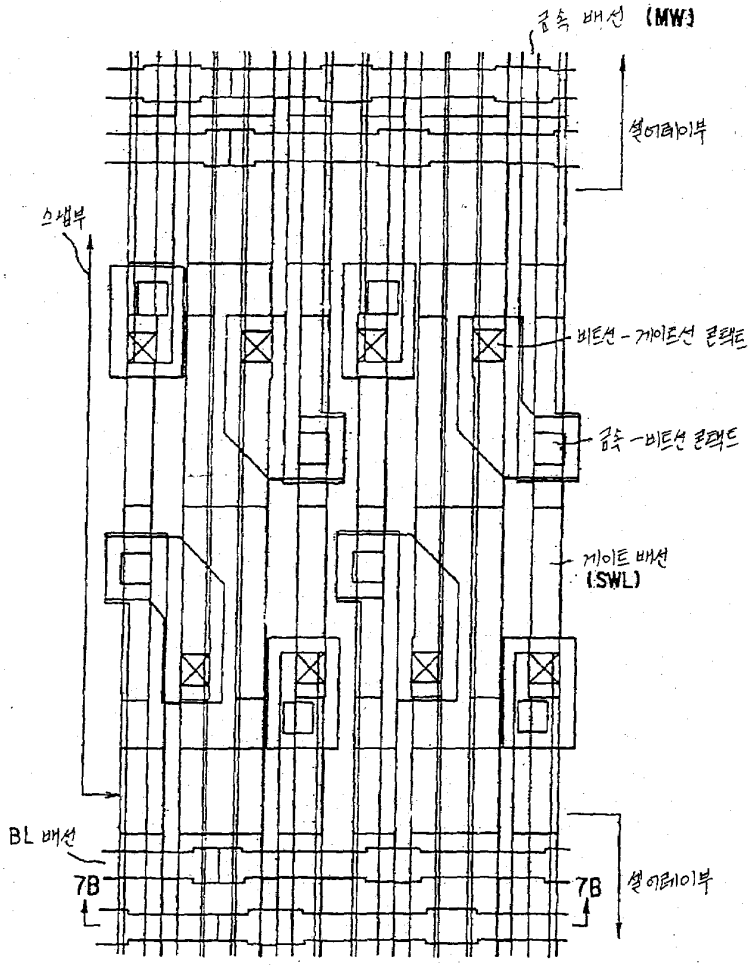
도면4


메인 행 디코더부
서브 행 디코더 및 서브어레이부
게이트 배선 (SWL)
금속1 (MWL)
VSV
4개의 게이트 배선용 폭
(C)
(B)
(A)
(D)
n-웰 콘택트
VSV
SI
배열 위치
배열 위치
VSV
VSV
SI
MWL

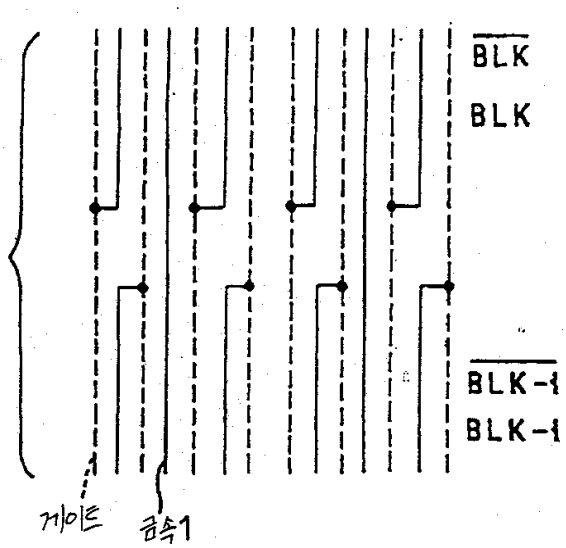
도면5


어드레스선
S.R/D
M00
M01
M·R/D
메인 워드선
(MWL)
M·R/D
MWL
스냅
게이트 배선
(SWL)

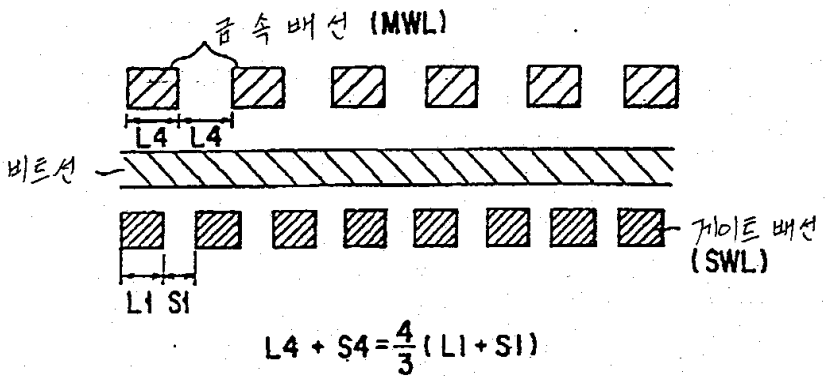
도면6


금속 배선 (MW)
셀어레이부
스냅부
비트선-게이트선 콘택트
금속-비트선 콘택트
게이트 배선
(SWL)
BL 배선
7B
7B
셀어레이부

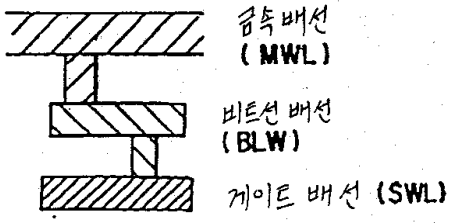
도면7a



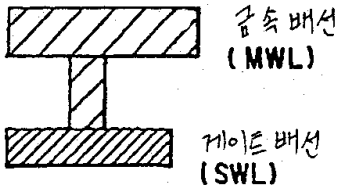
도면7b



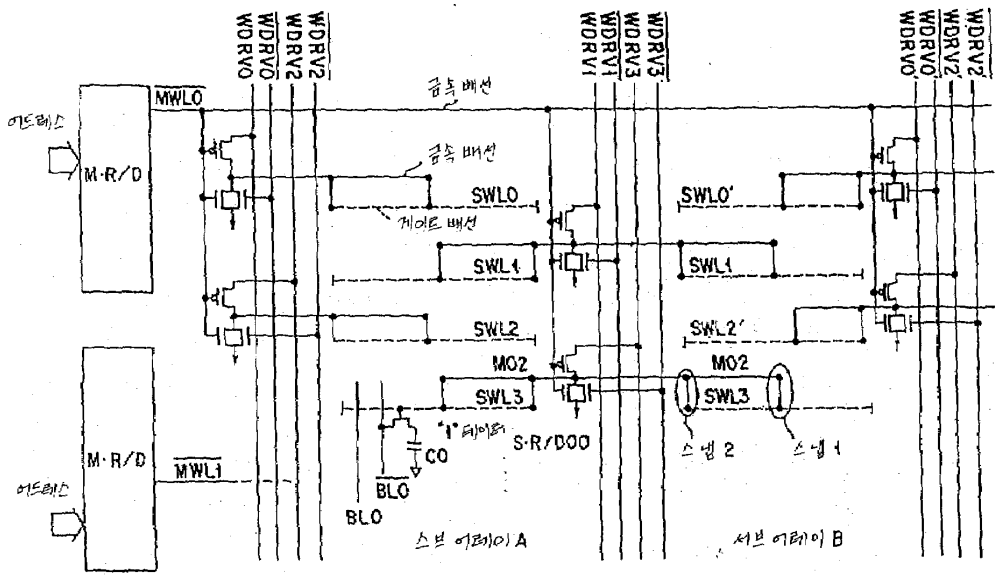
도면7c



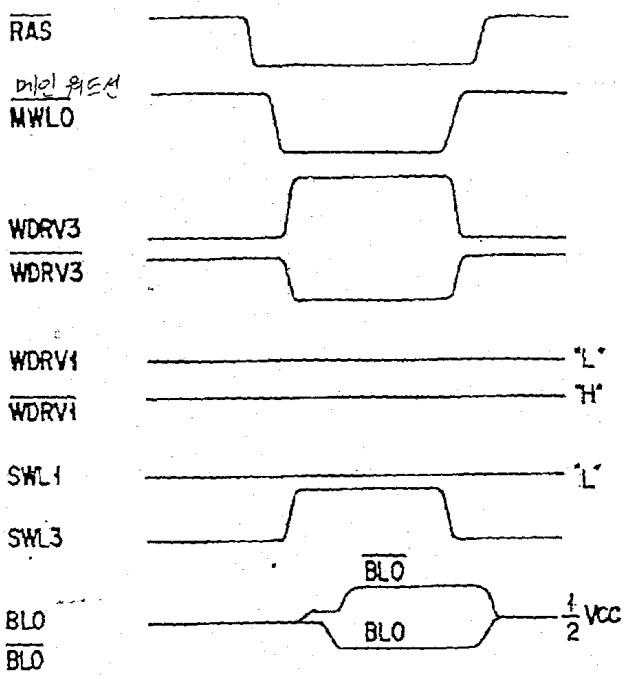
도면7d



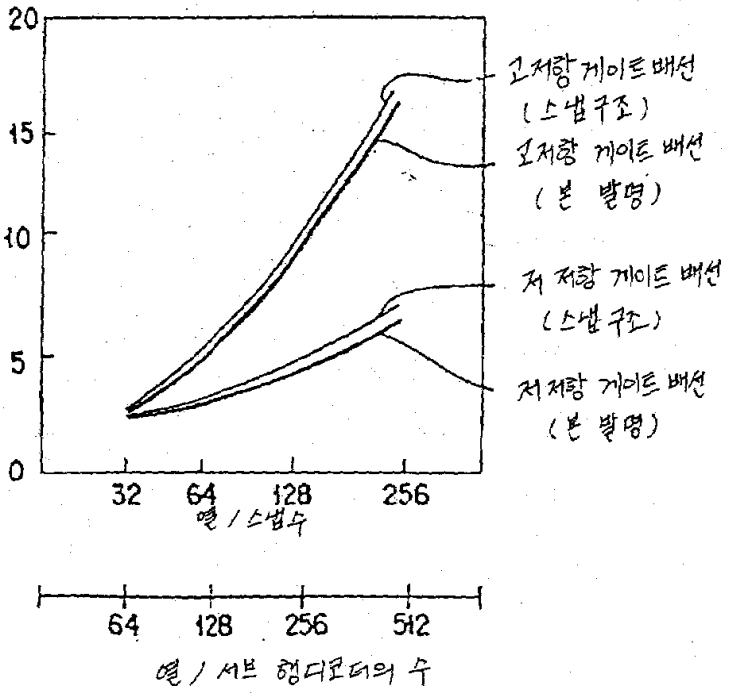
도면8


MWL0
M·R/D
MWL1
WDRV0
WDRV2
WDRV1
WDRV3
SWL0
SWL1
SWL2
SWL3
SWL0'
SWL1'
SWL2'
MO2
CO
BLO
S·R/DOO
서브 어레이 A
서브 어레이 B

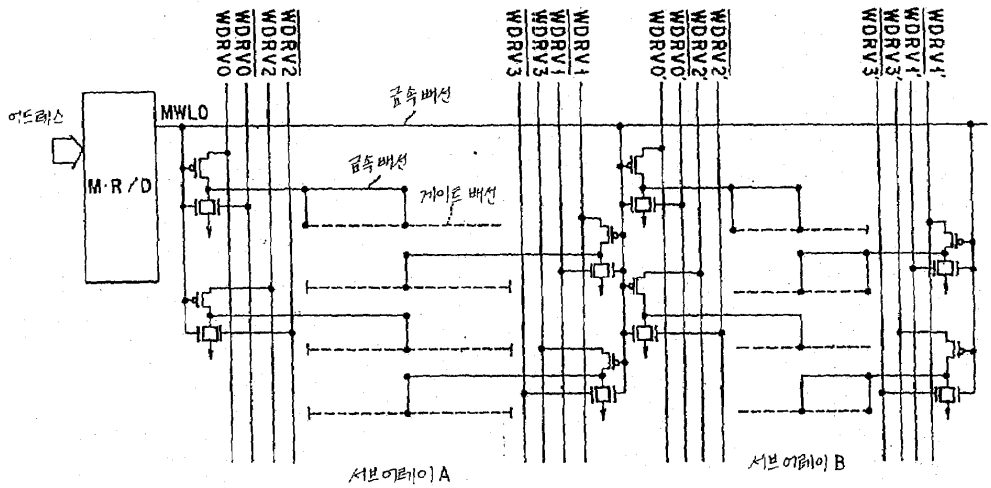
도면9


RAS
메인 워드선
MWL0
WDRV3
WDRV3
WDRV1
WDRV1
"L"
"H"
SWL1
"L"
SWL3
BLO
BLO
BLO
BLO
1/2 Vcc

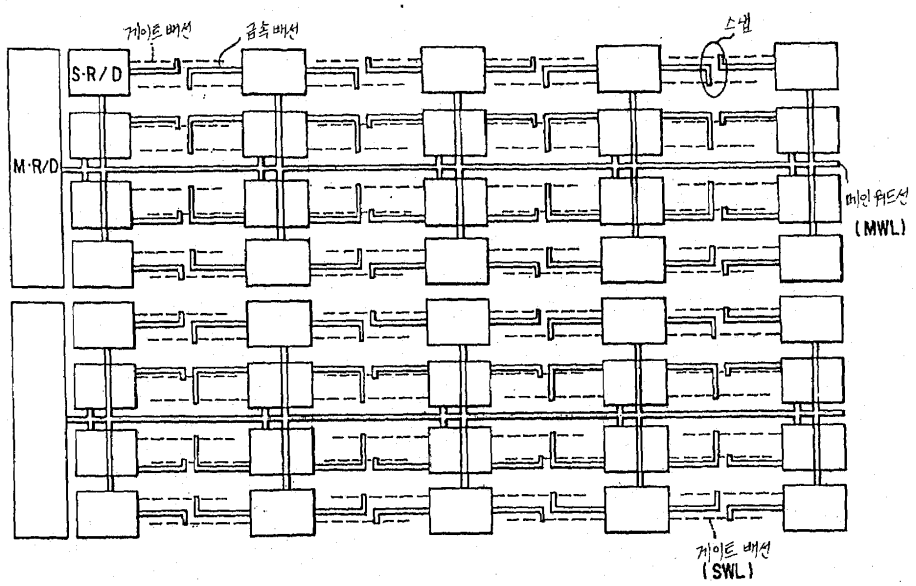
도면10


20
15
10
5
0
32
64
128
256
열 / 스냅수
고저항 게이트 배선
(스냅구조)
고저항 게이트 배선
(본 발명)
저 저항 게이트 배선
(스냅구조)
저저항 게이트 배선
(본 발명)
64
128
256
512
열 / 서브 헹디코더의 수

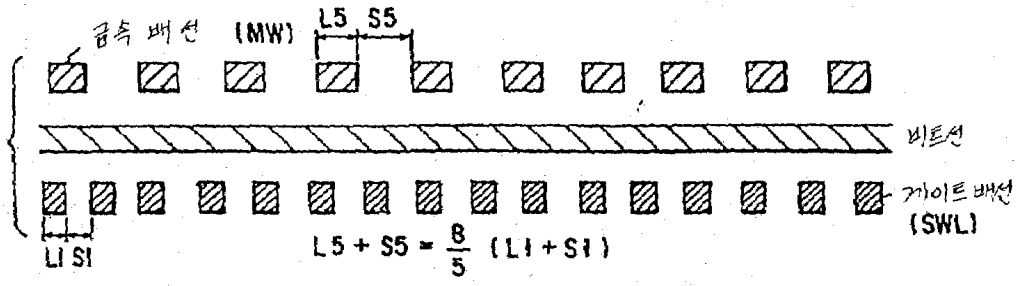
도면11


어드레스
M·R/D
MWL0
금속배선
금속배선
게이트 배선
WDRV0
WDRV0
WDRV2
WDRV2
WDRV3
WDRV3
WDRV1
WDRV1
WDRV0
WDRV0
WDRV2
WDRV2
WDRV3
WDRV3
WDRV1
WDRV1
서브어레이 A
서브어레이 B

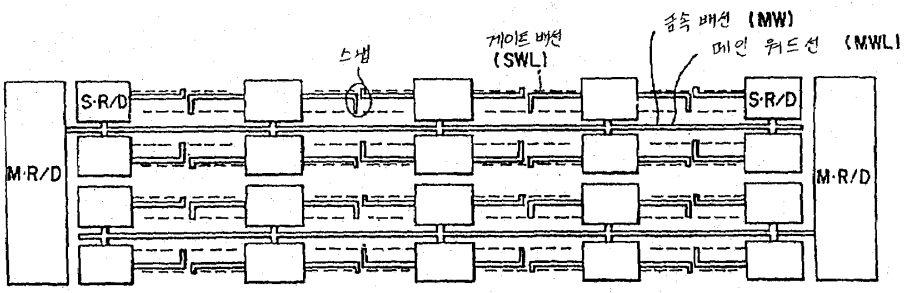
도면12



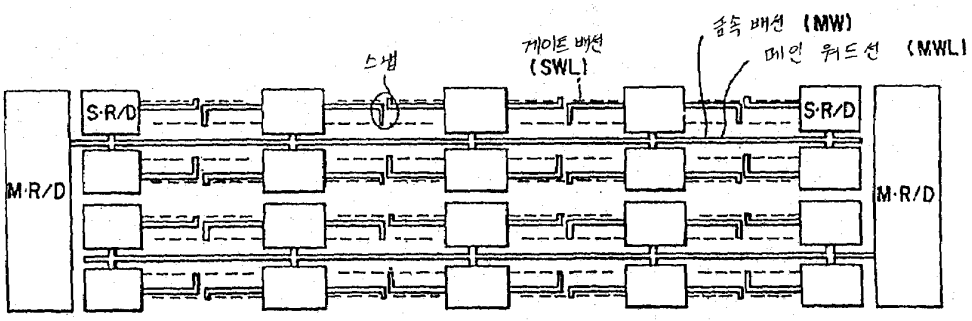
도면13



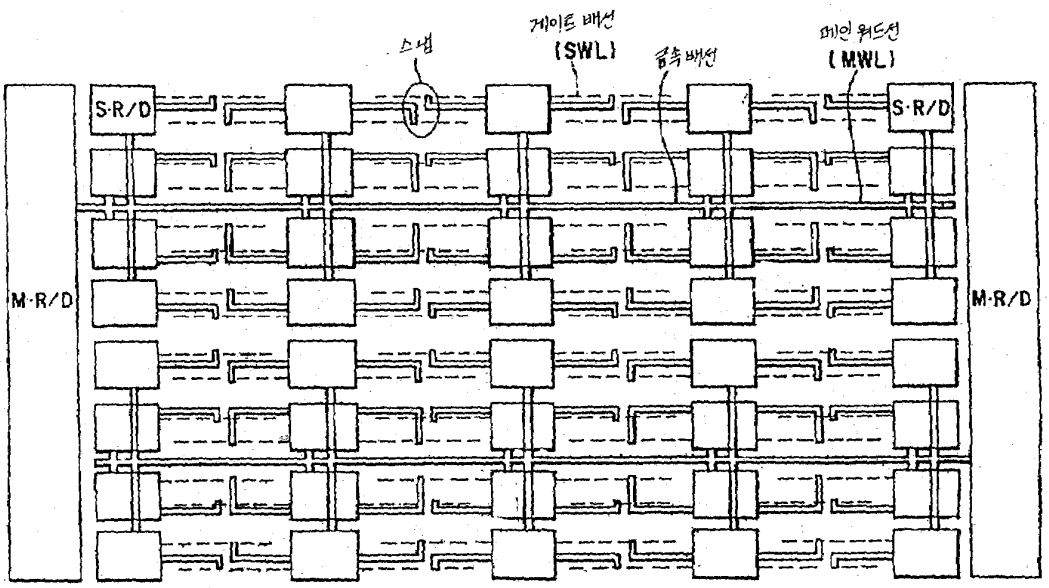
도면14



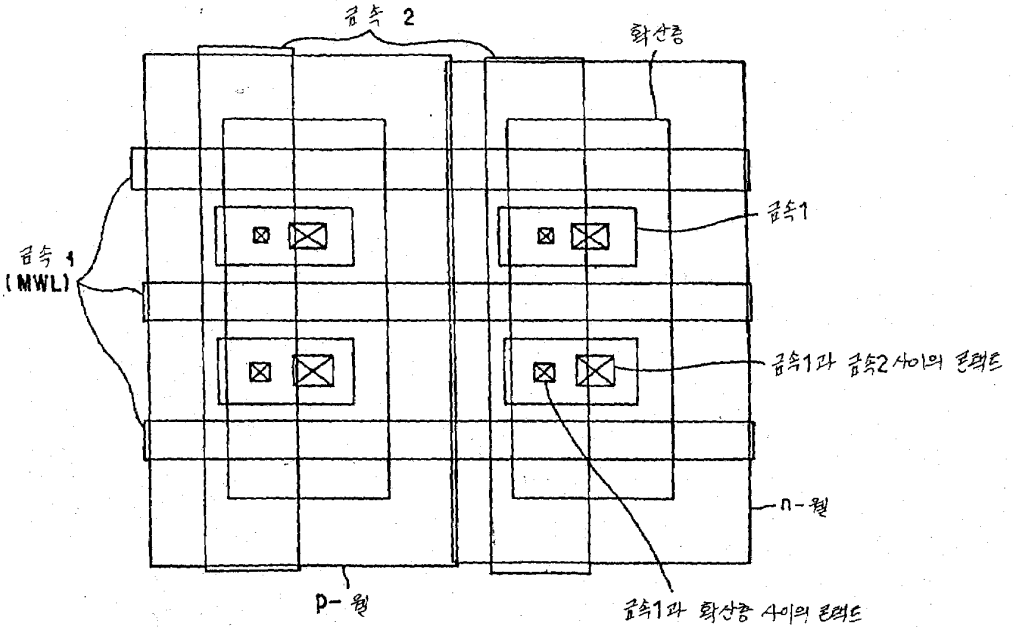
도면15



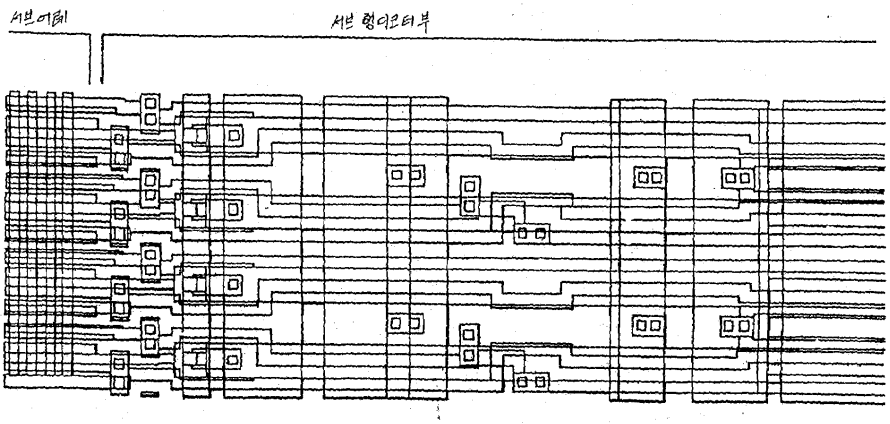
도면16


스냅
게이트 배선
(SWL)
금속배선
메인 워드선
(MWL)
S·R/D
S·R/D
M·R/D
M·R/D

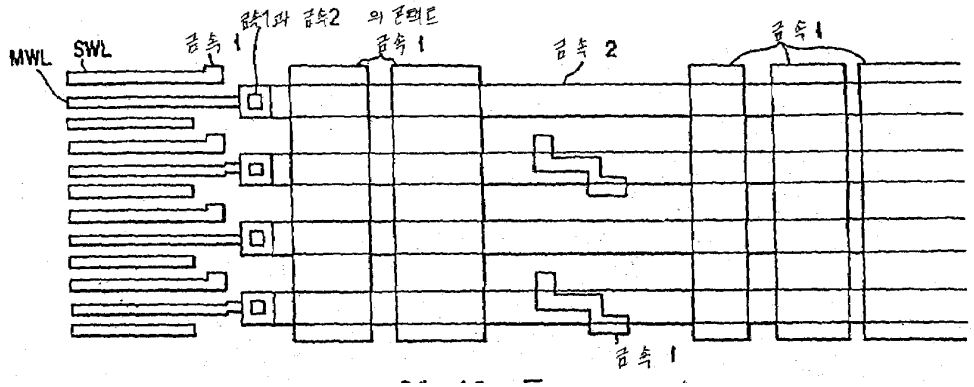
도면17


금속 2
확산층
금속1
금속 1
(MWL)
금속1과 금속2 사이의 콘택트
n-웰
p-웰
금속1과 확산층 사이의 콘택트

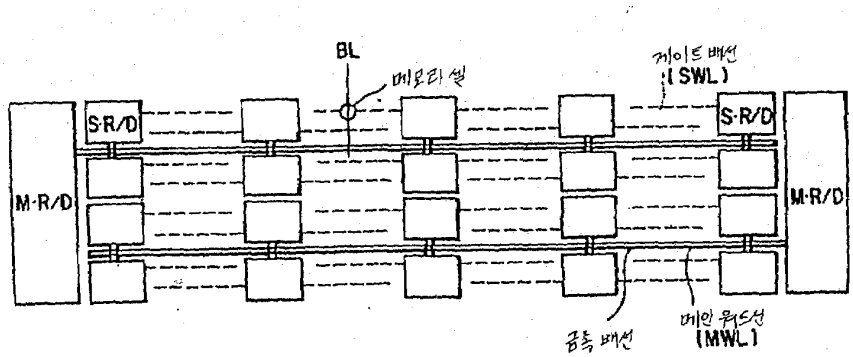
도면 18a



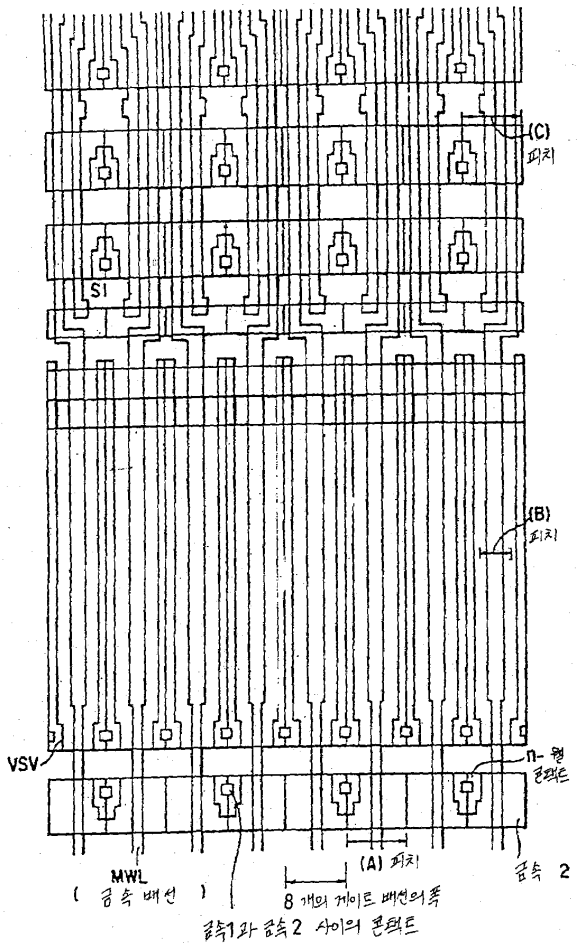
도면 18b



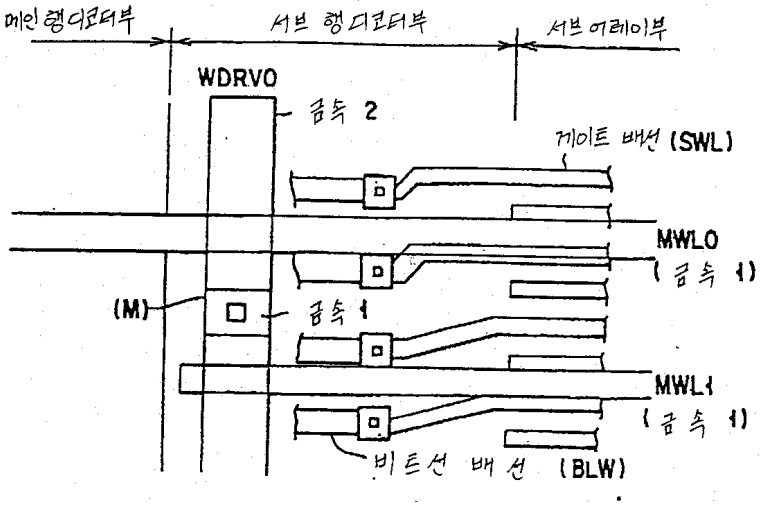
도면 19



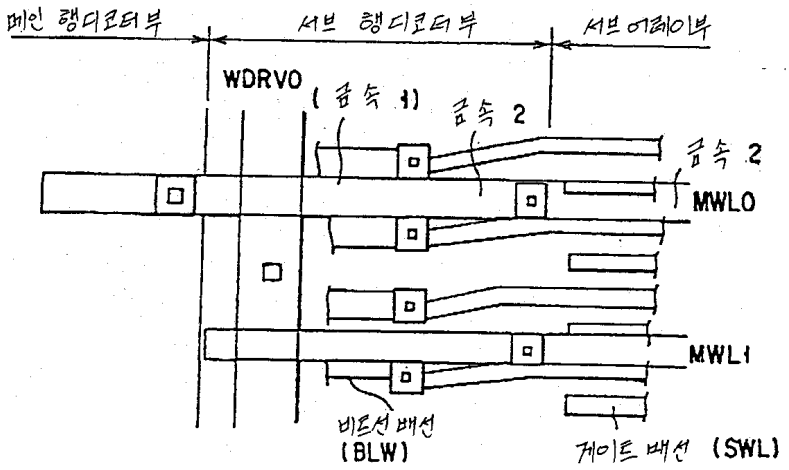
도면20


(C)
피치
SI
(B)
피치
VSV
n- 웰
콘택트
MWL
(금속 배선)
(A) 피치
8 개의 게이트 배선의 폭
금속 2
금속1과 금속2 사이의 콘택트

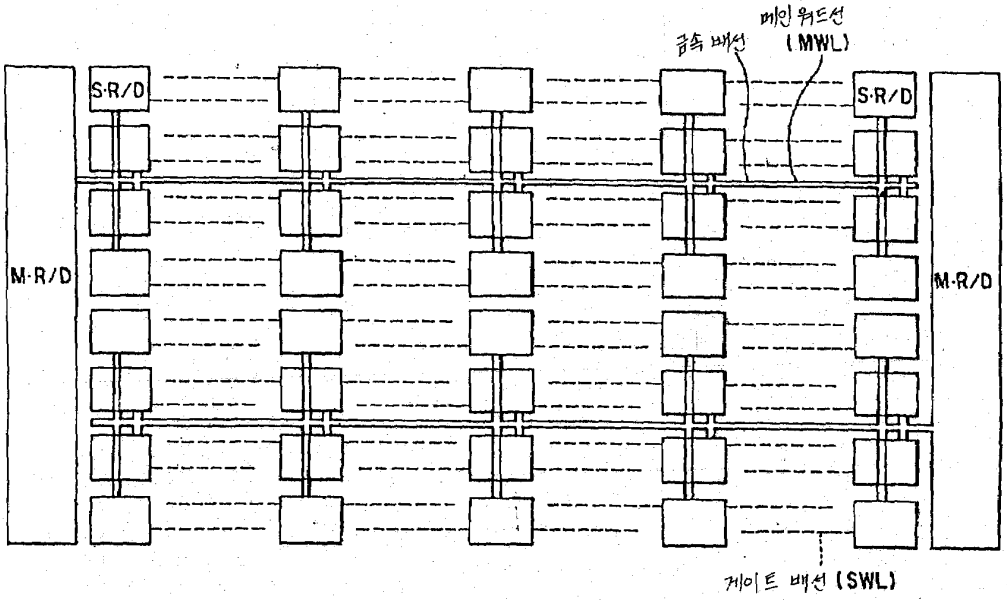
도면21a


메인 행디코더부
서브 행디코더부
서브 어레이부
WDRVO
금속 2
게이트 배선 (SWL)
MWLO
(금속 1)
(M)
금속 1
MWL1
(금속 1)
비트선 배선 (BLW)

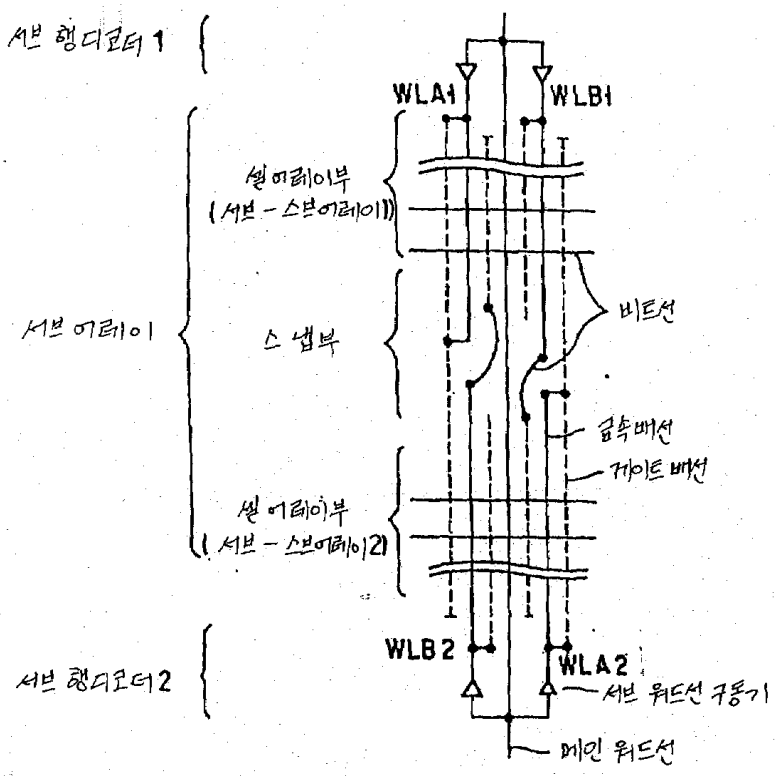
도면21b


메인 행디코더부
서브 행디코더부
서브어레이부
WDRVO
(금속 1)
금속 2
금속 2
MWL0
MWL1
비트선 배선
(BLW)
게이트 배선 (SWL)

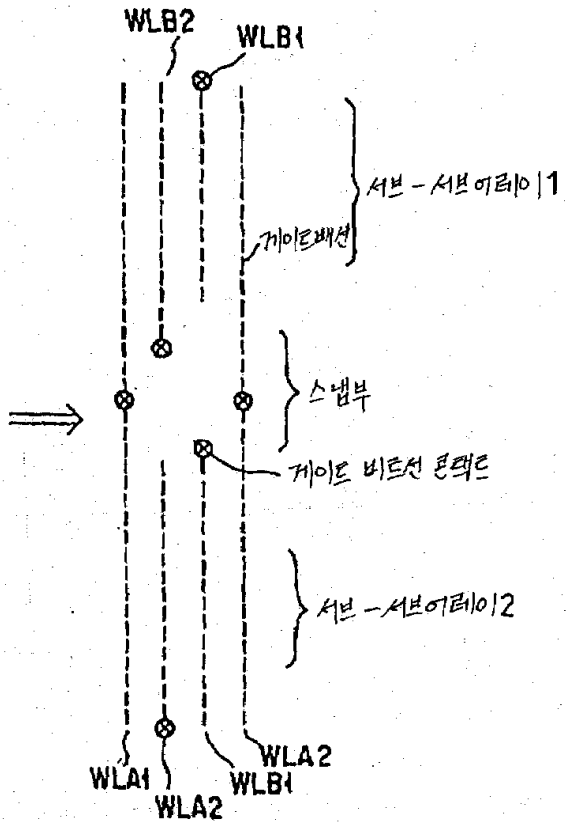
도면22


메인 워드선
(MWL)
금속 배선
S·R/D
S·R/D
M·R/D
M·R/D
게이트 배선 (SWL)

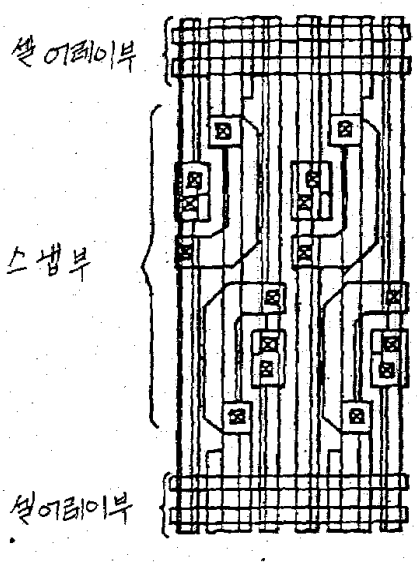
도면23a


서브 로우 디코더 1
WLA1
WLB1
셀 어레이부
(서브-스브어레이1)
서브 어레이
스 냅부
비트선
금속배선
게이트 배선
셀 어레이부
(서브-스브어레이2)
서브 로우 디코더 2
WLB2
WLA2
서브 워드선 구동기
메인 워드선

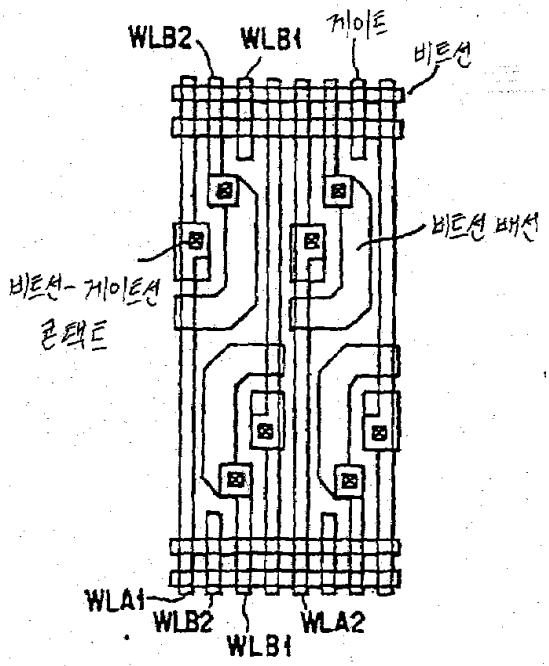
도면23b


WLB2
WLB1
서브-서브어레이1
게이트배선
스냅부
게이트 비트선 콘택트
서브-서브어레이2
WLA2
WLA1
WLB1
WLA2

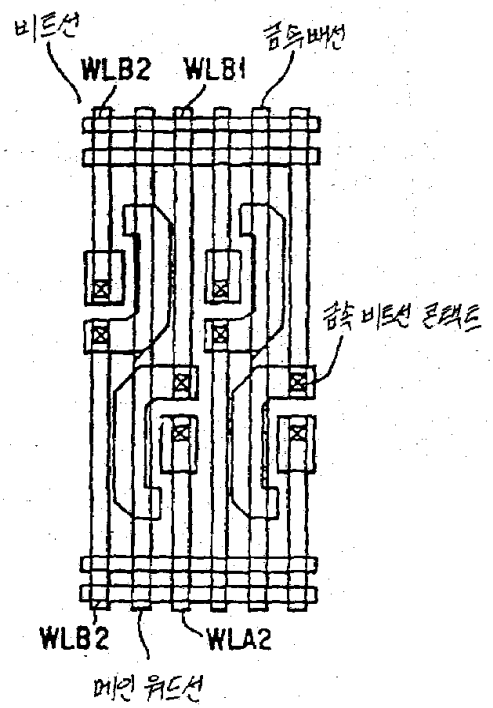
도면24a


셀 어레이부
스냅부
셀어레이부

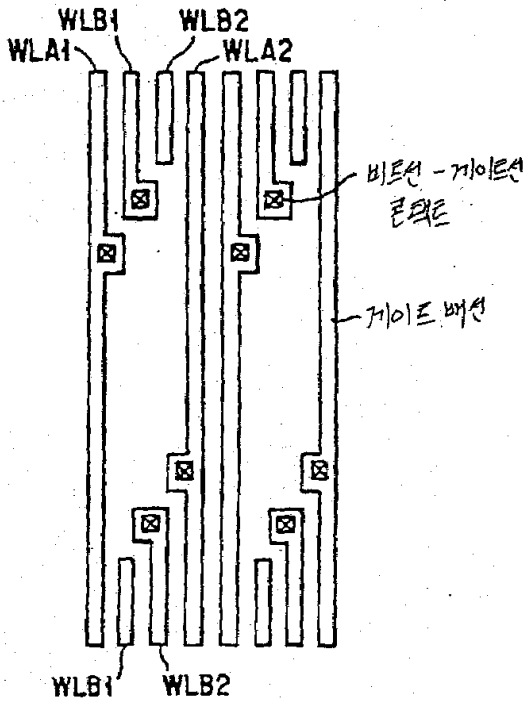
도면24b


WLB2
WLB1
게이트
비트선
비트선 배선
비트선-게이트선
콘택트
WLA1
WLB2
WLB1
WLA2

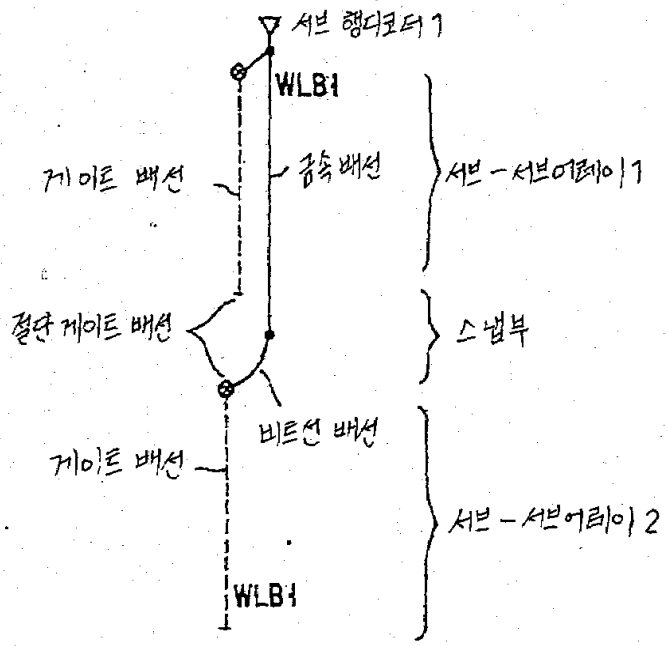
도면24c


비트선
WLB2
WLB1
금속배선
금속 비트선 콘택트
WLB2
WLA2
메인 워드선

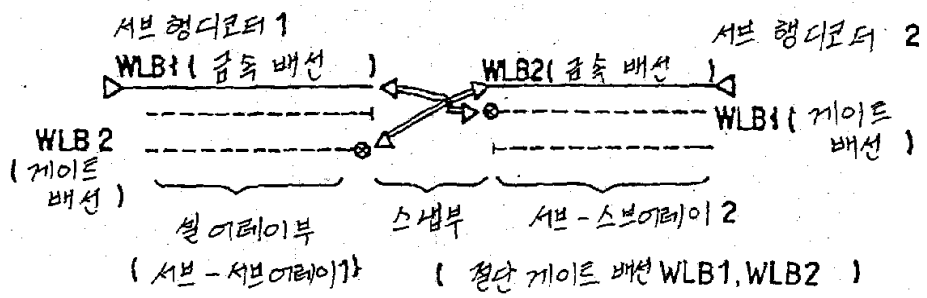
도면24d


WLB1
WLB2
WLA1
WLA2
비트선 - 게이트선
콘택트
게이트 배선
WLB1
WLB2

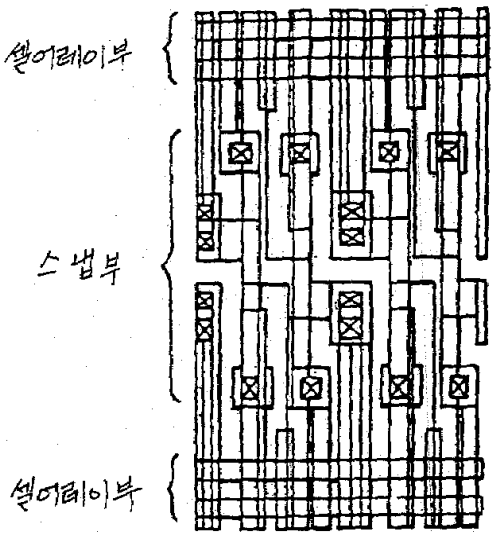
도면25



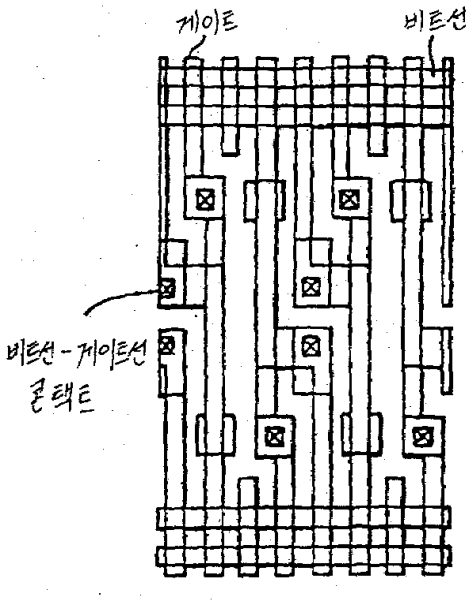
도면26



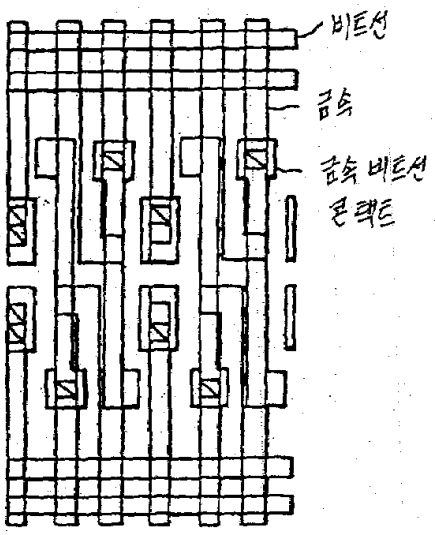
도면27a



도면27b



도면27c



도면27d

