(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월11일
(11) 등록번호 10-2554248
(24) 등록일자 2023년07월06일

(51) 국제특허분류(Int. Cl.)
H01L 29/06 (2006.01) *H01L 21/28* (2006.01)
H01L 21/768 (2006.01) *H01L 21/8234* (2006.01)
H01L 29/423 (2006.01) *H01L 29/772* (2006.01)
(52) CPC특허분류
H01L 29/0634 (2013.01)
H01L 21/28185 (2013.01)
(21) 출원번호 10-2019-0024417
(22) 출원일자 2019년02월28일
심사청구일자 2021년11월12일
(65) 공개번호 10-2020-0105351
(43) 공개일자 2020년09월07일
(56) 선행기술조사문헌
US20140231910 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 디비하이텍
경기도 부천시 수도로 90 (도당동)
(72) 발명자
김영석
경기도 성남시 분당구 내정로 152 파크타운롯데아파트 134동 203호
(74) 대리인
이동건

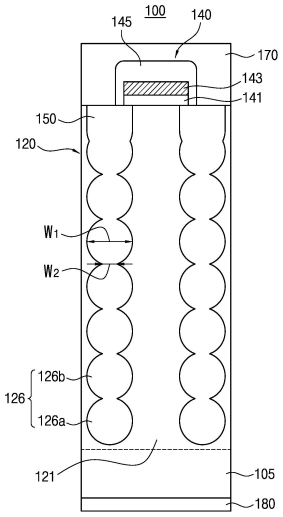
전체 청구항 수 : 총 16 항 심사관 : 김종호

(54) 발명의 명칭 **수퍼 정션 반도체 장치 및 이의 제조 방법**

(57) 요 약

수퍼 정션 반도체 장치는, 제1 도전형의 기판, 기판 상에 위치하며, 각각 수직 방향으로 연장하고 수평 방향으로 교대로 배열된 제1 도전형 필러들 및 제2 도전형 필러들을 구비하는 블록킹층 및 블록킹층 상에 제1 및 제2 도전형 필러들중 일부와 연결되며, 수평 방향으로 연장된 게이트 구조물을 포함하고, 제1 도전형 필러들 및 제2 도전형 필러들 중 하나의 필러들 각각은 상호 부분적으로 중첩되도록 수직 방향으로 적층되어 전체적으로 연결되며, 수평 방향으로 최대 폭(W1) 및 상단부 또는 하단부에 수평 방향으로 중첩 폭들(W2)을 갖도록 구비되어 복수의 필러 셀들을 포함한다. 이로써, 오실레이션(oscillation) 현상이 억제될 수 있다.

대 표 도 - 도2



(52) CPC특허분류
H01L 21/76816 (2013.01)
H01L 21/76885 (2013.01)
H01L 21/823437 (2013.01)
H01L 21/823462 (2013.01)
H01L 29/42356 (2013.01)
H01L 29/772 (2013.01)

명 세 서

청구범위

청구항 1

제1 도전형의 기판;

상기 기판 상에 위치하며, 각각 수직 방향으로 연장하고 수평 방향으로 교대로 배열된 제1 도전형 필러들 및 제2 도전형 필러들을 구비하는 블록킹층; 및

상기 블록킹층 상에 상기 제1 및 제2 도전형 필러들중 일부와 연결되며, 상기 수평 방향으로 연장된 게이트 구조물을 포함하고,

상기 제1 도전형 필러들 및 제2 도전형 필러들 중 하나의 필러들 각각은 상호 부분적으로 중첩되도록 상기 수직 방향으로 적층되어 전체적으로 연결되며, 상기 수평 방향으로 최대 폭(W1) 및 상단부 또는 하단부에 수평 방향으로 중첩 폭들(W2)을 갖도록 구비되어 복수의 필러 셀들을 포함하고,

상기 중첩 폭들은 하방으로 갈수록 작아지는 값을 갖는 것을 특징으로 수퍼 정션 반도체 장치.

청구항 2

제1항에 있어서, 상기 복수의 셀들 각각은 제1 지름(D1)을 갖는 구 형상을 갖는 것을 특징으로 하는 수퍼 정션 반도체 장치.

청구항 3

제2항에 있어서, 상기 중첩 폭들(W2) 각각은 상기 제1 지름(D1) 대비 0.2 내지 0.8 범위의 크기를 갖는 것을 특징으로 하는 수퍼 정션 반도체 장치.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 제2 도전형 필러들 각각은 인접하는 제1 도전형 필러들에 반대되는 굴곡으로 상호 접하는 것을 특징으로 하는 수퍼 정션 반도체 장치.

청구항 6

제1항에 있어서, 상기 제2 도전형 필러들은 상호 인접하는 제1 도전형 필러를 사이에 두고 상호 동일한 형상을 갖는 것을 특징으로 하는 수퍼 정션 반도체 장치.

청구항 7

제1항에 있어서, 상기 게이트 구조물들 각각은,

상기 수평 방향으로 연장된 게이트 절연막;

상기 게이트 절연막 상에 위치하는 게이트 전극; 및

상기 게이트 전극의 상에 층간 절연막을 포함하는 것을 특징으로 하는 수퍼 정션 반도체 장치.

청구항 8

제1항에 있어서, 상기 제2 도전형 필러들 상에 위치하는 P형 도전성의 바디층을 더 포함하는 것을 특징으로 하는 수퍼 정션 반도체 장치.

청구항 9

제1 도전형의 기판을 준비하는 단계;

상기 기판 상에 수직 방향으로 연장하며, 수평 방향으로 교대로 배열된 제1 도전형 필러들 및 제2 도전형 필러들을 구비하는 블록킹층을 형성하는 단계; 및

상기 기판 상에 상기 제1 및 제2 도전형 필필러들중 어느 하나와 연결되며, 상기 수평 방향으로 연장된 게이트 구조물을 형성하는 단계를 포함하고,

상기 제1 도전형 필러들 및 제2 도전형 필러들 중 하나의 필러들 각각은 상호 부분적으로 중첩되도록 적층되어 전체적으로 연결됨으로써, 상기 수평 방향으로 중첩 폭들(W)을 갖도록 구비되어 복수의 필러 셀들을 포함하고,

상기 블록킹층을 형성하는 단계는,

단계 a) 상기 기판 상에 제1 에피택셜층을 형성하는 단계;

단계 b) 상기 제1 에피택셜층의 일부를 제거하여 트렌치를 형성하는 단계;

단계 c) 상기 트렌치를 매립하며, 제2 도전형 불순물이 도핑된 제2 필라 셀들 및 상호 인접하는 상기 제2 필라 셀들 사이에 제1 필라 셀들을 형성하는 단계; 및

상기 단계 a) 내지 단계 c)를 반복적으로 수행하는 단계를 포함하는 것을 특징으로 하는 수퍼정션 반도체 장치의 제조 방법.

청구항 10

삭제

청구항 11

제9항에 있어서, 상기 트렌치는 구 형상을 갖도록 형성되는 것을 특징으로 하는 수퍼정션 반도체 장치의 제조 방법.

청구항 12

제9항에 있어서, 상기 트렌치는 오버행 구조를 갖는 것을 특징으로 하는 수퍼정션 반도체 장치의 제조 방법.

청구항 13

제12항에 있어서, 상기 제1 에피택셜층 및 제1 필라셀들 상에 형성되는 제2 에피택셜층은 상기 제1 에피택셜층보다 작은 두께를 갖도록 형성되는 것을 특징으로 하는 수퍼정션 반도체 장치의 제조 방법.

청구항 14

삭제

청구항 15

제1 도전형의 기판을 준비하는 단계;

상기 기판 상에 수직 방향으로 연장하며, 수평 방향으로 교대로 배열된 제1 도전형 필러들 및 제2 도전형 필러들을 구비하는 블록킹층을 형성하는 단계; 및

상기 기판 상에 상기 제1 및 제2 도전형 필필러들중 어느 하나와 연결되며, 상기 수평 방향으로 연장된 게이트 구조물을 형성하는 단계를 포함하고,

상기 제1 도전형 필러들 및 제2 도전형 필러들 중 하나의 필러들 각각은 상호 부분적으로 중첩되도록 적층되어 전체적으로 연결됨으로써, 상기 수평 방향으로 중첩 폭들(W)을 갖도록 구비되어 복수의 필러 셀들을 포함하고,

상기 블록킹층을 형성하는 단계는,

단계d) 상기 기판 상에 제1 에피택셜층을 형성하는 단계;

단계e) 상기 제1 에피택셜층의 내부에 제2 도전형 불순물을 주입하여 제2 도전형의 제1 필라 셀을 형성하는 단계;

단계f) 상기 제1 필라 셀을 포함하는 제1 에피택셜층 상에 제2 에피택셜층을 형성하는 단계; 및

단계g) 상기 제2 에피택셜층의 내부에 상기 제1 필라 셀에 대응되는 위치에상기 제2 도전형 불순물을 주입하여 제2 도전형의 제2 필라 셀을 형성하는 단계를 포함하고,

상기 제1 에피택셜층은 상기 제2 에피택셜층보다 큰 두께를 갖도록 형성되는 것을 특징으로 하는 수퍼정션 반도체 장치의 제조 방법.

청구항 16

제15항에 있어서, 상기 단계 d) 내지 단계 g)를 반복적으로 수행하는 단계를 더 포함하는 것을 특징으로 하는 수퍼정션 반도체 장치의 제조 방법.

청구항 17

제9항에 있어서, 상기 복수의 셀들 각각은 제1 지름(D1)을 갖는 구 형상을 가지며, 상기 중첩 폭을 갖는 필러 셀들 각각은 상부 중첩폭 및 하부 중첩 폭을 갖는 것을 특징으로 하는 수퍼 정션 반도체 장치의 제조 방법.

청구항 18

제17항에 있어서, 상기 중첩 폭들(W) 각각은 상기 제1 지름(D1) 대비 0.2 내지 0.8 범위의 크기를 갖는 것을 특징으로 하는 수퍼 정션 반도체 장치의 제조 방법.

청구항 19

제9항에 있어서, 상기 중첩 폭들은 하방으로 갈수록 작아지는 값을 갖는 것을 특징으로 하는 수퍼 정션 반도체 장치의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 수퍼 정션 반도체 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 수퍼 정션 금속 산화물 반도체 전계 효과 트랜지스터를 포함하는 수퍼 정션 반도체 장치 및 상기 수퍼 정션 반도체 장치의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 전력 반도체 소자의 순방향 특성과 항복 전압 사이의 상충관계(trade-off)를 개선하기 위해 수퍼 정션(super junction) 구조를 갖는 반도체 장치가 널리 이용되고 있다.

[0003] 종래 기술에 따르면, 상기 수퍼 정션 반도체 장치는 상호 이격되어 교대로 배열된 복수의 N형-필러 및 P형-필러 및 게이트 구조물을 포함한다. 이로써, 상기 수퍼 정션 반도체 장치는 상대적으로 감소된 온저항 값을 가짐에 따라, 상기 수퍼 정션 반도체 장치의 크기를 줄일 수 있다. 결과적으로 상기 수퍼 정션 반도체 장치는 감소된 커패시턴스를 가짐에 따라 개선된 스위칭 특성을 가질 수 있다.

[0004] 특히, 상기 N형 필러 및 P형 필러 사이의 경계를 이루는 측벽은 수직 방향으로 연장된 직선형으로 형성될 경우, 상기 게이트 구조물이 차지하는 면적이 감소함에 따라 게이트 전하량(Qg)이 감소한다.

[0005] 도 1은 종래의 수퍼 정션 반도체 장치에 대한 스위칭 특성을 나타내는 그래프이다.

[0006] 도 1을 참조하면, 상기 N형 필러 및 P형 필러 사이의 경계를 이루는 측벽은 수직 방향으로 연장된 직선형으로 형성된 종래의 수퍼 정션 반도체의 스위칭 특성에 있어서, 미러 커패시턴스(Crss) 또한 감소함으로써 스위칭시 오실레이션이 발생하는 문제가 있다. 특히, 드레인 전원(Vdd) 및 전류가 증가할 경우 스위칭 노이즈 문제가 심각해질 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예들은 미러 커패시턴스(Crss)를 증가시켜 오실레이션을 억제할 수 있는 수퍼 정션 반도체 장치를 제공한다.

[0008] 본 발명의 실시예들은 미러 커패시턴스(Crss)를 증가시켜 오실레이션을 억제할 수 있는 수퍼 정션 반도체 장치의 제조 방법을 제공한다.

과제의 해결 수단

[0009] 본 발명의 실시예들에 따른 수퍼 정션 반도체 장치는, 제1 도전형의 기판, 상기 기판 상에 위치하며, 각각 수직 방향으로 연장하고 수평 방향으로 교대로 배열된 제1 도전형 필러들 및 제2 도전형 필러들을 구비하는 블록킹층 및 상기 블록킹층 상에 상기 제1 및 제2 도전형 필러들중 일부와 연결되며, 상기 수평 방향으로 연장된 게이트 구조물을 포함하고,

[0010] 상기 제1 도전형 필러들 및 제2 도전형 필러들 중 하나의 필러들 각각은 상호 부분적으로 중첩되도록 상기 수직 방향으로 적층되어 전체적으로 연결되며, 상기 수평 방향으로 최대 폭(W1) 및 상단부 또는 하단부에 수평 방향으로 중첩 폭들(W2)을 갖도록 구비되어 복수의 필러 셀들을 포함한다.

[0011] 본 발명의 일 실시예에 있어서, 상기 복수의 셀들 각각은 제1 지름(D1)을 갖는 구 형상을 가질 수 있다. 여기서, 상기 중첩 폭들(W2) 각각은 상기 제1 지름(D1) 대비 0.2 내지 0.8 범위의 크기를 가질 수 있다. 또한, 상기 중첩 폭들은 하방으로 갈수록 작아지는 값을 가질 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 제2 도전형 필러들 각각은 인접하는 제1 도전형 필러들에 반대되는 굴곡으로 상호 접하도록 구비될 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 제2 도전형 필러들은 상호 인접하는 제1 도전형 필러를 사이에 두고 상호 동일한 형상을 가질 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 게이트 구조물들 각각은, 상기 수평 방향으로 연장된 게이트 절연막, 상기 게이트 절연막 상에 위치하는 게이트 전극 및 상기 게이트 전극의 상부에 구비된 층간 절연막을 포함할 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 제2 도전형 필러들 상에 위치하는 P타입 도전형의 바디층이 추가적으로 구비될 수 있다.

[0016] 본 발명의 실시예들에 따른 수퍼 정션 반도체 장치의 제조 방법에 있어서, 제1 도전형의 기판을 준비하고, 상기 기판 상에 수직 방향으로 연장하며, 수평 방향으로 교대로 배열된 제1 도전형 필러들 및 제2 도전형 필러들을 구비하는 블록킹층을 형성한다. 이후, 상기 기판 상에 상기 제1 및 제2 도전형 필필러들 중 어느 하나와 연결되며, 상기 수평 방향으로 연장된 게이트 구조물을 형성하고,

[0017] 상기 제1 도전형 필러들 및 제2 도전형 필러들 중 하나의 필러들 각각은 상호 부분적으로 중첩되도록 적층되어 전체적으로 연결됨으로써, 상기 수평 방향으로 중첩 폭들(W)을 갖도록 구비되어 복수의 필러 셀들을 포함한다.

[0018] 본 발명의 일 실시예에 있어서, 상기 블록킹층은,

[0019] 단계a) 상기 기판 상에 제1 에피택셜층을 형성하고, 단계b) 상기 제1 에피택셜층의 일부를 제거하여 트렌치를 형성하고, 단계c) 상기 트렌치를 매립하며, 제2 도전형 불순물이 도핑된 제2 필라 셀들 및 상호 인접하는 상기 제2 필라 셀들 사이에 제1 필라 셀들을 형성하고, 상기 단계 a) 내지 단계 c)를 반복적으로 수행함으로써, 형성될 수 있다.

[0020] 여기서, 상기 트렌치는 구 형상을 갖도록 형성될 수 있다. 또한, 상기 트렌치는 오버행 구조를 가질 수 있다. 한편, 상기 제1 에피택셜층 및 제1 필라 셀들 상에 형성되는 제2 에피택셜층은 상기 제1 에피택셜층보다 작은 두께를 갖도록 형성될 수 있다.

[0021] 본 발명의 일 실시예에 있어서, 상기 블록킹층은,

[0022] 단계d) 상기 기판 상에 제1 에피택셜층을 형성하고, 단계e) 상기 제1 에피택셜층의 내부에 제2 도전형 불순물을 주입하여 제2 도전형의 제1 필라 셀을 형성하고, 단계f) 상기 제1 필라 셀을 포함하는 제1 에피택셜층 상에 제2 에피택셜층을 형성하고, 단계g) 상기 제2 에피택셜층의 내부에 상기 제1 필라 셀에 대응되는 위치에 상기 제2 도전형 불순물을 주입하여 제2 도전형의 제2 필라 셀을 형성함으로써, 형성될 수 있다.

[0023] 여기서, 상기 제1 에피택셜층은 상기 제2 에피택셜층보다 큰 두께를 갖도록 형성될 수 있다. 또한, 상기 단계 d) 내지 단계 g)는 반복적으로 수행될 수 있다.

[0024] 본 발명의 일 실시예에 있어서, 상기 복수의 셀들 각각은 제1 지름(D1)을 갖는 구 형상을 가지며, 상기 중첩 폭을 갖는 필러 셀들 각각은 상부 중첩폭 및 하부 중첩 폭을 가질 수 있다.

[0025] 여기서, 상기 중첩 폭들(W) 각각은 상기 제1 지름(D1) 대비 0.2 내지 0.8 범위의 크기를 가질 수 있다. 한편, 상기 중첩 폭들은 하방으로 갈수록 작아지는 값을 가질 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 수퍼 정션 반도체 소자는, 상대적으로 증가된 제1 도전형 필러들를 가짐에에 따라 게이트-드레인 간의 전하량(Qgd)값을 증가시킬 수 있다. 이로써, 게이트-드레인 간의 커패시턴스(Cgd) 값이 증가함에 따라 미러 커패시턴스값이 또한 증가할 수 있다. 결과적으로 수퍼 정션 반도체 장치는 오실레이션(oscillation) 현상을 억제함으로써 스위칭 특성을 개선할 수 있다.

도면의 간단한 설명

[0027] 도 1은 종래의 수퍼 정션 반도체 장치에 대한 스위칭 특성을 나타내는 그래프이다.

도 2은 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치를 설명하기 위한 단면도이다.

도 3은 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치를 설명하기 위한 단면도이다.

도 4는 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치에 대한 전압에 따른 게이트-드레인 간의 커패시턴스 값을 나타내는 그래프이다.

도 5는 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치에 대한 스위칭 특성을 나타내는 그래프이다.

도 6 내지 도 10은 본 발명에 따른 수퍼 정션 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 11 내지 도 13은 본 발명에 따른 수퍼 정션 반도체 장치의 제조 방법 중 블록층을 형성하는 공정의 다른 예를 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 수퍼 정션 MOSFET에 대해 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

[0029] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0030] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0032] 도 2은 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치을 설명하기 위한 단면도이다.

[0033] 도 2를 참조하면, 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치(100)는 기판(105), 필러들을 구비하는 블록킹층(120), 게이트 구조물(140), 소스 전극(170) 및 드레인 전극(180)을 포함한다.

[0034] 상기 기판(105)은 실리콘 기판을 포함한다. 상기 기판(105)은 제1 도전형, 예를 들면 고농도 n+형 도전형을 갖는다.

[0035] 상기 블록킹층(120)은 상기 기판(105) 상에 위치한다. 상기 블로킹층(120)은 수직 방향으로 연장된 제1 도전형 필러들(121) 및 제2 도전형 필러들(126)을 포함한다. 상기 제1 및 제2 도전형 필러들(121, 126)은 수평 방향을 따라 교대로 배열된다.

[0036] 상기 제1 도전형 필러들(121) 각각은 제1 도전형, 예를 들면 저농도 n형을 갖는다. 상기 제1 도전형 필러들(121)은 에피택셜(epitaxial) 성장 공정에 의해 상기 기판(105)으로부터 형성될 수 있다.

[0037] 상기 제2 도전형 필러들(126)은 에피택셜층(120)의 내부에 상하 방향으로 연장하도록 다수개가 구비될 수 있다. 한편, 상기 제2 도전형 필러들(126)은 제2 도전형, 예를 들면 p형 도전성을 갖는다. 상기 제2 도전형 필러들(126)은 수평 방향으로 서로 일정 간격만큼 이격된다.

[0038] 상기 제2 도전형 필러들(126) 각각은 상호 부분적으로 중첩되도록 상기 수직 방향으로 적층되어 전체적으로 연결된 필러 셀들(126a, 126b)을 포함한다. 또한, 상기 필러 셀들(126a, 126b) 각각은 상단부 또는 하단부의 위치에서 그 상부 및 하부에 각각 구비된 인접하는 필러 셀들에 부분적으로 중첩된다.

[0039] 상기 필러 셀들(126a, 126b) 각각은 상기 수평 방향으로 최대 폭(W1) 및 수평 방향으로 중첩 폭들(W2)을 갖도록 구비된다.

[0040] 상기 필러 셀들(126a, 126b) 각각은 예를 들면 구 형상을 가질 수 있다. 이때, 상기 필러 셀들(126a, 126b) 각각은 지름을 가질 수 있다. 따라서, 상호 적층된 필러 셀들(126a, 126b) 각각은 그 상부 및 하부에 각각 일정한 크기의 중첩폭(W2)를 가질 수 있다.

[0041] 상기 게이트 구조물(140)들은 블록킹층(120) 상에 위치한다. 상기 게이트 구조물(140)은 수평 방향으로 연장하는 스트라이프 형태를 가질 수 있다. 상기 게이트 구조물(140)이 복수로 구비될 경우, 상호 이격되도록 배열된다. 구체적으로, 게이트 구조(140)들은 육각형 형태를 이루는 제1 도전형 필러(121)들 사이의 상방을 지나도록 위치한다.

[0042] 상기 게이트 구조물(140)이 스트라이프 형태를 가지므로, 게이트 구조물(140)의 면적이 상대적으로 좁아 수퍼 정션 반도체 장치(100)의 입력 커패시턴스가 감소한다.

[0043] 상기 게이트 구조물(140)은 게이트 절연막(141), 게이트 전극(143) 및 층간 절연막(145)을 포함한다.

[0044] 상기 게이트 절연막(141)은 제1 도전형 필러(121)들 사이의 상방을 지나도록 블록킹층(120) 상에 구비된다. 상기 게이트 절연막(141)의 예로는 실리콘 산화막을 들 수 있다.

[0045] 상기 게이트 전극(143)은 게이트 절연막(141) 상에 위치한다. 게이트 전극(143)의 폭은 게이트 절연막(141)의 폭보다 좁을 수 있다. 게이트 전극(143)의 예로는 폴리 실리콘을 들 수 있다.

[0046] 층간 절연막(145)은 게이트 전극(143) 및 게이트 절연막(141)을 둘러싸도록 구비된다. 층간 절연막(145)은 게이트 전극(143) 및 소스 전극(170)을 상호 전기적으로 절연시킨다. 층간 절연막(145)의 예로는 질화막을 들 수 있다.

[0047] 한편, 도시되지는 않았지만 게이트 구조물(140)은 트렌치 구조를 가질 수도 있다. 이때, 게이트 구조물(140)은 블록킹층(120)의 내부로 연장되어 형성된다. 이때, 상기 트렌치 구조를 갖는 경우 제2 도전형 필러(130)들 사이의 간격을 줄일 수 있으므로, 수퍼 정션 반도체 장치(100)의 집적도 향상에 따른 순방향 특성 개선할 수 있다.

[0048] 소스 전극(170)은 블로킹층(120) 상에 게이트 구조물(140)들을 덮도록 구비된다. 한편, 드레인 전극(180)은 기판(110)의 하부면에 형성된다.

[0049] 본 발명의 일 실시예에 있어서, 상기 중첩 폭들(W2) 각각은 최대 폭(W1) 대비 0.2 내지 0.8 범위의 크기를 가질 수 있다. 이 경우, 종래와 같이 제1 및 제2 도전형 필러들 간이 계면이 직선 형태를 갖는 수퍼 정션 반도체 장치와 비교할 때 본 발명의 실시예들에 따른 수퍼 정션 반도체 장치(100)는 상기 제1 도전형 필러들(121)의 부피

가 상대적으로 증가함에 따라 게이트-드레인 간의 전하량(Qgd)값을 증가시킬 수 있다. 이로써, 게이트-드레인 간의 커패시턴스(Cgd) 값이 증가함에 따라 미러 커패시턴스값이 또한 증가할 수 있다. 결과적으로 수퍼 정션 반도체 장치(100)는 오실레이션(oscillation) 현상을 억제함으로써 스위칭 특성을 개선할 수 있다.

[0050] 본 발명의 일 실시예에 있어서, 상기 제2 도전형 필러(126)들은, 평면 상태로 볼때 사각형 오각형, 육각형과 같은 다각형 형태를 이루도록 배열될 수 있다. 상기 제2 도전형 필러 (126)들이 육각형 형태를 이루도록 배열될 때, 제2 도전형 필러(126)들의 수평 면적이 감소되고, 제1 도전형 필러(121)들이 수평 면적이 증대다. 따라서, 제1 도전형 필러(121들의 면적을 증가시켜 수퍼 정션 반도체 장치(100)의 온 저항을 감소시킬 수 있다.

[0051] 본 발명의 일 실시예에 있어서, 상기 제2 도전형 필러들(126) 각각은 인접하는 제1 도전형 필러들(121)에 반대되는 굴곡으로 상호 접하도록 구비된다.

[0052] 본 발명의 일 실시예에 있어서, 상기 제2 도전형 필러들(126)은 상호 인접하는 제1 도전형 필러들(121)를 사이에 두고 상호 동일한 형상을 가질 수 있다.

[0053] 도 3은 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치을 설명하기 위한 단면도이다.

[0054] 도 3을 참조하면, 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치(200)은 기판(205), 필러들을 구비하는 블록킹층(220), 게이트 구조물(240), 소스 전극(270) 및 드레인 전극(280)을 포함한다.

[0055] 상기 기판(205), 게이트 구조물(240), 소스 전극(270) 및 게드레인 전극(280)은 도 1을 참고로 전술한 수퍼 정션 반도체 소자의 구성요소들과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다.

[0056] 상기 블록킹층(220)은 상기 기판(205) 상에 위치한다. 상기 블로킹층(220)은 수직 방향으로 연장된 제1 도전형 필러들(221) 및 제2 도전형 필러들(226)을 포함한다. 상기 제1 및 제2 도전형 필러들(221, 226)은 수평 방향으로 교대로 배열된다.

[0057] 상기 제1 도전형 필러들(221) 각각은 제1 도전형, 예를 들면 저농도 n형을 갖는다. 상기 제1 도전형 필러들(221)은 에피택셜(epitaxial) 성장 공정에 의해 상기 기판(205)으로부터 형성될 수 있다.

[0058] 상기 제2 도전형 필러들(226)은 상하 방향으로 연장하도록 다수개가 구비될 수 있다. 한편, 상기 제2 도전형 필러들(226)은 제2 도전형, 예를 들면 p형을 갖는다. 상기 제2 도전형 필러들(226)은 수평 방향으로 서로 일정 간격만큼 이격된다.

[0059] 상기 제2 도전형 필러들(226) 각각은 상호 부분적으로 중첩되도록 상기 수직 방향으로 적층되어 전체적으로 연결된 필러 셀들(226a, 226b … 226n)을 포함한다.

[0060] 상기 필러 셀들(226a, 226b, 226n) 각각은 상기 수평 방향으로 최대 폭(W1) 및 상단부 또는 하단부에 수평 방향으로 중첩 폭들(W2)을 갖도록 구비된다.

[0061] 상기 필러셀들(226a, 226b, 226n) 각각은 예를 들면 구 형상을 가질 수 있다. 이때, 상기 필러셀들(226a, 226b, 226n) 각각은 지름을 가질 수 있다. 따라서, 상호 적층된 필러 셀들(226a, 226b, 226n) 각각은 그 상부 및 하부에 각각 중첩폭(W_{2-1}, W_{2-2}, … W_{2-n})를 가질 수 있다.

[0062] 이때, 상기 중첩 폭들(W_{2-1}, W_{2-2}, W_{2-n})은 하방으로 갈수록 작아지는 값을 가질 수 있다. 이로써, 상기 제1 도전형 필러들(221)의 상대적인 영역이 증가할 수 있다. 이 경우, 종래와 같이 제1 및 제2 도전형 필러들 간이 계면이 직선 형태를 갖는 수퍼 정션 반도체 장치와 비교할 때 본 발명의 실시예들에 따른 수퍼 정션 반도체 장치(200)는 상기 제1 도전형 필러들(221)의 상대적인 영역이 증가함에 따라 게이트-드레인 간의 전하량(Qgd)을 증가시킬 수 있다. 이로써, 게이트-드레인 간의 커패시턴스(Cgd) 값이 증가함에 따라 미러 커패시턴스값이 또한 증가할 수 있다. 결과적으로 수퍼 정션 반도체 장치(200)는 오실레이션 현상을 억제함으로써 스위칭 특성을 개선할 수 있다.

[0063] 도 4는 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치에 대한 전압에 따른 게이트-드레인 간의 커패시턴스 값을 나타내는 그래프이다. 도 5는 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치에 대한 스위칭 특성을 나타내는 그래프이다.

[0064] 도 4 및 도 5를 참조하면, 본 발명의 일 실시예에 따른 수퍼 정션 반도체 장치에 대한 전압에 따른 게이트-드레인 간의 커패시턴스 값(실선으로 도시)은 종래와 같이 제1 및 제2 도전형 필러들 간의 계면이 직선 형태를 갖는 수퍼 정션 반도체 장치에 대한 게이트-드레인 커패시턴스 값(점선으로 도시)과 비교할 때 60V 이하의 구간에서

약 2 내지 10 배 정도 큰 것을 확인할 수 있다.

[0065] 나아가, 본 발명의 실시예들에 따른 수퍼 정션 반도체의 스위칭 특성에 있어서, 게이트 ??드레인 커패시턴스 값의 감소로 인하여 미러 커패시턴스(Crss) 또한 감소함으로써 스위칭시 오실레이션 현상이 억제됨을 확인할 수 있다.

[0066] 도 6 내지 도 10은 본 발명에 따른 수퍼 정션 MOSTFET의 제조 방법을 설명하기 위한 단면도들이다.

[0067] 도 5를 참조하면, 제1 도전형, 예를 들면 고농도 n+형의 기판(205) 상에 제1 도전형, 예를 들면 저농도 n형 도전형의 제1 에피택셜층(211a)을 형성한다. 제1 에피택셜층(211a)은 에피택셜(epitaxial) 성장 공정에 의해 형성될 수 있다. 상기 제1 에피택셜층(211a)는 제1 두께(T1)를 가질 수 있다.

[0068] 이어서, 제1 에피택셜층(211a)의 상면에 제1 마스크 패턴(미도시)을 형성하고, 상기 제1 마스크 패턴을 식각 마스크로 사용하는 식각 공정을 수행한다. 이로서, 상기 제1 에피택셜층(211a) 내부에 제1 트렌치(215)들을 형성한다. 상기 제1 마스크 패턴은 포토레지스트일 수 있다. 상기 식각 공정은 에천트를 이용하는 등방성 식각 공정에 해당할 수 있다.

[0069] 이때, 제1 트렌치(215)들은 수평 방향으로 서로 일정 간격만큼 이격되어 배열된다. 예를 들면, 제1 트렌치(215)들은 구 형상을 가질 수 있다.

[0070] 제1 트렌치(215)들의 형성이 완료되면 상기 제1 마스크 패턴은 제거된다.

[0071] 본 발명의 일 실시예에 있어서, 상기 제1 트렌치(215)는 구 형상을 갖도록 형성될 수 있다. 이와 다르게, 상기 제1 트렌치(115)는 오버행 구조를 가질 수 있다.

[0072] 도 7을 참조하면, 상기 제1 마스크 패턴을 제거한 후, 제1 트렌치(215)들의 내부에 에피택셜 공정 및 평탄화 공정을 수행한다. 이로써, 상기 제1 트렌치(215)들을 채우는 제2 도전성을 갖는 제1 필러 셀(226a)들을 형성한다.

[0073] 상기 제1 필러 셀(226a)들은 제2 도전형, 예를 들면 p형 불순물과 함께 성장하여 제1 트렌치(215)들을 채운다. 상기 제1 필러 셀(226a)들은 제1 에피택셜층(211a)의 내부에 상하 방향으로 연장하는 형태를 가진다. 또한, 상기 제1 필러 셀(226a)들은 상기 제1 트렌치들(215)에 대응되는 형상을 가질 수 있다. 또한, 제1 필러 셀(226a)들은 수평 방향으로 서로 일정 간격만큼 이격된다.

[0074] 도 8을 참조하면, 상기 제1 에피택셜층(211a) 상에 제1 도전형, 예를 들면 저농도 n형 도전형의 제2 에피택셜층(211b)을 형성한다. 제2 에피택셜층(211b)은 에피택셜(epitaxial) 성장 공정에 의해 형성될 수 있다. 상기 제2 에피택셜층(211b)는 제2 두께(T2)를 가질 수 있다. 상기 제2 두께(T2)는 상기 제1 두께(T1)보다 작을 수 있다.

[0075] 이어서, 제2 에피택셜층(211b)의 상면에 제2 마스크 패턴(미도시)을 형성하고, 상기 제2 마스크 패턴을 식각 마스크로 사용하는 식각 공정을 수행한다. 이로서, 상기 제2 에피택셜층(211b) 내부에 제2 트렌치(미도시)들을 형성한다. 상기 제2 트렌치는 상기 제2 필러 셀(226a)를 부분적으로 노출시킬 수 있다. 상기 식각 공정은 에천트를 이용하는 등방성 식각 공정에 해당할 수 있다.

[0076] 이어서, 상기 제2 마스크 패턴을 제거한 후, 제2 트렌치들의 내부에 에피택셜 공정 및 평탄화 공정을 수행한다. 이로써, 상기 제2 트렌치들을 채우는 제2 도전성을 갖는 제2 필러 셀(226b)들을 형성한다.

[0077] 상기 제2 필러 셀(226b)들은 제2 도전형, 예를 들면 p형 불순물과 함께 성장하여 제2 트렌치들을 채운다. 상기 제2 필러 셀(126b)들은 제2 에피택셜층(211b)의 내부에 상하 방향으로 연장하는 형태를 가진다. 또한, 상기 제2 필러 셀(226b)들은 상기 제2 트렌치들에 대응되는 형상을 가질 수 있다. 또한, 제2 필러 셀(226b)들은 수평 방향으로 서로 일정 간격만큼 이격된다.

[0078] 한편, 상기 제1 및 제2 필러 셀들(226a, 226b)은 상호 부분적으로 중첩되어 수직 방향으로 따라 적층된다. 따라서, 상기 제1 및 제2 필러셀들(226a, 226b)은 전체적으로 연결될 수 있다. 이로써, 상기 제1 및 제2 필러 셀들(226a, 226b)은 상기 수평 방향으로 중첩 폭들(W)을 갖도록 구비된다.

[0079] 도 9을 참조하면,, 상기 에피택셜층, 트렌치 및 필러 셀들을 형성하는 공정이 복수회 수행됨에 따라 상기 복수의 필러 셀들이 수직 방향으로 적층된 제2 도전형 필라들(226)이 형성된다. 한편, 상호 인접하는 제2 도전형 필라들(226) 사이에는 제1 도전형 필러들(221)이 형성된다. 이로써, 제1 도전형 필라들(221) 및 제2 도전형 필라들(226)이 포함된 블록킹층(220)이 형성된다.

[0080] 블록킹(220)들이 형성된 최상위 에피택셜층(211f) 상에 예비 게이트 절연막(230)을 형성하고, 상기 예비 게이트

절연막(230) 상에 게이트 전극을 위한 폴리 실리콘막(미도시)을 형성한다. 상기 예비 게이트 절연막의 예로는 산화막을 들 수 있다.

[0081] 이후, 포토리소그래피 공정을 통해 상기 폴리 실리콘 막을 패터닝하여 게이트 전극(243)을 형성한다. 이때, 게이트 전극(243)들은 일 방향으로 연장하는 스트라이프 형태를 갖는다.

[0082] 일 예로, 게이트 전극(243)들은 제2 도전형 필러(126)들 사이의 상방을 지나도록 위치할 수 있다.

[0083] 도 10을 참조하면, 게이트 전극(243)을 마스크로 하여 제2 도전형 필러(126)들의 상부 영역에 제2 도전형, 예를 들면 p형의 불순물을 주입하여 P-바디 영역(250)들을 형성한다.

[0084] 게이트 전극(243)들 사이에 제2 도전형 필러(230)들이 위치하므로 상기 제2 도전형 필러(230)들의 상부 영역에 P-바디 영역(250)들을 각각 형성할 수 있다.

[0085] 도 10을 참조하면, 게이트 전극(243) 및 노출된 예비 게이트 절연막(230)을 덮는 예비 층간 절연막(미도시)을 형성한다. 상기 예비 층간 절연막의 예로는 질화막을 들 수 있다.

[0086] 이후, 포토리소그라피 공정을 통해 상기 예비 층간 절연막 및 예비 게이트 절연막(240)을 부분적으로 식각하여 층간 절연막(245) 및 게이트 절연막(241)을 형성한다. 따라서, 게이트 절연막(241), 게이트 전극(243) 및 층간 절연막(245)으로 이루어지는 게이트 구조물(240)을 형성할 수 있다.

[0087] 게이트 구조물(240)들을 덮도록 금속층을 형성함으로써, 소스 전극(270)을 형성한다. 또한, 기판(205)의 하부면에 금속층을 형성하여 드레인 전극(280)을 형성한다.

[0088] 도 11 내지 도 13은 본 발명에 따른 수퍼 정션 반도체 장치의 제조 방법 중 블록층을 형성하는 공정의 다른 예를 설명하기 위한 단면도들이다.

[0089] 도 11을 참조하면, 제1 도전형, 예를 들면 고농도 n+형의 기판(105) 상에 제1 도전형, 예를 들면 저농도 n형 도전형의 제1 에피택셜층(111a)을 형성한다. 제1 에피택셜층(111a)은 에피택셜(epitaxial) 성장 공정에 의해 형성될 수 있다.

[0090] 이어서, 제1 에피택셜층(111a)의 상면에 제1 마스크 패턴(미도시)을 형성하고, 상기 제1 마스크 패턴을 이온주입 마스크로 사용하는 이온 주입 공정을 수행한다. 이로서, 상기 제1 에피택셜층(111a) 내부에 제1 예비 필라 셀들(116a)을 형성한다.

[0091] 이때, 제1 예비 필라 셀(116a)들은 수평 방향으로 서로 일정 간격만큼 이격된다.

[0092] 도 12을 참조하면, 상기 제1 마스크 패턴을 제거한 후, 상기 제1 예비 필라 셀들(116a)에 대하여 열처리 공정을 수행한다. 이때, 제1 예비 필라 셀들(116a)을 이루는 불순물 원자들이 확산함으로써 상기 제1 에피택셜층(111a) 내부에 제1 필라 셀들(126a)를 형성한다. 이때, 상기 열처리 공정의 온도 및 시간은 제1 필라셀들(126a)의 크기 및 형태에 따라 조절될 수 있다.

[0093] 이어서, 제1 에피택셜층(111a) 상에 제1 도전형, 예를 들면 저농도 n형 도전형의 제2 에피택셜층(111b)을 형성한다. 제2 에피택셜층(111b)은 에피택셜(epitaxial) 성장 공정에 의해 형성될 수 있다.

[0094] 이어서, 제2 에피택셜층(111b)의 상면에 제2 마스크 패턴(미도시)을 형성하고, 상기 제2 마스크 패턴을 이온주입 마스크로 사용하는 이온 주입 공정을 수행한다. 이로서, 상기 제2 에피택셜층(111b) 내부에 제2 예비 필라 셀들(미도시)을 형성한다.

[0095] 이때, 제2 예비 필라 셀들은 수평 방향으로 서로 일정 간격만큼 이격된다.

[0096] 상기 제2 마스크 패턴을 제거한 후, 상기 제2 예비 필라 셀들에 대하여 열처리 공정을 수행한다. 이때, 제2 예비 필라 셀들을 이루는 불순물 원자들이 확산함으로써 상기 제2 에피택셜층(111b) 내부에 제2 필라 셀들(126b)를 형성한다.

[0097] 상기 에피택셜층 및 필러 셀들을 형성하는 공정은 복수 회 수행됨에 따라 상기 복수의 필러 셀들이 수직 방향으로 적층된 제2 도전형 필라들이 형성된다. 한편, 상호 인접하는 제2 도전형 필라들 사이에는 제1 도전형 필러들이 형성된다. 이로써, 제1 도전형 필라들 및 제2 도전형 필라들이 포함된 블록킹층이 형성된다.

산업상 이용가능성

[0098] 상술한 바와 같이, 본 발명에 따른 수퍼 정션 반도체 장치 및 그 제조 방법에 따르면, 제1 도전형 필러들의 부피가 상대적으로 증가함에 따라 게이트-드레인 간의 전하량(Qgd)값을 증가시킬 수 있다. 이로써, 게이트-드레인 간의 커패시턴스(Cgd) 값이 증가함에 따라 미러 커패시턴스값이 또한 증가할 수 있다. 결과적으로 수퍼 정션 반도체 장치(100)는 오실레이션(oscillation) 현상을 억제함으로써 스위칭 특성을 개선할 수 있다.

[0099] 상기 수퍼 정션 반도체 장치의 온 저항을 낮추면서 상기 입력 커패시턴스 값도 감소시킬 수 있으므로, 상기 수퍼 정션 반도체 장치의 성능을 향상시킬 수 있다.

[0100] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0101] 100 : 수퍼 정션 반도체 장치 105 : 기판

121 : 제1 필러들 16 : 제2 필러들

140 : 게이트 구조물 141 : 게이트 절연막

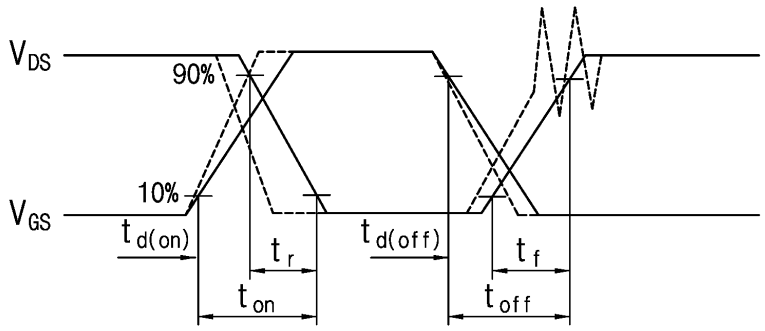
143 : 게이트 전극 145 : 층간 절연막

150 : P-바디 영역 170 : 소스 전극

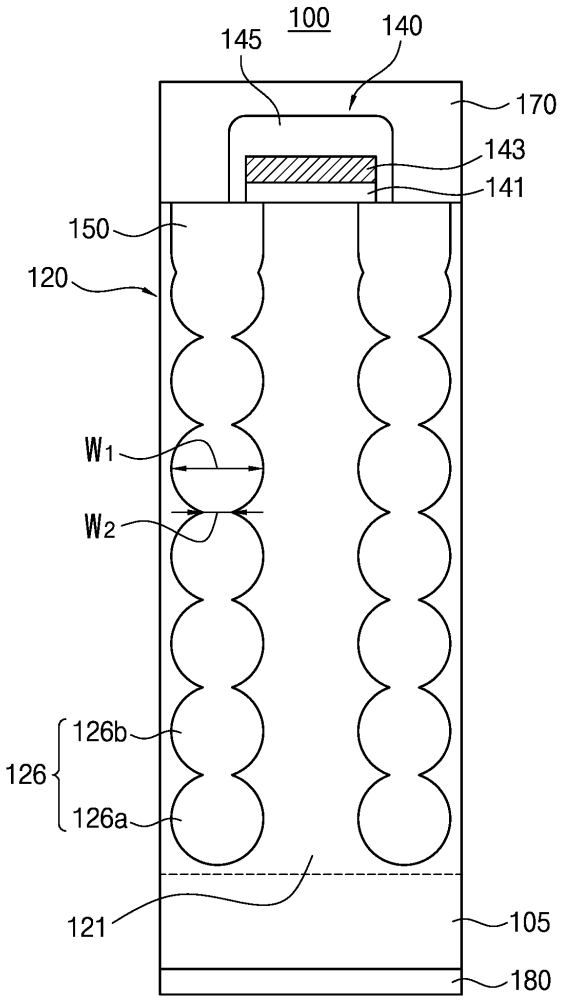
180 : 드레인 전극

도면

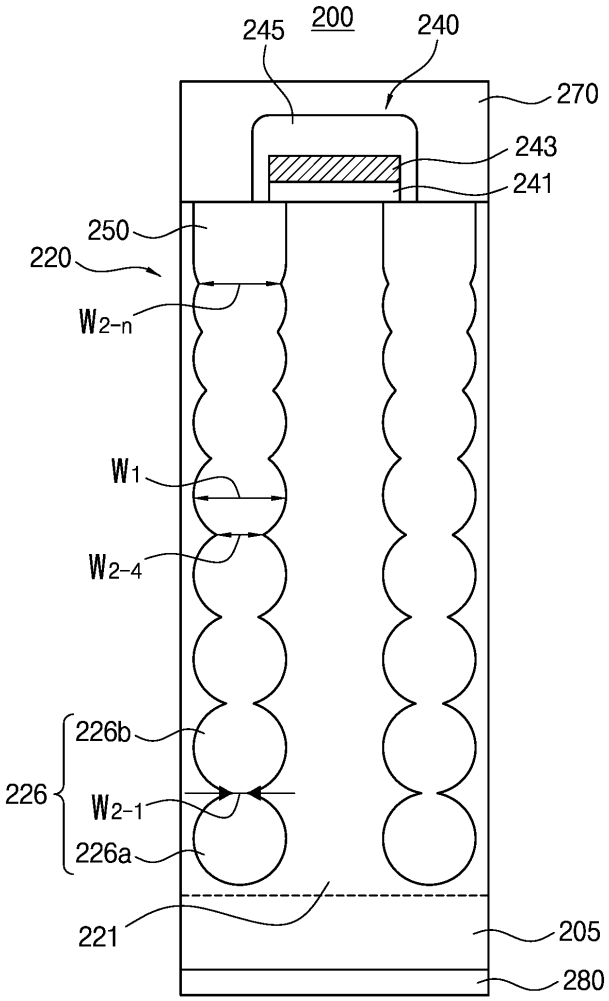
도면1



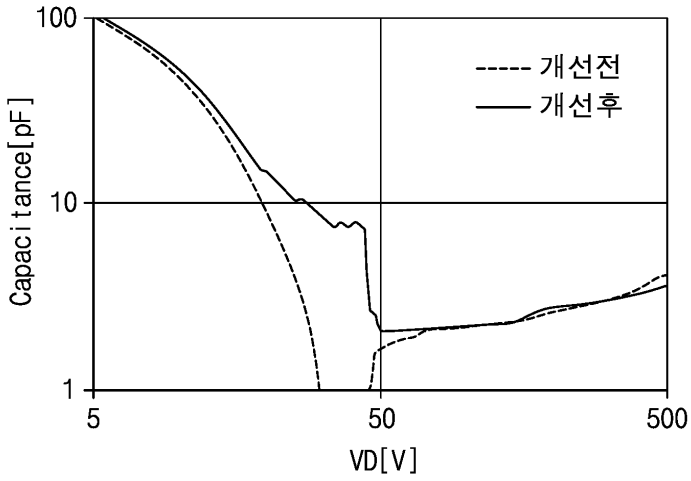
도면2



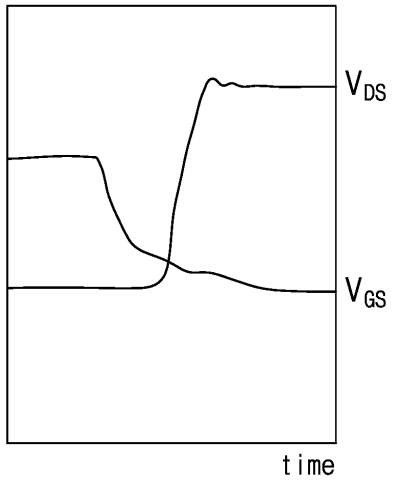
도면3


245
200
240
270
243
241
250
220
W2-n
W1
W2-4
226b
226
W2-1
226a
221
205
280

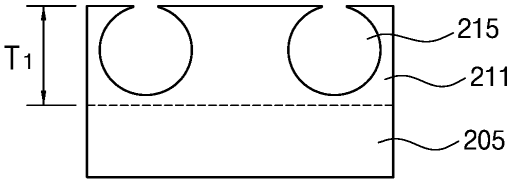
도면4


100
10
1
Capacitance[pF]
5
50
500
VD[V]
개선전
개선후

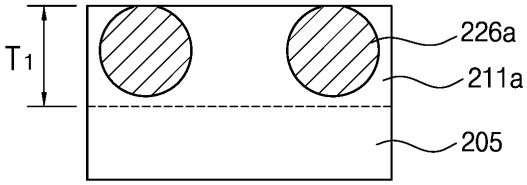
도면5



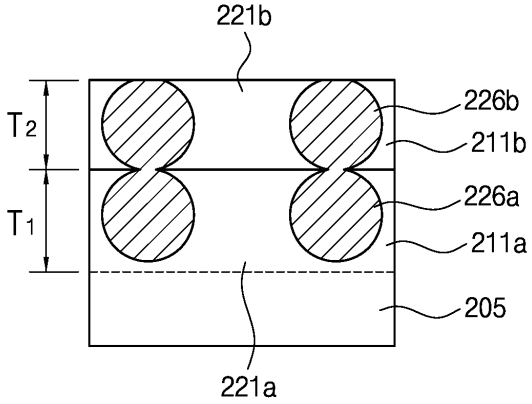
도면6



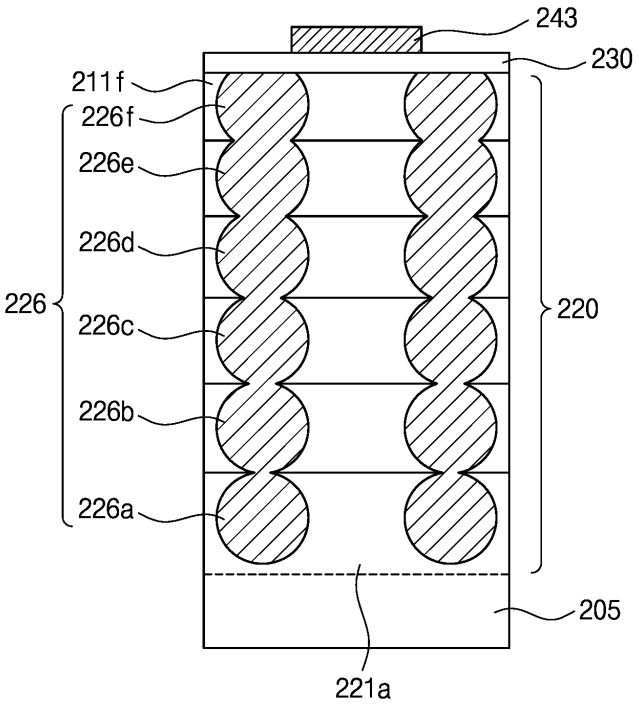
도면7



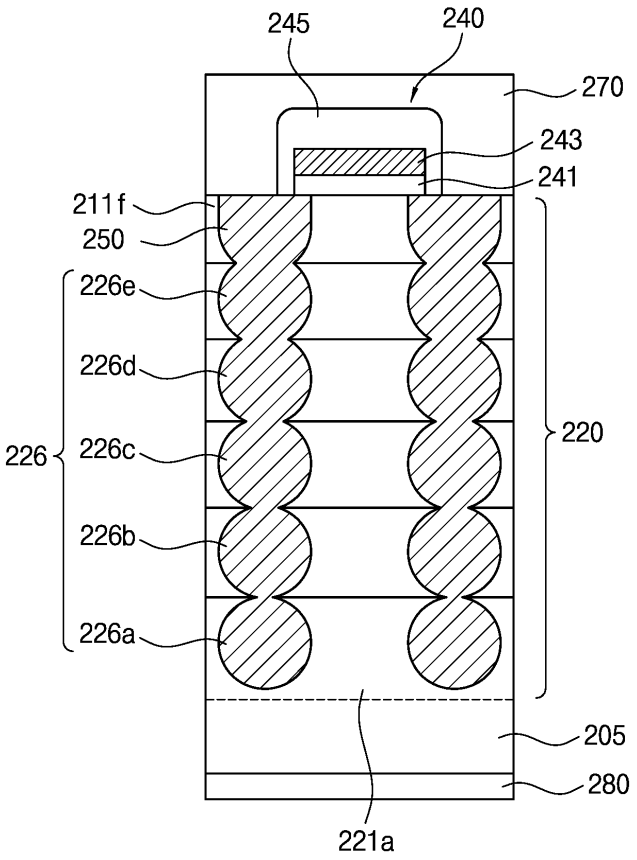
도면8



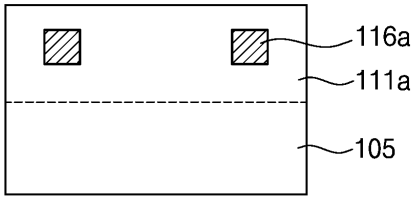
도면9


243
230
211f
226f
226e
226d
226
226c
226b
226a
220
205
221a

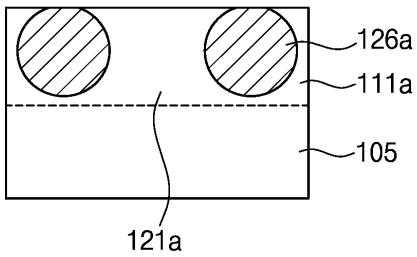
도면10


245
240
270
243
241
211f
250
226e
226d
226
226c
226b
226a
220
205
280
221a

도면11



도면12



도면13

