

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6079407号
(P6079407)

(45) 発行日 平成29年2月15日(2017.2.15)

(24) 登録日 平成29年1月27日(2017.1.27)

(51) Int.Cl.

H02M 7/487 (2007.01)

F 1

H02M 7/487

請求項の数 6 (全 14 頁)

(21) 出願番号 特願2013-89452 (P2013-89452)
 (22) 出願日 平成25年4月22日 (2013.4.22)
 (65) 公開番号 特開2014-217079 (P2014-217079A)
 (43) 公開日 平成26年11月17日 (2014.11.17)
 審査請求日 平成28年2月15日 (2016.2.15)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100161562
 弁理士 阪本 朗
 (72) 発明者 ▲桑▼原 弘行
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

審査官 麻生 哲朗

最終頁に続く

(54) 【発明の名称】マルチレベル変換回路

(57) 【特許請求の範囲】

【請求項 1】

2つに分割され、3つの端子を備えた、零を含む互いに異なる3つの電圧レベルを持つ直流電源から複数の電圧レベルを生成し、その複数の電圧レベルを選択して出力するマルチレベル変換回路であって、

ダイオードが逆並列接続された半導体スイッチをn (nは3以上の整数)個直列接続して構成される第1及び第2のスイッチ群と、n-1個の半導体スイッチを直列に接続して構成される第3及び第4のスイッチ群と、逆耐圧を有する半導体スイッチを組合せて構成される交流スイッチとを備え、

前記直流電源の電位が最も高い第1の直流端子と電位が最も低い第3の直流端子との間には、前記第1の直流端子から順番に前記第1のスイッチ群と第2のスイッチ群との直列回路を、前記第1のスイッチ群を構成する1個目の半導体スイッチの負側端子と前記第2のスイッチ群を構成するn個目の半導体スイッチの正側端子との間には、前記第1のスイッチ群の1個目の半導体スイッチの負側端子から順番に前記第3のスイッチ群と第4のスイッチ群との直列回路を、前記第3のスイッチ群と前記第4のスイッチ群の接続点と前記直流電源の中間電位となる第2の直流端子との間には前記交流スイッチを、前記第1のスイッチ群を構成するn-m (mは0からn-3までの整数)個目の半導体スイッチの正側端子と前記第2のスイッチ群を構成するk (kは1からn-2までの整数)個目の半導体スイッチの負側端子の間に第j (jは1からn-2までの整数)コンデンサを、前記第3のスイッチ群の正側端子と第4のスイッチ群の負側端子との間に第n-1コンデンサを、

10

20

前記第3スイッチ群を構成するn-m-1個目の半導体スイッチの正側端子と前記第4のスイッチ群を構成するk個目の半導体スイッチの負側端子との間には第i (iはnから2n-3までの整数)コンデンサを、各々接続し、

前記第1のスイッチ群と前記第2のスイッチ群との接続点を交流端子とし、前記第jコンデンサの端子と前記第iコンデンサの端子とを、結合手段により接続することを特徴とするマルチレベル変換回路。

【請求項2】

請求項1に記載のマルチレベル変換回路において、前記結合手段として、前記第jコンデンサの正側端子と前記第iコンデンサの負側端子との間に第jのダイオードを、前記第iコンデンサの正側端子と前記第jコンデンサの負側端子との間に第i-1のダイオードを、各々接続することを特徴とするマルチレベル変換回路。10

【請求項3】

請求項1に記載のマルチレベル変換回路において、前記結合手段として、前記第jコンデンサの正側端子と前記第iコンデンサの負側端子との間に第jのダイオードと第jの抵抗との直列回路を、前記第iコンデンサの正側端子と前記第jコンデンサの負側端子との間に第i-1のダイオードと第i-1の抵抗との直列回路を、各々接続することを特徴とするマルチレベル変換回路。

【請求項4】

請求項1に記載のマルチレベル変換回路において、前記結合手段として、前記第jコンデンサの正側端子と前記第iコンデンサの負側端子との間に逆耐圧を有する第jの半導体スイッチを、前記第iコンデンサの正側端子と第jコンデンサの負側端子との間に逆耐圧を有する第i-1の半導体スイッチを、各々接続することを特徴とするマルチレベル変換回路。20

【請求項5】

請求項1に記載のマルチレベル変換回路において、前記結合手段として、前記第jコンデンサの正側端子と前記第iコンデンサの正側端子との間に第jのインピーダンス素子を、前記第jコンデンサの負側端子と前記第iコンデンサの負側端子との間に第i-1のインピーダンス素子を、各々接続することを特徴とするマルチレベル変換回路。

【請求項6】

請求項2～5に記載のマルチレベル変換回路において、前記第jコンデンサ、又は第n-1コンデンサ、又は第iコンデンサと並列にツェナーダイオードを接続することを特徴とするマルチレベル変換回路。30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数レベルの電圧を出力することができる、フライングキャパシタと呼ばれるコンデンサを用いたマルチレベル変換回路におけるコンデンサの充電回路に関する。

【背景技術】

【0002】

図10に、特許文献1に記載されたフライングキャパシタを用いた5レベル変換回路を示す。直流単電源D PとD Nを直列接続して構成した3つの端子(正極P、零極M、負極N)を備えた直流電源から5レベルの電圧を出力する回路構成である。直流電源の正極Pと負極Nとの間にはダイオードとIGBTを逆並列接続した半導体スイッチS 1～S 4の直列回路が、半導体スイッチS 2とS 3との直列回路と並列に半導体スイッチS 5とS 6との直列回路とフライングキャパシタと呼ばれるコンデンサC 1とが、各々接続される。さらに、半導体スイッチS 5とS 6との接続点と直流電源の中間電位点である零極Mとの間には逆方向にも耐圧を備えた逆阻止形IGBT S 15とS 16を逆並列接続した交流スイッチS a cが接続され、半導体スイッチS 2とS 3との接続点を交流端子Uとしている。

【0003】

この様な回路構成において、直流単電源D P、D Nの電圧E d c p、E d c nを各々20

50

E とし、コンデンサ C 1 の電圧 V_{c1} を E に制御すると、交流端子 U には 5 つのレベルの電圧を出力することができる。例えば、半導体スイッチ S 1、S 2、S 6、S 16 をオンすると電圧 $2E$ が、半導体スイッチ S 1、S 3、S 6、S 16 をオン又は半導体スイッチ S 2、S 6 と交流スイッチ S a c をオンすると電圧 E が、半導体スイッチ S 3、S 6 と交流スイッチ S a c とをオン又は半導体スイッチ S 2、S 5 と交流スイッチ S a c とをオンすると電圧零が、半導体スイッチ S 2、S 4、S 5、S 15 をオン又は S 3、S 5 及び交流スイッチ S a c をオンすると電圧 $-E$ が、半導体スイッチ S 3、S 4、S 5、S 15 をオンすると電圧 $-2E$ が、各々交流端子 U に出力される。

【0004】

この様な動作において、交流端子 U に電圧 E を出力するモードは、電流が負荷に向かって流れるならば、半導体スイッチ S 1 コンデンサ C 1 半導体スイッチ S 3 の経路 1 と、交流スイッチ S a c 半導体スイッチ S 6 コンデンサ C 1 半導体スイッチ S 2 の経路 2 があり、コンデンサ C 1 は経路 1 では充電、経路 2 では放電される動作となる。コンデンサ C 1 の電圧を検出して、この平均電圧が E となるように、経路を適宜選択することにより、コンデンサ C 1 の平均電圧を E に制御することが可能となる。また、交流端子 U に電圧 $-E$ を出力するモードにおいても同様に二つの経路があり、コンデンサ C 1 の電圧を E に制御することが可能となる。

【0005】

図 10 に示す 5 レベル変換回路を 7 レベルに拡張した例を図 11 に示す。直流単電源 DP と DN を直列接続して構成した 3 つの端子正極 P、零極 M、負極 N の端子を備えた直流電源から 7 レベルの電圧を出力する回路構成である。直流電源の正極 P と負極 N との間にはダイオードと IGBT を逆並列接続した半導体スイッチ S 1 ~ S 6 の直列回路が、半導体スイッチ S 2 ~ S 5 の直列回路と並列に半導体スイッチ S 7 と S 8 との直列回路とコンデンサ C 2 とが、半導体スイッチ S 3 と S 4 の直列回路と並列にコンデンサ C 1 が各々接続される。さらに、半導体スイッチ S 7 と S 8 との接続点と直流電源の中間電位点である零極 M の間には逆方向にも耐圧を備えた逆阻止形 IGBT S 15 と S 16 を逆並列接続した交流スイッチ S a c が接続され、半導体スイッチ S 3 と S 4 との接続点を交流端子 U としている。

【0006】

この様な回路構成において、直流単電源 DP、DN の電圧 E_{dcP} 、 E_{dcN} を各々 3 E とし、コンデンサ C 1 の電圧 V_{c1} を E に、コンデンサ C 2 の電圧 V_{c2} を $2E$ に制御すると、交流端子 U には 7 つのレベルの電圧を出力することができる。例えば、半導体スイッチ S 1 ~ S 3 をオンすると電圧 $3E$ が、半導体スイッチ S 1、S 2 及び S 4 をオンすると電圧 $2E$ が、半導体スイッチ S 1、S 5 及び S 4 をオンすると電圧 E が、交流スイッチ S a c と半導体スイッチ S 7、S 2 及び S 3 又は交流スイッチ S a c と半導体スイッチ S 8、S 5 及び S 4 をオンすると電圧零が、交流スイッチ S a c と半導体スイッチ S 7、S 2 及び S 4 をオンすると電圧 $-E$ が、交流スイッチ S a c と半導体スイッチ S 7、S 5 及び S 4 をオンすると電圧 $-2E$ が、半導体スイッチ S 4 ~ S 6 をオンすると電圧 $-3E$ が、各々交流端子 U に出力される。詳細には上記の他にも複数の制御方式があるが、図 1 1 に示す回路の拡張動作であるので、詳細説明は省略する。

【0007】

この様な動作において、交流端子 U に電圧 E を出力するモードには、半導体スイッチ S 1 コンデンサ C 2 半導体スイッチ S 5 半導体スイッチ S 4 の経路 1 と、交流スイッチ S a c 半導体スイッチ S 8 コンデンサ C 2 半導体スイッチ S 2 コンデンサ C 1 半導体スイッチ S 4 の経路 2 があり、コンデンサ C 2 は経路 1 では充電、経路 2 では放電される動作となる。コンデンサ C 2 の電圧を検出し、この平均値が $2E$ となるように経路を適宜選択することにより、コンデンサ C 2 の平均電圧を $2E$ に制御することが可能となる。また、交流端子 U に電圧 $-E$ を出力するモードにおいても同様に二つの経路があり、経路を適宜選択することによりコンデンサ C 2 の電圧を $2E$ に制御することが可能となる。

10

20

30

40

50

【0008】

また、交流端子Uに電圧 $2E$ を出力するモードは、半導体スイッチS1 半導体スイッチS2 コンデンサC1 半導体スイッチS4の経路1と、半導体スイッチS1 コンデンサC2 半導体スイッチS5 コンデンサC1 半導体スイッチS3の経路2があり、コンデンサC1は経路1では充電、経路2では放電される動作となる。コンデンサC1の電圧を検出し、経路を適宜選択することにより、コンデンサC1の平均電圧をEに制御することが可能となる。また、交流端子Uに電圧 $-2E$ を出力するモードにおいても同様に二つの経路があり、同様にコンデンサC1の電圧をEに制御することが可能となる。

【0009】

図11に示す構成の7レベル変換回路においては、半導体スイッチS7又はS8がスイッチングする場合は、電圧変動が2単位($2E$)となる。一般に高い電圧変動が出力波形に現れると、負荷側の交流電動機にはその電圧に応じた高いマイクロサージ電圧が発生し、その結果として絶縁破壊の問題が発生するおそれがある。

10

【0010】

この課題を解決するために、出願人は、特許文献2に記載の回路を提案した。

図12にその回路構成を示す。図12において、直流単電源DPとDNとが直列接続された直流電源の端子を、高電位側から正極端子P、零極端子M、負極端子Nとする。なお、端子Mを基準(零)とし、その電位を0と定義する。また、半導体スイッチとしてはダイオードを逆並列接続したIGBTの例で説明するが他の半導体スイッチ素子でも適用可能であることは言うまでもない。正極端子Pと負極端子Nとの間には半導体スイッチS1～S6の直列回路が接続され、半導体スイッチS3とS4との接続点を交流端子Uとする。また、半導体スイッチS1とS2の接続点と半導体スイッチS5とS6の接続点との間には半導体スイッチS7～S10の直列回路とコンデンサC2との並列回路が、零極端子Mと半導体スイッチS8とS9の接続点との間には逆阻止形IGBT S15とS16を逆並列接続して構成した交流スイッチSa cが接続される。

20

【0011】

さらに、半導体スイッチS3の高電位側端子と半導体スイッチS4の低電位側端子との間にはコンデンサC1が、半導体スイッチS8の高電位側端子と半導体スイッチS9の低電位側端子との間にはコンデンサC3が接続される。これらのコンデンサC1～C3はフライングキャパシタと呼ばれる。なお、交流スイッチSa cは、図12に示すように逆耐圧を有する半導体スイッチS15、S16を逆並列接続する構成の他に、図13(a)～13(c)に示すように逆耐圧を有しないIGBTとダイオードを組合せても構成できる。図13(a)はダイオードとIGBTの直列回路を逆並列接続した構成、図13(b)と13(c)はダイオードとIGBTの逆並列接続回路を直列接続した構成である。

30

【0012】

図12に示す回路構成の中で直流単電源DP、DNの電圧の大きさを各々 $3E$ とする。図11に示す従来例と同様に、コンデンサC1～C3の電圧 $V_{c1} \sim V_{c3}$ を充電あるいは放電させることで、平均値として $V_{c1} = E$ 、 $V_{c2} = 2E$ 、 $V_{c3} = E$ に保持する。零極端子Mの電位を零として、交流端子Uの出力電圧を V_u とすると、出力電圧 V_u は半導体スイッチをオンオフさせることで、 $\pm 3E$ 、 $\pm 2E$ 、 $\pm 1E$ 、0の7レベル出力を実現する。

40

例えば、半導体スイッチS1、S2、S3、S9、S10、S16をオンさせ、それ以外の半導体スイッチをオフさせた場合(図14(a))、直流単電源DPのP点電位(+3E)が交流端子Uに出力される。

半導体スイッチS1、S3、S5、S9、S10、S16をオンさせ、それ以外の半導体スイッチをオフさせた場合(図14(b))、直流単電源DP(+3E)からコンデンサ電圧 V_{c2} (+2E)を減算し、さらにコンデンサ電圧 V_{c1} (+E)を加算することで、電圧 $+2E$ が交流端子Uに出力される。

【0013】

半導体スイッチS3、S5、S9、S10、S15、S16をオンさせ、それ以外の半

50

導体スイッチをオフさせた場合(図14(c))、直流電源のM点電位(0)にコンデンサ電圧 $V_{c1}(+E)$ を加算した電圧 $+E$ が交流端子Uに出力される。

半導体スイッチS4、S5、S9、S10、S15、S16をオンさせ、それ以外の半導体スイッチをオフさせた場合(図14(d))、直流電源のM点電位(0)が交流端子Uに出力される。

半導体スイッチS3、S5、S7、S9、S15、S16をオンさせ、それ以外の半導体スイッチをオフさせた場合(図14(e))、直流電源のM点電位(0)にコンデンサ電圧 $V_{c3}(+1E)$ を加算し、コンデンサ電圧 $V_{c2}(+2E)$ を減算し、さらにコンデンサ電圧 $V_{c1}(+1E)$ を加算することで、電圧0が交流端子Uに出力される。

【0014】

10

上記のように半導体スイッチをオンオフさせ、直流電源の端子P、M、Nから交流端子Uに向かって電流が流れた場合、図14(a)～図14(e)に記載する経路に電流が流れ、コンデンサを充電あるいは放電する。交流出力に同じ電圧を出力するモードとしては、図10に示した5レベル変換回路や図11に示した7レベル変換回路と同様に複数の経路がある。各コンデンサの電圧を検出して、この電圧が所望の値になるように、経路を選択することにより、図12に示す回路のコンデンサC1とC3の電圧をEに、コンデンサC2の電圧を2Eに制御することが可能となる。経路は別な組合せによっても電圧を出力可能であり、コンデンサを充電あるいは放電可能であるが、詳細説明は省略する。

【先行技術文献】

【特許文献】

20

【0015】

【特許文献1】特開2012-182974号公報

【特許文献2】特願2012-004723

【発明の概要】

【発明が解決しようとする課題】

【0016】

図12に示したように、3レベルの電位を備えた直流電源から7レベルの出力電圧 V_u を得る変換回路としては、半導体スイッチのオンオフにより、直流電源D_P、D_Nの電圧 E_{dcp} 、 E_{dcn} の電圧、コンデンサC1～C3の電圧 $V_{c1} \sim V_{c3}$ を組合せることで実現される。7レベルの出力を実現するためには、平均値としてコンデンサC1の電圧 $V_{c1} = E$ 、コンデンサC2の電圧 $V_{c2} = 2E$ 、コンデンサC3の電圧 $V_{c3} = E$ でなければならぬが、実際に回路を動作させれば回路を流れる電流によってコンデンサ電圧 $V_{c1} \sim V_{c3}$ は変動する。これを平均値に保持するためには、半導体スイッチS1～S10、及び交流スイッチS_{ac}のオンオフの組合せにより、任意の電圧を出力すると同時に、コンデンサC1～C3の充電あるいは放電を制御する方法が一般的である。

30

しかし、そのためにはコンデンサ電圧 $V_{c1} \sim V_{c3}$ を検出する手段が必要であるが、各コンデンサには共通電位部分がないため、電圧検出回路に絶縁機能が必要となるなど、コストアップの要因となる。

従って、本発明の課題は、マルチレベル変換回路に用いるコンデンサ電圧の検出回路を全てのコンデンサに対しては用いずに、一部を検出回路不要として、コンデンサ電圧を所望の値に制御できる低コストのマルチレベル変換回路を提供することである。

40

【課題を解決するための手段】

【0017】

上述の課題を解決するために、第1の発明においては、2つに分割され、3つの端子を備えた、零を含む互いに異なる3つの電圧レベルを持つ直流電源から複数の電圧レベルを生成し、その複数の電圧レベルを選択して出力するマルチレベル変換回路であって、ダイオードが逆並列接続された半導体スイッチをn(nは3以上の整数)個直列接続して構成される第1及び第2のスイッチ群と、n-1個の半導体スイッチを直列に接続して構成される第3及び第4のスイッチ群と、逆耐圧を有する半導体スイッチを組合せて構成される交流スイッチとを備え、前記直流電源の電位が最も高い第1の直流端子と電位が最も低い

50

第3の直流端子との間には、前記第1の直流端子から順番に前記第1のスイッチ群と第2のスイッチ群との直列回路を、前記第1のスイッチ群を構成する1個目の半導体スイッチの負側端子と前記第2のスイッチ群を構成するn個目の半導体スイッチの正側端子との間には、前記第1のスイッチ群の1個目の半導体スイッチの負側端子から順番に前記第3のスイッチ群と第4のスイッチ群との直列回路を、前記第3のスイッチ群と前記第4のスイッチ群の接続点と前記直流電源の中間電位となる第2の直流端子との間には前記交流スイッチを、前記第1のスイッチ群を構成するn-m(mは0からn-3までの整数)個目の半導体スイッチの正側端子と前記第2のスイッチ群を構成するk(kは1からn-2までの整数)個目の半導体スイッチの負側端子の間に第j(jは1からn-2までの整数)コンデンサを、前記第3のスイッチ群の正側端子と第4のスイッチ群の負側端子との間には第n-1コンデンサを、前記第3スイッチ群を構成するn-m-1個目の半導体スイッチの正側端子と前記第4のスイッチ群を構成するk個目の半導体スイッチの負側端子との間には第i(iはnから2n-3までの整数)コンデンサを、各々接続し、前記第1のスイッチ群と前記第2のスイッチ群との接続点を交流端子とし、前記第jコンデンサの端子と前記第iコンデンサの端子とを、結合手段により接続する。

【0018】

第2の発明においては、第1の発明におけるマルチレベル変換回路において、前記結合手段として、前記第jコンデンサの正側端子と前記第iコンデンサの負側端子との間に第jのダイオードを、前記第iコンデンサの正側端子と前記第jコンデンサの負側端子との間に第i-1のダイオードを、各々接続する。

【0019】

第3の発明においては、第1の発明におけるマルチレベル変換回路において、前記結合手段として、前記第jコンデンサの正側端子と前記第iコンデンサの負側端子との間に第jのダイオードと第jの抵抗との直列回路を、前記第iコンデンサの正側端子と前記第jコンデンサの負側端子との間に第i-1のダイオードと第i-1の抵抗との直列回路を、各々接続する。

【0020】

第4の発明においては、第1の発明におけるマルチレベル変換回路において、前記結合手段として、前記第jコンデンサの正側端子と前記第iコンデンサの負側端子との間に逆耐圧を有する第jの半導体スイッチを、前記第iコンデンサの正側端子と第jコンデンサの負側端子との間に逆耐圧を有する第i-1の半導体スイッチを、各々接続する。

【0021】

第5の発明においては、第1の発明におけるマルチレベル変換回路において、前記結合手段として、前記第jコンデンサの正側端子と前記第iコンデンサの正側端子との間に第jのインピーダンス素子を、前記第jコンデンサの負側端子と前記第iコンデンサの負側端子との間に第i-1のインピーダンス素子を、各々接続する。

【0022】

第6の発明においては、第2～第5の発明におけるマルチレベル変換回路において、前記第jコンデンサ、又は第n-1コンデンサ、又は第iコンデンサと並列にツェナーダイオードを接続する。

【発明の効果】

【0023】

本発明では、フライングキャパシタ形のマルチレベル変換回路において、フライングキャパシタ(コンデンサ)間に結合手段を接続することにより、全てのコンデンサの電圧を検出する必要がなくなり、コンデンサ電圧が所望の値になるようにしている。この結果、コンデンサ電圧検出回路が削減でき、低価格化が可能となる。

【図面の簡単な説明】

【0024】

【図1】本発明の第1の実施例を示す回路図である。

【図2(a)】第1の実施例の動作説明図(a)である。

10

20

30

40

50

【図2(b)】第1の実施例の動作説明図(b)である。

【図3】本発明の第2の実施例を示す回路図である。

【図4】本発明の第3の実施例を示す回路図である。

【図5】本発明の第4の実施例を示す回路図である。

【図6】本発明の第5の実施例を示す回路図である。

【図7】本発明の第6の実施例を回路図である。

【図8】本発明の第6の実施例の動作図説明図である。

【図9】本発明の第7の実施例を示す回路図である。

【図10】従来例としての5レベル変換回路図である。

【図11】従来例としての7レベル変換回路図である。

【図12】従来例としての改良形7レベル変換回路図である。

【図13】交流スイッチ回路図例である。

【図14(a)】改良形7レベル変換回路の動作説明図(a)である。

【図14(b)】改良形7レベル変換回路の動作説明図(b)である。

【図14(c)】改良形7レベル変換回路の動作説明図(c)である。

【図14(d)】改良形7レベル変換回路の動作説明図(d)である。

【図14(e)】改良形7レベル変換回路の動作説明図(e)である。

【発明を実施するための形態】

【0025】

本発明の要点は、3つの電圧レベルを持つ直流電源から複数の電圧レベルを生成するマルチレベル変換回路であって、半導体スイッチをn(nは3以上の整数)個直列接続した第1及び第2のスイッチ群の直列回路を直流電源の正極と負極との間に接続し、n-1個の半導体スイッチを直列接続した第3及び第4のスイッチ群の直列回路を、前記第1のスイッチ群を構成する正側から1個目の半導体スイッチの負側端子と前記第2のスイッチ群を構成する正側からn個目の半導体スイッチの正側端子との間に接続し、前記第3のスイッチ群と前記第4のスイッチ群の接続点と前記直流電源の中間端子との間に交流スイッチを、前記第1のスイッチ群を構成するn-m(mは0からn-3までの整数)個目の半導体スイッチの正側端子と前記第2のスイッチ群を構成するk(kは1からn-2までの整数)個目の半導体スイッチの負側端子との間に第j(jは1からn-2までの整数)コンデンサを、前記第3のスイッチ群の正側端子と第4のスイッチ群の負側端子との間に第n-1コンデンサを、前記第3スイッチ群を構成するn-m-1個目の半導体スイッチの正側端子と前記第4のスイッチ群を構成するk個目の半導体スイッチの負側端子との間に第i(iはnから2n-3までの整数)コンデンサを、各々接続し、前記第1のスイッチ群と前記第2のスイッチ群との接続点を交流端子とし、前記第jコンデンサの端子と前記第iコンデンサの端子とを、少なくとも1つの結合手段により接続する点である。

【実施例1】

【0026】

図1に、本発明の第1の実施例を示す。請求項におけるn=3の場合の実施例で、7レベルの変換回路への適用例である。

回路構成は、直流単電源D PとD Nが直列接続された直流電源の端子を、高電位側から正極端子P、零極端子M、負極端子Nとする。なお、端子Mを基準(零)とし、その電位を0と定義する。また、半導体スイッチとしてはダイオードを逆並列接続したIGBTの例で説明するが他の半導体スイッチ素子でも適用可能であることは言うまでもない。正極端子Pと負極端子Nとの間には半導体スイッチS1～S6の直列回路が接続され、半導体スイッチS3とS4との接続点を交流端子Uとする。また、半導体スイッチS1とS2の接続点と半導体スイッチS5とS6の接続点との間には半導体スイッチS7～S10の直列回路とコンデンサC2との並列回路が、零極端子Mと半導体スイッチS8とS9の接続点との間には半導体スイッチとしての逆阻止形IGBT S15とS16を逆並列接続して構成した交流スイッチS a cが接続される。

【0027】

10

20

30

40

50

さらに、半導体スイッチ S 3 の高電位側端子と半導体スイッチ S 4 の低電位側端子との間にはコンデンサ C 1 が、半導体スイッチ S 8 の高電位側端子と半導体スイッチ S 9 の低電位側端子との間にはコンデンサ C 3 が接続される。

また、コンデンサ C 1 の高電位側端子とコンデンサ C 3 の低電位側端子との間には結合手段としてのダイオード D 1 が、コンデンサ C 3 の高電位側端子とコンデンサ C 1 の低電位側端子との間には結合手段としてのダイオード D 2 が、各々接続される。

【0028】

この様な回路構成において、直流単電源 D P、D N の電圧を各々 3 E、コンデンサ C 1 の電圧を E、コンデンサ C 2 の電圧を 2 E、コンデンサ C 3 の電圧を E とすると、半導体スイッチ S 1、S 2、S 3、S 9、S 10、S 16 がオンし、それ以外の半導体スイッチがオフしている場合には、交流端子 U に + 3 E の電圧を出力する。この時、コンデンサ C 1 ~ C 3 の電圧 $V_{c1} \sim V_{c3}$ の関係が、 $V_{c2} > V_{c1} + V_{c3}$ の場合、 $V_{c2} = V_{c1} + V_{c3}$ となるようにコンデンサ C 2 が放電し、コンデンサ C 1 と C 3 が充電される。コンデンサ C 1 ~ C 3 間に流れる電流 I_c は、図 2 (a) に点線で示すように、コンデンサ C 2 半導体スイッチ S 2 コンデンサ C 1 ダイオード D 2 コンデンサ C 3 半導体スイッチ S 10 コンデンサ C 2 の経路となる。

図 2 (a) に示した例だけでなく、少なくとも半導体スイッチ S 2 と S 10 がオンし、コンデンサ C 2 からコンデンサ C 1 と C 3 の充電経路ができた場合、コンデンサ C 1 の電圧 V_{c1} とコンデンサ C 3 の電圧 V_{c3} との和はコンデンサ C 2 の電圧 V_{c2} にクランプされる。

【0029】

また、図 1 に示す半導体スイッチ S 3、S 5、S 7、S 9、S 15、S 16 がオンし、それ以外の半導体スイッチがオフしている場合には、交流端子 U に電圧 0 を出力する。この時、コンデンサ電圧 $V_{c1} \sim V_{c3}$ の関係が、 $V_{c2} > V_{c1} + V_{c3}$ の場合、 $V_{c2} = V_{c1} + V_{c3}$ となるようにコンデンサ C 2 が放電し、コンデンサ C 1 と C 3 が充電される。コンデンサ C 1 ~ C 3 に流れる電流 I_c は、図 2 (b) に点線で示すように、コンデンサ C 2 半導体スイッチ S 7 コンデンサ C 3 ダイオード D 1 コンデンサ C 1 半導体スイッチ S 5 コンデンサ C 2 の経路となり、コンデンサ C 1 の電圧 V_{c1} とコンデンサ C 3 の電圧 V_{c3} との和はコンデンサ C 2 の電圧 V_{c2} にクランプされる。

図 2 (b) に示した例だけでなく、少なくとも半導体スイッチ S 5 と S 7 がオンし、コンデンサ C 2 からコンデンサ C 1 と C 3 の充電経路ができた場合、コンデンサ C 1 の電圧 V_{c1} とコンデンサ C 3 の電圧 V_{c3} との和はコンデンサ C 2 の電圧 V_{c2} にクランプされる。ここで、コンデンサ C 1 の電圧を E に、C 2 の電圧を 2 E になるように、従来と同様に、経路を適宜選択する方法で制御すると、コンデンサ C 3 の電圧は、E となる。即ち、コンデンサ C 3 の電圧は検出回路が不要となり、低価格化が可能となる。

【実施例 2】

【0030】

図 3 に、本発明の第 2 の実施例を示す。インピーダンス素子として抵抗を用いた実施例である。結合手段として、第 1 の実施例のダイオードの代わりに、ダイオード D 1 に抵抗 R 1 を、ダイオード D 2 に抵抗 R 2 を、各々直列接続した実施例である。半導体スイッチの動作とコンデンサ電圧 $V_{c1} \sim V_{c3}$ の関係は第 1 の実施例と同じで、コンデンサ C 3 の電圧検出は不要である。抵抗が接続されることで、充電時間を調整することができる。また、抵抗の代わりにインダクターを接続すれば突入電流の抑制が可能となる。

【実施例 3】

【0031】

図 4 に、本発明の第 3 の実施例を示す。この実施例は、第 1 の実施例において、半導体スイッチ及びダイオードの耐圧を全て等しいものとした場合の実施例 ($n = 3$ の場合) である。この構成は、図 1 における半導体スイッチ S 1 及び S 6 を 4 個直列接続 (半導体スイッチ S 1 a ~ S 1 d、S 6 a ~ S 6 d) 構成とした回路である。また、結合手段としての図 1 におけるダイオード D 1 及び D 2 は、2 個直列接続 (ダイオード D 1 a と D 1 b 、

10

20

30

40

50

D 2 a と D 2 b) 構成としている。半導体スイッチの動作とコンデンサ電圧 $V_{c1} \sim V_{c3}$ の関係は第 1 の実施例と同じで、コンデンサ C 3 の電圧検出は不要である。この実施例においては、全ての半導体スイッチ及びダイオードの耐圧が等しいため、装置構成が単純化されると共に、部品管理が容易となるメリットがある。

【実施例 4】

【0032】

図 5 に、本発明の第 4 の実施例を示す。この実施例は、結合手段として、第 1 の実施例におけるダイオード D 1、D 2 を、各々逆耐圧を有する半導体スイッチ S r 1、S r 2 に置き換えたものである。図 5 に示す回路構成は、逆耐圧を有する半導体スイッチとして、ダイオードと逆耐圧のない IGBT を直列接続した構成であるが、逆耐圧を有する逆阻止形 IGBT を用いればダイオードを直列接続する必要はない。半導体スイッチ S r 1、S r 2 を常時オンすれば、第 1 の実施例と同じ効果を得ることが可能である。効果が不要であれば、半導体スイッチ S r 1、S r 2 をオフすれば良い。

また、半導体スイッチ S r 1、S r 2 をオンした場合の動作は第 1 の実施例と同である。コンデンサ C 1 の電圧を E に、C 2 の電圧を 2E になるように、従来と同様に、経路を適宜選択する方法で制御すると、コンデンサ C 3 の電圧は、検出回路を設けることなく、所望の値 E となる。また、逆耐圧を有する半導体スイッチ S r 1、S r 2 に抵抗やインダクタンスを接続すれば、実施例 2 と同様の効果を得ることができる。

【実施例 5】

【0033】

図 6 に、本発明の第 5 の実施例を示す。第 1 の実施例におけるコンデンサ C 3 と並列にツェナーダイオード ZD 1 を接続した回路構成である。従来と同様に、経路を適宜選択する方法でコンデンサ C 1 の電圧を E に、コンデンサ C 2 の電圧を 2E に制御すると、コンデンサ C 3 の電圧は電圧検出回路を設けることなく、所望の値 E となる。しかし、第 1 の実施例では、図 2 a、図 2 b に示すように、コンデンサ C 1、C 3 を充電するのみである。従って、過電圧となる可能性があり、この時には放電させる必要がある。この手段として、ツェナーダイオードをコンデンサと並列に接続し、コンデンサ電圧をツェナー電圧にクランプすることにより、充電だけでなく、放電も可能とする。なお、実施例ではキャパシタ C 3 にツェナーダイオードを並列接続しているが、C 1 ~ C 3 の何れか 1 個又は複数個又は全てに並列接続しても良い。

【実施例 6】

【0034】

図 7 に、本発明の第 6 の実施例を示す。図 1 2 に示した従来例のコンデンサ C 1 の正電位側とコンデンサ C 3 の正電位側との間に抵抗 R 1 を、コンデンサ C 1 の負電位側とコンデンサ C 3 の負電位側との間に抵抗 R 2 を、各々接続した構成である。コンデンサ C 1、C 3 を充電又は放電し、コンデンサ C 1 の電圧 V_{c1} とコンデンサ C 3 の電圧 V_{c3} を同一とすることができる。コンデンサ電圧 V_{c1} と V_{c3} の関係が、 $V_{c1} > V_{c3}$ の場合、図 8 に点線で示すように、電流は、コンデンサ C 1 抵抗 R 1 コンデンサ C 3 抵抗 R 2 コンデンサ C 1 に流れ、 $V_{c1} = V_{c3}$ となる。また、コンデンサ電圧 V_{c1} と V_{c3} の関係が、 $V_{c1} < V_{c3}$ の場合、電流はコンデンサ C 3 抵抗 R 1 コンデンサ C 1 抵抗 R 2 コンデンサ C 3 に流れ、 $V_{c1} = V_{c3}$ となる。コンデンサ C 1 の電圧を E に、C 2 の電圧を 2E になるように、従来と同様に、経路を適宜選択する方法で制御すると、コンデンサ C 3 の電圧は、電圧検出回路を設けることなく、所望の値 E となる。本実施例では、全ての半導体スイッチをオフしていても、抵抗を経由してコンデンサ電圧 V_{c1} と V_{c3} をバランスさせることができる。尚、この構成は本来電圧を等しくすべきコンデンサ間に對して適用することができる。

【実施例 7】

【0035】

図 9 に、本発明の第 7 の実施例を示す。特許請求の範囲における $n = 4$ の場合の実施例で、9 レベルの変換回路への適用例である。

10

20

30

40

50

9 レベルのフライングキャパシタ形変換回路は、直流单電源 D P と D N とが直列接続された直流電源の端子を、高電位側から正極端子 P、零極端子 M、負極端子 N とする。なお、端子 M を基準（零）とし、その電位を 0 と定義する。また、半導体スイッチとしてはダイオードを逆並列接続した IGBT の例で説明するが他の半導体スイッチ素子でも適用可能であることは言うまでもない。正極端子 P と負極端子 N との間には半導体スイッチ S 1 ~ S 8 の直列回路が接続され、半導体スイッチ S 4 と S 5 との接続点を交流端子 U とする。また、半導体スイッチ S 1 と S 2 の接続点と半導体スイッチ S 7 と S 8 の接続点との間には半導体スイッチ S 9 ~ S 14 の直列回路とコンデンサ C 3 との並列回路が、零極端子 M と半導体スイッチ S 11 と S 12 の接続点との間には逆阻止形 IGBT S 15 と S 16 を逆並列接続して構成した交流スイッチ S a c が接続される。

10

【 0 0 3 6 】

さらに、半導体スイッチ S 3 の高電位側端子と半導体スイッチ S 6 の低電位側端子との間にはコンデンサ C 2 が、半導体スイッチ S 4 の高電位側端子と半導体スイッチ S 5 の低電位側端子との間にはコンデンサ C 1 が、半導体スイッチ S 10 の高電位側端子と半導体スイッチ S 13 の低電位側端子との間にはコンデンサ C 4 が、半導体スイッチ S 11 の高電位側端子と半導体スイッチ S 12 の低電位側端子との間にはコンデンサ C 5 が、各々接続される。これらのコンデンサ C 1 ~ C 5 はフライングキャパシタと呼ばれる。なお、交流スイッチ S a c は、図 9 に示すように逆耐圧を有する半導体スイッチ S 15、S 16 を逆並列接続する構成の他に、図 13 (a) ~ (c) に示すように逆耐圧を有しない IGBT とダイオードを組合せて構成できる。図 13 (a) はダイオードと IGBT の直列回路を逆並列接続した構成、図 13 (b) と 13 (c) はダイオードと IGBT の逆並列接続回路を直列接続した構成である。

20

【 0 0 3 7 】

また、コンデンサ C 1 の高電位側端子とコンデンサ C 4 の低電位側端子との間には結合手段としてのダイオード D 1 が、コンデンサ C 2 の高電位側端子とコンデンサ C 5 の低電位側端子との間には結合手段としてのダイオード D 2 が、コンデンサ C 4 の高電位側端子とコンデンサ C 1 の低電位側端子との間には結合手段としてのダイオード D 3 が、コンデンサ C 5 の高電位側端子とコンデンサ C 2 の低電位側端子との間には結合手段としてのダイオード D 4 が、各々接続される。

30

【 0 0 3 8 】

図 9 の回路構成の中で直流单電源 D P、D N の電圧の大きさを各々 4 E とする。コンデンサ C 1 ~ C 5 の電圧 V c 1 ~ V c 5 を充電あるいは放電させることで、平均値として V c 1 = E、V c 2 = 2 E、V c 3 = 3 E、V c 4 = 2 E、V c 5 = E に保持する。零極端子 M の電位を零として、交流端子 U の出力電圧を V u とすると、出力電圧 V u は半導体スイッチをオンオフすることで、± 4 E、± 3 E、± 2 E、± 1 E、0 の 9 レベル出力を実現する。

【 0 0 3 9 】

このような構成において、結合手段として、ダイオード D 1 ~ D 4 は、コンデンサ C 1 の電圧 V c 1 とコンデンサ C 4 の電圧 V c 4 の和がコンデンサ C 3 の電圧 V c 3 になるように、またコンデンサ C 5 の電圧 V c 5 とコンデンサ C 2 の電圧 V c 2 の和がコンデンサ C 3 の電圧 V c 3 になるように、各々接続される。詳細動作は実施例 1 と同様に考えることができるので、省略する。コンデンサ C 1 の電圧 V c 1 とコンデンサ C 4 の電圧 V c 4 の和はコンデンサ C 3 の電圧 V c 3 にクランプされ、またコンデンサ C 5 の電圧 V c 5 とコンデンサ C 2 の電圧 V c 2 の和はコンデンサ C 3 の電圧 V c 3 にクランプされる。

40

この様な構成において、従来技術と同様に、コンデンサ C 1 ~ C 3 の電圧を検出し、コンデンサの充放電経路を適宜選択することにより、コンデンサ C 1 の電圧は E に、コンデンサ C 2 の電圧は 2 E に、コンデンサ C 3 の電圧は 3 E になるように、各々制御する。

この結果、コンデンサ C 4 の電圧を検出することなく、コンデンサ C 4 の電圧は 2 E となる。また、コンデンサ C 5 の電圧を検出することなく、コンデンサ C 5 の電圧は E となる。

50

従って、コンデンサ C 4 と C 5 には検出回路が不要となり、低価格化が可能となる。尚、本実施例の 9 レベルの変換回路においても、実施例 2 ~ 6 の回路を適用することができる。

【 0 0 4 0 】

尚、上記実施例には、7 レベル変換回路と 9 レベル変換回路への適用例を示したが、11 レベル以上のマルチレベル変換回路にも同様に適用できる。また、スイッチ素子としては IGBT を用いた例を示したが、MOSFET、GTO なども用いた場合においても実現可能である。

【 産業上の利用可能性 】

【 0 0 4 1 】

本発明は、二つの直流単電源を直列接続した 3 端子の直流電源を入力としたマルチレベルの電圧を出力する変換回路を用いる高電圧の電動機駆動装置、系統連系用電力変換装置などへの適用が可能である。

10

【 符号の説明 】

【 0 0 4 2 】

S 1 ~ S 1 4 . . . 半導体スイッチ (IGBT)

S 1 5 、 S 1 6 . . . 逆阻止形 IGBT

S a c . . . 交流スイッチ

C 1 ~ C 5 . . . コンデンサ D P 、 D N . . . 直流単電源

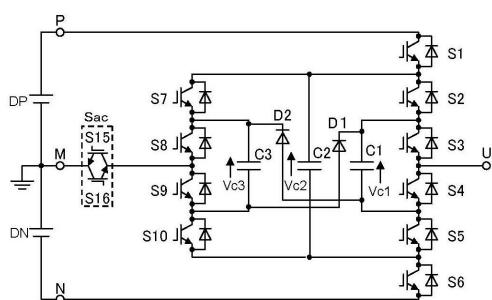
R 1 、 R 2 . . . 抵抗 Z D 1 . . . ツエナーダイオード

20

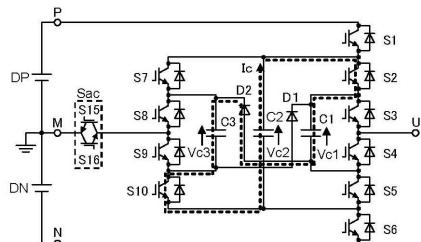
D 1 ~ D 4 、 D 1 a 、 D 1 b 、 D 2 a 、 D 2 b . . . ダイオード

S r 1 、 S r 2 . . . 逆阻止形スイッチ

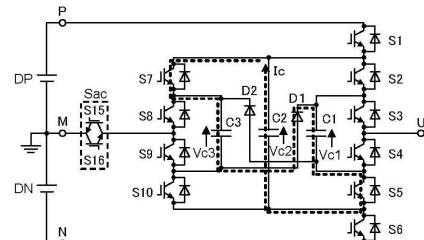
【 図 1 】



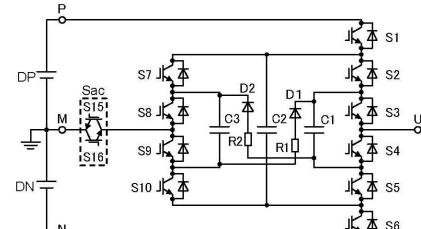
【 図 2 (a) 】



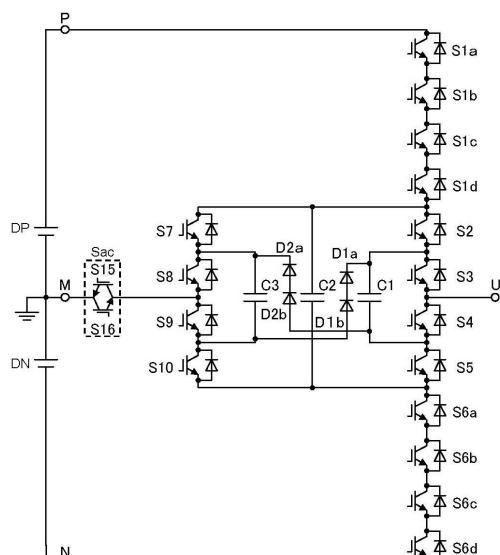
【 図 2 (b) 】



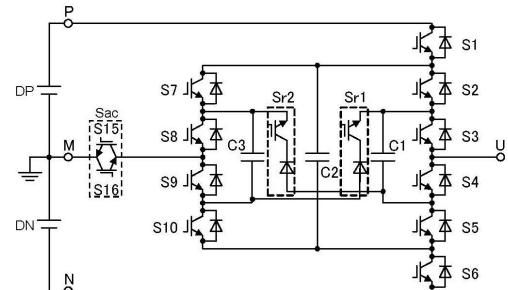
【 図 3 】



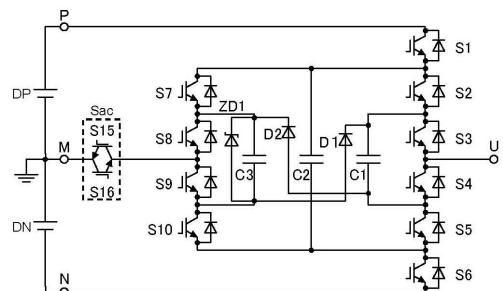
【図4】



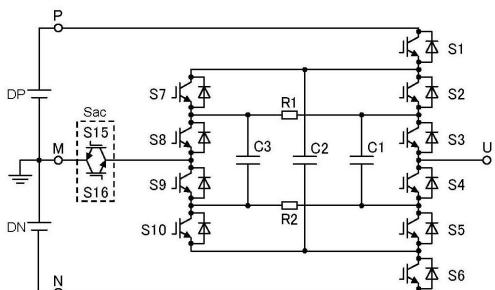
【図5】



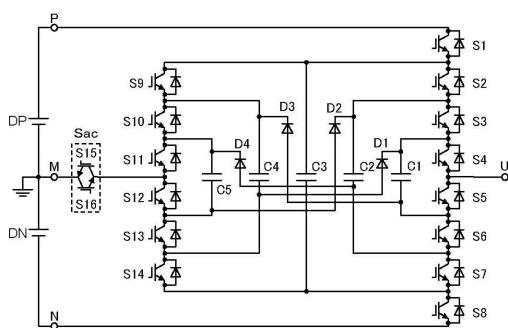
【図6】



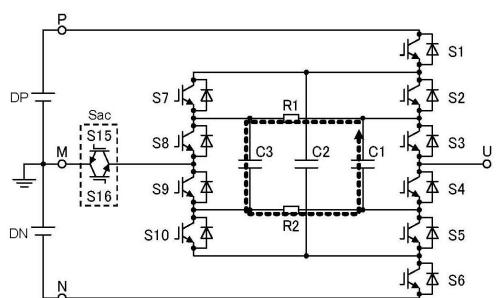
【図7】



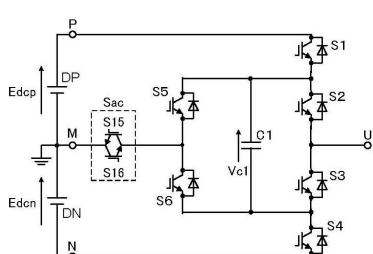
【図9】



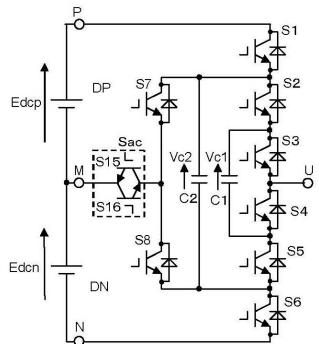
【図8】



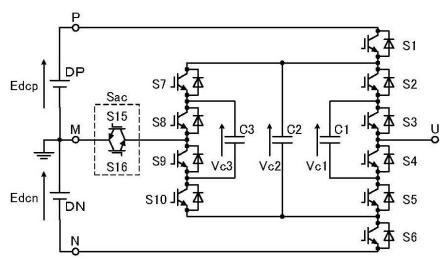
【図10】



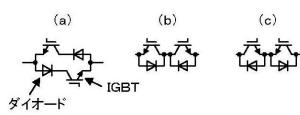
【図11】



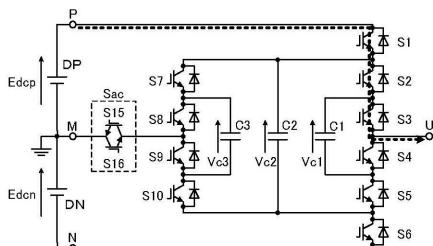
【図12】



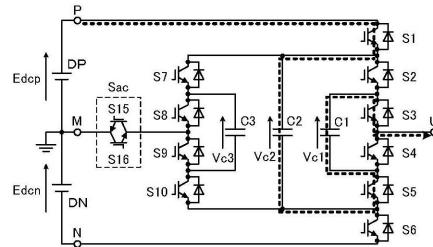
【図13】



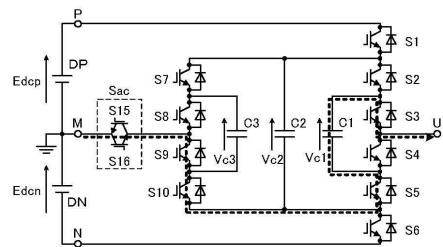
【図14(a)】



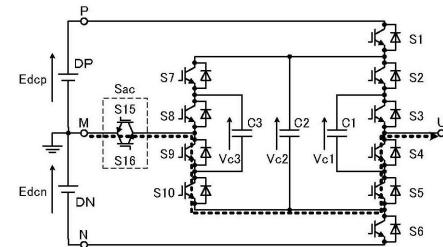
【図14(b)】



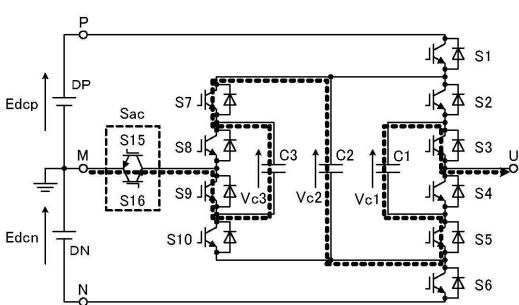
【図14(c)】



【図14(d)】



【図14(e)】



フロントページの続き

(56)参考文献 米国特許出願公開第2013/0044526(US, A1)

特開平8-308253(JP, A)

特開2012-10532(JP, A)

特開平7-142179(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/487