

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/02

H01L 27/08

H01L 27/06



[12] 发明专利说明书

[21] ZL 专利号 01800887.9

[45] 授权公告日 2005 年 6 月 8 日

[11] 授权公告号 CN 1205648C

[22] 申请日 2001.4.2 [21] 申请号 01800887.9

[30] 优先权

[32] 2000. 4. 10 [33] US [31] 09/546,125

[86] 国际申请 PCT/EP2001/003684 2001.4.2

[87] 国际公布 WO2001/078119 英 2001.10.18

[85] 进入国家阶段日期 2001.12.10

[71] 专利权人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 T·索拉蒂 V·瓦图尔亚

审查员 杨子芳

[74] 专利代理机构 中国专利代理(香港)有限公司

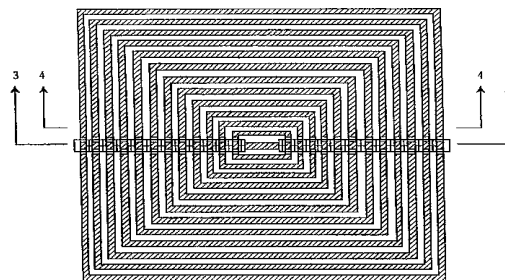
代理人 王 勇 李亚非

权利要求书 2 页 说明书 5 页 附图 7 页

[54] 发明名称 用于深亚微米 CMOS 的带有交替连接的同心线的多层电容器结构

[57] 摘要

一种电容器结构包括开路结构的导电同心线的第一和至少第二层。至少第二层的导线叠加第一层的导线。在第一和第二层导线之间和每个第一和第二层中的导线之间设置介质材料。导线以交替方式电连接到相反极性的端子，以便在每层和相邻层中的相邻线之间产生电容。这种电容器特别适用于深亚微米 CMOS。



ISSN 1008-4274

1. 一种电容器 (20), 包括:
 - 导电同心线 (22) 的第一导体层 (L1);
 - 5 导电同心线 (23) 的至少第二导体层 (L2), 该至少第二导体层 (L2) 的导电同心线 (23) 叠加第一导体层 (L1) 的对应导电同心线 (22);
 - 设置在第一和第二导体层 (L1、L2) 之间和每一导体层中的导电同心线之间的介质层 (27、28); 和
 - 电相反的端子 (A、B);
 - 10 其特征在于, 导电同心线 (22、23) 以交替方式电连接到相反极性 (A、B) 的端子上, 以便在每一导体层和相邻导体层中的相邻导电同心线之间产生电容。
2. 根据权利要求 1 的电容器 (20), 其特征在于, 每一导体层的导电同心线 (22、23) 具有开路结构。
- 15 3. 根据权利要求 1 的电容器 (20), 其特征在于, 每一导体层 (L1、L2) 中的相邻导电同心线 (22、23) 具有相对开口 (32、33)。
4. 根据权利要求 1 的电容器 (20), 其特征在于, 相邻导体层 (L1、L2) 中的相邻导电同心线 (22、23) 具有相对开口 (32、33)。
5. 根据权利要求 1 的电容器 (20), 其特征在于, 每一导体层 (L1、20 L2) 中的相邻导电同心线 (22、23) 具有相对开口 (32、33), 相邻导体层中的相邻导电同心线 (22、23) 具有相对开口 (32、33)。
6. 根据权利要求 1 的电容器 (20), 其特征在于, 该电容器形成在衬底 (21) 上。
7. 根据权利要求 6 的电容器 (20), 其特征在于, 衬底 (21) 是由25 半导体材料制成的。
8. 根据权利要求 1 的电容器 (20), 其特征在于, 电容器 (20) 包括亚微米 MOS 结构。
9. 根据权利要求 1 的电容器 (20), 其特征在于, 电容器 (20) 包括亚微米 CMOS 结构。

10. 根据权利要求 1 的电容器 (20)，其特征在于，电容器 (20) 包括亚微米结构。

11. 根据权利要求 1 的电容器 (20)，其特征在于，导电同心线 (22、23) 是由金属材料和导电半导体材料之一制成的。

5 12. 根据权利要求 1 的电容器 (20)，其特征在于，除了导电同心线 (22) 的第一导体层 (L1) 之外，包括导电同心线 (23、24、25) 的多个导体层 (L2、L3、L4)，在该多个导体层中，导电同心线 (23) 的至少所述第二导体层 (L2)、所述多个导体层 (L2、L3、L4) 的所述导电同心线 (23、24、25) 覆盖在所述第一导电层 (L1) 的对应导电同心线 (22) 上。

用于深亚微米 CMOS 的带有交替连接的同心线的多层电容器结构

5 技术领域

本发明涉及用于金属-氧化物-半导体 (MOS) 的电容器结构, 特别涉及通过多层导电同心线形成的用于深亚微米互补金属-氧化物-半导体 (CMOS) 的电容器结构。

背景技术

- 10 用于深亚微米 CMOS 的常规电容器结构通常由被薄介质层隔开的两个平板构成。平板是通过多层导电材料如金属或多晶硅形成的。该电容器结构通常利用下介质层与衬底绝缘。为在这些结构中实现高电容密度, 提供附加板。图 1 表示深亚微米 CMOS 中的常规多层平行板电容器结构 10。电容器结构 10 包括由介质层 13 隔开的垂直堆叠的导电线 12。导电线 12 和介质层 13 形成在半导体衬底 11 上。导电线 12 形成电容器 10 的平板或电极。导电线 12 以交替方式电连接到一起, 以便所有的 “A” 板是第一极性, 所有的 “B” 板是与第一极性相反的第二极性。

涉及平行板电容器结构的主要限制在于, 随着 CMOS 工艺中的几何结构的尺寸缩小, 板间的最小距离不改变。因此, 在减小尺寸过程中不能实现电容密度的增加。

- 20 现有技术中还公知各种其它具有高电容密度的电容器结构, 如双多晶硅电容器和栅氧化物电容器。然而, 双多晶硅电容器不适于深亚微米 CMOS 工艺。栅氧化物电容器一般不用在深亚微米 CMOS 工艺中, 因为它们具有影响产量和可靠性的大栅极面积, 它们产生随着电压改变的电容, 并且可能经受能击穿栅极氧化物的高电压。

- 25 用于动态随机存取存储器 (DRAMs) 的沟槽电容器结构具有高电容密度。通过在衬底中刻蚀沟槽和用导电和绝缘材料填充沟槽以形成垂直电容器结构, 由此形成这种电容器。然而, 由于沟槽电容器增加了刻蚀和沟槽填充工艺, 因此这种沟槽电容器制造成本高。

- 30 在微波应用中使用交指型电容器结构。这些电容器具有紧密放置的交指型导线结构, 这种结构能产生镶边 (fringing) 和在其间产生跨接电容以获得电容量。

然而，由交指型电容器产生的跨接电容被限制到单个导体层。

因而，需要一种改进高电容密度的用于深亚微米 CMOS 的电容器结构。

发明内容

- 电容器结构包括第一和至少第二层导电同心线。至少第二层导线叠加第一层
- 5 导线。在第一和第二层导线之间以及第一和第二层每层中的导线之间设置介质材料。导线以交替方式电连接到相反极性的端子上，以便在每层和相邻层中的相邻线之间产生电容。该电容器特别用于深亚微米 CMOS 中。

附图说明

- 通过结合附图详细介绍示出的实施例使本发明的优点、特性和各种附加特征
- 10 更明显，其中：

图 1 是深亚微米 CMOS 中的常规平行板电容器结构的侧视图；

图 2 是用于在深亚微米 CMOS 中产生电容的根据本发明实施例的电容器结构的顶视平面图；

图 3 是沿着图 2 的线 3-3 截取的截面图；

- 15 图 4 是沿着图 2 的线 4-4 截取的截面图；

图 5 是图 2 的电容器结构的放大图，并且没有导体层旋转了约 90 度以提供每层的顶视平面图。

应该理解，附图只是用于表示本发明的概念目的的，因此没有按比例示出。

具体实施方式

- 20 图 2 表示用于在深亚微米 CMOS 中产生电容的根据本发明的电容器结构 20。电容器结构 20 具有比常规平行板电容器结构显著大的电容密度。

- 如图 3-5 所示，电容器结构 20 是用多层导体层工艺（为了表示的目的，只示出了四个导体层 L1-L4）构成在半导体材料的衬底 21 上。第一导体层 L1 包括导电线 22 的第一同心阵列，第二导体层 L2 包括导电线 23 的第二同心阵列，第三导体
- 25 层 L3 包括导电线 24 的第三同心阵列，第四导体层 L4 包括导电线 25 的第四同心阵列。导电线 22-25 具有形成为矩形几何结构的开路结构，然而，它们也可以形成为其它几何形状，如正方形、八边形或圆形等。在现有深亚微米 CMOS 技术的目前状态下，通常导线间隔约为 0.5 微米或更小。这样，本发明电容器的每个导体层中的同心导线之间的最小距离通常等于或小于约 0.5 微米。

- 30 如图 3 和 4 所示，第一介质层 26 填充衬底 21 和第一导体层 L1 之间的间隔；

第二介质层 27 填充第一和第二导体层 L1、L2 之间的间隔以及第一导体层 L1 的同心线 22 之间的间隔；第三介质层 28 填充第二和第三导体层 L2、L3 之间的间隔以及第二层 L2 的同心线 23 之间的间隔；第四介质层 29 填充第三和第四导体层 L3、L4 之间的间隔以及第三导体层 L3 的同心线 24 之间的间隔；第五介质层 30 填充第四导体层和接触层 31 之间的间隔以及第四导体层 L4 的同心线 25 之间的间隔。同心线 22-25 定向成使每层中水平的或相邻导体层中垂直的任何两个相邻线具有相对定位的开口 32、33、34、35。设置在开口 32-35 中的是导线段 36、37、38、39。第二、第三和第四层 L2-L4 中的导线 23-25 和导线段 37-39 基本上叠加第一层 L1 中的对应导线 22 和导线段 36。每个单独的导线 22-25 形成电极或电容器平板。

导线开口 32-35 的交替水平和垂直定位允许导线 22-25 电连接，以便一层或相邻导体层内的任何两个相邻线具有相反的电极性 A 和 B。因此，第一和第三导体层 L1 和 L3 中的所有 A 导线 22、24 可利用穿过第二、第三、第四和第五介质层 27-30 延伸的第一组通路和接触层 31 中的第一端子 A 电互连，并与设置在第二和第四导体层 L2 和 L4 的 B 导线的开口 33、35 中的导线段 37、39 电接触。第二和第四导体层 L2 和 L4 中的所有 A 导线 23、25 可利用穿过第三、第四和第五介质层 28-30 延伸的第二组通路和第一端子 A 电互连，并与设置在第三导体层 L3 的 B 导线 24 的开口 34 中的导线段 38 电接触。第一和第三导体层 L1 和 L3 中的所有 B 导线 22、24 可利用穿过第二、第三、第四和第五介质层 27-30 延伸的第三组通路和接触层 31 中的第二端子 B 电互连，并与设置在第二和第四导体层 L2 和 L4 的 A 导线的开口 33、35 中的导线段 37、39 电接触。第二和第四导体层 L2 和 L4 中的所有 B 导线 23、25 可利用穿过第三、第四和第五介质层 28-30 延伸的第四组通路和第二端子 B 电互连，并与设置在第三导体层 L3 的 A 导线的开口 34 中的导线段 38 电接触。

图 5 最好地表示一层或相邻导体层中的任何两个相邻线的交替极性。在层 L1 中，最外层导线 22 是 A 极性线，向内移动的相邻导线 22 是 B 极性线，等等。在层 L2 中，最外层线 23 是 B 极性线，向内移动的相邻导线 23 是 A 极性线，等等。在层 L3 中，最外层线 24 是 A 极性线，向内移动的相邻导线 24 是 B 极性线，等等。在层 L4 中，最外层线 25 是 B 极性线，向内移动的相邻导线 23 是 A 极性线，等等。

本发明的电容器结构具有常规平行板电容器结构的约 3 倍的电容密度，因为在多个导体层中的导线之间产生并联电容 C_p ，在每个导体层中的相邻同心线之间产生跨接电容 C_c 。

通过将类似于图 1 所示的由五 (5) 个板构成并且尺寸为 19.8 微米 $\times$ 25.4 微米的常规平行板电容器与由 5 个导体层构成并且尺寸为 19.8 微米 $\times$ 25.4 微米的根据本发明的电容器对比, 可看到电容密度的提高。两种电容器都是用 0.25 微米 CMOS 工艺构成的。平行板电容器结构具有约 86fF 的电容和约 0.17fF/ μm^2 的每单位面积电容。相反, 根据本发明制成的电容器具有约 273fF 的电容和约 0.54fF/ μm^2 的每单位面积电容。

因为同心线的最小宽度 M_w 和每层中的同心线之间的最小距离 M_d 将有利地减小, 因此本发明的电容器结构的电容密度随着半导体工艺技术中几何结构连续变小和尺寸缩小而增加。

10 由于导体和介质层的高度或厚度没有按尺寸减小, 因此在常规多层平行板电容器结构中不可能增加电容。因此, 在常规平行板电容器中板间的距离将保持约 1 微米。

本发明的电容器结构通常利用常规深亚微米 CMOS 工艺制造在硅中。本发明的电容器结构还可以利用常规深亚微米工艺制造在砷化镓或任何其它适合半导体体系中。利用深亚微米 CMOS 工艺在硅中的制造通常包括在硅半导体衬底的选择部分上生长或淀积第一层氧化硅以形成第一介质层。氧化硅层具有在约 1 微米范围内的厚度。在氧化硅的第一介质层上淀积第一金属层如铝、或高导电多晶硅层, 然后利用公知掩模和干刻蚀技术确定为同心导线和导线段, 以便形成第一导体层。如上所述, 导线的宽度和间隔设定为工艺的最小尺寸以提高该结构的电容, 即线和线间的间隔尽可能窄。

20 然后在导线上生长或淀积第二层氧化硅, 以便形成第二介质层。氧化硅的第二介质层的厚度在约 1 微米范围内。在氧化硅的第二介质层中确定向下延伸到第一导体层的多个孔, 然后利用常规通路制造技术用金属或多晶硅填充, 以便在第二介质层中形成垂直延伸通路。在氧化硅的第二介质层上淀积第二金属层如铝或多晶硅层, 然后确定为第二导体层的同心导线和导线段。用与上述相同的方法制造其余的介质层、通路、导体层和导线和导线段。

本领域的普通技术人员将认识到, 可使用专用介质材料代替氧化硅 (硅体系) 或氮化硅 (砷化镓体系) 以形成介质层。例如, 可使用铁电陶瓷如 PLZT (镧改性的钛酸锶酸铅) 形成介质层。由于 PLZT 具有约 4700 的介电常数, 因此与氧化硅的 3.9 的介电常数相比, PLZT 层的使用大大提高了电容。

普通技术人员还将认识到，本发明的电容器可用在很多应用中，如RF、模拟和数字应用。RF 电路应用于匹配的电容器。每单位面积电容越大，面积越小和成本越低。在模拟电路应用中，通常可利用大电容器（KT/C）减少不希望的噪声。在数字电路应用中，大去耦电容经常是很重要的并能容易地提供有本发明的电容器。

已经参照上述实施例介绍了本发明，但是在不脱离本发明精神的情况下，可做出另外的修改和改变。因而，所有这些修改和改变应当落入所附权利要求书的范围内。

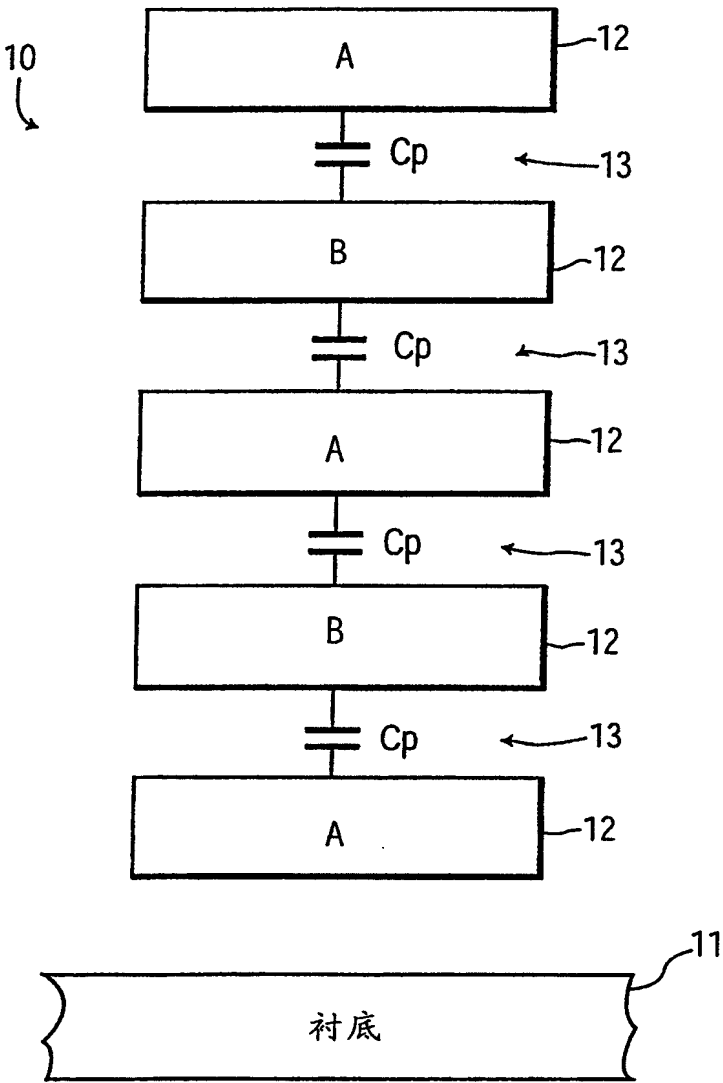


图 1

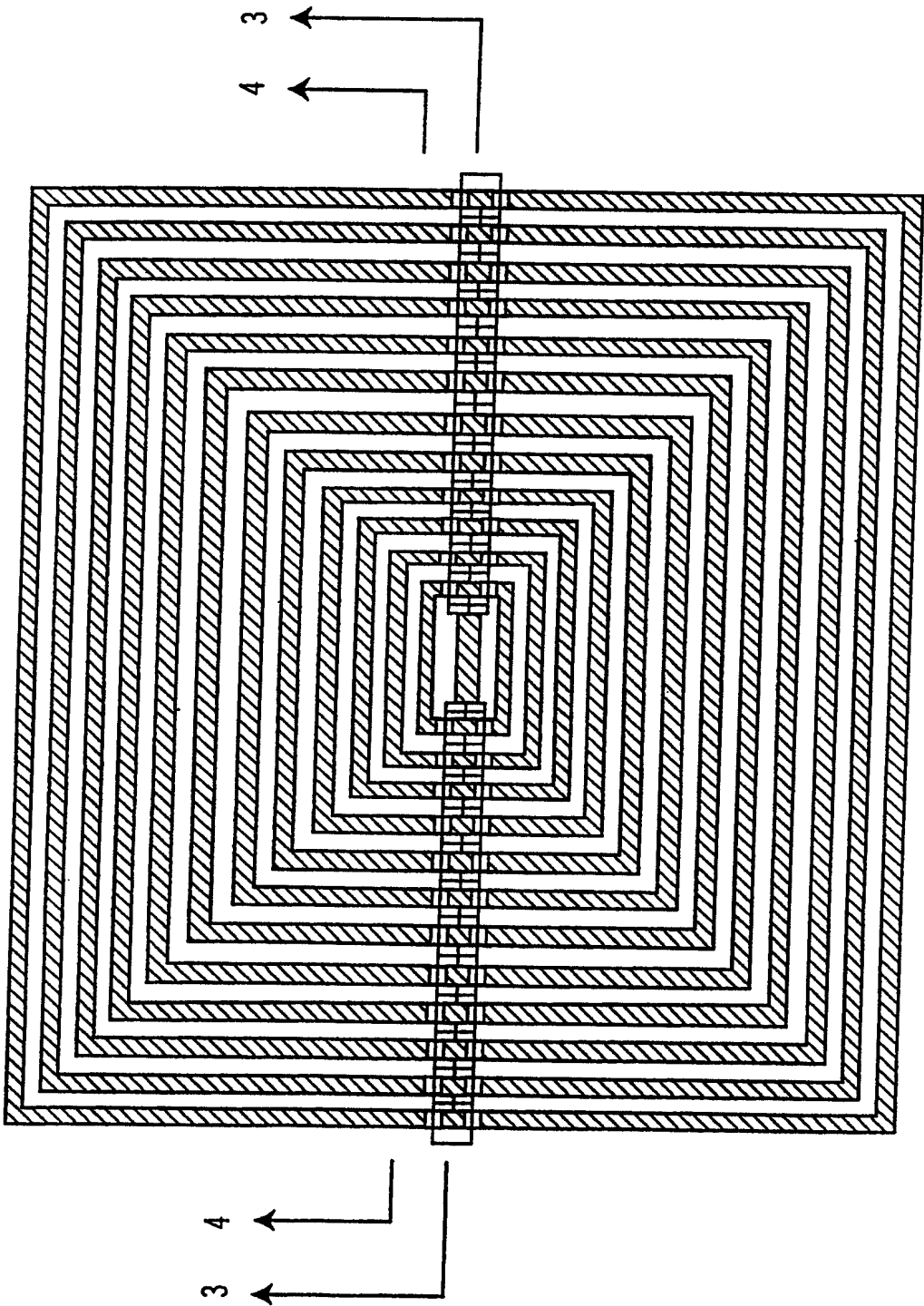


图 2

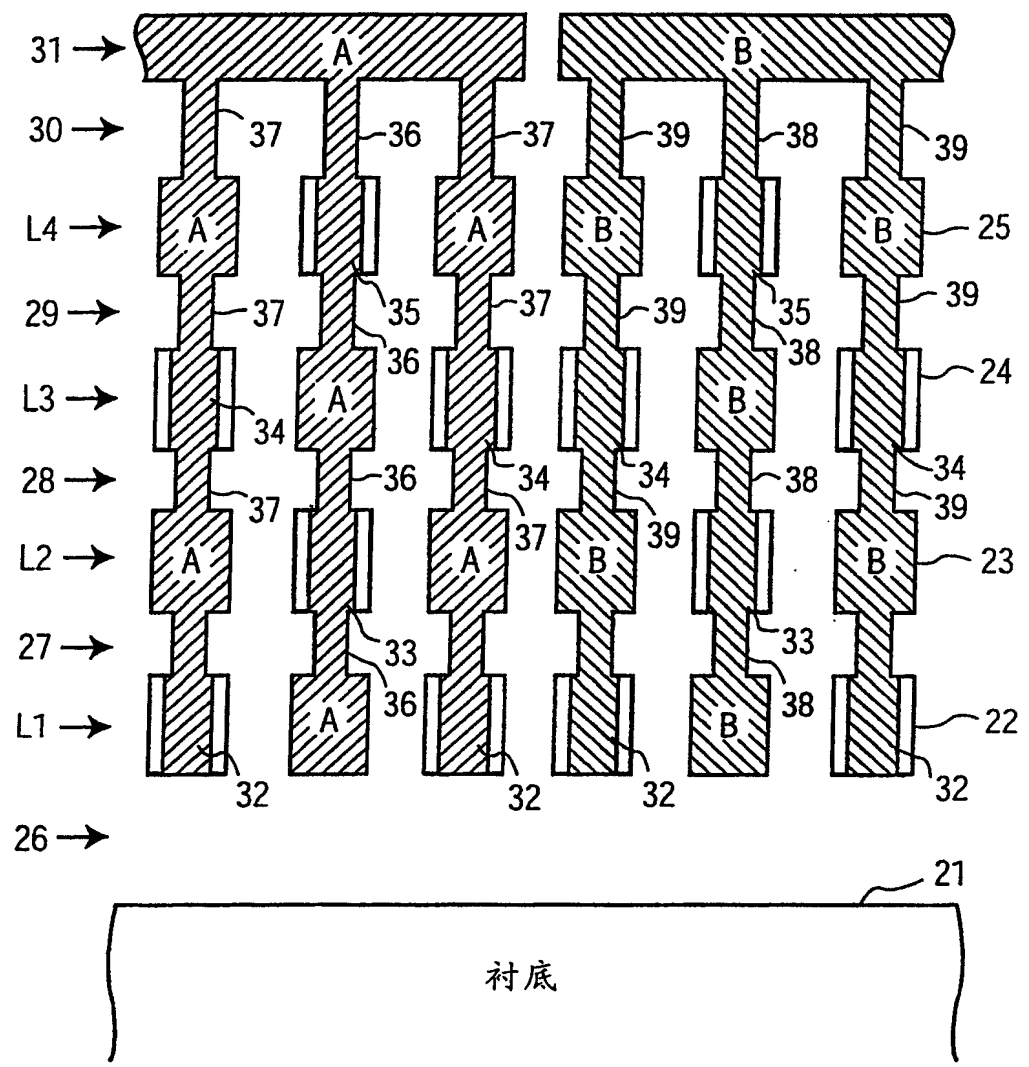


图 3

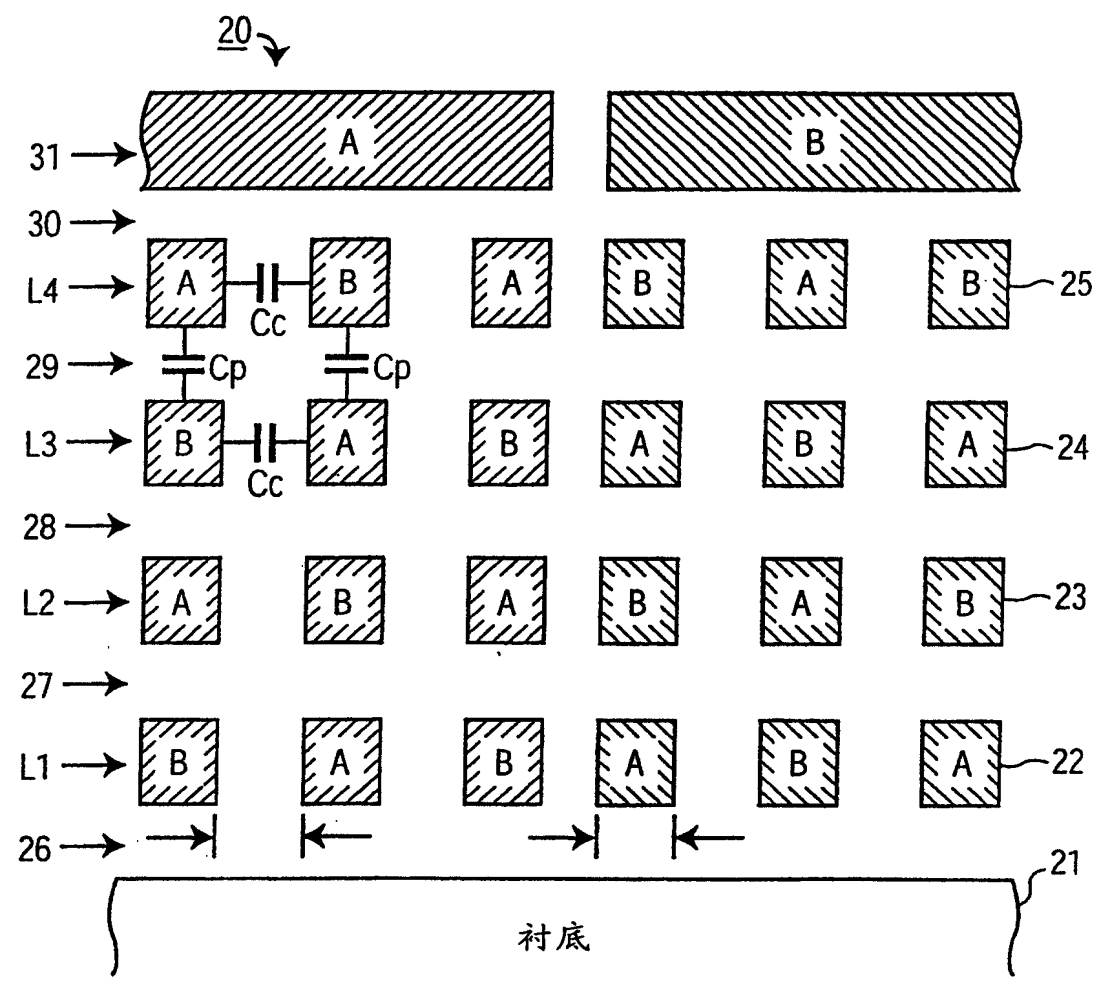


图 4

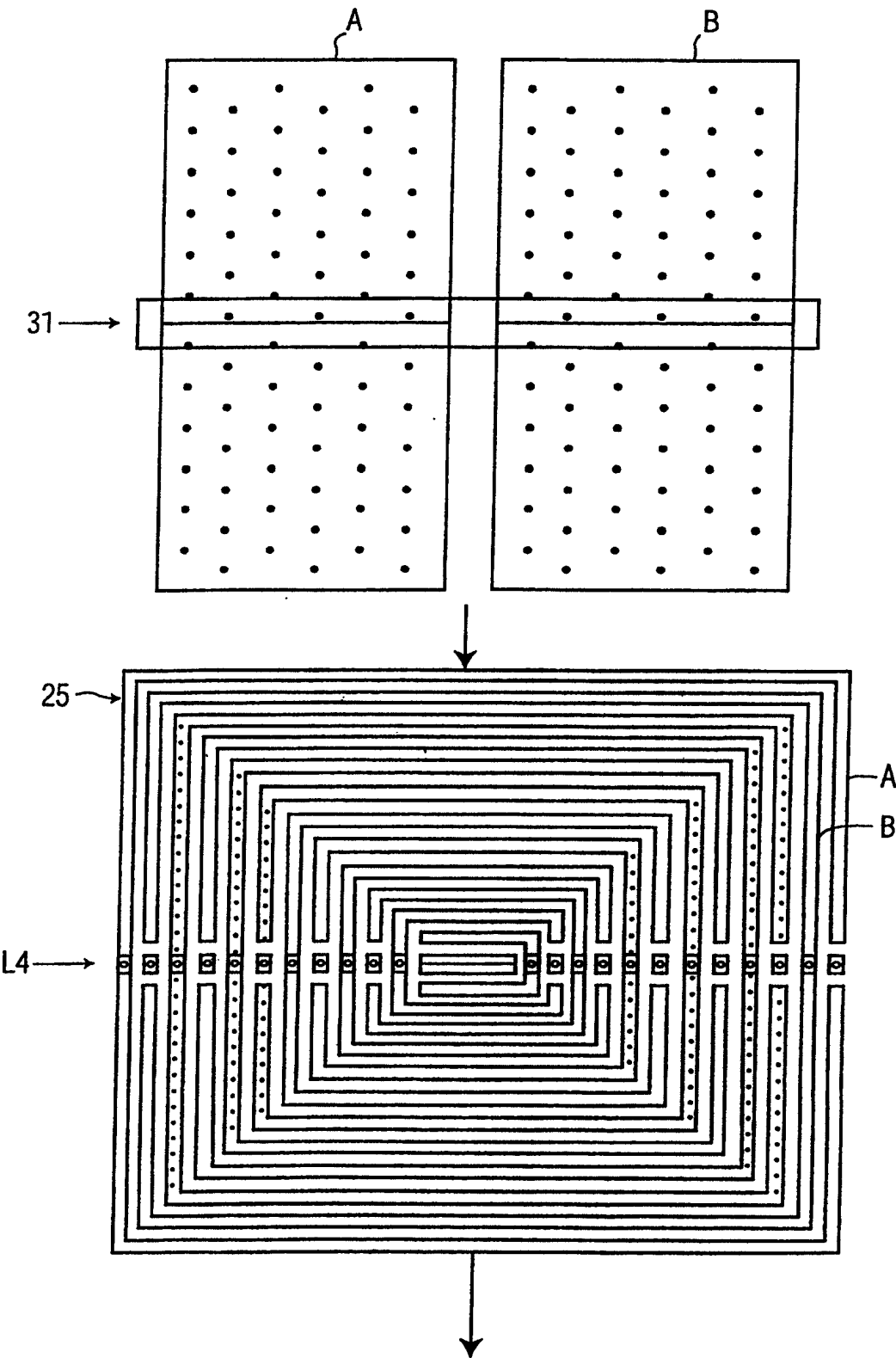


图 5A

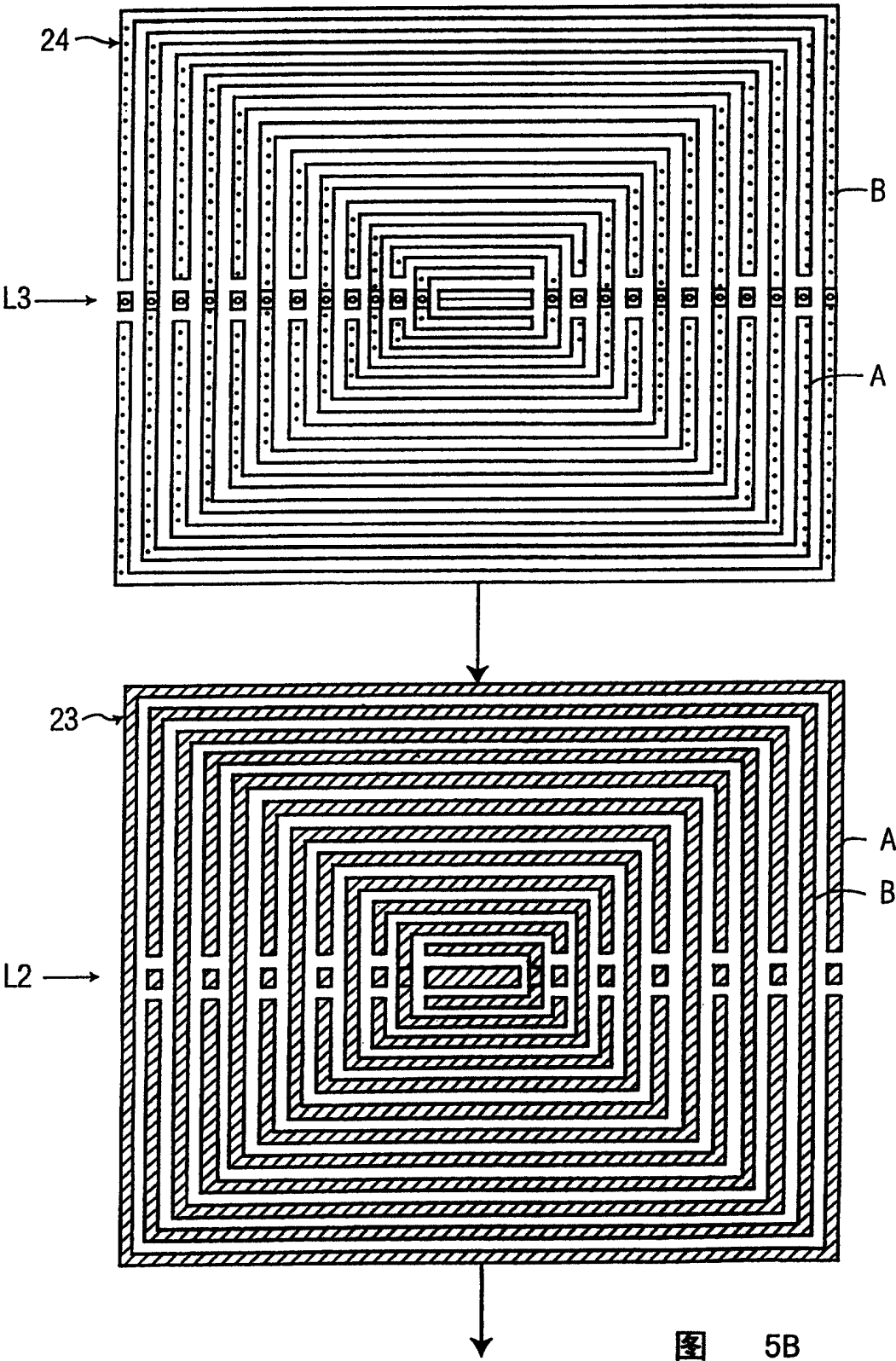


图 5B

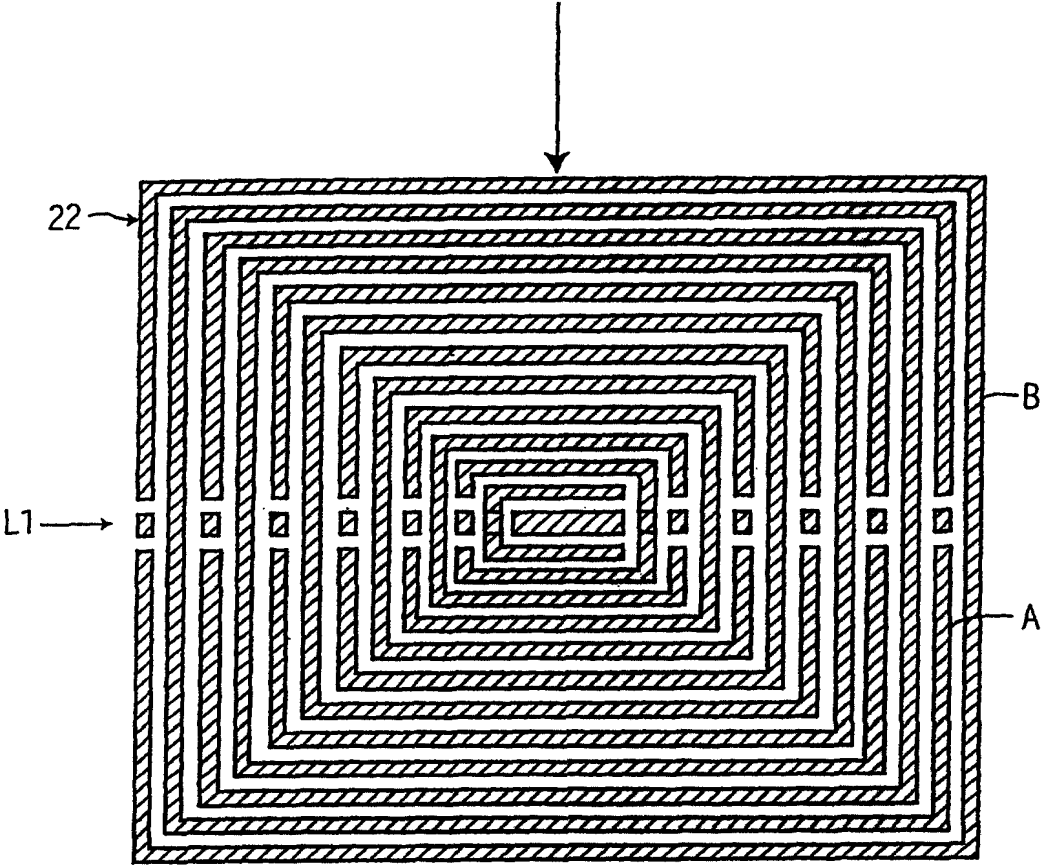


图 5C