

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G11C 29/00

(11) 공개번호 10-2004-0111202
(43) 공개일자 2004년12월31일

(21) 출원번호 10-2004-0046238
(22) 출원일자 2004년06월21일

(30) 우선권주장 JP-P-2003-00176933 2003년06월20일 일본(JP)

(71) 출원인 주식회사 아도반테스토
일본 도쿄, 네리마-쿠, 아사히-쵸 1-쵸메, 32-1

(72) 발명자 후지와라마사키
일본국 도쿄도 네리마구 아사히쵸 1-32-1 주식회사 아도반테스토 내

(74) 대리인 오병석

심사청구 : 없음

(54) 반도체 시험 장치

요약

전자 디바이스에 공급해야 하는 버스트(burst) 어드레스와 실패 메모리에 공급해야 하는 버스트 어드레스를, 각각 임의로 생성할 수 있는 반도체 시험 장치를 제공하는 것이다.

시험 패턴을 생성하는 패턴 발생부, 출력 신호에 근거하여, 전자 디바이스의 양부를 판정하는 논리 비교기, 논리 비교기의 판정 결과를 전자 디바이스의 어드레스마다에 격납하는 실패 메모리를 포함하며, 패턴 발생부는, 전자 디바이스가 연속하여 출력해야 하는 데이터가 격납된 어드레스를 순차적으로 생성하여, 전자 디바이스에 공급하는 버스트 어드레스 발생부, 버스트 어드레스 발생부가 생성한 연속하는 어드레스를 순차적으로 격납하는 FIFO 메모리, FIFO 메모리로부터 실패 메모리에 각각의 판정 결과에 대응한 어드레스를 순차적으로 공급시키기 위해서, FIFO 메모리가 격납한 각각의 어드레스를 실패 메모리에 순차적으로 공급하는 타이밍을 제어하는 제어부를 포함하는 반도체 시험 장치를 제공한다.

대표도

도 1

색인어

버스트 어드레스, 클록 서스펜드(suspend) 모드, 반도체 시험 장치,

명세서

도면의 간단한 설명

도 1은 본 발명의 실시형태에 관계되는 반도체 시험 장치 100의 구성의 일예를 나타내는 도면.

도 2는 패턴 발생기 10의 구성의 일예를 나타내는 도면.

도 3은 어드레스 발생부 60의 구성의 일예를 나타내는 도면.

도 4는 어드레스 발생부 60의 동작의 일예를 나타내는 타이밍 차트.

도 5는 인스트럭션(instruction) 메모리 12가 격납한 시험 프로그램의 일예를 나타내는 도면.

*도면의 주요 부분의 부호의 설명

10 : 패턴 발생기. 12 : 인스트럭션(instruction) 메모리.

14 : 시퀀스 제어부. 16 : 데이터 발생부. 18: 제어 신호 발생부.

30 : 컴퍼레이터. 40 : 논리비교기. 50 : 실패 메모리.

60 : 어드레스 발생부. 62 : 버스트(burst) 어드레스 발생부.

64 : 동기회로. 66 : FIFO 메모리. 68 : 동기회로.

70 : 셀렉터. 72 : 지연부. 74 : 기입 제어부.

76 : 독출 제어부. 78 : 지연부.

100 : 반도체 시험 장치. 110 : 전자 디바이스.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전자 디바이스를 시험하는 반도체 시험장치에 관한 것이다. 특히, 본 발명은, 내부 클록을 무효로 하고, 동일한 데이터를 출력하는 클록 서스펜드(suspend) 모드를 포함하는 전자 디바이스를 시험하는 반도체 시험 장치에 관한 것이다.

일반적으로, 메모리 등의 전자 디바이스를 시험하는 경우에, 기입해야 하는 데이터, 기입해야 하는 어드레스 및 제어 신호등의 시험 패턴을 전자 디바이스에 공급하고, 전자 디바이스가 출력하는 출력 신호와 기대치를 비교하는 것에 의하여, 전자 디바이스의 불량 셀을 검출하고 있다. 또한, 출력 신호와 기대치와의 비교 결과를, 전자 디바이스의 어드레스(셀)마다에, 실패 메모리에 격납한다. 이러한 경우에 반도체 시험 장치는, 전자 디바이스에 공급하는 어드레스와 동일한 어드레스를 소정 시간 지연시켜 실패 메모리에 공급하고 있다.

또한, 시험해야 하는 전자 디바이스로서, 클록 서스펜드 모드를 포함하는 SDRAM등의 메모리가 있다. 클록 서스펜드 모드라는 것은, 전자 디바이스가 내부의 클록에 동기하여, 데이터를 버스트(burst) 출력하는 경우에, 전자 디바이스 내부의 클록을 무효로 하고, 동일한 어드레스의 데이터를 연속하여 출력시키는 모드이다. 여기에서, 버스트 출력이라는 것은, 주어진 선두의 어드레스로부터, 연속하는 어드레스에 격납된 데이터를 순차적으로 출력하는 것을 가리킨다.

이와 같은 전자 디바이스를 시험하는 경우, 전자 디바이스에는, 버스트 출력시켜야 하는 데이터의 선두의 어드레스 및 클록 서스펜드를 수행하는 타이밍을 공급하면 좋지만, 실패 메모리에는 출력 신호의 각각의 디바이스에 대응하는 어드레스를 공급할 필요가 있다. 이 때문에, 종래의 반도체 시험 장치에서는, 실패 메모리에 공급해야 할 버스트 어드레스를 생성하고, 당해 어드레스와 동일한 버스트 어드레스를 전자 디바이스에 공급하고 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상술한 바와 같이, 전자 디바이스가 클록 서스펜드 모드에서 동작하고 있는 경우, 전자 디바이스에 공급해야 하는 버스트 어드레스와 실패 메모리에 공급해야 하는 버스트 어드레스와는 다른 경우가 있다. 즉, 종래의 반도체 시험 장치에 있어서, 실패 메모리에 공급해야 하는 버스트 어드레스와 동일한 버스트 어드레스를 전자 디바이스에 공급하는 경우, 전자 디바이스가 클록 서스펜드 모드에서 동작하는 타이밍에 의해서는, 전자 디바이스에 올바른 버스트 어드레스를 공급할 수 없는 경우가 있다.

예를 들면, 버스트 출력의 최종 사이클에서, 전자 디바이스를 클록 서스펜드모드에서 동작시키면, 실패 메모리에 공급해야 하는 버스트 어드레스의 길이는, 전자 디바이스에 공급해야 하는 버스트 어드레스보다, 클록 서스펜드 모드로 동작시킨 동안만큼 길어진다. 그러나, 전자 디바이스에는, 실패 메모리에 공급하는 버스트 어드레스와 동일한 버스트 어드레스가 공급된다. 이러한 경우에, 전자 디바이스를 연속하여 버스트 동작시키면, 이후의 버스트 출력의 선두 어드레스를 올바르게 공급할 수 없다. 즉, 이후의 버스트 출력의 선두 어드레스를 공급해야 하는 타이밍에, 전(前)의 버스트 출력의 최종 사이클에 있어서의 어드레스가 공급되어 버린다.

발명의 구성 및 작용

상기 과제를 해결하기 위하여, 본 발명의 제1 형태에 있어서는, 전자 디바이스를 시험하는 반도체 시험 장치이며, 전자 디바이스를 시험하기 위한 시험 프로그램에 응답하여, 전자 디바이스에 입력하는 시험 패턴을 생성하는 패턴 발생부 및 전자 디바이스가 시험 패턴에 응답하여 출력하는 출력 신호에 근거하여, 전자 디바이스의 양부를 판정하는 논리 비교기 및 논리 비교기의 판정 결과를 전자 디바이스의 어드레스마다에 격납하는 실패 메모리를 포함하며, 패턴 발생부는, 전자 디바이스가 연속하여 출력해야 하는 데이터가 격납되어 있는 어드레스를 순차적으로 생성하여, 전자 디바이스에 공급하는 버스트 어드레스 발생부, 버스트 어드레스 발생부가 생성한 연속하는 어드레스를 순차적으로 격납하는 FIFO 메모리 및 FIFO 메모리로부터 실패 메모리에, 각각의 판정 결과에 대응하는 어드레스를 순차적으로 공급시키기 위해, FIFO 메모리가 격납한 각각의 어드레스를 실패 메모리에 순차적으로 공급하는 타이밍을 제어하는 제어부를 포함하는 반도체 시험장치가 있다.

또한, 전자 디바이스는, 내부 클록을 무효로 하고, 동일한 데이터를 출력하는 클록 서스펜드 모드를 가지는 디바이스이며, 제어부는, 내부 클록을 무효로 되게 해야 하는 타이밍을 나타내는 클록 인에이블(enable) 신호를, 전자 디바이스에 공급하고, 클록 인에이블 신호에 근거하여, FIFO 메모리가 어드레스를 실패 메모리에 공급하는 타이밍을 추가적으로 제어해도 좋다.

제어부는, 버스트 어드레스 발생부가 순차적으로 생성한 어드레스의 패턴에 근거하여, FIFO 메모리가, 버스트 어드레스 발생부가 순차적으로 생성한 어드레스를 입력 받는 타이밍을 추가적으로 제어해도 좋다.

반도체 시험 장치는, 버스트 어드레스 발생부가 순차적으로 생성한 어드레스 또는 FIFO 메모리가 순차적으로 출력한 어드레스의 어느 것을 선택하여, 실패 메모리에 공급하는 셀렉터를 추가적으로 구비하여도 좋다.

반도체 시험 장치는, 전자 디바이스가 버스트 어드레스 생성부로부터 어드레스를 수취한 때로부터, 어드레스에 격납한 데이터를 출력하기까지의 CAS 레이턴시(latency)에 기인하는 시간만큼, FIFO 메모리가 순차적으로 출력하는 어드레스를 지연시켜, 실패 메모리에 공급하는 지연부를 추가적으로 포함하여도 좋다.

또한, 상기 발명의 개요는, 본 발명이 필요로 하는 특징의 전부를 열거한 것은 아니며, 이들 특징군의 서브 콤비네이션도 또한 발명으로 된다.

이하에, 발명의 실시 형태를 통해 본 발명을 설명하지만, 이하의 실시 형태는 특허청구범위에 기재된 발명을 한정하는 것은 아니며, 또한, 실시 형태 중에서 설명되어 있는 특징의 조합 전체가 발명의 해결 수단으로서 필수적인 것으로 한정되지 않는다.

도 1은, 본 발명의 실시 형태에 관계되는 반도체 시험 장치 100의 구성의 일예를 도시한다. 반도체 시험 장치 100은, 전자 디바이스 110의 시험을 수행한다. 본 예에 있어서, 전자 디바이스 110은, 클록 서스펜드 모드를 포함하는 SDRAM 등의 메모리가 있다. 여기에서, 클록 서스펜드 모드란, 전자 디바이스 110이 내부의 클록에 동기하여, 데이터를 버스트 출력하는 경우에, 전자 디바이스 110 내부의 클록을 무효로 하고, 동일한 어드레스의 데이터를 연속하여 출력시키는 모드이다. 또한, 버스트 출력이란, 예를 들면 주어진 선두의 어드레스로부터, 연속하는 어드레스에 격납된 데이터를 순차적으로 출력하는 동작을 가리킨다. 나아가, 반도체 시험 장치 100은, 패턴 발생기 10, 컴퍼레이터 30, 논리 비교기 40, 및 실패 메모리 50을 포함한다.

패턴 발생기 10은, 전자 디바이스 110의 시험을 수행하기 위하여, 전자 디바이스 110에 공급하는 시험 패턴을 생성한다. 또한, 패턴 발생기 10은, 전자 디바이스 110에 전자 데이터를 기입하는 모드나 전자 디바이스 110이 기억하는

전자 데이터를 독출하는 모드를 선택하는 신호를 전자 디바이스 110에 공급한다. 전자 디바이스 110에 전자 데이터를 기입하는 경우, 패턴 발생기 10은, 전자 디바이스 110의 어드레스를 지정하는 신호와, 지정된 어드레스에 기입해야 하는 데이터를 생성하여, 전자 디바이스 110에 공급한다. 또한, 전자 디바이스 110으로부터의 데이터를 독출하는 경우, 패턴 발생기 10은, 전자 디바이스 110의 어드레스를 지정하는 신호를 전자 디바이스 110에 공급한다.

컴퍼레이터 30은, 전자 디바이스 110으로부터 독출된 데이터를 출력 신호로서 수취하여, 당해 출력 신호 각각의 데이터의 레벨이, 미리 결정된 레벨보다 큰가 아닌가에 근거하여, 당해 출력 신호를, H논리 또는 L논리를 나타내는 디지털 신호로 변환한다.

논리 비교기 40은, 출력 신호와 패턴 발생기 10이 생성한 기대치 패턴과를 비교하여, 전자 디바이스 110의 양부를 판정한다. 예를 들면, 패턴 발생기 10은, 전자 디바이스 110에 공급한 시험 패턴과 동일한 패턴을 포함하는 기대치 패턴을 생성한다.

실패 메모리 50은, 출력 신호와 기대치 패턴과의 비교 결과를, 전자 디바이스 110의 어드레스마다에 격납한다. 당해 실패 메모리 50이 격납한 비교 결과를 해석하는 것에 의해, 전자 디바이스 110의 어드레스의 어느 어드레스에 에러가 발생하는가를 판정할 수 있다.

도 2는, 패턴 발생기 10의 구성의 일예를 도시한다. 패턴 발생기 10은, 인스트럭션(instruction) 메모리 12, 시퀀스 제어부 14, 데이터 발생부 16, 어드레스 발생부 60, 제어 신호 발생부 18 및 지연부 78을 포함한다.

인스트럭션 메모리 12는, 시험 패턴을 생성하기 위한 시퀀스를 제어하는 명령, 전자 디바이스 110에 공급하는 시험 패턴을 생성하기 위한 데이터 및 데이터의 연산 명령, 전자 디바이스 110에 데이터를 기입해야 하는 어드레스 데이터 및 전자 디바이스 110의 모드를 제어하기 위한 제어 신호등을 격납한다.

시퀀스 제어부 14는, 인스트럭션 메모리 12가 격납한 명령군에 근거하여, 인스트럭션 메모리 12가 격납한 데이터, 연산 명령, 어드레스 데이터, 제어 신호의 어느 것을 사용하여 시험 패턴을 생성하는가를 선택한다. 시퀀스 제어부 14에 의해 선택된 데이터 및 연산 명령, 어드레스 데이터 및 제어 신호는 각각 데이터 발생부 16, 어드레스 발생부 60 및 제어 신호 발생부 18에 송신된다. 또한, 시퀀스 제어부 14는, 생성해야 하는 시험 패턴에 응하여, 전자 디바이스 110을 클록 서스펜드 모 드에서 동작시키기 위한 클록 인에이블 신호 CKE를, 인스트럭션 메모리 12로부터 지연부 78을 개입시켜 전자 디바이스 110에 공급시킨다. 여기에서, 클록 인에이블 신호 CKE는, 전자 디바이스 110의 내부 클록을 무효로 시켜야 하는 타이밍을 나타내는 신호이다.

데이터 발생부 16은, 인스트럭션 메모리 12로부터 수취한 데이터 및 연산 명령에 근거하여, 전자 디바이스 110에 공급해야 하는 시험 데이터를 생성한다. 또한, 데이터 발생부 16은, 논리 비교기 40에, 시험 데이터를 기대치 데이터로서 공급한다.

어드레스 발생부 60은, 데이터 발생부 16이 생성하는 시험 데이터를 전자 디바이스 110의 어드레스의 어느 어드레스에 격납해야 하는가를 나타내는 어드레스 데이터를 생성한다. 또한, 어드레스 발생부 60은, 논리 비교기 40에 있어서의 판정 결과에 대응하는 어드레스를 생성하여, 실패 메모리 50에 공급한다.

제어 신호 발생부 80은, 인스트럭션 메모리 12로부터 수취한 제어 신호에 근거하여, 전자 디바이스 110을 제어한다. 예를 들면, 제어 신호 발생부 18은, 전자 디바이스 110에 데이터를 기입하거나 또는 전자 디바이스 110으로부터 데이터를 독출하는 등의 동작 모드를 제어한다.

지연부 78은, 클록 인에이블 신호 CKE를 소정 시간 지연시켜, 전자 디바이스 110에 공급한다. 이와 같은 구성 및 동작에 의해, 패턴 발생기 10은, 전자 디바이스 110에 시험 패턴을 공급한다.

도 3은, 어드레스 발생부 60의 구성의 일예를 도시한다. 어드레스 발생부 60은, 버스트 어드레스 발생부 62, 동기 회로 64, 동기 회로 68, FIFO 메모리 66, 기입 제어부 74, 독출 제어부 76, 셀렉터 70 및 지연부 72를 포함한다.

버스트 어드레스 발생부 62는, 인스트럭션 메모리 12로부터, 어드레스 데이터를 수취하고, 어드레스 데이터에 근거하여, 전자 디바이스 110에 공급하는 어드레스를 순차적으로 생성한다. 전자 디바이스 110에 버스트 출력시킨 경우, 버스트 어드레스 발생부 62는, 전자 디바이스 110이 연속하여 출력해야 하는 데이터가 격납되어 있는 어드레스를 순차적으로 생성한다.

FIFO 메모리 66은, 버스트 어드레스 발생부 62가 생성한 연속하는 어드레스를 순차적으로 격납한다. FIFO 메모리 66은, 주어진 동작 클록에 동기하여 순차적으로 어드레스를 격납하고, 먼저 격납한 데이터부터, 주어진 동작 클록에 동기하여 순차적으로 출력하는 선입 선출(First In First Out) 메모리이다.

인스트럭션 메모리 12는, FIFO 메모리 66으로부터 실패 메모리 50에, 논리 비교기 40에 있어서의 각각의 판정 결과에 대응하는 어드레스를 순차적으로 공급시키기 위해, FIFO 메모리 66이 순차적으로 격납한 각각의 어드레스를, 실패 메모리 50에 순차적으로 공급하는 타이밍을 제어한다. 즉, 인스트럭션 메모리 12는, 본 발명에 있어서의 제어부로서 기능한다.

인스트럭션 메모리 12는, 클록 인에이블 신호 CKE에 근거하여, FIFO 메모리 66이 어드레스를 실패 메모리 50에 공급하는 타이밍을 제어한다. 본 예에 있어서, 인스트럭션 메모리 12는, 클록 인에이블 신호 CKE에 근거한 FIFO_R 신호를, 독출 제어부 76을 개입시켜 FIFO 메모리 66에 공급한다. 예를 들어, FIFO_R 신호는, FIFO 메모리 66에 주어진 동작 클록을 소정의 타이밍에서 무효로 하는 신호이다. 즉, 인스트럭션 메모리 12는, 주어진 동작 클록의 사이클마다에, 격납한 어드레스를 순차적으로 출력하는 메모리이며, 인스트럭션 메모리 12는, FIFO_R 신호에 의해, 당해 동작 클록을 소정의 타이밍에서 무효로 함에 의해, FIFO 메모리 66이 각각의 어드레스를 출력하는 기간을 제어한다. 이에 의하여, 소망하는 패턴을 포함하는 버스트 어드레스를 생성할 수 있다.

또한, 인스트럭션 메모리 12는, 버스트 어드레스 발생부 62가 생성한 버스트 어드레스에 근거하여, FIFO 메모리 66이 버스트 어드레스 발생부 62가 순차적으로 생성한 어드레스를 입력 받는 타이밍을 추가적으로 제어한다. 본 예에 있어서, 인스트럭션 메모리 12는, FIFO_W 신호를 기입 제어부 74를 개입시켜 FIFO 메모리 66에 공급한다. 예를 들면, FIFO_W 신호는, FIFO 메모리 66에 주어진 동작 클록을 소정의 타이밍에서 무효로 하는 신호이다. 즉, 인스트럭션 메모리 12는, 주어진 동작 클록의 사이클마다에, 어드레스를 순차적으로 격납하는 메모리이며, 인스트럭션 메모리 12는, FIFO_W 신호에 의해, 당해 동작 클록을 소정의 타이밍에서 무효로 함에 의해, FIFO 메모리 66이 각각의 어드레스를 격납하는 타이밍을 제어한다. 본 예에 있어서의 인스트럭션 메모리 12는, 버스트 어드레스 발생부 62가 동작 클록의 복수의 사이클의 기간동안, 동일한 어드레스를 나타내는 버스트 어드레스를 생성하는 경우이어도, FIFO 메모리 66이 동일한 어드레스를 중복하여 격납하지 않도록 FIFO 메모리를 제어한다.

이상 설명한 동작에 의해, 전자 디바이스 110에 공급해야 하는 버스트 어드레스 및 실패 메모리 50에 공급해야 하는 버스트 어드레스를 각각 임의의 패턴으로 생성할 수 있다.

셀렉터 70은, 버스트 어드레스 발생부 62가 순차적으로 생성하는 어드레스 또는 FIFO 메모리 66이 순차적으로 출력하는 어드레스의 어느 것을 선택하여, 실패 메모리 50에 공급한다. 예를 들면, 전자 디바이스 110이 클록 서스펜드 모드에서 동작하는 경우, 셀렉터 70은, FIFO 메모리 66으로부터 수취한 버스트 어드레스를, 지연부 72를 개입시켜 실패 메모리 50에 공급하고, 전자 디바이스 110이 클록 서스펜드 모드로 동작하지 않는 경우, 셀렉터 70은, 버스트 어드레스 발생부 62로부터 수취한 버스트 어드레스를, 지연부 72를 개입시켜 실패 메모리 50에 공급한다. 인스트럭션 메모리 12는, 셀렉터 70을 제어하기 위한 선택 신호를, 동기 회로 68을 개입시켜 셀렉터 70에 공급한다.

지연부 72는, 전자 디바이스 110이 버스트 어드레스 발생부 62로부터 어드레스를 수취한 때로부터, 당해 어드레스에 격납한 데이터를 출력하기까지의 CAS 레이턴시에 근거하는 시간만큼, 셀렉터 70으로부터 수취한 버스트 어드레스를 지연시켜서, 실패 메모리 50에 공급한다. 또한, 동기 회로 64 및 동기 회로 68은, 버스트 어드레스 발생부 62가 생성한 버스트 어드레스를 전자 디바이스 110에 공급하는 타이밍, FIFO 메모리 66이 생성한 버스트 어드레스를 셀렉터 70에 공급하는 타이밍 및 셀렉터 70을 제어하는 타이밍을 동기시킨다. 이와 같은 제어에 의해, 실패 메모리 50에 공급되는 판정 결과 및 당해 판정 결과에 대응하는 어드레스를 실패 메모리 50에 대응 기입하여 격납할 수 있다.

도 4는, 어드레스 발생부 60의 동작의 일예를 도시한 타이밍 차트이다. 본 예에 있어서, 어드레스 발생부 60은, 전자 디바이스 110이 격납한 데이터를 버스트 출력시키기 위한 버스트 어드레스를 생성한다. 또한, 본 예에 있어서, FIFO 메모리 66은, FIFO [0] 내지 FIFO [3]까지의 4개 데이터 분량의 영역을 포함하는 메모리이다. FIFO 메모리 66은, 수취한 어드레스를 FIFO [0] 내지 FIFO [3]에 순차적으로 격납하고, FIFO [0] 내지 FIFO [3]에 격납한 어드레스를 순차적으로 출력한다.

도 4에 있어서, 제어 신호, 어드레스 제어 신호, 클록 인에이블 신호 CKE 및 버스트 어드레스(64)는, 패턴 발생기 10으로부터 전자 디바이스 110에 공급되는 신호이다. 여기에서 버스트 어드레스(64)는, 동기 회로 64가 출력하는 버스트 어드레스이다. 동기회로 64는, 버스트 어드레스 발생부 62가 출력하는 버스트 어드레스(62)를, 1 사이클 지연시켜 출력한다.

또한, 버스트 어드레스 발생부 62는, 연속하는 복수의 버스트 어드레스의 각각의 선두 어드레스 B0가, 대응하는 독출 명령(Read Command) 및 칼럼 명령(Column Command)에 동기하고, 또한 FIFO 메모리 66에 버스트 어드레스의 모든 어드레스(B0 내지 B3)를 공급할 수 있도록 하는 패턴을 포함하는 버스트 어드레스를 생성한다. 즉, 버스트 어드레스 발생부 62는, 버스트 어드레스의 패턴의 길이가, 칼럼 명령간의 길이와 동일하게 되며, 또한 선두 어드레스 B0로부터 연속하는 어드레스를 도시하는 버스트 어드레스를 생성한다.

전자 디바이스 110은, 제어 신호로서 독출(Read), 어드레스 제어 신호로서 칼럼(Column)이 주어지는 경우에, 버스트

어드레스(64)에 표시되는 어드레스를, 버스트 출력해야 하는 데이터를 격납한 버스트 어드레스의 선두 어드레스로서 입력 받는다. 그렇게 하여, 당해 선두 어드레스로부터 연속하는 어드레스에 격납된 데이터를, 동작 클록에 대응하여 데이터 신호로서 순차적으로 출력한다. 이 경우에, 전자 디바이스 110은, 클록 인에이블 신호 CKE가 L 논리를 나타내는 경우에, 동작 클록의 다음 사이클을 무효로 하고, 당해 사이클과 동일한 데이터를 출력한다.

FIFO 메모리 66은, 버스트 어드레스(62)를, FIFO_W 신호에 대응하는 타이밍에서 입력 받는다. 본 예에 있어서, 버스트 어드레스 발생부 62가 최초로 생성한 버스트 어드레스 중에서, 어드레스 B3가 2사이클 분량의 길이를 포함하기 때문에, 인스트럭션 메모리 12는, FIFO 메모리 66이 당해 어드레스 B3를 2회 입력 받지 않도록, FIFO_W 신호에 의해 FIFO 메모리 66을 제어한다.

그렇게 하여, FIFO 메모리 66은, 격납한 어드레스를 FIFO_R 신호에 대응하는 타이밍에서 출력하고, 버스트 어드레스(66)를 생성한다. 인스트럭션 메모리 12는, 전자 디바이스 110이 클록 인에이블 신호 CKE에 대응하여, 복수의 사이클에서 동일한 데이터를 출력하는 동안, FIFO 메모리 66도 대응하는 동일한 어드레스를 출력하도록, FIFO 메모리 66을 제어한다.

그렇게 하여, 지연부 72는, CAS 레이턴시에 대응하는 시간만큼, 버스트 어드레스(66)을 지연시킨 버스트 어드레스(72)를 실패 메모리 50에 공급한다. 이에 의해, 도 4에 도시된 바와 같이, 전자 디바이스 110이 출력하는 데이터 신호의 각각의 데이터에 대응하는 어드레스를 나타내는 버스트 어드레스(72)를 실패 메모리 50에 공급할 수 있다.

도 5는, 인스트럭션 메모리 12가 격납하는 시험 프로그램의 일예를 도시한다. 인스트럭션 메모리 12는, 명령군, 신호 패턴, 어드레스 데이터, FIFO_W 신호, FIFO_R 신호 및 선택 신호를 격납한다. 시퀀스 제어부 14는, 인스트럭션 메모리 12가 격납한 명령군에 응하여, FIFO_W 신호, FIFO_R 신호 및 선택 신호의 어느 것을 사용하여 시험 패턴을 생성하는가를 제어한다. 명령군은, 소위 LOOP, JUMP, NOP 등을 포함하는 명령군이다.

또한, 신호 패턴은, 시험 데이터를 생성하기 위한 데이터, 데이터 연산 명령등을 포함한다. 또한, 어드레스 데이터는, 대응하는 신호 패턴을 격납해야 하는 전자 디바이스 110의 어드레스를 나타내 보인다. 또한, 전자 디바이스 110이 격납한 데이터를 독출하는 경우, 당해 데이터가 격납된 어드레스를 나타낸다. 예를 들면, 전자 디바이스 110에 버스트 출력시킨 경우, 당해 어드레스 데이터는, 버스트 출력의 선두 어드레스를 나타내는 데이터이어도 좋다.

FIFO_W 신호 및 FIFO_R 신호는, 전술한 바와 같이, 전자 디바이스 110에 버스트 출력시킨 경우에, FIFO 메모리 66에 공급되는 동작 클록을 무효로 하기 위한 데이터이다. 예를 들면, 인스트럭션 메모리 12는, 동작 클록을 무효로 해야 하는 사이클에서 L 논리를 나타내는 신호를 격납한다. 인스트럭션 메모리 12는, FIFO_W 신호 및 FIFO_R 신호를, 시퀀스 제어부를 동작시키는 명령과 대응 기입하여도 좋고, 또한, 어드레스 데이터와 대응 기입하여 격납하여도 좋다.

선택 신호는, 전술한 바와 같이, 셀렉터 70을 제어하기 위한 신호이다. 인스트럭션 메모리 12는, 선택신호를, 시퀀스 제어부를 동작시키는 명령과 대응 기입하여 격납하여도 좋고, 또한 어드레스 데이터와 대응 기입하여 격납하여도 좋다. 또한, 인스트럭션 메모리 12는, 클록 인에이블 신호 CKE를 생성하기 위한 데이터를 추가적으로 격납하여도 좋다.

본 예에 있어서의 인스트럭션 메모리 12에 의하면, FIFO 메모리 66을 제어하는 신호등을, 시퀀스 제어부 14를 동작시키는 명령과 대응 기입하여 격납하기 위하여, FIFO 메모리 66에, 실패 메모리 50에 공급해야 하는 버스트 어드레스를 용이하게 생성시킬 수 있다.

이상, 본 발명을 실시 형태를 이용하여 설명하였으나, 본 발명의 기술적 범위는 상기 실시의 형태에 기재된 범위에 한정되지는 않는다. 상기 실시의 형태에 다양한 변경 또는 개량을 추가할 수 있다는 것이 당업자에게 명백하다. 그러한 변경 또는 개량을 추가한 형태도 본 발명의 기술적 범위에 포함된다는 것이 특허청구범위의 기재로부터 명백하다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 전자 디바이스에 공급해야 하는 버스트 어드레스 및 실패 메모리에 공급해야 하는 버스트 어드레스를, 각각 임의의 패턴으로 생성할 수 있다. 이 때문에 전자 디바이스의 각각의 어드레스에 대응하는 시험 결과를, 올바르게 실패 메모리에 격납하고, 또한 전자 디바이스에 올바른 버스트 어드레스를 공급할 수 있다.

(57) 청구의 범위

청구항 1.

전자 디바이스를 시험하는 반도체 시험 장치에 있어서,

상기 전자 디바이스를 시험하기 위한 시험 프로그램에 응답하여, 상기 전자 디바이스에 입력하는 시험 패턴을 생성하는 패턴 발생부,

상기 전자 디바이스가 상기 시험 패턴에 응하여 출력하는 신호에 근거하여, 상기 전자 디바이스의 양부를 판정하는 논리 비교기 및

상기 논리 비교기의 판정 결과를, 상기 전자 디바이스의 어드레스마다에 격납하는 실패 메모리를 포함하며,

상기 패턴 발생부는,

상기 전자 디바이스가 연속하여 출력해야 하는 데이터가 격납된 어드레스를 순차적으로 생성하여, 상기 전자 디바이스에 공급하는 버스트(burst) 어드레스 발생부,

상기 버스트 어드레스 발생부가 생성하는 상기 연속하는 어드레스를 순차적으로 격납하는 FIFO 메모리 및

상기 FIFO 메모리로부터 상기 실패 메모리에, 각각의 상기 판정 결과에 대응하는 어드레스를 순차적으로 공급시키기 위하여, 상기 FIFO 메모리가 격납한 각각의 상기 어드레스를 상기 실패 메모리에 순차적으로 공급하는 타이밍을 제어하는 제어부를 포함하는 반도체 시험 장치.

청구항 2.

제1항에 있어서,

상기 전자 디바이스는, 내부 클록을 무효로 하고, 동일한 데이터를 연속하여 출력하는 클록 서스펜드(suspend) 모드를 포함하는 디바이스이며,

상기 제어부는,

상기 내부 클록을 무효로 시켜야 하는 타이밍을 나타내는 클록 인에이블(enable) 신호를 상기 전자 디바이스에 공급하며,

상기 클록 인에이블 신호에 근거하여, 상기 FIFO 메모리가 상기 어드레스를 상기 실패 메모리에 공급하는 타이밍을 제어하는 반도체 시험 장치.

청구항 3.

제2항에 있어서, 상기 제어부는, 상기 버스트 어드레스 발생부가 순차적으로 생성하는 어드레스의 패턴에 근거하여, 상기 FIFO 메모리가, 상기 버스트 어드레스 발생부가 순차적으로 생성하는 상기 어드레스를 입력 받는 타이밍을 추가적으로 제어하는 반도체 시험 장치.

청구항 4.

제1항에 있어서,

버스트 어드레스 발생부가 순차적으로 생성하는 상기 어드레스 또는 상기 FIFO 메모리가 순차적으로 출력하는 상기 어드레스의 어느 것을 선택하여, 상기 실패 메모리에 공급하는 셀렉터를 추가적으로 포함하는 반도체 시험 장치.

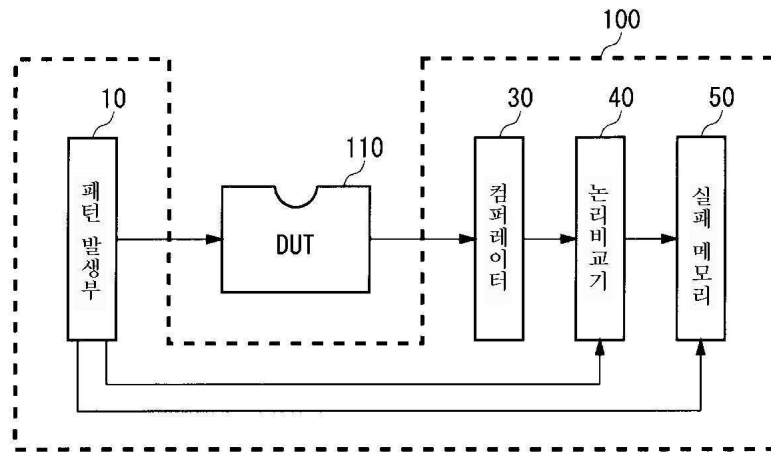
청구항 5.

제1항에 있어서,

상기 전자 디바이스가 상기 버스트 어드레스 생성부로부터 상기 어드레스를 수취한 때로부터, 상기 어드레스에 격납한 상기 데이터를 출력하기까지의 CAS레이턴시(latency)에 근거하는 시간만큼, 상기 FIFO 메모리가 순차적으로 출력하는 상기 어드레스를 지연시켜, 상기 실패 메모리에 공급하는 지연부를 추가적으로 포함하는 반도체 시험 장치.

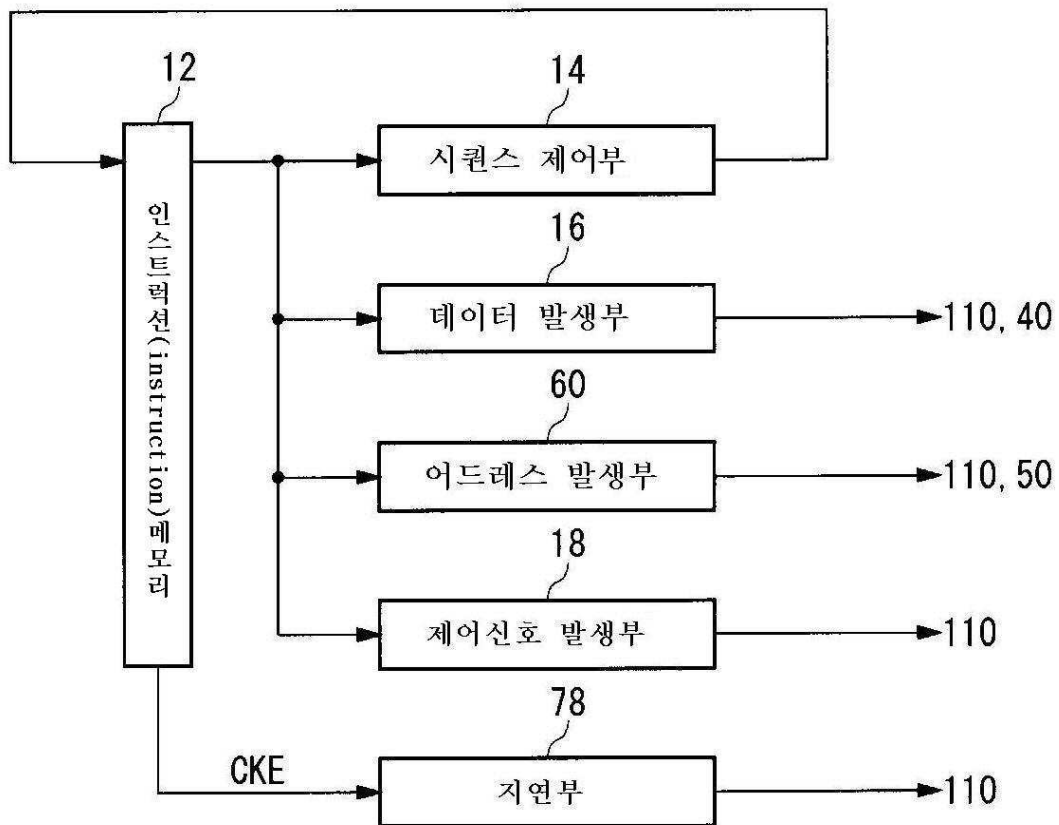
도면

도면1

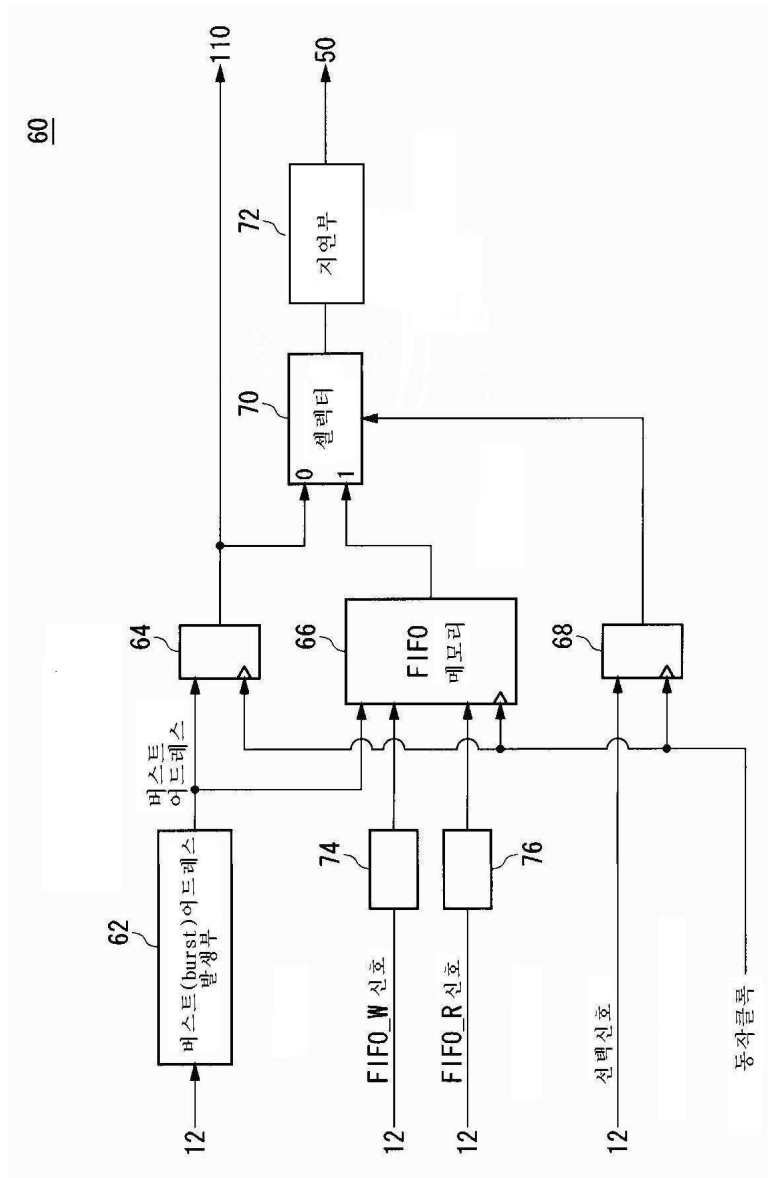


도면2

10



도면3



도면5

12

싸이클	명령	신호패턴	어드레스 데이터	FIFO 신호		선택신호
				W	R	
#1						
#2	루프 (ROOF)					
#3	패턴 인가	A	0000			
#4	S	B	0001			
#5		A	0002			
#6		C	0003			
#7						
#8	패턴 인가 #2로 점프(JUMP)					
#9	NOP					
#10	패턴 독출		0000	H/L	H/L	H/L
#11	S			⋮	⋮	⋮
#12				⋮	⋮	⋮
#13				⋮	⋮	⋮
#14				⋮	⋮	⋮
⋮	⋮					