



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1591025** **A1**

(51) **G 06 F 12/00**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВЕСОМЫЙ
ПАТЕНТНО-ТЕХНИЧЕСКАЯ
БИБЛИОТЕКА

(21) 4603357/24-24

(22) 09.11.88

(46) 07.09.90. Бюл. № 33

(71) Львовский политехнический
институт им. Ленинского комсомола

(72) И.Б.Боженко, О.К.Мешков

и А.Г.Крот

(53) 681.325(088.8)

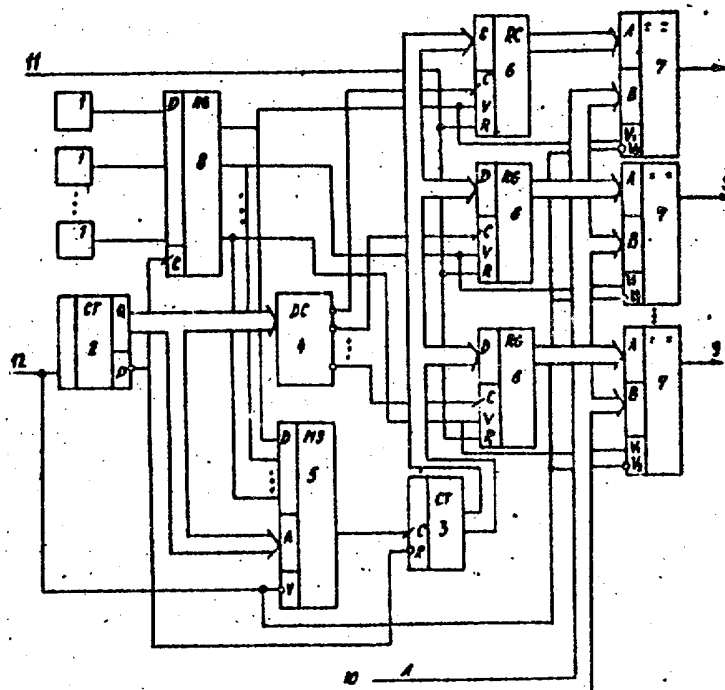
(56) Авторское свидетельство СССР
№ 764518, кл. G 06 F 13/00, 1980.

Авторское свидетельство СССР
№ 1024926, кл. G 06 F 13/00, 1983.

(54) УСТРОЙСТВО ДЛЯ УПРАВЛЕНИЯ ВЫБОР-
КОЙ БЛОКОВ ПАМЯТИ

(57) Изобретение относится к области

вычислительной техники и может быть
использовано в системах памяти, ис-
пользующих реконфигурацию отказав-
ших элементов. Целью изобретения яв-
ляется повышение надежности. Устрой-
ство содержит группу двухпозиционных
переключателей 1, счетчики 2, 3, де-
шифратор 4, коммутатор 5, группу ре-
гистров 6, группу схем 7 сравнения,
регистр 8, выходы 9 выборки блоков
памяти группы, адресный вход 10,
вход 11 начальной установки и син-
хровход 12 устройства. Поставленная
цель достигается введением новых эле-
ментов и связей. 2 ил.



Фиг. 1

(19) **SU** (11) **1591025** **A1**

Изобретение относится к вычислительной технике и может быть использовано в системах памяти, использующих реконфигурацию отказавших элементов.

Целью изобретения является повышение надежности.

На фиг.1 представлена функциональная схема предлагаемого устройства; на фиг.2 - временная диаграмма работы устройства.

Устройство содержит группу двухпозиционных переключателей 1, счетчики 2 и 3, дешифратор 4, коммутатор 5, группу регистров 6, группу схем 7 сравнения, регистр 8, выходы 9 выборки блоков памяти группы, адресный вход 10 устройства, вход 11 начальной установки и синхровход 12 устройства.

На фиг.2 приняты следующие обозначения: а - синхроимпульсы СИ, поступающие по синхровходу 12 устройства, б - выход младшего разряда счетчика 2, в - выход переполнения счетчика 2, г-е - соответственно первый, второй и последний выходы дешифратора 4, ж-и - соответственно первый, второй и последний выходы регистра 8, к - выход коммутатора 5, л - выход младшего разряда счетчика 3, м-о - соответственно состояния первого, второго и последнего из регистров 6, п - поступление адресов блоков памяти на вход 10 устройства, р - сигналы на выходах 9 устройства.

Устройство работает следующим образом.

Отключение блоков памяти задается установкой соответствующих переключателей 1 в состояние "0". По входу 12 на счетчик 2 поступают синхроимпульсы (фиг.2а), по которым счетчик модифицируется (фиг.2б). По сигналу переполнения счетчика (фиг.2в) состояние переключателей заносится в регистр 8 (фиг.2ж-и), а счетчик 3 обнуляется. По состоянию счетчика 2 коммутатор 5 производит последовательный опрос состояния выходных разрядов регистра 8. При этом счетчик 2 модифицируется по положительному фронту синхроимпульса, а очередной разряд регистра 8 подключается к счетному входу счетчика 3 по уровню "0" синхроимпульса, а при уровне "1" синхроимпульса выход коммутатора

блокируется (фиг.2к). Тем самым счетчик 3 инкрементируется в очередной раз при уровне "1" очередного разряда регистра 8 (фиг.2л).

Одновременно по состоянию счетчика 2 дешифратор 4 вырабатывает импульсы записи в соответствующие каждому переключателю регистры 6 текущего состояния счетчика 3 (фиг.2г-е). Начальная установка регистров 6 задается сигналом по входу 11. Состояние "0" разрядов регистра 8 блокирует запись в соответствующие регистры 6. Так в регистры, соответствующие включенным блокам памяти, заносятся последовательно присваиваемые этим блокам адреса, начиная с адреса "1" (фиг.2м-о). В случае, если включены все блоки памяти, последнему из этих блоков присваивается адрес "0" (фиг.2о).

По окончании опроса счетчик 2 вырабатывает сигнал переполнения и в регистр 8 вновь заносится состояние переключателей 1, которое за время опроса может быть изменено. Затем адресация включенных блоков памяти начинается вновь.

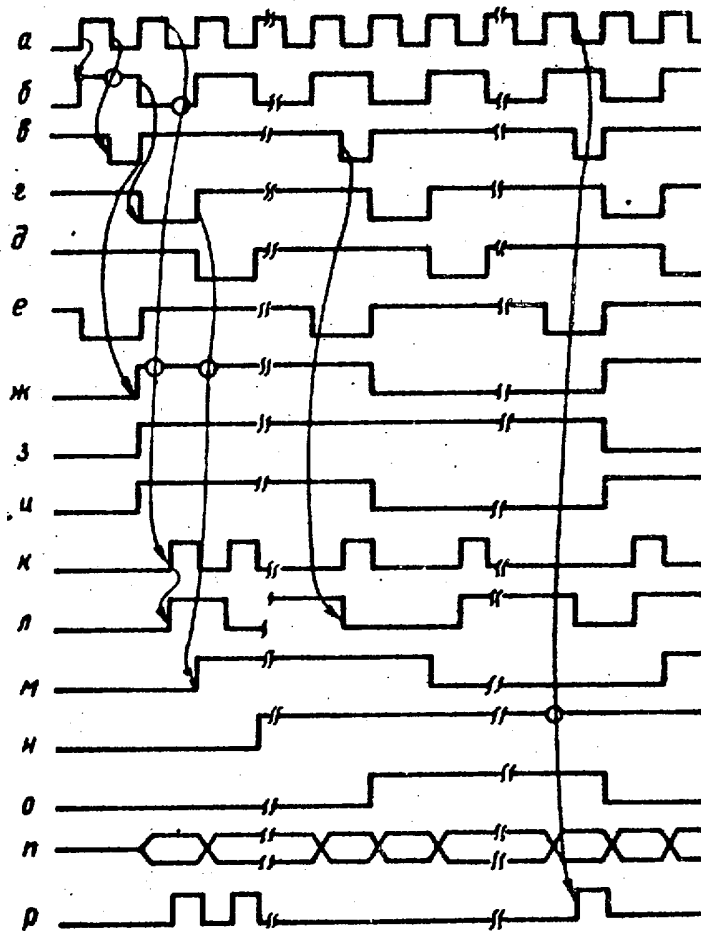
По входу 10 в устройство синхронно сигналам с синхровхода 12 поступают адреса выбираемых блоков (фиг.2п). При совпадении кода поступившего адреса с кодом условного адреса на одном из регистров 6 и по уровню "0" синхроимпульса с входа 12 с выхода соответствующей схемы 7 (с выхода 9) поступает сигнал выборки (фиг.2р) блока памяти.

40 Ф о р м у л а и з о б р е т е н и я

Устройство для управления выборкой блоков памяти, содержащее два счетчика, дешифратор, коммутатор, группу регистров и группу схем сравнения, причем выход К-й схемы сравнения группы подключен к К-му выходу выборки блоков памяти группы ($K = 1, \dots, M$), где М - количество обслуживаемых блоков памяти), адресный вход устройства подключен к первому информационному входу К-й схемы сравнения группы, второй информационный вход которой подключен к выходу К-го регистра группы, вход установки в "0" и информационный вход которого подключены соответственно к входу начальной установки устройства и к выходу первого счетчика, синхровход

которого подключен к выходу коммутатора, адресный вход которого подключен к выходу второго счетчика и к входу дешифратора, синхровход устройства подключен к синхровходу второго счетчика, отличающееся тем, что, с целью повышения надежности, в него введен регистр, причем К-й разряд информационного входа регистра подключен к входу признака готовности к работе соответствующего блока памяти устройства, К-й разряд выхода регистра подключен соответ-

ственно к К-му информационному входу коммутатора, входу разрешения записи К-го регистра группы и к первому стробирующему входу К-й схемы сравнения группы, К-й выход дешифратора подключен к синхровходу К-го регистра группы, выход переполнения второго счетчика подключен к синхровходу регистра и к входу установки в "0" первого счетчика, синхровход устройства подключен к стробирующему входу коммутатора и к вторым стробирующим входам схем сравнения группы.



Фиг. 2

Составитель М. Силин

Редактор И. Горная

Техред Л. Сердюкова

Корректор М. Максимишинец

Заказ 2640

Тираж 562

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101