(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11C 17/00

(11) 공개번호 특2003-0009211
(43) 공개일자 2003년01월29일

(21) 출원번호 10-2002-0042439
(22) 출원일자 2002년07월19일

(30) 우선권주장 09/908,901 2001년07월20일 미국(US)

(71) 출원인 휴렛-팩커드 컴퍼니(델라웨어주법인)
미합중국 캘리포니아주 (우편번호 94304) 팔로 알토 하노버 스트리트 3000

(72) 발명자 트란룽티
미국캘리포니아주95070사라토가우드브래코트5085
샤르마마니쉬
미국캘리포니아주94087서니베일아파트먼트16락선아트웨이160

(74) 대리인 김창세
장성구

심사청구 : 없음

(54) 메모리 셀 기록 방법 및 회로

요약

본 방법(400)과 회로(300)는 메모리 셀(210)을 기록한다. 본 방법(400)은 메모리 셀(210)에 접속된 기록 라인에 펄스 트레인(370)을 인가한다. 펄스 트레인(370) 내의 펄스의 수는 사전에 정해지지 않는다. 본 방법(400)은 셀(210)의 입력측 상의 값을 기준값과 비교하고, 메모리 셀(210)의 입력측은 기록 동작이 완료함을 표시한다. 본 방법(400)은 바람직하게, 기록 라인 상의 값이 기준값을 초과하면, 비교 단계에 응답하여 기록 라인 상의 펄스 트레인(370)을 중단한다. 바람직하게, 펄스는 폭이 짧고 진폭은 크다. 본 방법은 옵션적으로 펄스 트레인(370) 내의 펄스의 수를 카운트하고, 펄스의 수가 소정의 최대값을 초과하며, 기록 라인 상의 펄스 트레인을 중단 및/또는 사용불가능한 것으로 그 셀을 선언한다. 본 회로(300)는 펄스 트레인 발생기(310)와 비교기(330)를 포함한다. 펄스 트레인 발생기(310)는 하나의 출력과 하나의 인에이블 입력을 가지고 있다. 출력은 메모리 셀(210)에 접속된 기록 라인에 접속되어 있다. 인에이블될 때의 출력은 펄스 트레인(370)을 반송한다. 비교기(330)는 2개의 입력과 하나의 출력을 가지고 있다. 입력 중 하나는 기록 라인에 접속되어 있다. 입력 중 다른 하나는 기준에 접속되어 있다. 출력은 펄스 트레인 발생기(310)의 인에이블 입력에 접속되어 있어서, 펄스 트레인 발생기(310)는 비교기(330)의 출력에 따라서 디스에이블 또는 인에이블된다. 옵션적으로, 본 회로는 펄스를 카운트하여 소정의 최대 수의 펄스 다음에 펄스 트레인 발생기(310)를 디스에이블하는 카운터(350)를 더 포함하고 있다.

대표도

도 3a

명세서

도면의 간단한 설명

도 1은 터널 접합 반 퓨즈 메모리 셀을 도시하는 도면,

도 2a는 범용 WORM 메모리를 프로그래밍하는 종래의 회로를 도시하는 도면,

도 2b는 도 2a의 회로에 사용되는 기록 전압 펄스의 그래프,

도 3a는 본 발명의 일실시예에 따라 WORM 메모리를 프로그래밍하는 회로를 도시하는 도면,

도 3b는 도 3a의 회로에 사용되는 기록 전압 펄스 트레인의 그래프, 및

도 4는 본 발명의 일실시예에 따른 방법의 흐름도.

도면의 주요 부분에 대한 부호의 설명

100 : 반 퓨즈 터널 접합120 : 하부 전극

140 : 절연체 베리어 층160 : 상부 전극

200 : WORM 메모리 210 : 메모리 셀

220 : 행 도체230 : 열 도체

240 : 행 디코더250 : 열 디코더

310 : 펄스 트레인 발생기320 : 트랜지스터

330 : 전압 비교기335 : SR 플립 플롭

340 : AND 게이트350 : 카운터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

관련 분야

다음의 미국 특허 출원은 " WRITE PULSE LIMITING FOR WORM STORAGE DEVICE" 이란 명칭의 일련 번호 09/917,882 (대리인 사건 번호 10014549-1)를 포함한다.

본 발명은 전자 메모리에 관한 것이며, 보다 상세하게는, 재기록 불능 (Write-Once Read-Many : WORM) 메모리 장치의 기록 방법 및 회로에 관한 것이다.

메모리 분야에서, 꾸준히 밀도 증가 및 비용 절감에 대한 요구가 있다. 비휘발성 메모리, 즉, 전원이 공급되지 않을 때 데이터를 손실하지 않는 메모리에 있어서 특히 절실하다. 비휘발성 메모리는 재기록 불능(" WORM") 또는 재프로그램가능할 수 있다. 소위, WORM 메모리가 한번 기록(프로그램)되고, 그 다음에 모든 실제 용도에 있어서 영구적이다. 대다수의 WORM 메모리는 제조 동안에 프로그래밍이 실행되는 것보다는 필드 프로그램가능하다. 필드 프로그램가능 WORM 메모리의 예는 바이폴라 PROM(Programmable Read Only Memory), CMOS(Complementary Metal Oxide Semiconductor) PROM, EPROM(Erasable PROM), 및 터널 정션(tunnel junction) 기반의 ROM을 포함한다.

WORM 메모리는 선택된 셀의 물리적인 특성을 변경하기 위해서 상당히 큰 전압을 선택된 셀에 인가함으로써 프로그램된다. 변경 메카니즘은 메모리의 유형을 따른다. 예를 들어, 바이폴라 또는 CMOS PROM의 단일 메모리 셀은 선택된 셀의 퓨즈 및/또는 반 퓨즈(anti-fuse)와 직렬인 하나의 트랜지스터로 전형적으로 구성되어 있으며, PROM은 그 선택된 셀의 퓨즈 또는 반 퓨즈의 양단에 큰 전압을 인가함으로써 프로그램된다. 인가된 전압에 의해 퓨즈는 개방되고, 또는 반 퓨즈는 단락된다(또는 둘 다 존재하는 경우에 개방 및 단락). 그 결과, 셀 양단의 저항은 변경되고, 판독 동작은, 변경불가능 상태와 대조적으로, 작은 판독 전압을 셀에 인가하여 그 셀에 흐르는 전류를 감지함으로써 변경을 검출할 수 있다. 다른 예로서, EPROM의 단일 메모리 셀은 트랜지스터 및 부동 게이트(floating gate)로 전형적으로 구성되어 있고, EPROM은, 큰 전위를 인가하여 실리콘 기판에서 그 선택된 셀의 부동 게이트로 전하를 이동시킴으로써 프로그램된다. 이 경우의 전하 이동의 메카니즘은 Fowler-Nordheim 전자 터너링이다.

메모리 셀의 다른 예는 도 1에 도시된 반 퓨즈 터널 정션(100)이다. 반 퓨즈 터널 정션(100)은 하부 전극(120), 절연 베리어층(140) 및 상부 전극(160)을 포함한다. 하부 전극(120)과 상부 전극(160)은 Cu, Al 등의 도체 금속 또는 NiFe, CoFe, NiFeCo 등의 자기 재료(magnetic materials)일 수 있다. 전형적으로, 절연 베리어 층(140)은 5Å 내지 100Å로 매우 박막이다. 일반적으로, 절연 베리어 층(140)은 TaO_x, AlO_x, SiO_x, SiN_x, AlN_x 등으로 구성된다. 바이어스 전압이 정션 양단에 인가될 때, 박막의 절연 베리어에 의해 양자 역학 터너링이 발생하고, 베리어 층(140)에 걸쳐 하나의 전극에서 다른 전극으로 전류가 흐른다. 터널 정션의 저항은 베리어 층의 두께에 따라 지수적으로 변한다. 따라서, 제조 동안에 두께를 조정함으로써, 터널 정션을 특정 애플리케이션에 적합한 소망의 저항값으로 제조할 수 있다.

범용 WORM 메모리를 프로그래밍하는 회로는 도 2a에 도시된 WORM 메모리 시스템(200)의 일부이다. WORM 메모리 시스템(200)은 메모리 셀(210) 어레이를 포함한다. 바람직하게, 메모리 셀(210)은 행렬의 직사각형 구조로 세트된다. 각각의 메모리 셀(210)은 행(row) 도체(220)와 열(column) 도체(230)의 교차점에 있다. 행 디코더(240)는 행 도체(220)에 연결되어 있으며, 열 디코더(250)는 열 도체(230)에 연결되어 있다. 어드레스 라인(도시 생략)은 행 디코더(240) 및/또는 열 디코더(250)를 제어하여 소망의 행, 열 또는 개별 셀(210)을 선택한다. 도 2a에 도시된 바와 같이, 하나의 특정 셀(210)은 기록용으로 선택되었다. 기록 프로세스의 일부로서, 기록 전압(V_{WR})이 셀(210) 양단에 인가된다.

기록 전압(V_{WR})의 그래프(260)는 도 2b에 도시되어 있다. 기록 전압(V_{WR})은 높이(V_1) 및 고정 폭(T_1)의 펄스(270)이다. 기록되는 모든 셀(210)에 있어서, 그 셀(210)은 행 디코더(240) 및 열 디코더(250)를 통해 선택되고, 그 다음, 동일 펄스(270)가 그 선택된 셀에 인가된다.

WORM 메모리의 단점은 메모리를 프로그래밍하기 위해 고전압의 V_1이 전형적으로 필요하다는 것이다. EPROM의 경우에, Fowler-Nordheim 전극 터널링이 발생하기 위해서는 고전압이 필요하다. 프로그램가능 소자로서 폴리실리콘 퓨즈를 가진 PROM의 경우에, 충분한 에너지를 분배하여 폴리실리콘 퓨즈를 끊기 위해서는 큰 전압이 필요하다. 메모리 셀로서 하나의 순방향 다이오드와 하나의 역방향 다이오드를 가진 바이폴라 PROM의 경우에, 그 다이오드의 역방향 전압을 초과하여 브레이크다운시키기 위해서는 큰 전압이 필요하다. 프로그램가능 소자로서 터널 정션의 반 퓨즈를 가진 WORM의 경우에, 터널 정션의 브레이크다운 전압은 1.5V 만큼 낮다. 이러한 브레이크다운 전압은 터널 정션의 베리어 층의 두께에 의해 조정될 수 있다. 두꺼운 베리어는 높은 브레이크다운 전압을 가지며, 얇은 베리어는 낮은 브레이크다운 전압을 가지지만, 이러한 형태의 반 퓨즈 정션은 브레이크다운 전압에 상당한 변화를 나타낸다.

일부 WORM 메모리의 프로그래밍은 필요한 기록 전압 레벨에서 셀 간의 상당한 변화를 나타낸다. 이러한 변화는 제조 프로세스에서 셀 간의 물리적인 변화로 인해 발생할 수 있다. 일부 셀은 프로그램되기 위해서 적은 에너지를 필요로 하지만, 다른 셀은 보다 많은 셀이 필요할 수 있다. 환언하면, 펄스(270)는 일부 셀에 있어서는 필요한 것보다 길지만 다른 셀에 있어서는 아직은 너무 짧을 수 있다. 양품율(yield rate)을 증가시키기 위해, 전형적으로, 펄스 주기(T1)는 대다수의 셀에 있어서는 필요한 것보다 상당히 길다.

실패 결과로 시도되었을 때 기록 동작의 효과를 확인하여 표준의 기록 동작을 반복하는 것이 공지되어 있다. 전형적으로, 기록 동작의 효과는 메모리 셀(210)의 출력에 연결된 센스 증폭기(도시 생략)로부터의 출력 전압을 감지함으로써 테스트된다. 이러한 방법의 예는 미국 특허 제 5,684,741 호에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

일 측면에서, 본 발명은 메모리 셀을 기록하는 방법이다. 이 방법은 펄스 트레인을 메모리 셀에 접속된 기록 라인에 인가한다. 펄스 트레인내의 펄스의 수는 사전 결정되지 않는다. 이 방법은 셀의 입력측 상의 값을 기준값과 비교하며, 여기서, 메모리 셀의 입력측은 기록 동작이 완료함을 표시한다. 이 방법은, 비교 단계에 응답하여, 바람직하게 기록 라인 상의 값이 기준값을 초과하면, 기록 라인 상의 펄스 트레인을 중단한다. 바람직하게, 이 펄스는 폭이 짧고 진폭이 길다. 이 방법은 펄스 트레인내의 펄스의 수를 옵션으로 카운팅하고, 펄스의 수가 소정의 최대값을 초과하면 기록 라인 상의 펄스 트레인을 중단 및/또는 셀을 사용불가능한 것으로서 결정한다.

다른 측면에서, 본 발명은 메모리 셀을 기록하는 회로이다. 이 회로는 펄스 트레인 발생기와 비교기를 포함한다. 펄스 트레인 발생기는 출력 및 인에이블 입력을 가지고 있다. 출력은 메모리 셀에 접속된 기록 라인에 접속되어 있다. 출력은, 인에이블 상태에 있을 때, 펄스 트레인을 반송한다. 비교기는 2개의 입력과 하나의 출력을 가지고 있다. 입력 중 하나는 기록 라인에 접속되어 있다. 다른 입력은 기준에 접속되어 있다. 비교기의 출력은 펄스 트레인 발생기의 인에이블 입력에 접속되어 있어서, 펄스 트레인 발생기는 비교기의 출력에 따라서 디스에이블 또는 인에이블된다. 옵션으로, 이 회로는 펄스를 카운팅하여 펄스 트레인 발생기를 소정의 최대수의 펄스 다음에 인에이블하는 카운터를 더 포함하고 있다.

다른 측면에서, 본 발명은 메모리 시스템이다. 메모리 시스템은 메모리 셀 어레이, 기록 라인, 및 상술한 펄스 트레인 발생기와 비교기를 포함한다.

본 명세서에서 사용된 바와 같이, 용어 " 가지는(has, have)" 과 " 가진(having)" 은 넓게 해석할 수 있다. 따라서, 예를 들어, 펄스 트레인 발생기는 상술한 출력 및 인에이블 입력 이외에 다른 신호 인터페이스를 포함할 수 있다. 또한, 본 명세서에서 사용된 용어 " 접속된(connected)" 및 그 변형은 직접 접속 또는 중간 소자를 통해 간접적으로 접속되는 것을 의미한다.

종래 기술과 비교하여, 본 발명의 특정 실시예는 다음의 일부 또는 모두를 포함하여 특정 잇점을 달성할 수 있다. (1) 기록 프로세서는 고속이며 보다 신뢰가능하며, (2) 메모리 셀과 직렬인 소자는 덜 손상될 것이며, (3) 기록 프로세서는 전력을 덜 소비할 것이며, (4) 필요한 펄스의 수는 사전에 조정될 것이며, (5) 기록하는데 필요한 펄스의 수는 메모리 셀의 품질의 측정값이며, (6) 모든 관련 회로가 어레이의 기록측 상에만 있을 때, 어레이 출력으로부터의 교차 접속이 필요하지 않다. 당업자는 아래의 도면을 기준으로 바람직한 실시예의 다음의 상세한 설명을 읽으면 본 발명의 여러 실시예의 이러한 잇점 및 다른 잇점 및 장점을 알 수 있을 것이다.

발명의 구성 및 작용

도 3a는 본 발명의 일실시예에 따라 메모리를 프로그래밍하는 회로를 포함한 WORM 메모리 시스템(300)을 도시한다. WORM 메모리 시스템(300)은 도 2a에 도시된 동일한 기본 WORM 메모리를 포함한다. 그러나, WORM 메모리 시스템(300)은 메모리를 프로그래밍하는 상이한 회로를 포함한다. 프로그래밍 회로는 기록되는 메모리 셀에 가변 수의 짧고 높은 진폭의 펄스를 인가한다. 프로그래밍 회로는, 기록 동작이 실행될 때 모니터하고, 그 모니터에 응답하여, 에너지 및 시간의 불필요한 소모를 감소시키는 피드백 회로를 포함한다.

메모리 시스템(300)내의 메모리 셀(210)은 상술한 메모리 셀 중 하나 또는 직렬인 퓨즈 및 반 퓨즈와 같은 기존 또는 미래에 개발될 임의 형태의 메모리 셀일 수 있다.

프로그래밍 회로는 선택된 메모리 셀(210) 용의 기록 라인에 접속(간접적으로)하는 펄스 트레인 발생기(310)를 포함한다. 이 경우의 기록 라인은 행 도체(220), 또는 행 디코더(240)를 통해 그 행 도체(220)에 접속가능한(직접 또는 간접적으로) 라인이다. 라벨 " 행(row)" 및 " 열(column)" 은 서로에 대한 것을 제외하고 임의적이다. 따라서, 일반적으로, 기록 라인은 열 도체(230), 또는 열 디코더(250)를 통해 열 도체(230)에 접속가능한 라인일 수 있다.

일실시예에서, 펄스 트레인 발생기(310)는, 아래의 도 3b를 기준으로 상세히 설명되는 바와 같이, 소망의 주파수, 진폭, 및 오프셋에서 구형파를 생성하기 위해 주변 회로를 가진 발진기를 포함하고 있다.

펄스 트레인 발생기(310)의 출력은 트랜지스터(320)의 드레인 단자에 접속되어 있다. 트랜지스터(320)의 소스 단자는 저항(R_1, R_2)과 직렬로 접속되어 있다. 저항(R_2)은 행 디코더(240)에 접속되어 있다. 트랜지스터(320)의 게이트 단자는 인에이블 입력이다. 게이트 단자의 전압이 하이(high)일 때, 트랜지스터(320)는 드레인에서 소스로 전도되어, 펄스 트레인 발생기의 출력이 메모리 셀(210)에 도달할 수 있다(행 디코더(240)와 열 디코더(250)이 메모리 셀(210)을 선택하도록 구성되어 있다고 가정하면). 게이트 단자의 전압이 로우(low)일 때, 트랜지스터(320)는 " 턴 오프" (즉, 소스와 드레인 사이에서 개방)한다.

저항(R1, R2) 사이에는 전압 비교기(330)의 입력에 접속되어 있는 노드(325)가 있다. 전압 비교기(330)의 다른 입력은 기준 전압(V_{REF})에 접속되어 있다. 비교기(330)의 출력은, 노드(325)의 전압이 V_{REF} 보다 적을 때 하이에서 로우로 스위칭되고, 그렇지 않을 때는, 전압 비교기(330)의 출력은 하이가 된다. 전압 비교기(330)의 출력은 SR 플립플롭(335)과 AND 게이트(340)를 통해 트랜지스터 (320)의 게이트에 접속된다. 펄스 트레인 발생기(310)의 출력은 전압 비교기(330)의 인에이블 단자에 또한 접속되어 있다. 이러한 방식으로, 노드(325)의 전압이 (메모리 셀이 기록될 때 변경되는 방법에 따라서) V_{REF} 를 초과하거나 그 이하로 떨어질 때, 펄스 트레인은 메모리 셀(210) 용의 기록 라인 상에서 단절된다.

셀을 기록함으로써 그 저항이 감소하면, 노드(325)의 전압은 기록 동작이 완료될 때 떨어질 것이며, 셀을 기록함으로써 그 저항이 증가하면, 노드(325)의 전압은 기록 동작이 완료될 때 증가할 것이다. 어떠한 경우든, 당업자는 비교기(330)의 극성과 V_{REF} 을 쉽게 설정할 수 있어 사전 기록 및 사후 기록 조건 사이를 구별할 수 있다. 전압 비교기(330)의 슬루 속도(slew rate)는 바람직하게 펄스 트레인 발생기(310)로부터의 펄스 트레인 출력의 하나의 펄스 내에서 작용하기에 충분히 빠르다.

저항(R_1, R_2)은 전압 분배기 기능을 한다. 바람직하게, R_1와 R_2는 모두 작은 저항기이기 때문에, 기록 신호는 너무 심하게 감쇠되지 않는다. 당업자는 비교기(330), 메모리 셀(210) 및 메모리 시스템(300)의 다른 회로와 결합하여 적절히 동작시키기 위해서 R_1와 R_2를 선택할 수 있다.

AND 게이트(340)로의 다른 입력은 카운터(350)에 접속되어 있다. 바람직하게, 카운터(350)는 최대 펄스 카운트를 나타내는 값으로 사전 로딩(pre-load)되는 다운 카운터이다. 펄스 트레인 발생기(310)가 펄스를 발생할 때, 카운터(350)는 감소된다. 카운터가 0에 도달할 때, 카운터는 그 출력을 어서트(assert)한다. 결과적으로, 기록 라인 상의 펄스 트레인은 최대수의 펄스 다음에 중단된다. 당업자는 다른 카운터 구성(예, 업 카운터)이 동일 기능을 수행할 수 있다는 것을 알 것이다.

다른 실시예에서, 트랜지스터(320)는 2개의 입력과 하나의 출력을 가진 AND 게이트로 대체될 수 있다. 입력 중 하나는 펄스 트레인 발생기(310)에 접속되고, 입력 중 다른 하나는 AND 게이트(340)의 출력(또는 적절한 그 보완물(complement))에 접속되어 있다. 이러한 실시예에서, 펄스 트레인의 진폭 및 오프셋은 표준 로직 신호 레벨이 되도록 제한된다.

도 3a에 도시된 프로그래밍 회로의 최종 구성 요소는 필요할 때 카운터(350)를 진보시키고 리셋하는 제어기(355)이다. 제어기(355)는 펄스 트레인 발생기(310)를 인에이블함으로써, 카운터(350)를 사전 설정함으로써, 또한, SR 플립 플롭(335)을 설정함으로써 기록 시퀀스를 개시한다. 제어기(355)는 펄스 트레인 발생기(310)로부터의 각각의 펄스 출력을 검출하고, 각각의 시간에 카운터(350)에 " 다운" (또는 " 업") 신호를 전송함으로써 응답한다. 제어기(355)는 전압 비교기(330)의 출력을 모니터함으로써 기록이 완료되는 시점을 또한 검출하고, 카운터(350)를 리셋하고, SR 플립 플롭(335)은 응답하여 펄스 트레인 발생기(310)를 디스에이블한다. 최종적으로, 제어기(355)는 펄스 트레인을 디스에이블할 필요가 있을 때, 펄스 트레인 발생기(310)를 제어하고, 적절하게 SR 플립 플롭을 설정한다.

당업자는 도 3a에 도시된 피드백 회로가 의도대로 작동할 수 있는 회로의 일예임을 알 수 있다. 여러 다른 피드백 구조는 동일 목적, 즉, 기록 라인 또는 메모리 셀의 입력측이 효과적으로 기록이 실행되었음을 알게 되는 시점을 모니터하고, 응답하여 기록 신호를 종료하는 목적을 달성할 수 있다.

도 3b는 도 3a의 노드(325)에서의 기록 전압 펄스 트레인(370)의 그래프이다. 기록 전압 펄스 트레인(370)은 초기에 높이 V_2 의 일련의 펄스이다. 바람직하게, 트레인(270)내의 각각의 펄스는 종래의 기록 펄스(270)(도 2)의 폭(T_1)보다 상당히 좁은 폭(T_2)을 가지고 있다. 그 펄스 트레인내의 펄스의 수는 가변적이고, 바람직하게, 최대값 까지이다. 셀을 기록하는데 필요한 적절한 수의 펄스 만이 그 셀에 인가된다. 이러한 방식으로, 펄스 트레인(370)은 종래의 기록 펄스(270)보다 대부분 짧아진다(일반적으로 상당히 짧다). 따라서, 상이한 수의 펄스는, 셀의 가변도에 따라서, 상이한 메모리 셀에 인가될 수 있다. 이러한 방식으로, 도 3b의 프로그래밍 회로는 각각의 셀에 대해 자체 조정한다.

펄스 트레인(370)은 바람직하게 V_{OFF} 만큼 오프셋된다. 일부 실시예에서, V_{REF} 는 0과 V_{OFF} 사이의 전압값이 되도록 선택되어, 기록 종료에 대한 모니터링을 가능하게 한다. 이러한 실시예에 따라서, 기록이 완료될 때, 노드(325)에서의 펄스는 V_{REF} 아래로 떨어진다. 전압 비교기(330)는, 인에이블 입력을 펄스 트레인 발생기(310)의 출력에 접속함으로써, 그 펄스 동안에만 인에이블된다.

V_2, T_2 및 V_{OFF} 값은 메모리 셀(210)의 물리적 성질(physics)에 따라 다르다. 그 펄스는, 상당 수의 펄스가 기록을 실행할 수 있을 정도로 충분한 에너지를 가지지만, 다른 회로(예를 들어, 행 디코더(240) 또는 열 디코더(250)가 손상될 정도로 큰 에너지를 가지는 것은 아니다. 특정 메모리 셀(210)이 주어지면, 당업자는 $V_{2,2}$ 및 V_{OFF} 에 대해 적절한 값을 취할 수 있다.

펄스 트레인(370)이 완전한 구형 에지를 가진 것으로서 도 3b에 도시되어 있지만, 그것은 이상적인 형태이다. 전형적으로, 펄스 트레인(370)은 레벨간에 지수적으로 상승 및 하락한다. 사실상, 일반적으로, 펄스 트레인(370) 내의 펄스의 형태는 임의적이다. 그 펄스는 여분의 에너지(extra energy)를 나타낸다.

도 4는 본 발명의 일실시예에 따른 방법(400)의 흐름도이다. 방법(400)은 기록되는 하나 이상의 셀(예, 전체 행)을 선택한다(410). 방법(400)은 그 선택된 셀로의 펄스 트레인을 개시한다(420). 개시 단계(420)는 펄스 트레인(370) 또는 유사한 펄스 트레인을 턴 온한다. 다음에, 방법(400)은 기록이 성공적으로 수행되었는지 여부를 모니터한다(430). 바람직하게, 모니터 단계(430)는 셀 출력을 감지하는 것보다는 셀의 입력 측을 모니터함으로써 실행된다. 기록이 성공적이다면, 방법(400)은 셀에 인가되는 펄스의 수를 옵션으로 로그(log)한다(440). 일반적으로, 이러한 수는 셀의 품질과 메모리 시스템의 품질의 측정값이다. 로그 데이터는 소자 스크린(device screening) 또는 통계적인 분석을 위해 나중에 사용될 수 있다. 모니터 단계(430)에 따라서 기록이 성공적이지 않다면, 방법(400)은, 인가된 펄스의 수가

지금까지 소정의 최대값을 초과하는지 여부를 체크한다(450). 그렇지 않다면, 방법(400)은 모니터 단계(430)로 루프가 역으로 진행하여 반복한다. 루프는 펄스 트레인(370)내의 펄스 당 한번 바람직하게 반복된다. 최대 수의 펄스에 도달될 때, 방법(400)은 체크 단계(450)를 벗어나서, 옵션적으로 실패를 로그(460)하여 셀을 기록한다.

단계(420, 430, 450)는 다음에, 도 3a의 특정 하드웨어 실시예에서 실행되는 바와 같이, 보다 상세히 설명될 것이다. 이 경우에, 개시 단계(420)는 3개의 특정 서브 단계와 관련된다. 먼저, 제어기(355)는 카운터(350)를 최대 카운트로 설정함으로써, 카운터 출력이 하이가 된다. 두번째로, 제어기(355)에 의해 펄스 트레인 발생기(310)는 펄스를 출력한다. 이 시점에서, 전압 비교기(230)는 각각의 펄스 주기내에서 인에이블되며, 각각의 펄스 주기동안에 V_{REF} 는 노드(225)에서의 전압보다 적기 때문에 전압 비교기(230)의 출력은 초기에 하이로 된다. 따라서, 모니터 단계(430)는 계속해서 " NO" 로 응답하고, 노드(225)에서의 전압이 VREF 아래로 떨어지지 않고 떨어질 때까지, 전압 비교기(230)의 출력은 하이에서 로우로 진행하고, 이로써, SR 플립 플롭(335)의 Q 출력은 로우가 되며, 트랜지스터(220)를 턴 오프한다. 전압 비교기(230)의 하이 출력은 기록이 완료됨을 제어기(355)에게 또한 신호를 보낸다. 체크 단계(450)에서, 최대 수의 펄스에 도달되면, 카운터 출력은 로우가 되어, 트랜지스터(220)를 턴 오프한다. 응답하여, 제어기(355)는, 그 Q 출력이 로우가 되어 펄스 트레인 발생기(310)를 디스에이블하도록 SR 플립 플롭(335)을 리셋한다.

본 명세서에 기술되고 예시된 것은 그 일부 변형과 함께 본 발명의 바람직한 실시예이다. 본 명세서에 사용된 용어, 설명 및 도면은 제한적인 것이 아니고 예시적으로 설명되어 있다. 당업자는 다음의 청구 범위에 정의된 본 발명의 사상과 범위내에서, 또한, 그 상당한 부분내에서 여러 변경이 가능하다는 것을 알 수 있으며, 모든 용어는 다른 지시가 없다면, 상당히 넓은 의미로 정의된다.

발명의 효과

본 발명에 따라서, (1) 기록 프로세서는 고속이며 보다 신뢰가능하며, (2) 메모리 셀과 직렬인 소자는 덜 손상될 것이며, (3) 기록 프로세서는 전력을 덜 소비할 것이며, (4) 필요한 펄스의 수는 사전에 조정될 것이며, (5) 기록하는데 필요한 펄스의 수는 메모리 셀의 품질의 측정값이며, (6) 모든 관련 회로가 어레이의 기록측 상에만 있을 때, 어레이 출력으로부터의 교차 접속이 필요하지 않게 된다.

(57) 청구의 범위

청구항 1.

메모리 셀(210)을 기록하는 방법(400)에 있어서,

상기 메모리 셀에 접속된 기록 라인 상의 펄스 트레인(370)을 개시하는 단계 - 상기 펄스 트레인(370)내의 펄스의 수는 사전에 결정되어 있지 않음 - 와,

상기 메모리 셀의 입력측상의 값과 기준값을 비교하는 단계 - 상기 메모리 셀(210)의 입력측은 기록 동작이 완료됨을 표시함 - 와,

상기 비교 단계에 응답하여, 상기 기록 라인 상의 상기 펄스 트레인을 중단하는 단계를 포함하는 메모리 셀 기록 방법.

청구항 2.

제 1 항에 있어서,

상기 중단 단계는,

상기 기록 라인 상의 값이 상기 기준값을 초과하면, 상기 기록 라인 상의 상기 펄스 트레인을 중단하는 단계를 더 포함하는

메모리 셀 기록 방법.

청구항 3.

제 1 항에 있어서,

상기 기록 라인 상의 상기 펄스 트레인 내의 펄스의 수를 카운트(440, 450)하는 단계를 더 포함하는

메모리 셀 기록 방법.

청구항 4.

제 3 항에 있어서,

상기 펄스의 수가 소정의 최대값을 초과하면 상기 기록 라인 상의 펄스 트레인을 중단하는 단계를 더 포함하는

메모리 셀 기록 방법.

청구항 5.

메모리 셀(210)을 기록하는 회로(300)에 있어서,

하나의 출력과 하나의 인에이블 입력 - 상기 출력은 상기 메모리 셀(210)에 접속된 기록 라인에 접속되어 있으며, 인에이블될 때의 상기 출력은 펄스 트레인임 - 을 가진 펄스 트레인 발생기(310)와,

2개의 입력과 하나의 출력 - 상기 입력 중 하나는 상기 기록 라인에 접속되어 있으며, 상기 입력 중 다른 하나는 기준에 접속되어 있으며, 상기 출력은 상기 펄스 트레인 발생기(310)의 상기 인에이블 입력에 접속되어 있어서, 상기 펄스 트레인 발생기(310)는 비교기(310)의 출력에 따라서 디스에이블 또는 인에이블됨 - 을 가진 비교기(330)를 포함하는 메모리 셀 기록 회로.

청구항 6.

제 5 항에 있어서,

카운트 값을 저장하며, 상기 펄스 트레인 발생기(310)의 상기 인에이블 입력에 접속되어 있으며, 소정의 최대 수의 펄스 다음에 펄스를 카운트하여 상기 펄스 트레인 발생기(310)를 디스에이블하는 카운터(350)를 더 포함하는 메모리 셀 기록 회로.

청구항 7.

제 6 항에 있어서,

2개의 입력과 하나의 출력을 가진 논리 게이트(340) - 상기 입력 중 하나는 상기 비교기(330)의 출력에 접속되며, 상기 출력 중 다른 하나는 상기 카운터(350) 출력에 접속되며, 상기 논리 게이트(340)의 출력은 상기 펄스 트레인 발생기(310)의 상기 인에이블 입력에 접속되어 있음 - 를 더 포함하는 메모리 셀 기록 회로.

청구항 8.

제 6 항에 있어서,

상기 카운터(350)에 접속된 제어기(355)를 더 포함하는 메모리 셀 기록 회로.

청구항 9.

제 5 항에 있어서,

상기 펄스 트레인 발생기(310)의 출력과 상기 기록 라인 사이에 접속된 전압 분배기(a voltage divider)를 더 포함하며, 상기 전압 분배기 내의 중간 노드는 상기 비교기(330)의 입력에 접속되어 있는 메모리 셀 기록 회로.

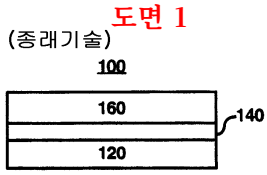
청구항 10.

제 5 항에 있어서,

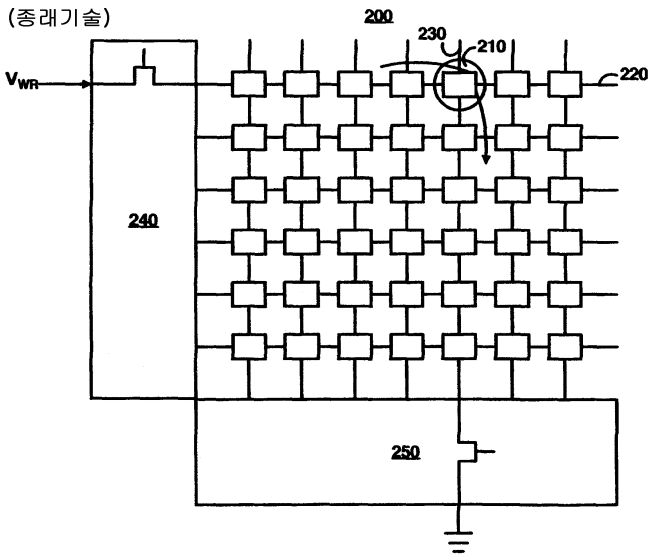
상기 펄스 트레인 발생기(310)의 출력과 상기 기록 라인 사이에 접속된 트랜지스터(320)를 더 포함하며, 상기 비교기(330)의 출력은, 상기 트랜지스터(320)이 상기 비교기(330)의 출력에 따라서 전도되거나 비전도되도록, 상기 트랜지스터(320)의 단자에 접속되는 메모리 셀 기록 회로.

도면

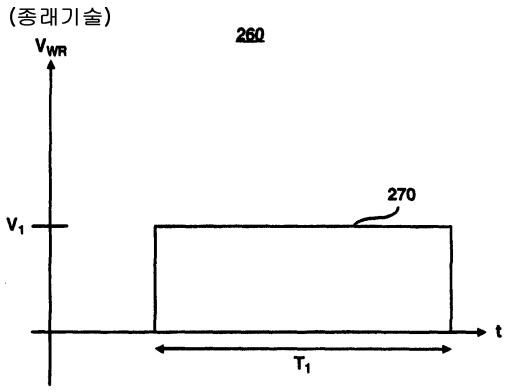
도면 1



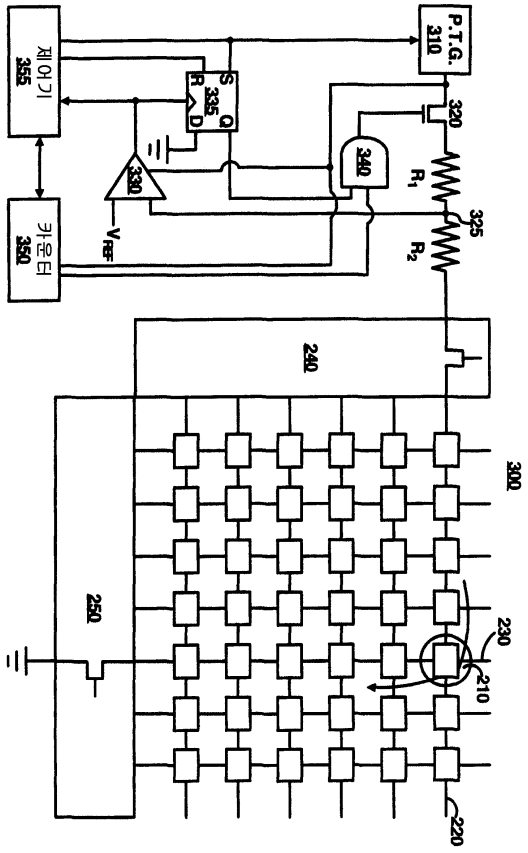
도면 2a



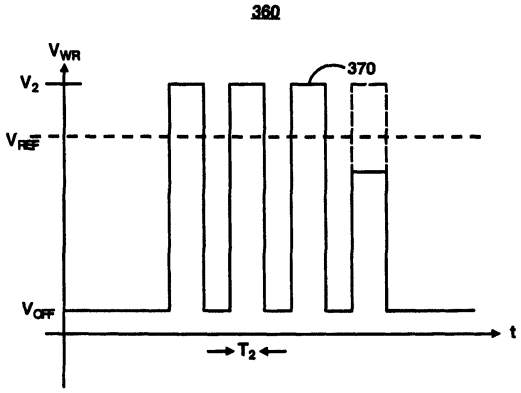
도면 2b


(종래기술)
260
V_{WR}
V_1
270
t
T_1

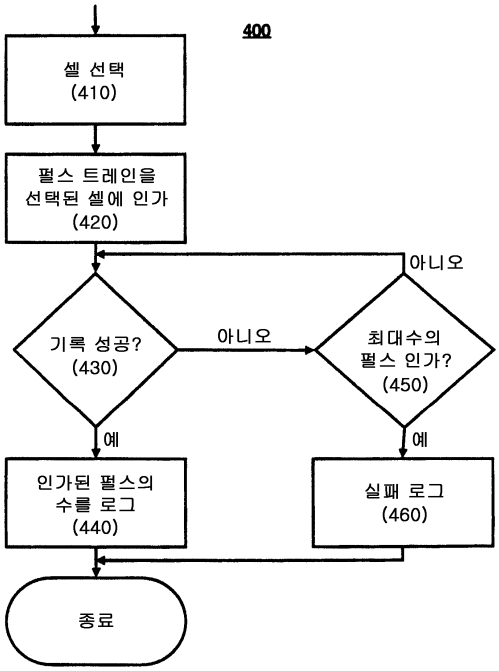
도면 3a


제어기
355
카운터
350
P.T.G.
310
S
R
335
Q
D
320
340
330
R_1
325
R_2
V_{REF}
240
300
250
230
210
220

도면 3b


360
V_{WR}
V_2
370
V_{REF}
V_{OFF}
t
T_2

도면 4


400
셀 선택
(410)
펄스 트레인을
선택된 셀에 인가
(420)
아니오
기록 성공?
(430)
아니오
최대수의
펄스 인가?
(450)
예
예
인가된 펄스의
수를 로그
(440)
실패 로그
(460)
종료