

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3601649号
(P3601649)

(45) 発行日 平成16年12月15日(2004.12.15)

(24) 登録日 平成16年10月1日(2004.10.1)

(51) Int. Cl.⁷

F I

H O 1 L 21/338

H O 1 L 29/80

H

H O 1 L 29/778

H O 1 L 29/812

請求項の数 3 (全 14 頁)

(21) 出願番号	特願平9-338566	(73) 特許権者	000006231
(22) 出願日	平成9年12月9日(1997.12.9)		株式会社村田製作所
(65) 公開番号	特開平10-242451		京都府長岡京市東神足1丁目10番1号
(43) 公開日	平成10年9月11日(1998.9.11)	(72) 発明者	稲井 誠
審査請求日	平成11年7月26日(1999.7.26)		京都府長岡京市天神二丁目26番10号
審査番号	不服2002-1705(P2002-1705/J1)		株式会社村田製作所内
審査請求日	平成14年2月5日(2002.2.5)	(72) 発明者	瀬戸 弘之
(31) 優先権主張番号	特願平8-344795		京都府長岡京市天神二丁目26番10号
(32) 優先日	平成8年12月25日(1996.12.25)		株式会社村田製作所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	奥井 富士雄
			京都府長岡京市天神二丁目26番10号
			株式会社村田製作所内
		(72) 発明者	福田 進
			京都府長岡京市天神二丁目26番10号
			株式会社村田製作所内

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項1】

電子走行層、障壁層および低抵抗コンタクト層を順次積層した積層構造を有し、ソースおよびドレイン各領域において、前記低抵抗コンタクト層の表面にオーミック電極をもってソース電極およびドレイン電極がそれぞれ形成され、ゲート領域において、前記低抵抗コンタクト層が除去され、それによって露出した前記障壁層の表面にショットキー電極をもってゲート電極が形成された、電界効果トランジスタにおいて、

前記障壁層がアンドープGaAs層であり、前記電子走行層が、これに接する前記障壁層より大きな電子親和力を有する材料であるn型InGaAs層から構成され、かつ、前記低抵抗コンタクト層が、これに接する前記障壁層と同じ電子親和力を有する材料であるn型GaAs層から構成され、

前記障壁層が高抵抗であり、前記電子走行層が低抵抗であり、

前記障壁層が、5nm以上、15nm以下の厚みを有する、

電界効果トランジスタ。

【請求項2】

電子走行層、障壁層および低抵抗コンタクト層を順次積層した積層構造を有し、ソースおよびドレイン各領域において、前記低抵抗コンタクト層の表面にオーミック電極をもってソース電極およびドレイン電極がそれぞれ形成され、ゲート領域において、前記低抵抗コンタクト層が除去され、それによって露出した前記障壁層の表面にショットキー電極をもってゲート電極が形成された、電界効果トランジスタにおいて、

10

20

前記障壁層がアンドープ AlGaAs 層であり、前記電子走行層が、これに接する前記障壁層より大きな電子親和力を有する材料である n 型 InGaAs 層から構成され、かつ、前記低抵抗コンタクト層が、これに接する前記障壁層と同じ電子親和力を有する材料である n 型 AlGaAs 層から構成され、

前記障壁層が高抵抗であり、前記電子走行層が低抵抗であり、前記障壁層が、5 nm 以上、15 nm 以下の厚みを有する、
電界効果トランジスタ。

【請求項 3】

前記障壁層に接する側とは逆側において前記電子走行層に接するように積層されるバッファ層をさらに備え、前記バッファ層は、前記電子走行層と同じ電子親和力を有しかつドーブされていない第 1 のバッファ層と、前記電子走行層より小さい電子親和力を有しかつドーブされていない第 2 のバッファ層との積層構造を備え、前記第 1 のバッファ層が前記電子走行層に接している、請求項 1 または 2 に記載の電界効果トランジスタ。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電界効果トランジスタの構造に関するものである。

【0002】

【従来の技術】

一般に、電界効果トランジスタの性能を向上させるには、電子走行層の高密度薄層化が要求される。しかしながら、ゲート電極の直下に電子走行層が存在する構造の電界効果トランジスタにおいて、電子走行層の高濃度薄層化を行なった場合、ゲート耐圧の低下を伴うため、トランジスタの性能向上が制限される。この欠点を克服するため、図 8 に示すような絶縁ゲート型ヘテロ構造の電界効果トランジスタ 1 が提案されている。

20

【0003】

この電界効果トランジスタ 1 は、半絶縁性 GaAs 基板 2 上に、それぞれ、エピタキシャル成長法により、高抵抗半導体バッファ層 3 を形成し、この高抵抗バッファ層 3 上に、n-GaAs からなる低抵抗の電子走行層 4 を形成し、この電子走行層 4 上に、アンドープの高バンドギャップ材料である、たとえば i-AlGaAs からなる高抵抗の障壁層 5 を形成し、さらに、その上に、n-GaAs からなる低抵抗コンタクト層 6 を形成してなる積層構造を有している。

30

【0004】

上述の低抵抗コンタクト層 6 の表面には、オーミック電極からなるソース電極 7 およびドレイン電極 8 が形成され、それによって、ソースおよびドレイン各領域が形成される。また、低抵抗コンタクト層 6 の一部は除去され、それによって露出した障壁層 5 の表面には、ショットキー電極からなるゲート電極 9 が形成され、ここにゲート領域が形成される。

【0005】

この電界効果トランジスタ 1 の構造によれば、低抵抗の電子走行層 4 上に高抵抗の障壁層 5 を配しているため、前述したようなゲート耐圧の低下にあまり煩わされることなく、電子走行層 4 のさらなる高濃度薄層化を図ることができ、応じて、電界効果トランジスタ 1 の性能向上を図ることができる。

40

しかしながら、図 8 に示した電界効果トランジスタ 1 では、低抵抗コンタクト層 6 と低抵抗の電子走行層 4 との間に、高抵抗かつ高バンドギャップ材料からなる障壁層 5 を配しているため、ソースおよびドレイン各領域から電子走行層 4 に至るアクセス抵抗（ソース/ゲート間またはドレイン/ゲート間の直列抵抗）が大きくなる欠点がある。

【0006】

この欠点を克服する方法として、(1) ソースおよびドレイン各領域に選択イオン注入を行なう方法 (DMT: Doped channel hetero Mis-FET) や、(2) ソースおよびドレイン各領域に低抵抗結晶を再成長する方法 (DC-HIGFET: Doped Channel Hetero Insulation Gate F

50

ET)など、ソースおよびドレイン各領域の直列抵抗成分を低減する方法が、提案されている。

【0007】

図9には、上述した(1)選択イオン注入法を採用して得られたイオン注入絶縁ゲート型電界効果トランジスタ10が示されている。ソースおよびドレイン各領域には、イオン注入による低抵抗Siドープイオン注入層11が形成されている。

また、図10には、上述した(2)選択再成長法を採用して得られた選択再成長絶縁ゲート型電界効果トランジスタ12が示されている。ソースおよびドレイン各領域には、低抵抗結晶の再成長による低抵抗のn-GaAs再成長層13が形成されている。

【0008】

なお、図9および図10において、図8に示した要素に相当する要素には、同様の参照符号を付し、重複する説明は省略する。

【0009】

【発明が解決しようとする課題】

しかしながら、上述した図9および図10に示した電界効果トランジスタ10および12にも、それぞれ、次のような解決されるべき問題がある。

図9に示した選択イオン注入法では、エピタキシャル成長後において、さらに、イオン注入、保護膜形成(約300、プラズマプロセス)、熱処理(約800)、次いで保護膜剥離といった複雑で長時間の工程を施す必要がある。そのため、電界効果トランジスタ10を製造するためのコストが高くなるとともに、電界効果トランジスタ10の特性の再現性や均一性に劣るという問題に遭遇する。

【0010】

また、上述の工程中の高温熱処理過程では、予めエピタキシャル成長で制御した不純物分布が乱されてしまう可能性があり、さらに、保護膜形成時にプラズマプロセスを行なうため、GaAs基板2およびその上に形成された半導体層3~5に大量のダメージが導入される可能性がある。

他方、図10に示した選択再成長法では、GaAs基板2上にエピタキシャル成長された半導体層3~5を一旦形成した後、保護膜等のパターンを形成し、それをマスクとして半導体層3~5の各々のエッチングを行ない、再度エピタキシャル成長する、といった複雑なプロセスを実施する。そのため、上述したイオン注入法の場合と同様に、工程が複雑で所要時間も長く、製造コストが高くなるとともに、電界効果トランジスタ12の特性の再現性や均一性に劣るという問題に遭遇する。

【0011】

さらに、選択再成長法では、パターンを形成する保護膜には、成長選択性が要求され、しかも再成長界面には大量の不純物が残留し、このことが電界効果トランジスタ12の信頼性や特性に影響を及ぼす。

以上のように、図9および図10にそれぞれ示した構造の電界効果トランジスタ10および12は、いずれも、それを得るための製造工程が複雑で、再現性や信頼性が悪く、その結果、逆に特性が劣化されてしまう可能性があるという問題がある。また、両者に共通して、電界効果トランジスタ10および12の各々において、フォトリソグラフィ工程が可能な程度のパターン間隔(ゲート/ソース間隔、ゲート/ドレイン間隔)が必要となるため、複雑な工程を経た割には、期待したほど、直列抵抗の低減がなされておらず、実用化には至っていないのが現状である。

【0012】

そこで、この発明の目的は、上述したような選択イオン注入や選択再成長技術を用いず、エピタキシャル成長とエッチングプロセスとにより製造できるとともに、直列抵抗(アクセス抵抗)を低減できる構造を有する電界効果トランジスタを提供しようとすることである。

【0013】

【課題を解決するための手段】

10

20

30

40

50

この発明は、電子走行層、障壁層および低抵抗コンタクト層を順次積層した積層構造を有し、ソースおよびドレイン各領域において、低抵抗コンタクト層の表面にオーミック電極をもってソース電極およびドレイン電極がそれぞれ形成され、ゲート領域において、低抵抗コンタクト層が除去され、それによって露出した障壁層の表面にショットキー電極をもってゲート電極が形成された、電界効果トランジスタに向けられるものであって、上述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

【0014】

すなわち、この発明では、電子走行層が、これに接する障壁層より大きな電子親和力を有する材料から構成され、かつ、低抵抗コンタクト層が、これに接する障壁層と同じ電子親和力を有する材料から構成される。さらに、障壁層が高抵抗とされ、電子走行層が低抵抗とされる。さらに、障壁層は、5 nm以上、15 nm以下の厚みを有している。しかも、電子走行層がn型InGaAs層、障壁層がアンドープGaAs層、低抵抗コンタクト層がn型GaAs層とされる必要がある。あるいは、電子走行層がn型InGaAs層、障壁層がアンドープAlGaAs層、低抵抗コンタクト層がn型AlGaAs層という組み合わせでもよい。

10

【0015】

また、この発明に係る電界効果トランジスタは、障壁層に接する側とは逆側において電子走行層に接するように積層されるバッファ層をさらに備えていてもよく、この場合には、好ましくは、バッファ層は、電子走行層と同じ電子親和力を有しかつドープされていない第1のバッファ層と、電子走行層より小さい電子親和力を有しかつドープされていない第2のバッファ層との積層構造を備え、第1のバッファ層が電子走行層に接している。

20

【0016】

【実施例1】

図1には、この発明の実施例1による電界効果トランジスタ21の断面構造が図解的に示されている。

図1を参照して、電界効果トランジスタ21は、半絶縁性GaAs基板22を含む。

【0017】

GaAs基板22上には、エピタキシャル成長法により、キャリア濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 以下の高抵抗半導体バッファ層23が形成される。

高抵抗半導体バッファ層23上には、エピタキシャル成長法により、Siドープされたn-InGaAsからなる低抵抗の電子走行層24が形成される。

30

電子走行層24上には、エピタキシャル成長法により、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープのi-GaAsからなる高抵抗の障壁層25が形成される。前述の電子走行層24を構成する材料は、これに接する、すなわち直上の障壁層25を構成する材料より大きな電子親和力を有している。

【0018】

障壁層25上には、エピタキシャル成長法により、Siドープされたn-GaAsからなる低抵抗コンタクト層26が形成される。この低抵抗コンタクト層26を構成する材料は、これに接する、すなわち直下の障壁層25を構成する材料と同じ電子親和力を有している。

40

このように、GaAs基板22上に、高抵抗バッファ層23、電子走行層24、障壁層25および低抵抗コンタクト層26が順次積層された積層構造を得た後、メサエッチングまたはイオン注入により素子間分離が行なわれる。

【0019】

その後、低抵抗コンタクト層26の表面には、フォトリソグラフィ、蒸着、およびリフトオフ法により、たとえばAuGe/Ni/Auオーミック電極からなるソース電極27およびドレイン電極28が形成され、それによって、ソースおよびドレイン各領域が形成される。

また、再びフォトリソグラフィにより、ゲートパターンが開口され、この開口領域において、少なくとも低抵抗コンタクト層26の厚み分がエッチングにより除去される。この除

50

去によって露出した障壁層 25 の表面には、蒸着およびリフトオフ法により、たとえば Ti/Pt/Au ショットキー電極からなるゲート電極 29 が形成され、ここにゲート領域が形成される。

【0020】

このようにして、電界効果トランジスタ 21 が完成される。

図 2 には、上述した構造の電界効果トランジスタ 21 のソース電極 27 (またはドレイン電極 28) 下、およびゲート電極 29 下の伝導帯下端エネルギーバンド図が示されている。また、図 3 には、図 8 に示した従来の電界効果トランジスタ 1 のソース電極 7 (またはドレイン電極 8) 下、およびゲート電極 9 下の伝導帯下端エネルギーバンド図が示されている。

10

【0021】

図 3 に示すように、従来の電界効果トランジスタ 1 では、高抵抗の障壁層 5 が、低抵抗コンタクト層 6 および低抵抗の電子走行層 4 よりもエネルギー的に高く、そのため、ソース電極 7 (またはドレイン電極 8) から電子走行層 4 に至るまでの抵抗 (アクセス抵抗) が非常に大きくなってしまふ。

これに対して、この発明の実施例 1 に係る電界効果トランジスタ 21 では、低抵抗コンタクト層 26 と高抵抗の障壁層 25 とを同じ電子親和力を有する材料で構成しているため、図 2 に示すように、エネルギー障壁は、障壁層 25 と電子走行層 24 との間に形成されるスパイクのみとなる。このような単一ヘテロ接合の場合、ポテンシャル形状は、図 2 に示すように、近似的に三角形となり、実効的な障壁厚が薄くなるため、電子のトンネリング確率が増加する。

20

【0022】

この電界効果トランジスタ 21 において、障壁層 25 は、5 nm 以上、15 nm 以下の厚みを有するアンドープ層をもって構成されている。障壁層 25 の厚みをこのように選ぶことにより、このヘテロ構造の電界効果トランジスタ 21 の、電界効果トランジスタとしての性能を適正に発揮させることができる。すなわち、この厚みを 5 nm 以上とすることにより、ゲート電極 29 下での電子の流れを遮る機能を十分に発揮させることができ、他方、この厚みを 15 nm 以下とすることにより、低抵抗コンタクト層 26 から障壁層 25 を通って電子走行層 24 に至る電子の流れを円滑なものとする事ができる。

【0023】

また、低抵抗コンタクト層 26 と障壁層 25 とは、電子親和力が同じ材料であるため、伝導帯不連続 (E_c) が形成されず、低抵抗コンタクト層 26 側から見た実質的な障壁高さは、 E_c 分低くなり、そのため、障壁を越えて電子走行層 24 側に流入する熱イオン化電流成分が大きくなる。

30

以上のような理由から、ソース電極 27 またはドレイン電極 28 から電子走行層 24 に至るアクセス抵抗を小さくすることができる。

【0024】

なお、この実施例 1 で示した電界効果トランジスタ 21 において、低抵抗コンタクト層 26、障壁層 25、電子走行層 24、および基板 22 の各材料は、それぞれ、GaAs、GaAs、InGaAs、および GaAs であったが、この組合せに限らず、以下の表 1 の最上位行に示すような、それぞれ、AlGaAs、AlGaAs、InGaAs、および GaAs という材料の組合せも可能である。なお、それ以外の材料の組み合わせは参考例である。

40

【0025】

【表 1】

コンタクト層	障壁層	電子走行層	基板
AlGaAs	AlGaAs	InGaAs	GaAs
AlGaAs	AlGaAs	GaAs	GaAs
InGaP	InGaP	InGaAs	GaAs
InGaP	InGaP	GaAs	GaAs
InP	InP	InGaAs	InP
InAlAs	InAlAs	InGaAs	InP
InAlGaP	InAlGaP	InGaAs	InP
InAlGaP	InAlGaP	InP	InP
InAlGaP	InAlAs	InP	InP

10

【0026】

【参考例1】

図4には、この発明の参考例1による電界効果トランジスタ31の断面構造が図解的に示されている。なお、図4において、前述した図1に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。図4を参照して、電界効果トランジスタ31を得るため、実施例1の場合と同様に同様の方法をもって、半絶縁性GaAs基板22上に、キャリア濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 以下の高抵抗半導体バッファ層23、Siドープされた

20

n -InGaAsからなる低抵抗の電子走行層24、および、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープの i -GaAsからなる第1の高抵抗の障壁層25aが順次形成される。ここで、実施例1の場合と同様に、電子走行層24を構成する材料は、これに接する、すなわち直上の第1の障壁層25aを構成する材料より大きな電子親和力を有している。

30

【0027】

さらに、この参考例1では、第1の障壁層25a上に、エピタキシャル成長法により、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープの i -InGaPからなる第2の高抵抗の障壁層32が形成される。第2の障壁層32上には、エピタキシャル成長法により、Siドープされた n -InGaPからなる低抵抗コンタクト層26が形成される。この低抵抗コンタクト層26を構成する材料は、これに接する、すなわち直下の第2の障壁層32を構成する材料と同じ電子親和力を有している。

【0028】

このように、GaAs基板22上に、高抵抗バッファ層23、電子走行層24、第1の障壁層25a、第2の障壁層32および低抵抗コンタクト層26が順次積層された積層構造を得た後、メサエッチングまたはイオン注入により素子間分離が行なわれる。

その後、低抵抗コンタクト層26の表面には、実施例1と同様の方法および材料をもって、ソース電極27およびドレイン電極28が形成され、それによって、ソースおよびドレイン各領域が形成される。

【0029】

また、再びフォトリソグラフィにより、ゲートパターンが開口され、この開口領域において、少なくとも低抵抗コンタクト層26および第2の障壁層32の厚み分がエッチングにより除去される。この除去によって露出した第1の障壁層25aの表面には、実施例1と同様の方法および材料をもって、ゲート電極29が形成され、ここにゲート領域が形成される。

40

【0030】

このようにして、電界効果トランジスタ31が完成される。この参考例1に係る電界効果トランジスタ31において採用される積層構造は、実施例1の積層構造における障壁層25に相当する部分を2層構造としたもので、下層に第1の障壁層25aとして電子走行層24よりも電子親和力の小さい材料、上層に第2の障壁層32として第1の障壁層25aよりは小さいが低抵抗コンタクト層26と同じ電子親和力を有する材料を積層した構造で

50

ある。

【0031】

基本的には、この参考例1におけるアクセス抵抗の低抵抗化の原理は、実施例1と同じであり、上述のように障壁層を第1および第2の障壁層25aおよび32というように2層構造としても、この発明の効果を得ることができる。なお、この参考例1で示した電界効果トランジスタ31において、低抵抗コンタクト層26、第2の障壁層32、第1の障壁層25a、電子走行層24、および基板22の各材料は、それぞれ、InGaP、InGaP、GaAs、InGaAs、およびGaAsであったが、この組合せに限らず、以下の表2に示すような他の材料の組合せも可能である。

【0032】

【表2】

コンタクト層	第2の障壁層	第1の障壁層	電子走行層	基板
AlGaAs	AlGaAs	GaAs	InGaAs	GaAs
InGaP	InGaP	AlGaAs	GaAs	GaAs
InGaP	InGaP	AlGaAs	InGaAs	GaAs
AlGaAs	AlGaAs	InGaP	GaAs	GaAs
AlGaAs	AlGaAs	InGaP	InGaAs	GaAs
InAlAs	InAlAs	InP	InGaAs	InP
InAlGaP	InAlGaP	InP	InGaAs	InP
InAlGaP	InAlGaP	InAlAs	InGaAs	InP

【0033】

【参考例2】

図5には、この発明の参考例2による電界効果トランジスタ41の断面構造が図解的に示されている。なお、図5において、前述した図1または図4に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。図5を参照して、電界効果トランジスタ41を得るため、参考例1の場合と同様に、半絶縁性GaAs基板22上に、キャリア濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 以下の高抵抗半導体バッファ層23、Siドープされたn-InGaAsからなる低抵抗の電子走行層24、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープのi-GaAsからなる第1の高抵抗の障壁層25a、および、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープのi-InGaAsからなる第2の高抵抗の障壁層32が順次形成される。ここで、実施例1および参考例1の場合と同様に、電子走行層24を構成する材料は、これに接する、すなわち直上の第1の障壁層25aを構成する材料より大きな電子親和力を有している。

【0034】

さらに、この参考例2では、第2の障壁層32上に、エピタキシャル成長法により、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープのi-InGaPからなる第3の高抵抗の障壁層42が形成される。第3の障壁層42上には、エピタキシャル成長法により、Siドープされたn-InGaPからなる低抵抗コンタクト層26が形成される。この低抵抗コンタクト層26を構成する材料は、これに接する、すなわち直下の第3の障壁層42を構成する材料と同じ電子親和力を有している。

【0035】

このように、GaAs基板22上に、高抵抗バッファ層23、電子走行層24、第1の障壁層25a、第2の障壁層32、第3の障壁層42および低抵抗コンタクト層26が順次積層された積層構造を得た後、メサエッチングまたはイオン注入により素子間分離が行なわれる。

その後、低抵抗コンタクト層26の表面には、実施例1と同様の方法および材料をもって、ソース電極27およびドレイン電極28が形成され、それによって、ソースおよびドレ

10

20

30

40

50

イン各領域が形成される。

【0036】

また、再びフォトリソグラフィにより、ゲートパターンが開口され、この開口領域において、少なくとも低抵抗コンタクト層26ならびに第2および第3の障壁層32および42の厚み分がエッチングにより除去される。この除去によって露出した第1の障壁層25aの表面には、実施例1および参考例1と同様の方法および材料をもって、ゲート電極29が形成され、ここにゲート領域が形成される。

【0037】

このようにして、電界効果トランジスタ41が完成される。この参考例2に係る電界効果トランジスタ41において採用される積層構造は、実施例1の積層構造における障壁層25に相当する部分を3層構造としたもので、下層に第1の障壁層25aとして電子走行層24よりも電子親和力の小さいGaAs、中間層に第2の障壁層32として第1の障壁層25aより電子親和力の大きなi-InGaAs、上層に第3の障壁層42として第2の障壁層32よりは小さいが低抵抗コンタクト層26と同じ電子親和力を有するi-InGaPを積層した構造である。

【0038】

基本的には、この参考例2におけるアクセス抵抗の低抵抗化の原理は、実施例1および参考例1と同じであり、上述のように障壁層を第1、第2および第3の障壁層25a、32および42というように多層構造としても、この発明の効果をj得ることができる。なお、この参考例2で示した電界効果トランジスタ41において、低抵抗コンタクト層26、第3の障壁層42、第2の障壁層32、第1の障壁層25a、電子走行層24、および基板22の各材料は、それぞれ、InGaP、InGaP、InGaAs、GaAs、InGaAs、およびGaAsであったが、この組合せに限らず、以下の表3に示すような他の材料の組合せも可能である。

【0039】

【表3】

コンタクト層	第3の障壁層	第2の障壁層	第1の障壁層	電子走行層	基板
InGaP	InGaP	AlGaAs	GaAs	InGaAs	GaAs
AlGaAs	AlGaAs	InGaP	GaAs	InGaAs	GaAs
InGaP	InGaP	InGaAs	InGaP	InGaAs	GaAs
AlGaAs	AlGaAs	InGaAs	AlGaAs	InGaAs	GaAs
InGaP	InGaP	InGaAs	AlGaAs	InGaAs	GaAs
AlGaAs	AlGaAs	InGaAs	InGaP	InGaAs	GaAs
InGaP	InGaP	GaAs	InGaP	InGaAs	GaAs
AlGaAs	AlGaAs	GaAs	AlGaAs	InGaAs	GaAs
InGaP	InGaP	GaAs	AlGaAs	InGaAs	GaAs
AlGaAs	AlGaAs	GaAs	InGaP	InGaAs	GaAs
InAlAs	InAlAs	InGaAs	InP	InGaAs	InP
InAlAs	InAlAs	InGaAs	InAlAs	InGaAs	InP
InP	InP	InGaAs	InAlAs	InGaAs	InP
InP	InP	InGaAs	InP	InGaAs	InP

【0040】

【参考例3】

図6には、この発明の参考例3による電界効果トランジスタ51の断面構造が図解的に示されている。なお、図6において、前述した図1に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。図6を参照して、電界効果トランジスタ51を得るため、実施例1の場合と同質的に同様の方法をもって、半絶縁性GaAs基板22上に、キャリア濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 以下の高抵抗半導体バッファ層23がまず形成される。

【0041】

次に、高抵抗半導体バッファ層23上には、エピタキシャル成長法によって、Siドーブされたn-GaAsからなる第1の低抵抗の電子走行層52が形成される。

次いで、第1の電子走行層52上に、実施例1の場合と実質的に同様の方法をもって、Siドーブされたn-InGaAsからなる第2の低抵抗の電子走行層24a、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープのi-GaAsからなる高抵抗の障壁層25、および、Siドーブされたn-GaAsからなる低抵抗コンタクト層26が順次形成される。ここで、実施例1の場合と同様、第2の電子走行層24aを構成する材料は、これに接する、すなわち直上の障壁層25を構成する材料より大きな電子親和力を有しており、また、低抵抗コンタクト層26を構成する材料は、これに接する、すなわち直下の障壁層25を構成する材料と同じ電子親和力を有している。

10

【0042】

このように、GaAs基板22上に、高抵抗バッファ層23、第1の電子走行層52、第2の電子走行層24a、障壁層25および低抵抗コンタクト層26が順次積層された積層構造を得た後、メサエッチングまたはイオン注入により素子間分離が行なわれる。

その後、低抵抗コンタクト層26の表面には、実施例1と同様の方法および材料をもって、ソース電極27およびドレイン電極28が形成され、それによって、ソースおよびドレイン各領域が形成される。

【0043】

また、再びフォトリソグラフィにより、ゲートパターンが開口され、この開口領域において、少なくとも低抵抗コンタクト層26の厚み分がエッチングにより除去される。この除去によって露出した障壁層25の表面には、実施例1と同様の方法および材料をもって、ゲート電極29が形成され、ここにゲート領域が形成される。

20

【0044】

このようにして、電界効果トランジスタ51が完成される。この参考例3に係る電界効果トランジスタ51において採用される積層構造は、実施例1の積層構造における電子走行層24に相当する部分を2層構造としたもので、基本的には、この参考例3におけるアクセス抵抗の低抵抗化の原理は、実施例1と同じである。このように電子走行層を第1および第2の電子走行層52および24aというように2層ないしは多層構造としても、この発明の効果を得ることができる。

30

【0045】

なお、この参考例3で示した電界効果トランジスタ51において、低抵抗コンタクト層26、障壁層25、第2の電子走行層24a、第1の電子走行層52、および基板22の各材料は、それぞれ、GaAs、GaAs、InGaAs、GaAsおよびGaAsであったが、この組合せに限らず、以下の表4に示すような他の材料の組合せも可能である。

【0046】

【表4】

コンタクト層	障壁層	第2の電子走行層	第1の電子走行層	基板
InGaP	InGaP	GaAs	InGaAs	GaAs
InGaP	InGaP	InGaAs	GaAs	GaAs
AlGaAs	AlGaAs	GaAs	InGaAs	GaAs
AlGaAs	AlGaAs	InGaAs	GaAs	GaAs
InAlAs	InAlAs	InP	InGaAs	InP
InAlAs	InAlAs	InGaAs	InP	InP
InP	InP	InGaAs	InP	InP
InAlGaP	InAlGaP	InP	InGaAs	InP
InAlGaP	InAlGaP	InGaAs	InP	InP

40

50

【 0 0 4 7 】

【 実施例 2 】

図 7 には、この発明の実施例 2による電界効果トランジスタ 6 1 の断面構造が図解的に示されている。なお、図 7 において、前述した図 1 に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。この電界効果トランジスタ 6 1 は、図 1 に示した実施例 1 に係る電界効果トランジスタ 2 1 と比較して、次の点で異なっている。すなわち、電界効果トランジスタ 2 1 における高抵抗半導体バッファ層 2 3 が、この電界効果トランジスタ 6 1 では、第 1 のバッファ層 6 2 と第 2 のバッファ層 6 3 との積層構造とされている。

【 0 0 4 8 】

より詳細には、第 1 のバッファ層 6 2 は、電子走行層 2 4 と同じ電子親和力を有し、他方、第 2 のバッファ層 6 3 は、電子走行層 2 4 より小さい電子親和力を有しており、第 1 のバッファ層 6 2 が電子走行層 2 4 に接している。具体的には、第 1 のバッファ層 6 2 は、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープの $i\text{-InGaAs}$ からなり、高抵抗である。他方、第 2 のバッファ層 6 3 は、電界効果トランジスタ 2 1 における高抵抗半導体バッファ層 2 3 と同様、残留キャリア濃度 10^{16} cm^{-3} 以下のアンドープの $i\text{-GaAs}$ からなり、高抵抗である。第 1 および第 2 のバッファ層 6 2 および 6 3 の厚みは、それぞれ、たとえば、5 nm および 500 nm とされる。

【 0 0 4 9 】

図 7 を参照して、電界効果トランジスタ 6 1 を得るため、エピタキシャル成長法により、半絶縁性 GaAs 基板 2 2 上に、第 2 のバッファ層 6 3 がまず形成される。

次に、第 2 のバッファ層 6 3 上には、エピタキシャル成長法により、第 1 のバッファ層 6 2 が形成される。

【 0 0 5 0 】

次に、第 1 のバッファ層 6 3 上には、エピタキシャル成長法によって、残留キャリア濃度 $5 \times 10^{18} \text{ cm}^{-3}$ の Si ドープされた $n\text{-InGaAs}$ からなる電子走行層 2 4 がたとえば厚み 10 nm をもって形成される。

次いで、電子走行層 2 4 上に、実施例 1 の場合と同様の方法をもって、残留キャリア濃度 10^{15} cm^{-3} 以下のアンドープの $i\text{-GaAs}$ からなる厚み 15 nm の高抵抗の障壁層 2 5、および、残留キャリア濃度 $6 \times 10^{18} \text{ cm}^{-3}$ の Si ドープされた $n\text{-GaAs}$ からなる厚み 100 nm の低抵抗コンタクト層 2 6 が順次形成される。

【 0 0 5 1 】

このように、 GaAs 基板 2 2 上に、第 2 のバッファ層 6 3、第 1 のバッファ層 6 2、電子走行層 2 4、障壁層 2 5 および低抵抗コンタクト層 2 6 が順次積層された積層構造を得た後、メサエッチングまたはイオン注入により素子間分離が行なわれる。

その後、低抵抗コンタクト層 2 6 の表面には、実施例 1 と同様の方法および材料をもって、ソース電極 2 7 およびドレイン電極 2 8 が形成され、それによって、ソースおよびドレイン各領域が形成される。

【 0 0 5 2 】

また、再びフォトリソグラフィにより、ゲートパターンが開口され、この開口領域において、少なくとも低抵抗コンタクト層 2 6 の厚み分がエッチングにより除去される。この除去によって露出した障壁層 2 5 の表面には、実施例 1 と同様の方法および材料をもって、ゲート電極 2 9 が形成され、ここにゲート領域が形成される。

【 0 0 5 3 】

このようにして、電界効果トランジスタ 6 1 が完成される。この実施例 2に係る電界効果トランジスタ 6 1 によれば、アンドープの $i\text{-InGaAs}$ からなる第 1 のバッファ層 6 2 は、 Si ドープされた $n\text{-InGaAs}$ からなる電子走行層 2 4 と同じ組成を有しており、この電子走行層 2 4 とアンドープの $i\text{-GaAs}$ からなる第 2 のバッファ層 6 3 との間にキャリア濃度の低い部分をもたらす。したがって、第 1 のバッファ層 6 2 は、電子走行層 2 4 と第 2 のバッファ層 6 3 との間のヘテロ接合によって引き起こされる電子走行層

10

20

30

40

50

24の空乏化を防ぎ、また、電子走行層24のキャリアの減少を防ぐ。この結果、電界効果トランジスタ61は、電界効果トランジスタ21に比べて、より優れた特性を示すことになる。

【0054】

なお、この実施例2で示した電界効果トランジスタ61において、低抵抗コンタクト層26、障壁層25、電子走行層24、および基板22の各材料は、それぞれ、GaAs、GaAs、InGaAs、およびGaAsであったが、この組合せに限らず、実施例1の場合と同様、それぞれ、AlGaAs、AlGaAs、InGaAs、およびGaAsという材料の組合せも可能である。

【0056】

【発明の効果】

以上の実施例からわかるように、この発明によれば、電子走行層が、これに接する障壁層より大きな電子親和力を有する材料から構成され、かつ、低抵抗コンタクト層が、これに接する障壁層と同じ電子親和力を有する材料から構成されていることから、エピタキシャル成長とリセスエッチングとの組合せのみの簡単な工程によって、アクセス抵抗（ソース/ゲート間またはドレイン/ゲート間の直列抵抗）が低く、したがって、相互コンダクタンスおよび遮断周波数の高い電界効果トランジスタを得ることができる。

【0057】

この発明は、障壁層が高抵抗とされ、電子走行層が低抵抗とされた、たとえば絶縁ゲート型ヘテロ構造の電界効果トランジスタに適用されるので、その意義がより深いものとなる。なぜなら、障壁層（電子供給層）が低抵抗とされ、電子走行層が高抵抗とされた、たとえば高電子移動度トランジスタ（HEMT）の場合には、他に、より効果的な性能向上のための手段が存在するからである。

【0058】

また、この発明では、上述のように、障壁層が高抵抗とされ、電子走行層が低抵抗とされながら、障壁層25が、5nm以上、15nm以下の厚みを有しているので、電界効果トランジスタとしての性能をより適正に発揮させることができる。なぜなら、この厚みを5nm以上とすることにより、ゲート電極下での電子の流れを遮る機能を十分に発揮させることができ、また、この厚みを15nm以下とすることにより、低抵抗コンタクト層から障壁層を通して電子走行層に至る電子の流れを円滑なものとすることができるからである。

【0059】

また、この発明に係る電界効果トランジスタにおいて、障壁層に接する側とは逆側において電子走行層に接するように積層されるバッファ層をさらに備えており、このバッファ層が、電子走行層と同じ電子親和力を有しかつドーブされていない第1のバッファ層と、電子走行層より小さい電子親和力を有しかつドーブされていない第2のバッファ層との積層構造を備え、第1のバッファ層が電子走行層に接するように構成されると、第1のバッファ層によって、電子走行層と第2のバッファ層との間にキャリア濃度の低い部分がもたらされる。したがって、たとえば絶縁ゲート型ヘテロ構造の電界効果トランジスタに適用されたとき、第1のバッファ層は、電子走行層と第2のバッファ層との間のヘテロ接合によって引き起こされる電子走行層の空乏化を防ぎ、また、電子走行層のキャリアの減少を防ぐように機能するので、電界効果トランジスタの特性をより優れたものとすることができる。

【図面の簡単な説明】

【図1】この発明の実施例1による電界効果トランジスタ21を図解的に示す断面構造図である。

【図2】図1に示した電界効果トランジスタのソース電極27（またはドレイン電極28）下、およびゲート電極29下の伝導帯下端エネルギーバンド図である。

【図3】図8に示した従来の電界効果トランジスタのソース電極7（またはドレイン電極8）下、およびゲート電極9下の伝導帯下端エネルギーバンド図である。

10

20

30

40

50

【図4】この発明の参考例1による電界効果トランジスタ31を図解的に示す断面構造図である。

【図5】この発明の参考例2による電界効果トランジスタ41を図解的に示す断面構造図である。

【図6】この発明の参考例3による電界効果トランジスタ51を図解的に示す断面構造図である。

【図7】この発明の実施例2による電界効果トランジスタ61を図解的に示す断面構造図である。

【図8】第1の従来技術による電界効果トランジスタ1を図解的に示す断面構造図である。

10

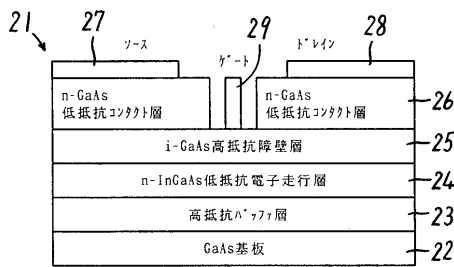
【図9】第2の従来技術による電界効果トランジスタ10を図解的に示す断面構造図である。

【図10】第3の従来技術による電界効果トランジスタ12を図解的に示す断面構造図である。

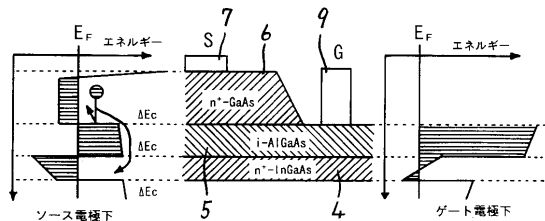
【符号の説明】

21, 31, 41, 51, 61 電界効果トランジスタ 22 GaAs基板 24, 24a, 52 電子走行層 25, 25a, 32, 42 障壁層 26 低抵抗コンタクト層 27 ソース電極 28 ドレイン電極 29 ゲート電極 62 第1のパuffa層 63 第2のパuffa層

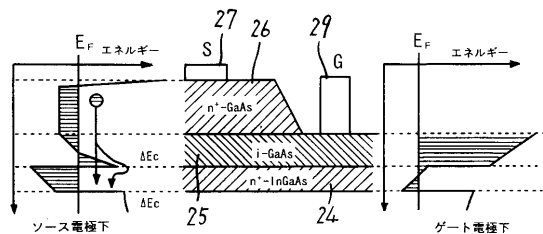
【図1】



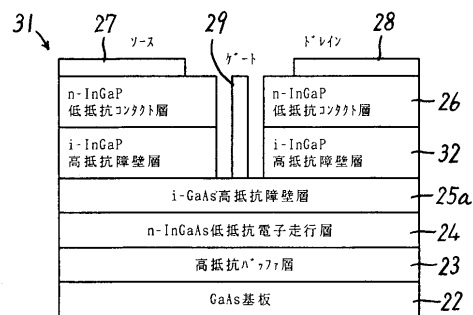
【図3】



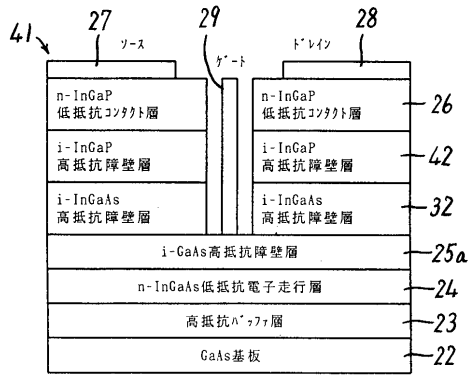
【図2】



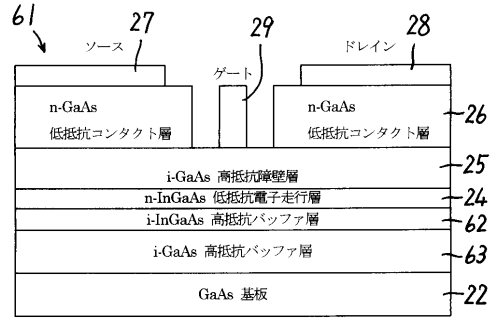
【図4】



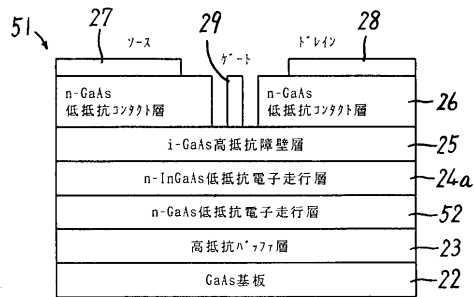
【 図 5 】



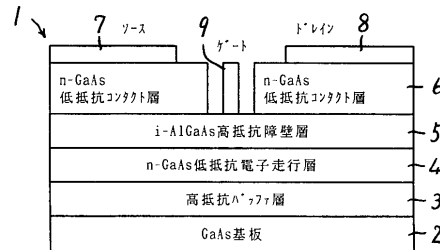
【 図 7 】



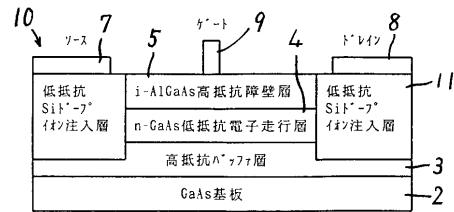
【 図 6 】



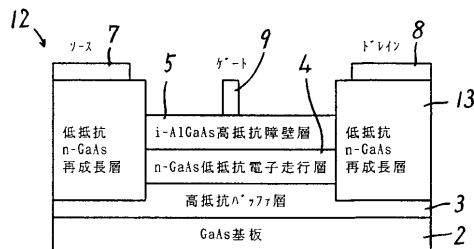
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 有吉 昶
京都府長岡京市天神二丁目2番10号 株式会社村田製作所内

合議体

審判長 河合 章

審判官 恩田 春香

審判官 松本 邦夫

(56)参考文献 特開平3 - 23642 (JP, A)
特開平4 - 103136 (JP, A)
特開平4 - 367233 (JP, A)
特開平4 - 233241 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/338

H01L 29/812