

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252246 A1

(51) 国際特許分類:

H10B 12/00 (2023.01) H01L 29/786 (2006.01)

GIIC 11/22 (2006.01)

(21) 国際出願番号: PCT/IB2024/055384

(22) 国際出願日: 2024年6月3日(03.06.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-095844 2023年6月9日(09.06.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

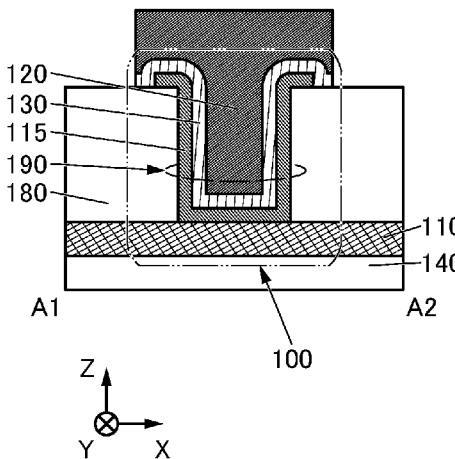
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 井坂 史人 (ISAKA, Fumito); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 恵木 勇司 (EGI, Yuji); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 沼田 至優 (NUMATA, Shiyuu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 徳丸 亮 (TOKUMARU, Ryo); 〒2430036 神奈川県厚木市長谷398株式会社半

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、半導体装置の作製方法

図1B



(57) Abstract: Provided is a novel semiconductor device. The semiconductor device includes: a first conductive layer; a ferroelectric layer located above the first conductive layer; and a second conductive layer located above the ferroelectric layer. The first conductive layer has a first recess. The ferroelectric layer includes a region formed along the first recess. The ferroelectric layer includes a second recess in a region overlapping the first recess. The second conductive layer is provided so as to fill the second recess. The ferroelectric layer includes hafnium, zirconium, and oxygen. In X-ray diffraction analysis, the ferroelectric layer has a peak near $2\theta=30.4^\circ$. In the X-ray diffraction analysis, the ferroelectric

導体エネルギー研究所内 Kanagawa (JP). 石川純(ISHIKAWA, Jun); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 手塚祐朗(TEZUKA, Sachiaki); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

layer is such that the intensity of $2\theta=28.5^\circ$ is no more than 0.1 times the peak intensity of said peak, and the intensity of $2\theta=31.6^\circ$ is no more than 0.1 times the peak intensity of said peak.

(57) 要約: 新規な半導体装置を提供する。半導体装置は、第1の導電層と、第1の導電層上の強誘電体層と、強誘電体層上の第2の導電層と、を有する。第1の導電層は、第1の凹部を有する。強誘電体層は、第1の凹部に沿って形成された領域を有する。強誘電体層は、第1の凹部と重なる領域に第2の凹部を有する。第2の導電層は、第2の凹部を埋め込むように設けられる。強誘電体層は、ハフニウムと、ジルコニウムと、酸素と、を有する。強誘電体層は、X線回折による分析において、 $2\theta=30.4^\circ$ 付近にピークを有する。強誘電体層は、X線回折による分析において、 $2\theta=28.5^\circ$ の強度が、上記ピークのピーク強度の0.1倍以下であり、かつ、 $2\theta=31.6^\circ$ の強度が、上記ピークのピーク強度の0.1倍以下である。

明細書

発明の名称

半導体装置、半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、半導体装置の作製方法に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

そのため、本発明の一態様に係る技術分野の一例として、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、それらの検査方法、またはそれらの使用方法などを挙げることができる。

背景技術

[0004]

近年、LSI (Large Scale Integration)、CPU (Central Processing Unit)、メモリ（記憶装置）などの半導体装置の開発が進められている。これらの半導体装置は、コンピュータ、携帯情報端末など様々な電子機器に使用されている。また、メモリは、演算処理実行時の一時記憶、データの長期記憶など、用途に応じて様々な記憶方式のメモリが開発されている。代表的な記憶方式のメモリとして、DRAM (Dynamic Random Access Memory)、SRAM、フラッシュメモリなどがある。

[0005]

また、非特許文献1に示すように、強誘電体 (ferroelectric) を用いたメモリの研究開発が活発に行われている。また、次世代の強誘電性メモリのために、強誘電性の HfO_2 ベースの材料の研究（非特許文献2）、ハフニウム酸化物薄膜の強誘電性に関する研究（非特許文献3）、酸化ハフニウム基の強誘電体に関する研究（非特許文献4）、及び強誘電体 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ を用いたFeRAM (Ferroelectric Random Access Memory) とCMOSとの統合の実証（非特許文献5）など、酸化ハフニウム関連の研究も活発に行われている。

[先行技術文献]

[非特許文献]

[0006]

[非特許文献1] T. S. Boescke, et al., "Ferroelectricity in hafnium oxide thin films", APL 99, 2011

[非特許文献2] Zhen Fan, et al., "Ferroelectric HfO_2 -based materials for next-generation ferroelectric memories", JOURNAL OF ADVANCED DIELECTRICS, Vol. 6, No. 2, 2016

[非特許文献3] Jun Okuno, et al., "SoC compatible 1T1C

FerRAM memory array based on ferroelectric $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$, VLSI 2020

[非特許文献4] 舟窪浩、三村和仙、清水荘雄、木口賢紀、「酸化ハフニウム基強誘電体の基礎特性の解明」、応用物理、第87巻、第12号、pp. 921-925、(2018)

[非特許文献5] T. Francois, et al., "Demonstration of BEOI-compatible ferroelectric $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ scaled FerRAM co-integrated with 130nm CMOS for embedded NVM applications", IEDM 2019

発明の概要

発明が解決しようとする課題

[0007]

非特許文献1乃至非特許文献5に示すように、強誘電体に関して、様々な研究開発が行われている。例えば、非特許文献4では、図8に示すように、 HfO_2 が有する結晶構造とそれぞれの分極-電界特性について、報告されている。

[0008]

上記のように強誘電体について、様々な研究開発が行われているが、強誘電体の特性については、まだ改善の余地が多く、信頼性などの特性向上が求められている。

[0009]

本発明の一態様は、新規な半導体装置を提供することを課題の一とする。または、本発明の一態様は、占有面積が小さい半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性が高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、消費電力が低い半導体装置を提供することを課題の一とする。または、本発明の一態様は、記憶容量が大きい半導体装置を提供することを課題の一とする。

[0010]

なお本発明の一態様に係る課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題とは、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書または図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様に係る課題は、上記列挙した課題および他の課題の全てを解決する必要はない。本発明の一態様は、上記列挙した課題および他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

[0011]

本発明の一態様は、第1の導電層と、第1の導電層上の強誘電体層と、強誘電体層上の第2の導電層と、を有する半導体装置である。第1の導電層は、第1の凹部を有する。強誘電体層は、第1の凹部に沿って形成された領域を有する。強誘電体層は、第1の凹部と重なる領域に第2の凹部を有する。第2の導電層は、第2の凹部を埋め込むように設けられる。強誘電体層は、ハフニウムと、ジルコニウムと、酸素と、を有する。強誘電体層は、X線回折による分析において、 $2\theta = 30.4^\circ$ 付近にピークを有する。強誘電体層は、X線回折による分析において、 $2\theta = 28.5^\circ$ の強度が、上記ピークのピーク強度の0.1倍以下であり、かつ、 $2\theta = 31.6^\circ$ の強度が、上記ピークのピーク強度の0.1倍以下である。

[0012]

上記半導体装置において、第1の導電層及び第2の導電層の一方又は両方は、チタンと、窒素と、を有することが好ましい。

[0013]

上記半導体装置において、第1の導電層及び第2の導電層の一方又は両方は、タングステンを有することが好ましい。

[0014]

本発明の一態様は、容量素子と、容量素子上のトランジスタと、を有する半導体装置である。容量素子は、第1の導電層と、第1の導電層上の強誘電体層と、強誘電体層上の第2の導電層と、を有する。強誘電体層は、ハフニウムと、ジルコニウムと、酸素と、を有する。第2の導電層の上面は、トランジスタが有する酸化物半導体層の底面の少なくとも一部と接する領域を有する。

[0015]

上記半導体装置において、強誘電体層は、X線回折による分析において、 $2\theta = 30.4^\circ$ 付近にピークを有し、強誘電体層は、X線回折による分析において、 $2\theta = 28.5^\circ$ の強度が、上記ピークのピーク強度の0.1倍以下であり、かつ、 $2\theta = 31.6^\circ$ の強度が、上記ピークのピーク強度の0.1倍以下である、ことが好ましい。

[0016]

上記半導体装置において、第1の導電層及び第2の導電層の一方又は両方は、チタンと、窒素と、を有することが好ましい。

[0017]

上記半導体装置において、第1の導電層及び第2の導電層の一方又は両方は、タングステンを有することが好ましい。

[0018]

上記半導体装置において、第1の導電層は、第1の凹部を有し、強誘電体層は、第1の凹部に沿って形成された領域を有し、強誘電体層は、第1の凹部と重なる領域に第2の凹部を有し、第2の導電層は、第2の凹部を埋め込むように設けられる、ことが好ましい。

[0019]

上記半導体装置において、トランジスタのチャネルは、絶縁層が有する開口部の側面に沿って形成されることが好ましい。

[0020]

上記半導体装置において、酸化物半導体層は、インジウム及び亜鉛の一方又は両方を有することが好ましい。

[0021]

本発明の一態様は、基板上に第1の導電層を形成し、第1の導電層上に強誘電体層を形成し、強誘電体層上に第2の導電層を形成する、半導体装置の作製方法である。第1の導電層は、基板の温度を第1の温度として、金属CVD法によって形成される。強誘電体層は、ハフニウムを含むプリカーサと、ジルコニウムを含むプリカーサと、酸化剤と、を用いて、ALD法によって形成される。第2の導電層は、基板の温度を第2の温度として、金属CVD法によって形成される。第2の温度は、 250°C 以上 325°C 以下である。第1の温度は、第2の温度よりも高い。

[0022]

上記半導体装置の作製方法において、第1の導電層及び第2の導電層の一方又は両方は、塩化チタンと、アンモニアと、を用いて形成されることが好ましい。

[0023]

上記半導体装置の作製方法において、第1の導電層及び第2の導電層の一方又は両方は、六フッ化タングステンを用いて形成されることが好ましい。

[0024]

上記半導体装置の作製方法において、強誘電体層となる絶縁膜の成膜以降に、400℃以上600℃以下の加熱処理を、ランプを用いたRTA法により行うことが好ましい。

[0025]

上記半導体装置の作製方法において、第1の導電層は第1の凹部を有し、強誘電体層は、第1の凹部に沿って形成され、強誘電体層は、第1の凹部と重なる領域に第2の凹部を有し、第2の導電層は、第2の凹部を埋め込むように形成される、ことが好ましい。

[0026]

上記半導体装置の作製方法において、強誘電体層は、第2の導電層を形成して以降のX線回折による分析において、 $2\theta = 30.4^\circ$ 付近にピークを有し、強誘電体層は、第2の導電層を形成して以降のX線回折による分析において、 $2\theta = 28.5^\circ$ の強度が、上記ピークのピーク強度の0.1倍以下であり、かつ、 $2\theta = 31.6^\circ$ の強度が、上記ピークのピーク強度の0.1倍以下である、ことが好ましい。

発明の効果

[0027]

本発明の一態様によって、新規な半導体装置を提供できる。または、本発明の一態様によって、占有面積が小さい半導体装置を提供できる。または、本発明の一態様によって、信頼性が高い半導体装置を提供できる。または、本発明の一態様によって、消費電力が低い半導体装置を提供できる。または、本発明の一態様によって、記憶容量が大きい半導体装置を提供できる。

[0028]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。従って本発明の一態様は、上記列挙した効果を有さない場合もある。なお、他の効果とは、以下の記載で述べる、本項目で言及していない効果である。他の効果は、当業者であれば明細書または図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。本発明の一態様は、上記列挙した効果、および他の効果のうち、少なくとも一つの効果を有するものである。

図面の簡単な説明

[0029]

図1Aは、半導体装置の構成例を示す平面図である。図1B及び図1Cは、半導体装置の構成例を示す断面図である。

図2A乃至図2Fは、半導体装置の構成例を示す断面図である。

図3A乃至図3Dは、半導体装置の構成例を示す断面図である。

図4Aは、半導体装置の構成例を示す平面図である。図4B及び図4Cは、半導体装置の構成例を示す断面図である。

図5Aは、半導体装置の構成例を示す平面図である。図5B及び図5Cは、半導体装置の構成例を示す断面図である。

す断面図である。

図 6 A 乃至図 6 H は、半導体装置の作製方法例を示す断面図である。

図 7 A 乃至図 7 D は、半導体装置の作製方法例を示す断面図である。

図 8 は、非特許文献 4 に開示されている、 HfO_2 が有しうる結晶構造とそれぞれの分極－電界特性を説明する図である。

図 9 A は、半導体装置の構成例を示す平面図である。図 9 B 及び図 9 C は、半導体装置の構成例を示す断面図である。

図 10 A は、半導体装置の構成例を示す平面図である。図 10 B は、半導体装置の構成例を示す断面図である。

図 11 は、半導体装置の構成例を示す断面図である。

図 12 は、半導体装置の構成例を示す断面図である。

図 13 A は、メモリセルの回路構成例を説明する図である。図 13 B は、ヒステリシス特性の一例を示すグラフである。図 13 C は、メモリセルの駆動方法例を示すタイミングチャートである。

図 14 A 乃至図 14 C は、記憶装置の構成例を示す図である。

図 15 A は、記憶装置の構成例を示す図である。図 15 B は、記憶装置が有するメモリストリングの模式図である。

図 16 A は、記憶装置の構成例を示す図である。図 16 B は、記憶装置が有するメモリストリングの模式図である。

図 17 A 及び図 17 B は、半導体装置の一例を示す図である。

図 18 A 及び図 18 B は、電子部品の一例を示す斜視図である。

図 19 A 乃至図 19 J は、電子機器の一例を示す図である。

図 20 A 乃至図 20 E は、電子機器の一例を示す図である。

図 21 A 乃至図 21 C は、電子機器の一例を示す図である。

図 22 は、宇宙用機器の一例を示す図である。

図 23 は、実施例で作製した試料を説明する断面概略図である。

図 24 A 乃至図 24 E は、GIXRD 測定結果を示す図である。

発明を実施するための形態

[0030]

以下の実施の形態などについて、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しとなる説明を省略する場合がある。

[0031]

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、電子機器などは、それ自体が半導体装置であり、かつ、半導体装置を有している場合

がある。

[0032]

また、図面などにおいて示す各構成の、位置、大きさ、及び範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面などに開示された位置、大きさ、及び範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層およびレジストマスクなどが意図せずに目減りすることがあるが、発明の理解を容易とするため、記載を省略する場合がある。

[0033]

また、本明細書等において、リソグラフィ法（フォトリソグラフィ法、X線リソグラフィ法、電子線リソグラフィ法、多光子リソグラフィ法、干渉リソグラフィ法、ナノインプリンティング法など）によりレジストマスクを形成し、その後にエッチング工程（除去工程）を行う場合は、特段の説明がない限り、当該レジストマスクは、エッチング工程終了後に除去するものとする。

[0034]

また、特に平面図（「上面図」ともいう。）および斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0035]

なお、実施の形態の発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。また、図面を理解しやすくするため、斜視図または上面図などにおいて、一部の構成要素の記載を省略している場合がある。

[0036]

本明細書等において、「第1」、「第2」などの序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番または順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において付された序数詞と、特許請求の範囲において付された序数詞が異なる場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

[0037]

また、本明細書等において「電極」、「配線」、および「端子」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」および「配線」の用語は、複数の「電極」および「配線」が一体となって設けられている場合なども含む。また、例えば、「端子」は「配線」または「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」または「端子」の一部とすることができ、また、例えば、「端子」は「配線」または「電極」の一部とすることができる。また、「電極」、「配線」、および「端子」などの用語は、場合によって、「領域」などの用語に置き換え可能な場合がある。

[0038]

また、本明細書等において、信号の供給とは、配線などに所定の電位を供給することをいう。よって、「信号」を「電位」などの用語に読み替えることが可能な場合がある。また、「電位」などの用語を

「信号」に読み替えることが可能な場合がある。また、「信号」は変動電位であってもよく、固定電位であってもよい。例えば、電源電位であってもよい。

[0039]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0040]

また、本明細書等において、「容量素子」とは、例えば、0 F よりも高い静電容量の値を有する回路素子、0 F よりも高い静電容量の値を有する配線の領域、寄生容量、またはトランジスタのゲート容量とすることができる。また、「容量素子」、「寄生容量」、または「ゲート容量」という用語は、「容量」という用語に言い換えることができる場合がある。逆に、「容量」という用語は、「容量素子」、「寄生容量」、または「ゲート容量」という用語に言い換えることができる場合がある。また、「容量」（3端子以上の「容量」を含む）は、絶縁層と、当該絶縁層を挟んだ一对の導電層と、を含む構成となっている。そのため、「容量」の「一对の導電層」という用語は、「一对の電極」、「一对の導電領域」、「一对の領域」、または「一对の端子」に言い換えることができる。また、「一对の端子の一方」という用語は、「一方の端子」または「第1端子」と呼称する場合がある。また、「一对の端子の他方」という用語は、「他方の端子」または「第2端子」と呼称する場合がある。なお、静電容量の値としては、例えば、0.05 fF 以上 10 pF 以下とすることができる。また、例えば、1 pF 以上 10 μ F 以下としてもよい。

[0041]

トランジスタの「ソース」および「ドレイン」の機能は、異なる導電型のトランジスタを採用する場合、もしくは、回路動作において電流の方向が変化する場合などで入れ替わることがある。このため、本明細書等においては、「ソース」および「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0042]

本明細書などにおいて、「ゲート」とは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極または別の配線とを電氣的に接続させるための配線のことをいう。

[0043]

本明細書などにおいて、「ソース」とは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分を含む導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極または別の配線とを電氣的に接続させるための配線のことをいう。

[0044]

本明細書などにおいて、「ドレイン」とは、ドレイン領域、ドレイン電極、およびドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分を含む導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極または別の配線とを電氣的に接

続させるための配線のことをいう。

[0045]

また、本明細書等に示すトランジスタは、特に断りがない場合、エンハンスメント型（ノーマリーオフ型）の電界効果トランジスタとする。また、本明細書等に示すトランジスタがnチャネル型トランジスタであり、特に断りがない場合、該トランジスタのしきい値電圧（「 V_{th} 」ともいう。）は、0 Vよりも大きいものとする。また、本明細書等に示すトランジスタがpチャネル型トランジスタであり、特に断りがない場合、該トランジスタの V_{th} は、0 V以下であるものとする。また、特に断りがない場合、同じ導電型の複数のトランジスタの V_{th} は、全て等しいものとする。

[0046]

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（「非導通状態」または「遮断状態」ともいう）にあるときにソースとドレインの間に流れる電流（「ドレイン電流」または「 I_d 」ともいう。）をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ソースを基準とした時のゲートとソースの間の電位差（「ゲート電圧」または「 V_g 」ともいう。）がしきい値電圧よりも低い状態、pチャネル型トランジスタでは、 V_g がしきい値電圧よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、 V_g が V_{th} よりも低いときのドレイン電流を言う場合がある。

[0047]

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

[0048]

また、本明細書等において、特に断りがない場合、オン電流とは、トランジスタがオン状態（「導通状態」ともいう。）にあるときの I_d をいう。オン状態とは、特に断りがない場合、nチャネル型トランジスタでは、 V_g が V_{th} 以上である状態、pチャネル型トランジスタでは、 V_g がしきい値電圧以下である状態をいう。例えば、nチャネル型のトランジスタのオン電流とは、 V_g が V_{th} 以上であるときのドレイン電流を言う場合がある。

[0049]

また、本明細書等において、高電源電位VDD（以下、単に「VDD」または「電位H」ともいう。）とは、低電源電位VSSよりも高い電位の電源電位を示す。また、低電源電位VSS（以下、単に「VSS」または「電位L」ともいう。）とは、高電源電位VDDよりも低い電位の電源電位を示す。また、接地電位GND（以下、単に「GND」ともいう。）をVDDまたはVSSとして用いることもできる。例えばVDDがGNDの場合には、VSSはGNDより低い電位であり、VSSがGNDの場合には、VDDはGNDより高い電位である。なお、本明細書等では、明示される場合を除き、VSSを基準の電位とする。

[0050]

また、一般に「電圧」とは、ある電位と基準の電位（例えば、接地電位またはソース電位など）との電位差のことを示す場合が多い。また、「電位」は相対的なものであり、基準となる電位によって配線等に与える電位が変化する場合がある。よって「電圧」と「電位」は互いに言い換えることが可能な場合がある。

[0051]

本明細書等において、「上に」、「下に」、「上方に」、または「下方に」などの配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電層の上に位置する絶縁層」の表現では、示している図面の向きを 180° 回転することによって、「導電層の下に位置する絶縁層」と言い換えることができる。例えば、「開口の上に位置する絶縁層」の表現には、「開口の側面に位置する絶縁層」が含まれる場合がある。

[0052]

また、「上」および「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0053]

本明細書等において、「重なる」などの用語は、構成要素の積層順などの状態を限定するものではない。例えば、「絶縁層Aに重なる電極B」の表現であれば、絶縁層Aの上に電極Bが形成されている状態に限らず、絶縁層Aの下に電極Bが形成されている状態または絶縁層Aの右側（もしくは左側）に電極Bが形成されている状態などを除外しない。

[0054]

本明細書等において、「隣接」および「近接」の用語は、構成要素が直接接していることを限定するものではない。例えば、「絶縁層Aに隣接する電極B」の表現であれば、絶縁層Aと電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bの間に他の構成要素を含むものを除外しない。

[0055]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」または「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」または「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0056]

また、本明細書に係る図面等において、X方向、Y方向、およびZ方向を示す矢印を付す場合がある。本明細書等において、「X方向」とはX軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Y方向」および「Z方向」についても同様である。また、X方向、Y方向、およびZ方向は、それぞれが互いに交差する方向である。例えば、X方向、Y方向、およびZ方向は、それぞれが互いに直交する方向である。本明細書などではX方向、Y方向、またはZ方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。

[0057]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“A”、“b”、“_1”、“[n]”、“[m, n]”などの識別用の符号を付記して記載する場合がある。例えば、導電層120を、導電層120a及び導電層120bに分けて示す

場合がある。

[0058]

(実施の形態1)

本実施の形態では、本発明の一態様である半導体装置について説明を行う。

[0059]

<半導体装置の構成例>

以下では、本発明の一態様の半導体装置の構成例について、図1A乃至図4Cを用いて説明する。

[0060]

図1A乃至図1Cは、本発明の一態様の半導体装置の構成例を説明する平面図及び断面図である。図1Aは、半導体装置の平面図である。図1Bは、図1AにA1-A2の一点鎖線で示す部位をY方向から見た断面図である。図1Cは、図1AにA3-A4の一点鎖線で示す部位をX方向から見た断面図である。なお、図1Aの平面図では、図の明瞭化のために一部の要素を省いている。

[0061]

本発明の一態様の半導体装置は、基板（図示せず）上の絶縁層140と、絶縁層140上の導電層110と、導電層110上の容量素子100と、絶縁層180と、を有する。絶縁層140及び絶縁層180は層間膜として機能し、導電層110は配線として機能する。

[0062]

容量素子100は、導電層110上の導電層115と、導電層115上の絶縁層130と、絶縁層130上の導電層120と、を有する。容量素子100において、導電層120は一对の電極の一方（上部電極と呼ぶ場合がある）として機能し、導電層115は一对の電極の他方（下部電極と呼ぶ場合がある）として機能し、絶縁層130は誘電体として機能する。つまり、容量素子100は、MIM（Metal-Insulator-Metal）容量を構成している。本実施の形態では、絶縁層130として、強誘電性を有する材料を用いる。このとき、絶縁層130は、強誘電性を有する。よって、容量素子100は、強誘電キャパシタとして機能する。

[0063]

図1B及び図1Cに示すように、絶縁層180には、導電層110に達する開口部190が設けられている。導電層115の少なくとも一部は、開口部190に配置されている。導電層115は、開口部190において導電層110の上面に接する領域と、開口部190において絶縁層180の側面に接する領域と、を有する。導電層115は、開口部190と重なる領域に凹部を有する。なお、図1B及び図1Cに示す構成では、導電層115は、絶縁層180の上面の少なくとも一部に接する領域を有する。

[0064]

絶縁層130は、少なくとも一部が開口部190に位置するように配置されている。絶縁層130は、開口部190において導電層115の上面と接する領域を有する。つまり、絶縁層130は、導電層115が有する凹部に沿って形成された領域を有する。絶縁層130は、導電層115が有する凹部と重なる領域に凹部を有する。なお、図1B及び図1Cに示す構成では、絶縁層130は、絶縁層180の上面の少なくとも一部に接する領域を有する。

[0065]

導電層120は、少なくとも一部が開口部190に位置するように配置されている。導電層120は、開口部190において絶縁層130の上面と接する領域を有する。また、導電層120は、絶縁層1

30が有する凹部を埋め込むように設けられる。つまり、導電層120は、開口部190を埋め込むように設けられる。

[0066]

容量素子100は、開口部190において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、平行平板型の容量素子と比較して、単位面積当たりの静電容量を大きくすることができる。よって、開口部190の深さを深くするほど、容量素子100の静電容量を大きくすることができる。

[0067]

開口部190の側壁は、導電層110の上面に対して垂直であることが好ましい。このとき、開口部190は円筒形状を有する。このような構成にすることで、半導体装置の微細化または高集積化を図ることができる。

[0068]

開口部190の側壁は、導電層110の上面に対してテーパ形状を有することが可能である。開口部190の側壁が導電層110の上面に対してテーパ形状を有することで、導電層115などの被覆性が向上し、鬆などの欠陥を低減できる。

[0069]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（テーパ角ともいう）の角度が0度より大きく90度未満である領域を有する。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

[0070]

開口部190の側壁及び導電層110の上面に沿って導電層115及び絶縁層130が積層して設けられている。また、開口部190を埋めるように、絶縁層130上に導電層120が設けられている。このような構成を有する容量素子100は、トレンチ型容量またはトレンチ容量と呼称してもよい。

[0071]

なお、本実施の形態では、平面視において開口部190が円形である例について示したが、本発明はこれに限られるものではない。平面視において、開口部190は、例えば、円形、楕円形などの略円形、三角形、四角形（長方形、菱形、正方形を含む）、五角形、星形多角形などの多角形、またはこれら多角形の角が丸い形状とすることができる。なお、多角形としては、凹多角形（少なくとも一つの内角が180度を超える多角形）及び凸多角形（全ての内角が180度以下である多角形）のどちらであってもよい。図1Aに示すように、平面視において、開口部190は、円形であることが好ましい。円形とすることにより、開口部を形成する際の加工精度を高めることができ、微細なサイズの開口部を形成することができる。なお、本明細書等において、円形とは真円に限定されない。

[0072]

<半導体装置の構成材料>

以下では、本実施の形態の半導体装置に用いることができる材料について説明する。なお、本実施の形態の半導体装置を構成する各層は、単層構造であってもよく、積層構造であってもよい。図1B及び図1Cでは、導電層115及び導電層120がそれぞれ、単層構造である例を示す。また、図3A

及び図3Bでは、導電層115及び導電層120がそれぞれ、積層構造である例を示す。

[0073]

[絶縁層130]

上述したように、絶縁層130として、強誘電性を有しうる材料を用いる。

[0074]

ここで、強誘電性を有しうる材料について説明しておく。本明細書等において、強誘電性を有しうる材料とは、材料に印加する電場の強さ（電界強度）と分極の大きさとの関係においてヒステリシス特性を有しうる材料、または、外部電場（外部から材料に印加される電界）が無い状態でも分極が自発的に生じうる材料を指す。したがって、強誘電性を有しうる材料には、強誘電性、反強誘電性、およびフェリ誘電性のいずれか一または複数を有する材料が含まれる。

[0075]

また、本明細書等において、強誘電性を有しうる材料を層状にしたものを指して、強誘電体層と呼ぶ場合がある。よって、絶縁層130を強誘電体層と読み替えることができる場合がある。また、このような、強誘電体層を有する装置を、本明細書等において、強誘電体デバイスと呼ぶ場合がある。

[0076]

強誘電性を有しうる材料としては、ハフニウム及びジルコニウム的一方又は両方を有する酸化物が挙げられる。また、ハフニウム及びジルコニウム的一方又は両方を有する酸化物として、ハフニウム酸化物、ジルコニウム酸化物、及びハフニウムジルコニウム酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素J1（ここでの元素J1は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数を）を添加した材料が挙げられる。ここで、ハフニウムの原子数と元素J1の原子数の比は適宜設定することができ、例えば、ハフニウムの原子数と元素J1の原子数の比を1:1またはその近傍にすることができる。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素J2（ここでの元素J2は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数を）を添加した材料、などが挙げられる。また、ジルコニウムの原子数と元素J2の原子数の比は適宜設定することができ、例えば、ジルコニウムの原子数と元素J2の原子数の比を1:1またはその近傍にすることができる。また、強誘電性を有しうる材料として、チタン酸鉛（ $PbTiO_x$ （ x は0よりも大きい実数とする））、チタン酸バリウムストロンチウム（BST）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（PZT）、タンタル酸ビスマス酸ストロンチウム（SBT）、ビスマスフェライト（BFO）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0077]

また、強誘電性を有しうる材料としては、元素M1と、元素M2と、窒素と、を有する金属窒化物が挙げられる。ここで、元素M1は、アルミニウム、ガリウム、インジウムなどから選ばれた一つまたは複数である。また、元素M2は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロムなどから選ばれた一つまたは複数である。なお、元素M1の原子数と元素M2の原子数の比は適宜設定することができる。また、元素M1と、窒素と、を有する金属酸化物は、元素M2を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素M3が添加された材料が挙げられる。なお、元素M3は、マグネシウム、カルシウム、ストロンチウ

ム、亜鉛、カドミウムなどから選ばれた一つまたは複数である。ここで、元素M1の原子数、元素M2の原子数、及び元素M3の原子数の比は適宜設定することができる。

[0078]

また、強誘電性を有しうる材料としては、 SrTaO_2N 、 BaTaO_2N などのペロブスカイト型酸窒化物、 κ アルミナ型構造の GaFeO_3 などが挙げられる。

[0079]

なお、上記の説明においては、金属酸化物、及び金属窒化物について例示したがこれに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸窒化物、または上述の金属窒化物に酸素が添加された金属窒酸化物などを用いてもよい。

[0080]

また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物または化合物を用いることができる。または、絶縁層を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料とも呼んでいる。

[0081]

絶縁層130として、ハフニウム及びジルコニウムの一方又は両方を有する酸化物を用いることが好ましく、ハフニウムジルコニウム酸化物を用いることがより好ましい。絶縁層130としてハフニウムジルコニウム酸化物を用いる場合、絶縁層130は、ハフニウムと、ジルコニウムと、酸素と、を有する。

[0082]

ここで、絶縁層130に用いることのできる材料の一つである、酸化ハフニウムの結晶構造について説明を行う。非特許文献4でも報告されているように、酸化ハフニウムは、多様な結晶構造をとることが知られている。例えば、単斜晶系（*monoclinic*、空間群： $P2_1/c$ ）、直方晶系（*orthorhombic*、空間群： $Pbca$ 又は $Pca2_1$ ）、正方晶系（*tetragonal*、空間群： $P4_2/nmc$ ）、立方晶系（*cubic*、空間群： $Fm-3m$ ）などの結晶構造を取りうる（図8参照）。また、上述のそれぞれの結晶構造は、相変化しうる。なお、ハフニウムジルコニウム酸化物についても同様である。

[0083]

ハフニウムジルコニウム酸化物において、単斜晶系、正方晶系、及び立方晶系の結晶構造は反転中心を有する。そのため、これらの結晶構造を有する結晶を含む酸化ハフニウムは、残留分極を持たない常誘電体となる。一方、空間群が $Pca2_1$ である直方晶系の結晶構造は、中心対称を有さない。よって、空間群が $Pca2_1$ である直方晶系の結晶構造では、外部電場により酸素が変位するため、空間群が $Pca2_1$ である直方晶系の結晶構造を有する結晶を含む酸化ハフニウムでは、強誘電性が発現する。

[0084]

したがって、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁層130が強誘電性を発現するには、絶縁層130は結晶を含む必要がある。特に絶縁層130は、空間群が $Pca2_1$ である直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現す

るため好ましい。また、絶縁層130において、直方晶系の結晶構造を有する結晶の存在割合を高めることで、残留分極を高めることができる。

[0085]

なお、ハフニウムジルコニウム酸化物において、単斜晶系、正方晶系、又は立方晶系の結晶構造を有する結晶は、常圧において安定であり、直方晶系の結晶構造を有する結晶は、常圧において準安定である。そのため、単斜晶系、正方晶系、又は立方晶系の結晶構造を有する結晶は、加熱処理などを行った場合においても、直方晶系の結晶構造に相転移しにくいと推定される。以降では、常圧において安定である結晶を安定相と呼び、常圧において準安定である結晶を準安定相と呼ぶ場合がある。

[0086]

そこで、絶縁層130において、準安定相の含有率は高いことが好ましい。また、絶縁層130において、安定相の含有率は低いことが好ましい。つまり、絶縁層130において、直方晶系の結晶構造を有する結晶の含有率が高く、単斜晶系、正方晶系、又は立方晶系の結晶構造を有する結晶の含有率は低いことが好ましい。例えば、単斜晶系の結晶構造を有する結晶の含有率と、正方晶系の結晶構造を有する結晶の含有率と、立方晶系の結晶構造を有する結晶の含有率との和は低いことが好ましい。また、例えば、単斜晶系の結晶構造を有する結晶の含有率、正方晶系の結晶構造を有する結晶の含有率、及び立方晶系の結晶構造を有する結晶の含有率はそれぞれ低いことが好ましい。絶縁層130に含まれる結晶の結晶構造は、例えば、X線回折(XRD: X-Ray Diffraction)を用いて評価することができる。具体的には、斜入射X線回折法(GIXRD: Grazing-Incidence XRD)測定で得られるXRDスペクトルを用いて評価することができる。なお、GIXRD法は、薄膜法またはSeemann-Bohlin法ともいう。また、以下では、GIXRD測定で得られるXRDスペクトルを、単に、XRDスペクトルと記す場合がある。

[0087]

本明細書等において、XRDによる分析において、ピークとは、XRDスペクトルに現れる凸形状をいうこととする。なお、1つのピークが、複数のピークが重なることで形成される場合がある。また、ピーク強度とは、XRDスペクトルに現れる凸形状(ピーク)の極大値をいうこととする。また、ピーク位置とは、XRDスペクトルに現れる凸形状(ピーク)の極大値におけるX線の回折角度(2θ)の値をいうこととする。

[0088]

例えば、ハフニウムジルコニウム酸化物が、直方晶系、正方晶系、又は立方晶系の結晶構造を有する結晶を含む場合、当該ハフニウムジルコニウム酸化物のX線回折による分析において、直方晶系、正方晶系、又は立方晶系の結晶構造に由来するピークが $2\theta = 30.4^\circ$ 付近に検出される。また、ハフニウムジルコニウム酸化物が、単斜晶系の結晶構造を有する結晶を含む場合、当該ハフニウムジルコニウム酸化物のX線回折による分析において、単斜晶系の結晶構造の (-111) 面に由来するピークが $2\theta = 28.5^\circ$ 付近に検出され、単斜晶系の結晶構造の (111) 面に由来するピークが $2\theta = 31.6^\circ$ 付近に検出される。以降では、 $2\theta = 30.4^\circ$ 付近に検出されるピークを第1のピークと呼び、 $2\theta = 28.5^\circ$ 付近に検出されるピークを第2のピークと呼び、 $2\theta = 31.6^\circ$ 付近に検出されるピークを第3のピークと呼ぶ。なお本明細書等において、XRDスペクトルにおける特定の角度A付近とは、 $A - 0.5^\circ$ 以上 $A + 0.5^\circ$ 以下をいうこととする。

[0089]

絶縁層130の強誘電性を高めるには、絶縁層130のX線回折による分析において、第1のピーク

が検出され、第2のピーク及び第3のピークが検出されないことが好ましい。また、絶縁層130のX線回折による分析において、 $2\theta = 28.5^\circ$ の強度及び $2\theta = 31.6^\circ$ の強度のそれぞれが、第1のピークのピーク強度の0.1倍以下であることが好ましく、第1のピークのピーク強度の0.02倍以下であることがより好ましく、第1のピークのピーク強度の0.01倍以下であることがさらに好ましい。このとき、絶縁層130に含まれる、単斜晶系の結晶構造を有する結晶の含有率が低くなり、絶縁層130の強誘電性を高めることができる。

[0090]

なお、第1のピークと第2のピークが重なる場合がある。また、第1のピークと第3のピークが重なる場合がある。例えば、第1のピークと第3のピークが重なる場合、XRDスペクトルを波形分離して、それぞれのピーク強度を算出することができる。一例として、実測のXRDスペクトルに対して、結晶構造毎に設定したピークの合成スペクトルによるフィッティングを行うことで、それぞれのピーク強度を算出することができる。

[0091]

なお、X線回折による分析において、 $2\theta = 30.4^\circ$ 付近に検出されるピークが、直方晶系の結晶構造、正方晶系の結晶構造、及び立方晶系の結晶構造のいずれに由来するかを区別することは難しい。そこで、絶縁層130に含まれる結晶の含有率は、高分解能透過型電子顕微鏡(TEM: Transmission Electron Microscope)による電子線回折(ED: Electron Diffraction)マッピングなどを用いて評価することが可能である。

[0092]

ハフニウム及びジルコニウム的一方又は両方を有する酸化物において、当該酸化物中の酸素欠損(Vo: Oxygen Vacancyともいう)濃度が高いほど、直方晶系の結晶構造を有する結晶が生成されやすい。そこで、ハフニウム及びジルコニウム的一方又は両方を有する酸化物に、当該酸化物中の酸素欠損濃度を高める元素が添加されることが好ましい。当該元素として、元素周期表における第3族元素(IIIa族元素ともいう)が挙げられる。上記酸化物に添加する、元素周期表における第3族元素は、スカンジウム、ランタン、及びイットリウムから選ばれる一又は複数であることがより好ましく、ランタン及びイットリウム的一方又は両方であることがさらに好ましい。なお、本明細書等では、元素周期表における第3族元素を、単に第3族元素と呼ぶ場合がある。

[0093]

ハフニウム及びジルコニウム的一方又は両方を有する酸化物において、ハフニウム及びジルコニウムは+4価の価数を取りやすい。一方、第3族元素を有する酸化物において、第3族元素は+3価の価数を取りやすい。よって、ハフニウム及びジルコニウムと価数が異なる元素をハフニウム及びジルコニウム的一方又は両方を有する酸化物に添加することで、当該酸化物中の酸素欠損濃度を高めることができる。

[0094]

また、第3族元素の少なくとも一をハフニウム及びジルコニウム的一方又は両方を有する酸化物に添加することで、当該酸化物に含まれる結晶の粒径を小さくすることができる場合がある。上記酸化物に含まれる結晶の粒径を小さくし、粒径のばらつきを小さくすることで、上記酸化物の絶縁破壊耐圧が大きくなり、高耐圧を図ることができる。また、リーク電流量の低減を図ることができる。

[0095]

また、第3族元素の少なくとも一をハフニウム及びジルコニウム的一方又は両方を有する酸化物に添

加することで、当該酸化物では、単斜晶系 (monoclinic) の結晶構造を有する結晶よりも、直方晶系の結晶構造を有する結晶が生成されやすくなる場合がある。これは、ハフニウム及びジルコニウムよりもイオン半径が大きい元素を添加したためと推測される。この点から、上記酸化物に添加する第3族元素は、ランタン及びイットリウムが特に好ましい。

[0096]

ただし、ハフニウム及びジルコニウム的一方又は両方を有する酸化物への第3族元素の添加量が多すぎると、当該酸化物の結晶性が低下し、強誘電性の発現に影響を及ぼす恐れがある。そこで、ハフニウム及びジルコニウム的一方又は両方を有する酸化物に添加される第3族元素の含有率は、0.1 atomic %以上10 atomic %以下が好ましく、0.1 atomic %以上5 atomic %以下がより好ましく、0.1 atomic %以上3 atomic %以下がさらに好ましい。ここで、第3族元素の含有率とは、強誘電体層に含有される全ての金属元素の原子数の和における、第3族元素の原子数の割合を指す。上記のような範囲で第3族元素を上記酸化物に添加することで、残留分極の向上、高耐圧、及びリーク電流量の低減などを図ることができる。

[0097]

以上より、絶縁層130は、ハフニウム及びジルコニウム的一方又は両方と、第3族元素の少なくとも一と、酸素と、を有することが好ましく、ハフニウムと、ジルコニウムと、第3族元素の少なくとも一と、酸素と、を有することがより好ましく、ハフニウムと、ジルコニウムと、ランタン及びイットリウム的一方又は両方と、酸素と、を有することがさらに好ましい。別言すると、絶縁層130は、第3族元素の少なくとも一が添加された、ハフニウム及びジルコニウム的一方又は両方を有する酸化物を用いることが好ましく、第3族元素の少なくとも一が添加された、ハフニウムジルコニウム酸化物を用いることがより好ましく、ランタン及びイットリウム的一方又は両方が添加された、ハフニウムジルコニウム酸化物を用いることがさらに好ましい。

[0098]

また、絶縁層130における、第3族元素の少なくとも一の含有率は、0.1 atomic %以上10 atomic %以下が好ましく、0.1 atomic %以上5 atomic %以下がより好ましく、0.1 atomic %以上3 atomic %以下がさらに好ましい。例えば、絶縁層130が、第3族元素の少なくとも一としてランタンを有する場合、絶縁層130におけるランタンの含有率は、上記範囲であることが好ましい。また、例えば、絶縁層130が、第3族元素の少なくとも一としてランタン及びイットリウムを有する場合、絶縁層130におけるランタンの含有率とイットリウムの含有率との和は、上記範囲であることが好ましい。

[0099]

なお、ハフニウム及びジルコニウム的一方又は両方を有する酸化物を形成し、続いて、第3族元素の少なくとも一を有する酸化物を形成し、続いて、加熱処理を行うことで、ハフニウム及びジルコニウム的一方又は両方と、第3族元素の少なくとも一と、を有する酸化物を形成してもよい。

[0100]

又は、第3族元素の少なくとも一を有する酸化物を形成し、続いて、ハフニウム及びジルコニウム的一方又は両方を有する酸化物を形成し、続いて、加熱処理を行うことで、ハフニウム及びジルコニウム的一方又は両方と、第3族元素の少なくとも一と、を有する酸化物を形成してもよい。

[0101]

又は、ハフニウム及びジルコニウム的一方又は両方を有する酸化物を形成し、第3族元素を添加する

処理を行うことで、ハフニウム及びジルコニウムの一方又は両方と、第3族元素の少なくとも一と、を有する酸化物を形成してもよい。このとき、第3族元素を添加する処理において、ハフニウム及びジルコニウムの一方又は両方を有する酸化物に酸素欠損が形成される場合がある。つまり、第3族元素の添加により、当該酸化物中の酸素欠損濃度の増加を促すことができる。第3族元素の添加処理は、例えばイオンドーピング法、イオンインプランテーション法などを用いることができる。

[0102]

なお、絶縁層130として、後述する[絶縁層]に記載の絶縁性材料を、単層または積層で用いてもよい。

[0103]

[絶縁層]

半導体装置が有する絶縁層（絶縁層140、絶縁層180など）には、それぞれ、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。酸化絶縁膜としては、例えば、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、酸化タンタル膜、酸化セリウム膜、ガリウム亜鉛酸化物膜、及び、ハフニウムアルミネート膜が挙げられる。窒化絶縁膜としては、例えば、窒化シリコン膜、及び窒化アルミニウム膜が挙げられる。酸化窒化絶縁膜としては、例えば、酸化窒化シリコン膜、酸化窒化アルミニウム膜、酸化窒化ガリウム膜、酸化窒化イットリウム膜、及び、酸化窒化ハフニウム膜が挙げられる。窒化酸化絶縁膜としては、例えば、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜が挙げられる。また、半導体装置が有する絶縁層には、有機絶縁膜を用いてもよい。

[0104]

比誘電率が高い（high-k）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物などが挙げられる。

[0105]

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコンなどの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、及びアクリル樹脂などの樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコンなどが挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含むことができる。

[0106]

また、半導体装置が有する絶縁層に、前述した、強誘電性を有する材料を用いることができる。また、半導体装置が有する絶縁層に、後述する実施の形態2の[絶縁層]に記載の絶縁性材料を用いることができる。

[0107]

絶縁層140及び絶縁層180は層間膜として機能するため、比誘電率が低いことが好ましい。比誘

電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。酸化シリコン及び酸化窒化シリコンは、それぞれ、熱的に安定であるため、絶縁層 140 及び絶縁層 180 として好適である。

[0108]

[導電層]

半導体装置が有する導電層（導電層 110、導電層 115、導電層 120 など）には、それぞれ、アルミニウム、クロム、銅、銀、金、白金、亜鉛、タンタル、ニッケル、チタン、鉄、コバルト、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、または当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0109]

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、またはチタン及びアルミニウムを含む窒化物などの窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、またはランタン及びニッケルを含む酸化物などの酸素を含む導電性材料、チタン、タンタル、またはルテニウムなどの金属元素を含む材料は、酸化されにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物（ITO ともいう）、酸化チタンを含むインジウムスズ酸化物、シリコンを含むインジウムスズ酸化物（ITSO ともいう）、インジウム亜鉛酸化物（IZO（登録商標）ともいう）、及び、酸化タングステンを含むインジウム亜鉛酸化物などが挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

[0110]

タングステン、銅、またはアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

[0111]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0112]

また、半導体装置が有する導電層に、後述する実施の形態 2 の [導電層] に記載の導電性材料を用いることができる。

[0113]

導電層115として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。導電層115として窒化チタンを用いる場合、導電層115は、チタンと、窒素と、を有する。

[0114]

導電層115として、酸素を吸い取る機能を有する導電性材料を用いることが好ましい。導電層115は絶縁層130に接するため、導電層115として酸素を吸い取る機能を有する導電性材料を用いることで、絶縁層130から酸素を吸い取り、絶縁層130中の酸素欠損濃度を高めることができる。したがって、残留分極を高めることができる。酸素を吸い取る機能を有する導電性材料として、金属元素、金属元素を成分とする合金、及び金属元素を組み合わせた合金等が挙げられる。また、上述した金属元素を成分とする合金として、当該合金の酸化物を用いてもよい。具体的には、タングステン、モリブデン、ルテニウム、チタン、タンタル等が挙げられる。これらの導電性材料は、窒素を含まない導電性材料でもある。なお、本明細書等では、窒素を含まない導電性材料とは、窒素濃度が1 atomic %以下である導電性材料を指す。

[0115]

例えば、タングstenは、導電性が高い導電性材料であるため、導電層115に好適に用いることができる。また、例えば、ルテニウムは、その酸化物も導電性を有することから、導電層115に好適に用いることができる。よって、導電層115は、タングsten又はルテニウムを用いることが好ましい。導電層115としてタングstenを用いる場合、導電層115は、タングstenを有する。

[0116]

導電層115として酸素を吸い取る機能を有する導電性材料を用いる場合、絶縁層130中の酸素が導電層115へ拡散する。そのため、絶縁層130中の酸素欠損濃度は、導電層115から開口部190の側壁又は底面へ向かう方向に勾配を有する。つまり、酸素欠損が生成される方向は、導電層115から開口部190の側壁又は底面へ向かう方向と同じであると言える。上述したように、ハフニウム及びジルコニウム的一方又は両方を有する酸化物を形成し、第3族元素を添加する処理を行う場合、酸素欠損が生成される方向から、第3族元素を添加することが好ましい。このような方法で絶縁層130を形成することで、当該酸化物中の酸素欠損濃度のさらなる増加を図ることができる。

[0117]

なお、導電層115として酸素を吸い取る機能を有する導電性材料を用いる場合、図2A及び図2Bに示すように、導電層115と絶縁層130との間に層118が形成される場合がある。ここで、導電層115に含まれる金属を金属MXとすると、層118は、金属MXと、酸素と、を有する。また、導電層115として金属MXを有する酸化物を用いる場合、層118の酸素濃度は、導電層115の酸素濃度よりも高い。また、層118の金属MXの濃度は、導電層115の金属MXの濃度よりも低い。

[0118]

導電層115と絶縁層130との間に層118が形成される場合、容量素子100は、導電層115と、導電層115上の層118と、層118上の絶縁層130と、絶縁層130上の導電層120と、を有する。

[0119]

層118は、導電性を有してもよいし、絶縁性を有してもよい。層118が導電性を有する場合、層

118は、容量素子100の一对の電極の他方として機能する領域を有する。層118が絶縁性を有する場合、導電層115と導電層120との物理的距離を大きくでき、導電層115と導電層120の間に生じる寄生容量を低減できる。

[0120]

図3A及び図3Bでは、導電層115が、導電層115aと、導電層115a上の導電層115bと、の2層構造である例を示す。

[0121]

例えば、導電層115aにタングステンをを用い、導電層115bに窒化チタン又は窒化タンタルを用いることが可能である。この場合、窒化チタン又は窒化タンタルが絶縁層130と接する。このような構成にすることで、絶縁層130に酸化物絶縁体を用いる場合、絶縁層130によって導電層115が酸化されるのを抑制できる。

[0122]

また、例えば、導電層115aに窒化チタン又は窒化タンタルを用い、導電層115bにタングステンをを用いることが可能である。このような構成にすることで、絶縁層180に酸化物絶縁体を用いる場合、絶縁層180によって導電層115が酸化されるのを抑制できる。また、絶縁層130から酸素を吸い取り、絶縁層130中の酸素欠損濃度を高めることで、残留分極を高めることができる。

[0123]

また、導電層115a及び導電層115bの一方又は両方は、積層構造であってもよい。例えば、導電層115aが、第1の導電層と、第1の導電層上の第2の導電層と、の2層構造である場合、導電層115aの第1の導電層及び導電層115bのそれぞれに窒化チタン又は窒化タンタルを用い、導電層115aの第2の導電層にタングステンをを用いることが可能である。このような構成にすることで、絶縁層130に酸化物絶縁体を用いる場合、絶縁層130によって導電層115が酸化されるのを抑制できる。また、絶縁層180に酸化物絶縁体を用いる場合、絶縁層180によって導電層115が酸化されるのを抑制できる。

[0124]

導電層120として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。導電層120として窒化チタンを用いる場合、導電層120は、チタンと、窒素と、を有する。

[0125]

導電層120として、酸素を吸い取る機能を有する導電性材料を用いることが好ましい。導電層120は絶縁層130に接するため、導電層120として酸素を吸い取る機能を有する導電性材料を用いることで、絶縁層130から酸素を吸い取り、絶縁層130中の酸素欠損濃度を高めることができる。したがって、残留分極を高めることができる。例えば、導電層120として、上述の、窒素を含まない導電性材料を用いることが好ましく、タングステンをを用いることがより好ましい。

[0126]

導電層120として酸素を吸い取る機能を有する導電性材料を用いる場合、絶縁層130中の酸素が導電層120へ拡散する。そのため、絶縁層130中の酸素欠損濃度は、導電層120の下面から導電層120の上面へ向かう方向に勾配を有する。つまり、酸素欠損が生成される方向は、導電層120の下面から導電層120の上面へ向かう方向と同じであると言える。上述したように、ハフニウム及びジルコニウム的一方又は両方を有する酸化物を形成し、第3族元素を添加する処理を行う場合、

酸素欠損が生成される方向から、第3族元素を添加することが好ましい。このような方法で絶縁層130を形成することで、当該酸化物中の酸素欠損濃度のさらなる増加を図ることができる。

[0127]

なお、導電層120として酸素を吸い取る機能を有する導電性材料を用いる場合、図2C及び図2Dに示すように、絶縁層130と導電層120の間に層128が形成される場合がある。ここで、導電層120に含まれる金属を金属MYとすると、層128は、金属MYと、酸素と、を有する。また、導電層120として金属MYを有する酸化物を用いる場合、層128の酸素濃度は、導電層120の酸素濃度よりも高い。また、層128の金属MYの濃度は、導電層120の金属MYの濃度よりも低い。

[0128]

絶縁層130と導電層120との間に層128が形成される場合、容量素子100は、導電層115と、導電層115上の絶縁層130と、絶縁層130上の層128と、層128上の導電層120と、を有する。

[0129]

層128は、導電性を有してもよいし、絶縁性を有してもよい。層128が導電性を有する場合、層128は、容量素子100の一对の電極の一方として機能する領域を有する。層128が絶縁性を有する場合、導電層115と導電層120との物理的距離を大きくでき、導電層115と導電層120の間に生じる寄生容量を低減できる。

[0130]

図3A及び図3Bでは、導電層120が、導電層120aと、導電層120a上の導電層120bと、の2層構造である例を示す。なお、導電層120aが、絶縁層130が有する凹部を埋め込むように設けられる場合、図3C及び図3Dに示すように、導電層120bは、その下面が、絶縁層180又は絶縁層130の上面よりも上方に位置するように設けられる。

[0131]

例えば、導電層120aに窒化チタン又は窒化タンタルを用い、導電層120bにタングステンを用いることが可能である。この場合、窒化チタン又は窒化タンタルが絶縁層130に接する。このような構成にすることで、絶縁層130に酸化物絶縁体を用いる場合、絶縁層130によって導電層120が酸化されるのを抑制できる。

[0132]

また、例えば、導電層120aにタングステンを用い、導電層120bに窒化チタン又は窒化タンタルを用いることが可能である。このような構成にすることで、絶縁層130から酸素を吸い取り、絶縁層130中の酸素欠損濃度を高めることで、残留分極を高めることができる。

[0133]

また、導電層120a及び導電層120bの一方又は両方は、積層構造であってもよい。例えば、導電層120aが、第1の導電層と、第1の導電層上の第2の導電層と、の2層構造である場合、導電層120aの第1の導電層に、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用い、導電層120aの第2の導電層に、導電性が高い材料を用い、導電層120bに、酸素を含む導電性材料を用いることが可能である。具体的には、導電層120aの第1の導電層に窒化チタン又は窒化タンタルを用い、導電層120aの第2の導電層にタングステンを用い、導電層120bにITSOを用いることが可能である。このような構成にすることで、絶縁層130に

酸化物絶縁体を用いる場合、絶縁層 130 によって導電層 120 が酸化されるのを抑制できる。

[0134]

なお、導電層 115 及び導電層 120 として酸素を吸い取る機能を有する導電性材料を用いる場合、図 2E 及び図 2F に示すように、導電層 115 と絶縁層 130 との間に層 118 が形成され、絶縁層 130 と導電層 120 の間に層 128 が形成される場合がある。このとき、容量素子 100 は、導電層 115 と、導電層 115 上の層 118 と、層 118 上の絶縁層 130 と、絶縁層 130 上の層 128 と、層 128 上の導電層 120 と、を有する。

[0135]

導電層 110 として、タングステンなどの、導電性が高い導電性材料を用いることができる。導電層 110 として導電性が高い導電性材料を用いることで、導電層 110 の導電性を向上させ、配線として十分に機能させることができる。

[0136]

また、導電層 110 は、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを、単層または積層で用いることが好ましい。例えば、窒化チタン、又は ITSO などを用いてもよい。又は、例えば、タングステンの上に窒化チタンを積層した構造にしてもよい。又は、例えば、第 1 の窒化チタンの上にタングステンを積層し、当該タングステンの上に第 2 の窒化チタンを積層した構造にしてもよい。このような構造にすることで、絶縁層 180 に酸化物絶縁体を用いる場合、絶縁層 180 によって導電層 110 が酸化されるのを抑制できる。

[0137]

[基板]

本発明の一態様の半導体装置を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0138]

<半導体装置の変形例>

図 1A 乃至図 1C に示す半導体装置の変形例を、図 4A 乃至図 4C を用いて説明する。図 4A は、半導体装置の平面図である。図 4B は、図 4A に A1-A2 の一点鎖線で示す部位を Y 方向から見た断面図である。図 4C は、図 4A に A3-A4 の一点鎖線で示す部位を X 方向から見た断面図である。なお、図 4A の平面図では、図の明瞭化のために一部の要素を省いている。

[0139]

図 4A 乃至図 4C に示す半導体装置が有する導電層 115 の形状は、図 1A 乃至図 1C に示す半導体

装置が有する導電層 115 の形状と異なる。以降では、図 1 A 乃至図 1 C を用いて説明した内容と異なる部分について主に説明し、重複する部分についてはこれを参照することとし、説明を省略する場合がある。

[0140]

図 4 (B) 及び図 4 (C) に示すように、導電層 115 は、絶縁層 180 の上面と接しない。別言すると、導電層 115 の上面の高さは、絶縁層 180 の上面の高さと一致する。このような構成にすることで、導電層 115 の端部における段差を低減できる。したがって、後に形成する絶縁層 130 などの被覆性を高めることができる。また、導電層 115 と導電層 120 がショートすることを防止できる。

[0141]

なお、容量素子 100 に必要な静電容量が確保されるのであれば、本発明はこれに限られるものではない。例えば、図 5 B 及び図 5 C に示すように、開口部 190 を埋め込むように導電層 115 を設けてもよい。この場合においても、導電層 115 の上面の高さは、絶縁層 180 の上面の高さと一致する。このような構成にすることで、絶縁層 130 及び導電層 120 を、上面が平坦な被形成物上に形成することができる。したがって、絶縁層 130 及び導電層 120 の成膜は、被覆性が良好な成膜方法に限定されなくなる。例えば、絶縁層 130 となる絶縁膜及び導電層 120 となる導電膜の一方又は両方を成膜速度が速いスパッタリング法などを用いて成膜することで、半導体装置を生産性高く作製することができる。

[0142]

また、絶縁層 130 を上面が平坦な被形成物上に形成することで、絶縁層 130 を平坦に形成できる。また、絶縁層 130 が導電層 115 の上面の角部を覆わない構成とすることができる。したがって、絶縁層 130 への電界集中を抑制できる。これにより、絶縁層 130 の絶縁破壊を抑制し、信頼性の高い半導体装置を提供できる。

[0143]

図 5 B 及び図 5 C は、半導体装置の断面図であり、図 5 A は当該半導体装置の平面図である。図 5 A では、平面視において開口部 190 は、角が丸い四角形である。平面視において開口部 190 が円形である場合と比較して、平面視において開口部 190 を角が丸い四角形とすることで、容量素子 100 の静電容量を大きくすることができる。なお、平面視において開口部 190 は、略円形であってもよいし、多角形であってもよい。

[0144]

<半導体装置の作製方法例>

本発明の一態様の半導体装置の作製方法について、図 6 A 乃至図 7 D を用いて説明する。図 6 A、図 6 C、図 6 E、図 7 A、図 7 C は、半導体装置を X 方向から見た断面図であり、図 6 B、図 6 D、図 6 F、図 7 B、図 7 D は、半導体装置を Y 方向から見た断面図である。なお、各要素の材料及び形成方法について、先に説明した部分と同様の部分については説明を省略することができる。

[0145]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スパッタリング法、化学気相堆積（CVD: Chemical Vapor Deposition）法、真空蒸着法、分子線エピタキシー（MBE）法、パルスレーザー堆積（PLD: Pulsed Laser Deposition）法、原子層堆積（ALD: Atomic Layer Deposition）法などを用

いて形成することができる。

[0146]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0147]

また、CVD法は、プラズマを利用するプラズマCVD (PECVD) 法、熱を利用する熱CVD (Thermal CVD) 法、光を利用する光CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0148]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0149]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法などを用いることができる。

[0150]

CVD法及びALD法は、ターゲットなどから放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、アスペクト比の高い開口の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0151]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送または圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0152]

また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。または、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

[0153]

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピコート法、ディップコート法、スプレーコート法、インクジェット法、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコート等の湿式の成膜方法により形成することができる。

[0154]

また、半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0155]

フォトリソグラフィ法としては、代表的には以下の2つの方法がある。1つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0156]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultraviolet）光、またはX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0157]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

[0158]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP: Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成としてもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成としてもよい。また、平行平板型電極に複数の異なる高周波電圧を印加する構成としてもよい。このようなCCPエッチング装置を、二周波励起容量結合型プラズマ（DF-CCP: Dual Frequency Capacitively Coupled Plasma）エッチング装置と呼ぶ。DF-CCPエッチング装置では、平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成にしてもよい。または平行平板型電極の一方の電極に複数の異なる高周波電圧を印加する構成としてもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP: Inductively Coupled Plasma）エッチング装置などを用いることができる。エッチング装置は、エッチングする対象に合わせて適宜設定することができる。なお、上記のドライエッ

チング装置で、基板側の電極に高周波電圧を印加して、自己バイアス電位を生じさせることで、反応性イオンエッチングを行うことができる。反応性イオンエッチングでは、プラズマ中のイオン種を加速させて被加工物に衝突させることでエッチングを行うため、異方性の高いエッチング処理を行うことができる。

[0159]

はじめに、図1A乃至図1Cに示す半導体装置の作製方法について説明する。

[0160]

まず、基板（図示せず）を準備し、基板上に絶縁層140を成膜する（図6A及び図6B参照）。絶縁層140の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。

[0161]

次に、絶縁層140上に導電層110を形成する（図6A及び図6B参照）。導電層110は、絶縁層140上に導電膜を成膜し、当該導電膜をリソグラフィ法でパターン形成することができる。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。

[0162]

次に、絶縁層140及び導電層110上に絶縁層180を成膜する。絶縁層180の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。なお、絶縁層180は、成膜後にCMP処理を行なって、上面を平坦化させることが好ましい。絶縁層180の平坦化処理を行うことで、導電層115を好適に形成することができる。

[0163]

なお、CMP処理を行わなくてもよい場合がある。このとき、絶縁層180の上面は、上に凸の曲面形状を有する。平坦化処理を行わないことにより、製造コストを低くできるとともに、生産歩留まりを高めることができる。

[0164]

次に、絶縁層180の一部を加工して、導電層110に達する開口部190を形成する（図6A及び図6B参照）。開口部190の形成は、リソグラフィ法を用いて行えばよい。また、開口部190の形成には、ドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法は、異方性エッチングが可能のため、アスペクト比が高い、開口部190を形成するのに、好適である。ただし、ドライエッチング法とウェットエッチング法を適宜用いて開口部190を形成することもできる。

[0165]

次に、導電層110の上面、絶縁層180の側面、及び絶縁層180の上面の一部に接して、導電膜115Fを成膜する（図6C及び図6D参照）。導電膜115Fは、後の工程で導電層115となる膜である。導電膜115Fの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。

[0166]

導電膜115Fの少なくとも一部は、アスペクト比の大きい開口部190に成膜される。よって、導電膜115Fの成膜は、被覆性が良好な成膜方法を用いて行うことが好ましい。例えば、導電膜115Fの成膜は、ALD法、CVD法などを用いて行うことが好ましく、金属CVD法を用いて行うこ

とがより好ましい。

[0167]

次に、導電膜115Fを、リソグラフィ法を用いて加工して、導電層115を形成する。(図6E及び図6F参照)。導電膜115Fの加工はドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。当該加工により、導電層115は、開口部190の側壁及び底面に接し、かつ、開口部190と重なる領域に凹部を有するように形成される。なお、導電膜115Fの加工の際に絶縁層180の一部が加工され、導電層115と重ならない領域の絶縁層180の膜厚が薄くなる場合がある。

[0168]

次に、絶縁層180及び導電層115上に、絶縁膜130Fを成膜する(図6G及び図6G参照)。絶縁膜130Fは、後の工程で絶縁層130となる膜である。絶縁膜130Fの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。

[0169]

絶縁膜130Fは、ALD法を用いて成膜することが好ましい。絶縁膜130Fは薄い膜厚で成膜することが好ましく、膜厚のばらつきが小さくなるようにする必要がある。これに対して、ALD法は、プリカーサと、リアクタント(例えば酸化剤など)を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。また、ALD法は、開口部又は凹部の底部及び側面において原子の層を一層ずつ堆積させることができるため、絶縁膜130Fを導電層115が有する凹部に対して良好な被覆性で成膜することができる。また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。または、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。よって、第3族元素の少なくとも一の含有率が上記範囲である酸化物を形成することができる。

[0170]

絶縁膜130Fとして、ALD法によってハフニウムジルコニウム酸化物を成膜する場合、ハフニウムを含むプリカーサと、ジルコニウムを含むプリカーサと、酸化剤と、を用いて行うことができる。ハフニウムを含むプリカーサとして、テトラキス(エチルメチルアミド)ハフニウム(TEMAHf)、 HfCl_4 などを用いることができる。また、ジルコニウムを含むプリカーサとしてテトラキス(エチルメチルアミド)ジルコニウム(TEMAZr)、 ZrCl_4 などを用いることができる。また、酸化剤として、 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O 、および H_2O_2 中から選ばれるいずれか1または複数を用いることができる。

[0171]

なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)を用いて行うことができる。このことから、絶縁膜130Fは、絶縁膜130Fの成膜直後に結晶性を有さない場合がある。

[0172]

なお、絶縁膜130Fを、酸化剤を用いてALD法によって成膜する場合、当該酸化剤によって、導電層115の表面が酸化され、図2A等に示す層118が形成される場合がある。

[0173]

絶縁膜130Fは、導電層115が有する凹部に沿って成膜される。また、絶縁膜130Fは、導電層115が有する凹部と重なる領域に凹部を有する。

[0174]

絶縁膜130Fの成膜後に、加熱処理を行うことが好ましい。当該加熱処理は例えば、RTA (Rapid Thermal Anneal) 装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。特に、RTA装置を用いることにより、絶縁層130となる絶縁膜130Fの強誘電性を向上させることができる場合があり、好ましい。RTA装置として、LRTA (Lamp Rapid Thermal Anneal) 装置、GRTA (Gas Rapid Thermal Anneal) 装置などを用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの貴ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。なお、LRTA装置を用いて加熱処理を行う方法を、ランプを用いたRTA法、又はLRTA法と呼ぶ場合がある。

[0175]

上記加熱処理としてRTA法を用いる場合、処理温度は、300℃以上700℃以下であることが好ましく、400℃以上600℃以下であることがより好ましく、400℃以上500℃以下であることがさらに好ましい。また、処理時間は、5秒以上1時間以下であることが好ましく、5秒以上5分以下であることがより好ましく、1分以上5分以下であることがさらに好ましい。

[0176]

本実施の形態では、上記加熱処理として、LRTA装置を用いて、窒素雰囲気下で450℃の温度で1分間の処理を行う。

[0177]

なお、上記加熱処理は、絶縁膜130Fの成膜以降に行えばよく、絶縁膜130Fの成膜直後でもよい。例えば、上記加熱処理は、後述する、導電膜120Fの成膜後、導電層120の形成後、及び絶縁層130の形成後などのタイミングにおいて行うことも可能である。また、上記加熱処理は、一回に限らず複数回行なってもよい。またLRTAの雰囲気は、窒素雰囲気下以外にも、Ar、及びHe等の不活性ガスの雰囲気下で行なってもよい。また熱処理はLRTAだけでなく、ファーネスアニール炉を用いてもよい。

[0178]

なお、上記加熱処理により、導電層115の表面が酸化され、図2A等を示す層118が形成される場合がある。また、上記加熱処理を導電膜120Fの成膜以降に行う場合、導電膜120Fの下面が酸化され、図2C等を示す層128となる膜が形成される場合がある。

[0179]

次に、絶縁膜130F上に導電膜120Fを成膜する（図6G及び図6H参照）。導電膜120Fは、絶縁膜130Fが有する凹部を埋め込むように成膜される。導電膜120Fは、後の工程で導電層120となる膜である。導電膜120Fの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。

[0180]

導電膜 120F の少なくとも一部は、絶縁層 130 が有する凹部に成膜する。当該凹部はアスペクト比が大きいため、導電膜 120F の成膜は、被覆性が良好な成膜方法を用いて行うことが好ましい。例えば、導電膜 120F の成膜は、ALD 法、CVD 法などを用いて行うことが好ましく、金属 CVD 法を用いて行うことがより好ましい。

[0181]

なお、導電膜 120F の成膜時の基板温度が高い場合、熱の影響により絶縁膜 130F に安定相が形成され、後に形成される絶縁層 130 が強誘電性を発現しない恐れがある。そこで、導電膜 120F の成膜時の基板温度は低いことが好ましい。一方で、基板温度が低すぎると原料ガスの吸着反応が起これず、成膜されない。そこで、例えば、導電膜 120F の成膜時の温度は、室温以上 325℃以下が好ましく、250℃以上 325℃以下がより好ましい。このように、導電膜 120F を基板温度を低くして成膜することで、絶縁膜 130F において安定相が形成されることを抑制できる。

[0182]

なお、導電膜 115F の成膜は絶縁膜 130F の成膜前に行うため、絶縁膜 130F は、導電膜 115F の成膜時の熱の影響を受けない。よって、導電膜 115F の成膜時の基板温度は高くすることが可能である。例えば、導電膜 115F の成膜時の基板温度は、導電膜 120F の成膜時の基板温度よりも高くすることが可能である。導電膜 115F の成膜時の基板温度を高めることで、導電膜 115F の抵抗率を低くすることができる。また、導電膜 115F 中の水素濃度を低減することができる。例えば、導電膜 115F の成膜時の温度は、325℃を超えて 700℃以下が好ましく、350℃以上 500℃以下がより好ましく、400℃以上 450℃以下がさらに好ましい。

[0183]

次に、導電膜 120F 及び絶縁膜 130F を、リソグラフィ法を用いて加工して、導電層 120 及び絶縁層 130 を形成する（図 1B 及び図 1C 参照）。導電膜 120F 及び絶縁膜 130F の加工はドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、導電膜 120F 及び絶縁膜 130F の加工は、異なる条件で行なってもよい。なお、導電膜 120F 及び絶縁膜 130F の加工の際に絶縁層 180 の一部が加工され、導電層 120 及び絶縁層 130 と重ならない領域の絶縁層 180 の膜厚が薄くなる場合がある。

[0184]

以上により、図 1A 乃至図 1C に示す半導体装置を作製することができる。

[0185]

次に、図 4A 乃至図 4C に示す半導体装置の作製方法について説明する。

[0186]

導電膜 115F を成膜するまでの作製方法は、図 6A 乃至図 6D を用いて説明した内容を参照できるため、詳細な説明は省略する。

[0187]

次に、開口部 190 を埋め込むように犠牲層を形成する。当該犠牲層は後の工程で除去される材料を用いることができる。なお、導電性材料であってもよいし、半導体材料であってもよいし、絶縁性材料であってもよい。

[0188]

次に、平坦化処理を行うことで、絶縁層 180 の上面を露出させ、上記犠牲層、導電層 115、及び絶縁層 180 の上面を平坦化させる。これにより、導電層 115 の上面の高さは、絶縁層 180 の上

面の高さと一致する。当該平坦化处理として、CMP処理が好適である。当該平坦化处理では、少なくとも、上記犠牲層及び導電層115の一部を除去する。なお、当該平坦化处理により、絶縁層180の一部が除去されてもよい。

[0189]

次に、上記犠牲層を除去することで、導電層115が有する凹部を露出する(図7A及び図7B参照)。上記犠牲層の除去は、ドライエッチング法またはウェットエッチング法を用いることができる。上記犠牲層を除去する際、導電層115が除去されないように、上記犠牲層と導電層115の選択比の高いエッチング条件を用いることが好ましい。

[0190]

次に、絶縁層180及び導電層115上に絶縁膜130Fを成膜し、絶縁膜130F上に導電膜120Fを成膜する(図7C及び図7D参照)。なお、絶縁膜130F及び導電膜120Fの成膜方法は、図6G乃至図6Hを用いて説明した内容を参照できる。

[0191]

次に、導電膜120F及び絶縁膜130Fを、リソグラフィ法を用いて加工して、導電層120及び絶縁層130を形成する(図4B及び図4C参照)。導電膜120F及び絶縁膜130Fの加工方法は、上述した内容を参照できる。

[0192]

以上により、図4A乃至図4Cに示す半導体装置を作製することができる。

[0193]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0194]

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置について図9A乃至図12を用いて説明する。本発明の一態様の半導体装置は、メモリセルを有する。当該メモリセルは、トランジスタ及び容量素子を有する。

[0195]

<メモリセルの構成例>

図9A乃至図9Cを用いて、トランジスタ及び容量素子を有する半導体装置の構成を説明する。図9Aは、トランジスタ200A及び容量素子100を有する半導体装置の平面図である。図9Bは、図9Aに示す一点鎖線A1-A2間の断面図である。図9Cは、図9Aに示す一点鎖線A3-A4間の断面図である。

[0196]

図9A乃至図9Cに示す半導体装置は、基板(図示しない)上の絶縁層140と、絶縁層140上の導電層110と、導電層110上のメモリセル150と、導電層110上の絶縁層180と、絶縁層280と、絶縁層283と、絶縁層285と、絶縁層285上の導電層265と、を有する。絶縁層140、絶縁層180、絶縁層280、絶縁層283、及び絶縁層285は、層間膜として機能する。導電層110及び導電層265は、配線として機能する。

[0197]

メモリセル150は、導電層110上の容量素子100と、容量素子100上のトランジスタ200

Aと、を有する。

[0198]

容量素子100については、実施の形態1における説明を参照することができるため、詳細な説明は省略する。

[0199]

また、容量素子100上に、絶縁層280が配置され、絶縁層280上にトランジスタ200Aが配置されている。絶縁層280は、絶縁層180上に位置する部分と、導電層120b上に位置する部分と、を有する。

[0200]

トランジスタ200Aは、導電層120と、絶縁層280上の導電層240と、酸化物半導体層230と、酸化物半導体層230上の絶縁層250と、絶縁層250上の導電層260と、を有する。導電層120は、導電層120aと、導電層120a上の導電層120bと、を有する。導電層240は、導電層240aと、導電層240a上の導電層240bと、を有する。

[0201]

トランジスタ200Aにおいて、酸化物半導体層230は半導体層として機能し、導電層260はゲート電極として機能し、絶縁層250はゲート絶縁層として機能し、導電層120はソース電極及びドレイン電極の一方として機能し、導電層240はソース電極及びドレイン電極の他方として機能する。また、導電層265は、ゲート配線として機能する。

[0202]

酸化物半導体層230の、絶縁層280と接する領域の少なくとも一部は、トランジスタ200Aのチャネル形成領域として機能する。酸化物半導体層230の導電層120と接する領域、及び、酸化物半導体層230の導電層240と接する領域は、一方が、ソース領域として機能し、他方がドレイン領域として機能する。つまり、チャネル形成領域は、ソース領域とドレイン領域との間に挟まれている。

[0203]

トランジスタ200Aは、ソース電極とドレイン電極とが、異なる高さに位置し、半導体層を流れる電流は、高さ方向に流れる。すなわち、チャネル長方向が高さ方向（縦方向）の成分を有するといえるため、トランジスタ200Aは、VFET (Vertical Field Effect Transistor)、縦型トランジスタ、縦型チャネルトランジスタ、縦チャネル型トランジスタなどとも呼ぶことができる。

[0204]

メモリセル150には、縦型トランジスタが好適である。縦型トランジスタは、ソース電極、半導体層、及びドレイン電極を、重ねて設けることができるため、半導体層を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。

[0205]

図9A乃至図9Cに示すように、トランジスタ200Aは、容量素子100と重なるように設けられる。また、トランジスタ200Aの構造の一部が設けられる開口部290及び開口部270は、容量素子100の構造の一部が設けられる開口部190と重なる領域を有する。特に、導電層120は、トランジスタ200Aのソース電極及びドレイン電極の一方としての機能と、容量素子100の上部電極としての機能とを有するため、トランジスタ200Aと容量素子100は、構造の一部を共有す

ることになる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ 200A 及び容量素子 100 を設けることができる。これにより、メモリセル 150 の占有面積を低減できるため、メモリセル 150 を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。図 9B 及び図 9C では、開口部 190 の幅が、開口部 290 の幅及び開口部 270 の幅のそれぞれよりも小さい例を示す。開口部 190 の幅と、開口部 290 の幅または開口部 270 の幅と、の大小関係は特に限定されない。微細化の観点から、開口部 190 の幅は、開口部 290 の幅と同じかそれよりも小さいことが好ましい。同様に、開口部 190 の幅は、開口部 270 の幅と同じかそれよりも小さいことが好ましい。

[0206]

また、トランジスタ 200A を容量素子 100 の上方に設けることで、トランジスタ 200A は、容量素子 100 の作製時の熱処理の影響を受けない。したがって、トランジスタ 200A において、しきい値電圧の変動、及び寄生抵抗の増大などの電気特性の劣化、並びに電気特性の劣化に伴う電気特性のばらつきの増大などを抑制できる。

[0207]

また、実施の形態 1 で説明したように、開口部 190 の深さを深くするほど、容量素子 100 の静電容量を大きくすることができる。このように容量素子 100 の単位面積当たりの静電容量を大きくすることにより、記憶装置の読み出し動作を安定にすることができる。また、記憶装置の微細化または高集積化を推し進めることができる。

[0208]

続いて、トランジスタ 200A の詳細について説明する。

[0209]

図 9B 及び図 9C に示すように、絶縁層 280 及び導電層 240 には、導電層 120b に達する開口部 290 が設けられている。開口部 290 は、絶縁層 280 が有する開口部と、導電層 240 が有する開口部と、を含む。別言すると、絶縁層 280 が導電層 120b と重なる領域に有する開口部は、開口部 290 の一部であり、導電層 240 が導電層 120b と重なる領域に有する開口部は、開口部 290 の別の一部である。開口部 290 の側壁は、絶縁層 280 の側面及び導電層 240 の側面を含む。なお、各層によって、開口部 290 の平面視における形状及び大きさが異なってもよい。また、開口部 290 の上面形状が円形であるとき、各層が有する開口部は同心円状であってもよく、同心円状でなくてもよい。

[0210]

また、導電層 120b には、凹部が設けられている。導電層 240 及び絶縁層 280 が有する開口部 290 は、導電層 120b の凹部と重なっている。ここで、開口部 290 は、導電層 120b の凹部の底面に達する開口部であるといえる。

[0211]

トランジスタ 200A の構成要素の少なくとも一部は、開口部 290 内に配置される。具体的には、酸化物半導体層 230、絶縁層 250、及び導電層 260 のそれぞれは、少なくとも一部が開口部 290 内に位置するように配置される。酸化物半導体層 230 は、開口部 290 を介して、導電層 120b の上面及び側面（凹部の底面及び側面ともいえる）と接し、かつ、開口部 290 内で、絶縁層 280 の側面、導電層 240a の側面、並びに、導電層 240b の上面及び側面と接する。別言すると、導電層 120b の上面は、酸化物半導体層 230 の底面の少なくとも一部と接する領域を有する。絶

絶縁層 250 は、開口部 290 内で酸化物半導体層 230 の内側に位置し、導電層 260 は、開口部 290 内で絶縁層 250 の内側に位置する。

[0212]

また、酸化物半導体層 230 及び絶縁層 250 の、開口部 290 内に配置される部分は、開口部 290 の形状を反映して設けられる。具体的には、開口部 290 の底部及び側壁を覆うように酸化物半導体層 230 が設けられ、酸化物半導体層 230 を覆うように絶縁層 250 が設けられる。そして、開口部 290 の形状を反映した絶縁層 250 の凹部の少なくとも一部を埋め込むように導電層 260 が設けられる。

[0213]

導電層 120b が開口部 290 と重なる位置に凹部を有することで、当該凹部を有さない場合に比べて、絶縁層 140 の上面を基準とした導電層 120b の絶縁層 280 と接する上面の高さよりも、開口部 290 内における絶縁層 250 の下面の高さ及び導電層 260 の下面の高さのそれぞれを低くすることができる。ここで、それぞれの面の高さは、メモリセルまたはトランジスタの被形成面を基準として決定できる。ここでは、絶縁層 140 の上面を基準に用いる。基準に用いる面は、特に限定されず、例えば、トランジスタまたは半導体装置が設けられる基板の上面を基準に用いてもよい。

[0214]

これにより、導電層 120b の側面と酸化物半導体層 230 との接触面積を大きくすることができ、導電層 120b と酸化物半導体層 230 とのコンタクト抵抗を低くすることができる。したがって、導電層 120b と酸化物半導体層 230 とのコンタクト抵抗に起因するトランジスタ 200A のオン電流の低下を、抑制できる。

[0215]

また、酸化物半導体層 230 のチャネル形成領域にゲート電界がかかりやすくなり、トランジスタ 200A の電気特性を良好にすることができる。さらに、酸化物半導体層 230 の導電層 120b と接する領域にもゲート電界がかかりやすくなるため、トランジスタ 200A のオン電流を高めることができる。また、導電層 120 と導電層 240 のどちらをドレイン電極に用いても、トランジスタ 200A の電気特性を良好にすることができる。

[0216]

また、導電層 120b に、酸素を含む導電性材料を用いることが好ましい。これにより、酸化物半導体層 230 と導電層 120b のコンタクト抵抗を低くすることができる。同様に、導電層 240a に酸素を含む導電性材料を用いることが好ましい。これにより、酸化物半導体層 230 と導電層 240a のコンタクト抵抗を低くすることができる。導電層 120 及び導電層 240 が積層構造である場合、当該積層構造のうち、チャネル形成領域に最も近い層に酸素を含む導電性材料を用い、酸化物半導体層 230 とのコンタクト抵抗を低くすることで、ソースとドレインの間の電流経路を短くできるため、トランジスタのオン電流を高めることができる。酸素を含む導電性材料としては、導電性を有する金属酸化物（酸化物導電体ともいう）を用いることが好ましい。

[0217]

図 9B 及び図 9C に示すように、絶縁層 283 は、導電層 240 の側面、並びに、酸化物半導体層 230 の上面及び側面を覆うように設けられる。絶縁層 283 には、開口部 290 と重なる位置に、酸化物半導体層 230 に達する開口部 270 が設けられている。トランジスタ 200A の構成要素の少なくとも一部は、開口部 270 内に配置される。具体的には、絶縁層 250 及び導電層 260 のそれ

それは、少なくとも一部が開口部 270 内に位置するように配置される。絶縁層 250 は、開口部 270 内で、酸化物半導体層 230 及び絶縁層 283 と接する。

[0218]

絶縁層 250 の、開口部 270 内に配置される部分は、開口部 270 の形状を反映して設けられる。具体的には、開口部 270 の側壁（絶縁層 283 の側面）を覆うように絶縁層 250 が設けられる。そして、開口部 270 の形状を反映した絶縁層 250 の凹部の少なくとも一部を埋め込むように導電層 260 が設けられる。

[0219]

トランジスタ 200A において、導電層 260 は導電層 240 の上面と重なっていないため、導電層 240 と導電層 260 との間に生じる寄生容量を小さくすることができる。図 9B 及び図 9C に示すように、断面視において、導電層 260 の幅の最大値は、開口部 290 の幅よりも小さい。このように、導電層 260 の幅の最大値が、開口部 290 の幅よりも小さいと、導電層 260 と導電層 240 の間に生じる寄生容量を小さくでき、好ましい。なお、例えば、図 9B または図 9C のように、本発明の一態様の半導体装置における 2 つの幅の大小関係は、Z 方向に平行な 1 つの断面によって確認することができる。

[0220]

なお、開口部 290 の幅は、深さ方向で変化する場合がある。ここでは、特に、開口部 290 の幅として、断面視における、導電層 240 の開口部 290 側の 2 つの側面の間の最短距離を用いる。言い換えると、開口部 290 の幅として、導電層 240 における開口部 290 の幅の最小値を用いる。

[0221]

図 9B 及び図 9C では、開口部 270 の幅が、開口部 290 の幅と一致している例を示している。開口部 270 の幅は、開口部 290 の幅と、酸化物半導体層 230 の厚さの 2 倍との和を超えないことが好ましい。これにより、開口部 290 の内部に絶縁層 283 及び絶縁層 285 が位置することを防止できる。また、開口部 270 の内部に絶縁層 250 を設ける場合、開口部 270 の幅は、開口部 290 の幅と、絶縁層 250 の厚さの 2 倍と、の和を超えないことが好ましい。また、開口部 270 の幅は、開口部 290 の幅と同じか、それよりも小さいことがより好ましい。これにより、導電層 260 が導電層 240 の上面と重ならず、導電層 260 と導電層 240 の間に生じる寄生容量を小さくでき、好ましい。なお、本実施の形態では、導電層 260 が導電層 240 の上面と重ならない例を主に示すが、導電層 260 は、導電層 240 の上面と重なる部分を有していてもよい。当該重なる部分が小さいほど、導電層 260 と導電層 240 との間に生じる寄生容量を小さくでき、好ましい。

[0222]

なお、開口部 270 の幅は、深さ方向で変化する場合がある。ここでは特に、開口部 270 の幅として、断面視における、絶縁層 283 に設けられた開口部 270 の幅の最大値を用いる。

[0223]

導電層 260 の上面の高さと絶縁層 285 の上面の高さは揃っている、または概略揃っていることが好ましい。導電層 265 は、絶縁層 285 上、絶縁層 283 上、及び導電層 260 上に設けられており、導電層 260 の上面と接する。導電層 260 と導電層 265 とは互いに電氣的に接続されている、ともいえる。導電層 265 と導電層 240 との間には、絶縁層 283 及び絶縁層 285 が位置する。これにより、導電層 265 と導電層 240 との物理的距離を大きくでき、導電層 265 と導電層 240 の間に生じる寄生容量を小さくすることができる。

[0224]

つまり、トランジスタ200Aは、ソース電極及びドレイン電極の他方と、ゲート電極との間に生じる寄生容量、並びに、ソース電極及びドレイン電極の他方と、ゲート配線との間に生じる寄生容量が低減された構成を有する。したがって、回路の周波数特性を高めることができる。

[0225]

図9Bでは、開口部290の外側において、導電層240aの端部、導電層240bの端部、及び、酸化物半導体層230の端部が揃っている構成を示している。導電層240a、導電層240b、及び酸化物半導体層230は、同じマスクを用いて加工することで作製できる。したがって、半導体装置の作製に要するマスク数を削減でき好ましい。なお、本発明はこれに限られるものではない。例えば、X方向またはY方向において、酸化物半導体層230の端部、導電層240aの端部、及び、導電層240bの端部のいずれかが、他よりも内側、または外側に位置する構造であってもよい。

[0226]

導電層240は、導電層120と重なる領域に開口部290を有する。また、導電層240は、絶縁層280が有する開口部290の内部に設けないことが好ましい。つまり、導電層240は、開口部290内における絶縁層280の側面と接する領域を有さないことが好ましい。このような構成にすることで、導電層240及び絶縁層280に、一括で開口部290を形成することができる。また、開口部290内における導電層240の側面と開口部290内における絶縁層280の側面とが揃っていると、開口部290の内部に設ける酸化物半導体層230の膜厚分布を均一にすることができる。また、酸化物半導体層230が導電層240と絶縁層280の段差により分断されることを抑制できる。

[0227]

なお、図9B及び図9Cでは、開口部290内における導電層240の側面と、開口部290内における絶縁層280の側面とが揃っている、または概略揃っている構成を示しているが、本発明はこれに限られるものではない。例えば、開口部290内における導電層240の側面と、開口部290内における絶縁層280の側面とが不連続になってもよい。また、開口部290内における導電層240の側面の傾きと、開口部290内における絶縁層280の側面の傾きとが互いに異なってもよい。このとき、例えば、開口部290内における導電層240の側面のテーパ角は、開口部290内における絶縁層280の側面のテーパ角よりも小さいことが好ましい。このような構成にすることで、開口部290内における導電層240の側面への、酸化物半導体層230の被覆性が向上し、鬆などの欠陥を低減できる。また、絶縁層280が積層構造である場合、開口部290内における各層の側面の傾きは異なってもよい。同様に、導電層240が積層構造である場合、開口部290内における各層の側面の傾きは異なってもよい。

[0228]

トランジスタ200Aは、チャネル形成領域を含む酸化物半導体層230に、半導体として機能する金属酸化物（酸化物半導体ともいう）を有する。つまり、トランジスタ200Aは、OSトランジスタといえる。

[0229]

OSトランジスタは、酸化物半導体中のチャネル形成領域に酸素欠損（ V_o ）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損に水素が入った欠陥（以下、 V_oH と呼ぶ場合がある）は、キャリアとなる電子を生成する場合がある。このため、酸化物半

導体中のチャネル形成領域に酸素欠損が含まれていると、OSトランジスタはノーマリーオン特性となりやすい。したがって、酸化物半導体中のチャネル形成領域では、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネル形成領域は、キャリア濃度が低減され、i型化（真性化）または実質的にi型化されていることが好ましい。

[0230]

一方、OSトランジスタのソース領域及びドレイン領域は、チャネル形成領域よりも、酸素欠損が多い、V_oHが多い、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域であることが好ましい。すなわち、OSトランジスタのソース領域及びドレイン領域は、チャネル形成領域と比較して、キャリア濃度が高く、低抵抗なn型の領域であることが好ましい。

[0231]

上述したように、酸化物半導体層230は、絶縁層280が有する開口部290の内部に設けられる。また、トランジスタ200Aは、ソース電極及びドレイン電極の一方（ここでは導電層120）が下方に位置し、ソース電極及びドレイン電極の他方（ここでは導電層240）が上方に位置することから、電流が上下方向に流れる構成を有する。つまり、絶縁層280が有する開口部290の側面に沿って、チャネルが形成される。

[0232]

絶縁層280は酸化物半導体層230の外周全体に接する。よって、トランジスタ200Aのチャネル形成領域は、開口部290内における酸化物半導体層230の外周全体（絶縁層280と接する領域全体）に形成されうる。

[0233]

トランジスタ200Aのチャネル長は、ソース領域とドレイン領域の間の距離となる。つまり、トランジスタ200Aのチャネル長は、導電層120上の絶縁層280の厚さによって決定される、ということができる。チャネル長は、絶縁層280の開口部290側の側面の長さに相当するということもできる。

[0234]

プレーナ型のトランジスタでは、チャネル長がフォトリソグラフィの露光限界で制限されており、さらなる微細化は困難であったが、本発明の一態様においては、絶縁層280の膜厚でチャネル長を設定することができる。よって、トランジスタ200Aのチャネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、または10nm以下であって、0.1nm以上、1nm以上、または5nm以上）にすることができる。これにより、トランジスタ200Aのオン電流が大きくなり、周波数特性の向上を図ることができる。

[0235]

さらに、上記のように、開口部290内に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、XY平面上に別々に設けられる、プレーナ型のトランジスタと比較して、トランジスタ200Aは、占有面積を低減できる。したがって、半導体装置を高集積化することができる。また、本発明の一態様の半導体装置を記憶装置に用いる場合、単位面積当たりの記憶容量を大きくすることができる。

[0236]

また、酸化物半導体層 230、絶縁層 250、及び導電層 260は、同心円状に設けられる。よって、中心に設けられた導電層 260の側面は、絶縁層 250を介して、酸化物半導体層 230の側面と対向する。つまり、平面視において、酸化物半導体層 230の周全体がチャネル形成領域になる。このとき、例えば、酸化物半導体層 230の外周の長さによって、トランジスタ 200Aのチャネル幅が決まる。つまり、トランジスタ 200Aのチャネル幅は、開口部 290の幅（平面視において開口部 290が円形である場合は径）によって決定される、ということができる。開口部 290の幅を大きくすることで、単位面積当たりのチャネル幅を大きくし、オン電流を大きくすることができる。

[0237]

フォトリソグラフィ法を用いて開口部 290を形成する場合、開口部 290の幅はフォトリソグラフィの露光限界で制限される。また、開口部 290の幅は、開口部 290内に設ける、酸化物半導体層 230、絶縁層 250、及び導電層 260それぞれの膜厚によって設定される。開口部 290の幅は、例えば、5nm以上、10nm以上、または20nm以上であって、100nm以下、60nm以下、50nm以下、40nm以下、または30nm以下が好ましい。なお、平面視において開口部 290が円形である場合、開口部 290の幅Dは開口部 290の直径に相当し、チャネル幅は“ $D \times \pi$ ”と算出することができる。

[0238]

また、トランジスタ 200Aのチャネル長は、少なくともトランジスタ 200Aのチャネル幅よりも小さいことが好ましい。トランジスタ 200Aのチャネル長は、トランジスタ 200Aのチャネル幅に対し、0.1倍以上0.99倍以下が好ましく、0.5倍以上0.8倍以下がより好ましい。このような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタを実現できる。

[0239]

また、平面視で円形になるように開口部 290を形成することで、酸化物半導体層 230、絶縁層 250、及び導電層 260は、同心円状に設けられる。これにより、導電層 260と酸化物半導体層 230の距離が概略均一になるため、酸化物半導体層 230にゲート電界を概略均一に印加することができる。

[0240]

なお、本実施の形態では、平面視において開口部 290及び開口部 270が円形である例について示したが、本発明はこれに限られるものではない。平面視において、開口部 290及び開口部 270は、それぞれ、例えば、円形、楕円形などの略円形、三角形、四角形（長方形、菱形、正方形を含む）、五角形、星形多角形などの多角形、またはこれら多角形の角が丸い形状とすることができる。なお、多角形としては、凹多角形（少なくとも一つの内角が180度を超える多角形）及び凸多角形（全ての内角が180度以下である多角形）のどちらであってもよい。図9A等に応示するように、平面視において、開口部 290及び開口部 270は、円形であることが好ましい。円形とすることにより、開口部を形成する際の加工精度を高めることができ、微細なサイズの開口部を形成することができる。

[0241]

<半導体装置の構成材料>

以下では、本実施の形態の半導体装置に用いることができる材料について説明する。なお、本実施の形態の半導体装置を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0242]

[酸化物半導体層 230]

前述の通り、酸化物半導体層 230 は、チャネル形成領域を有する。当該チャネル形成領域は、i 型（真性）または実質的に i 型である。酸化物半導体層 230 は、さらに、ソース領域及びドレイン領域を有する。当該ソース領域及び当該ドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い、n 型の領域（低抵抗領域）である。

[0243]

酸化物半導体層 230 に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶半導体、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0244]

半導体として機能する金属酸化物のバンドギャップは、2.0 eV 以上が好ましく、2.5 eV 以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。OS トランジスタは、オフ電流が小さいため、半導体装置の消費電力を十分に低減できる。また、OS トランジスタの周波数特性が高いため、半導体装置を高速に動作させることができる。

[0245]

酸化物半導体層 230 に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム（In）または亜鉛（Zn）を含むことが好ましい。また、金属酸化物は、インジウムと、元素 M と、亜鉛と、の中から選ばれる二または三を有することが好ましい。また、金属酸化物は、インジウム及び亜鉛の一方又は両方を有することが好ましい。なお、元素 M は、酸素との結合エネルギーが高い金属元素または半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素または半金属元素である。元素 M として、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素 M は、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0246]

酸化物半導体層 230 は、例えば、インジウム酸化物（In 酸化物）、IZO（登録商標）、ITO、インジウムチタン酸化物（In-Ti 酸化物）、インジウムガリウム酸化物（In-Ga 酸化物）、インジウムガリウムアルミニウム酸化物（In-Ga-Al 酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn 酸化物、IGTO とも記す）、ガリウム亜鉛酸化物（Ga-Zn 酸化物、GZO とも記す）、アルミニウム亜鉛酸化物（Al-Zn 酸化物、AZO とも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn 酸化物、IAZO とも記す）、インジウムスズ亜鉛酸化物（In-Sn-Zn 酸化物、ITZO（登録商標）とも記す）、インジウムチタン亜鉛酸化物（In-Ti-Zn 酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn 酸化物、IGZO とも記す）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn 酸化物、IGZTO とも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn 酸化物、IGAZO、IGZAO、ま

たは I A G Z O とともに記す) などを用いることができる。または、I T S O、ガリウムスズ酸化物 (G a - S n 酸化物)、アルミニウムスズ酸化物 (A l - S n 酸化物) などを用いることができる。

[0247]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流の大きいトランジスタを実現できる。

[0248]

なお、金属酸化物は、インジウムに代えて、または、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0249]

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、またはバンドギャップの縮小などが生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0250]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0251]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、バンドギャップが大きい金属酸化物とすることができる。また、金属酸化物に酸素欠損が形成されることを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタのしきい値電圧がシフトすることを抑制できる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0252]

酸化物半導体層230に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0253]

金属酸化物が I n - M - Z n 酸化物の場合、当該 I n - M - Z n 酸化物における I n の原子数比はMの原子数比以上であることが好ましい。このような I n - M - Z n 酸化物の金属元素の原子数比として、例えば、I n : M : Z n = 1 : 1 : 0.5、I n : M : Z n = 1 : 1 : 1、I n : M : Z n = 1 : 1 : 1.2、I n : M : Z n = 1 : 1 : 2、I n : M : Z n = 2 : 1 : 3、I n : M : Z n = 3 : 1 :

1、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:3$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:4$ 、1、 $\text{In}:\text{M}:\text{Zn}=5:1:3$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:6$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:7$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:8$ 、 $\text{In}:\text{M}:\text{Zn}=6:1:6$ 、 $\text{In}:\text{M}:\text{Zn}=5:2:5$ 、及び、これらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。

[0254]

また、 $\text{In}-\text{M}-\text{Zn}$ 酸化物における In の原子数比は M の原子数比未満であってもよい。このような $\text{In}-\text{M}-\text{Zn}$ 酸化物の金属元素の原子数比として、例えば、 $\text{In}:\text{M}:\text{Zn}=1:3:2$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:3$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中の M の原子数の割合を大きくすることで、酸素欠損の生成を抑制することができる。

[0255]

なお、元素 M として複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素 M の原子数の割合とすることができる。

[0256]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0257]

また、金属酸化物が $\text{In}-\text{Zn}$ 酸化物の場合、当該 $\text{In}-\text{Zn}$ 酸化物の金属元素の原子数比として、例えば、 $\text{In}:\text{Zn}=1:1$ 、 $\text{In}:\text{Zn}=2:1$ 、 $\text{In}:\text{Zn}=4:1$ 、及びこれらの近傍の組成が挙げられる。また、 $\text{In}-\text{Zn}$ 酸化物に、微量の元素 M を含んでいてもよい。例えば、元素 M として Sn を含む場合、当該金属酸化物の金属元素の原子数比として、例えば、 $\text{In}:\text{Sn}:\text{Zn}=2:0.1:1$ 、 $\text{In}:\text{Sn}:\text{Zn}=4:0.1:1$ 、及びこれらの近傍の組成が挙げられる。

[0258]

酸化物半導体層230に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型X線分光法(EDX:Energy Dispersive X-ray Spectrometry)、XPS、誘導結合プラズマ質量分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)、または誘導結合高周波プラズマ発光分光法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)を用いることができる。または、これらの手法を複数組み合わせることで分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られる含有率が異なる場合がある。例えば、元素 M の含有率が低い場合、分析によって得られる元素 M の含有率が、実際の含有率より低くなる場合がある。また、元素 M の定量が困難となる場合、または元素 M が検出されない場合がある。

[0259]

金属酸化物の形成には、スパッタリング法、またはALD法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、成膜後の金属酸化物の組成はターゲットの組成と異なる場合がある。特に亜鉛は、成膜後の金属酸化物における含有率が、ターゲットと比較して50%程度にまで減少する場合がある。また、金属酸化物の成膜には、CVD法、MBE法、PLD法などを用いてもよい。

[0260]

酸化物半導体層230は、2以上の金属酸化物層を有する積層構造としてもよい。酸化物半導体層230が有する2以上の金属酸化物層は、組成が互いに同じ、または概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。

[0261]

酸化物半導体層230が有する2以上の金属酸化物層は、組成が互いに異なってもよい。

[0262]

以下では、酸化物半導体層230が、第1の金属酸化物層と、第1の金属酸化物層上の第2の金属酸化物層と、の2層構造である場合の具体例を示す。

[0263]

例えば、第1の金属酸化物層には、第2の金属酸化物層より導電率の高い材料を用いることが好ましい。ソース電極及びドレイン電極（導電層120及び導電層240）と接する第1の金属酸化物層に導電率の高い材料を用いることにより、酸化物半導体層230と導電層120とのコンタクト抵抗、及び酸化物半導体層230と導電層240とのコンタクト抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。

[0264]

ここで、ゲート電極として機能する導電層260側に設けられる第2の金属酸化物層に導電率の高い材料を用いると、トランジスタ200Aのしきい値電圧がシフトし、ゲート電圧が0V時に流れるドレイン電流（以下、カットオフ電流とも記す）が大きくなってしまう場合がある。具体的には、トランジスタ200Aがnチャネル型のトランジスタである場合に、しきい値電圧が低くなってしまうことがある。したがって、第2の金属酸化物層には、第1の金属酸化物層よりも導電率の低い材料を用いることが好ましい。これにより、トランジスタ200Aがnチャネル型のトランジスタである場合は、しきい値電圧を高くすることができ、カットオフ電流が小さいトランジスタとすることができる。なお、カットオフ電流が小さいことをノーマリーオフと記す場合がある。

[0265]

以上のように、酸化物半導体層230を積層構造とし、第1の金属酸化物層には、第2の金属酸化物層よりも導電率の高い材料を用いることにより、ノーマリーオフ、かつオン電流が大きいトランジスタとすることができる。したがって、低い消費電力と高い性能が両立した半導体装置とすることができる。

[0266]

また、第1の金属酸化物層のキャリア濃度は、第2の金属酸化物層のキャリア濃度より高いことが好ましい。第1の金属酸化物層のキャリア濃度を高くすることにより導電率が高くなり、酸化物半導体層230と導電層120とのコンタクト抵抗、及び酸化物半導体層230と導電層240とのコンタクト抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。また、第2の金属酸化物層のキャリア濃度を低くすることにより導電率が低くなり、ノーマリーオフのトランジスタとすることができる。

[0267]

なお、酸化物半導体層230は、前述の構成に限られず、第1の金属酸化物層には、第2の金属酸化物層より導電率の低い材料を用いてもよい。また、第1の金属酸化物層のキャリア濃度は、第2の金

属酸化物層のキャリア濃度より低くてもよい。

[0268]

また、第1の金属酸化物層に用いる第1の金属酸化物のバンドギャップは、第2の金属酸化物層に用いる第2の金属酸化物のバンドギャップと異なることが好ましい。例えば、第1の金属酸化物のバンドギャップと第2の金属酸化物のバンドギャップの差は、0.1 eV以上が好ましく、0.2 eV以上がより好ましく、0.3 eV以上がさらに好ましい。

[0269]

第1の金属酸化物層に用いる第1の金属酸化物のバンドギャップは、第2の金属酸化物層に用いる第2の金属酸化物のバンドギャップより小さいことが好ましい。これにより、酸化物半導体層230と導電層120とのコンタクト抵抗、及び酸化物半導体層230と導電層240とのコンタクト抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。また、トランジスタ200Aがnチャネル型のトランジスタである場合はしきい値電圧を高くすることができ、ノーマリーオフのトランジスタとすることができる。また、第2の金属酸化物のバンドギャップが大きいことで、第2の金属酸化物層中、及び、第2の金属酸化物層と絶縁層250との界面に、キャリアが生成及び誘起されることを抑制できる。これにより、トランジスタの信頼性を高めることができる。

[0270]

例えば、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低いことが好ましい。より具体的には、例えば、第1の金属酸化物層として、 $I_n:M:Z_n=1:1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を用い、第2の金属酸化物層として、 $I_n:M:Z_n=1:3:2$ [原子数比] もしくはその近傍の組成である金属酸化物を用いることが好ましい。このとき、元素Mとして、ガリウム、アルミニウム、及びスズの一または複数を用いることが特に好ましい。

[0271]

なお、酸化物半導体層230は、前述の構成に限られず、第1の金属酸化物のバンドギャップが、第2の金属酸化物のバンドギャップより大きくてもよい。

[0272]

また、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低いことが好ましい。第1の金属酸化物は、元素Mを微量に含む構成、または元素Mを含まない構成としてもよい。例えば、第1の金属酸化物層に用いる第1の金属酸化物を I_n-Z_n 酸化物とし、第2の金属酸化物層に用いる第2の金属酸化物を I_n-M-Z_n 酸化物とすることが好ましい。具体的には、第1の金属酸化物を I_n-Z_n 酸化物とし、第2の金属酸化物を I_n-Ga-Z_n 酸化物とすることができる。

[0273]

例えば、第1の金属酸化物層として、 $I_n:Z_n=1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $I_n:Z_n=2:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $I_n:S_n:Z_n=2:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $I_n:Z_n=4:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $I_n:S_n:Z_n=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、またはインジウム酸化物を用いることが好ましい。また、第2の金属酸化物層として、 $I_n:Ga:Z_n=1:1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $I_n:Ga:Z_n=1:3:2$ [原子数比] もしくはその近傍の組成である金属酸化物、または $I_n:Ga:Z_n=1:3:4$ [原子数比] もしくはその近傍の組成で

ある金属酸化物を用いることが好ましい。これにより、トランジスタ200Aのオン電流を大きくし、かつ、ばらつきが少なく信頼性の高いトランジスタ構造とすることができる。

[0274]

例えば、導電層120または導電層240（積層構造の場合は、酸化物半導体層230のチャネル形成領域に最も近い層）に金属酸化物を用いる場合、酸化物半導体層230（または第1の金属酸化物層）に、In-Zn酸化物、またはIn-Sn-Zn酸化物を用いると、酸化物半導体層230（または第1の金属酸化物層）にIn-Ga-Zn酸化物を用いる場合に比べて、コンタクト抵抗を低減できるため、好ましい。具体的には、図9B及び図9Cにおける導電層120bと導電層240aに、ITOまたはITSOを用い、第1の金属酸化物層にIn-Zn酸化物、またはIn-Sn-Zn酸化物を用い、第2の金属酸化物層にIn-Ga-Zn酸化物を用いることが好ましい。

[0275]

なお、酸化物半導体層230は、前述の構成に限られず、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より高くてもよい。

[0276]

酸化物半導体層230は、結晶性を有する金属酸化物層を有することが好ましい。結晶性を有する金属酸化物の構造としては、例えば、CAAC（c-axis aligned crystalline）構造、多結晶（Polycrystalline）構造、及び、微結晶（nc:nano-crystalline）構造が挙げられる。結晶性を有する金属酸化物層を酸化物半導体層230に用いることにより、酸化物半導体層230中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。なお、CAAC構造とは、複数の微結晶（代表的には、複数のIGZOの微結晶）がc軸配向を有し、かつa-b面においては、上記複数の微結晶が配向せずに連結した結晶構造である。また、高分解能TEM像を用いて、CAAC構造を有するOS膜の断面を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。よって、CAAC構造を有するOS膜は、層状の結晶部を有する構造ともいえる。

[0277]

多結晶構造は、結晶粒界（グレインバウンダリ）を有する。また、多結晶構造の酸化物半導体層を形成したのち熱処理を行うと、結晶部と、結晶部との、間に微小な隙間（ナノクラックあるいはマイクロクラックともいう）または微小な空間（ナノスペースあるいはマイクロスペースともいう）が形成される。酸化物半導体層内に微小な隙間または微小な空間が形成されると、酸化物半導体層の電気抵抗が高くなる。これは、微小な隙間または微小な空間の電気抵抗が非常に高く、例えば無限大であることに起因する。微小な隙間または微小な空間を有する酸化物半導体層を、トランジスタのチャネル形成領域に用いる場合、酸化物半導体層と、ソース電極及びドレイン電極の一方または双方と、の接触抵抗が高くなる。そのため、トランジスタの初期特性または信頼性に悪影響を与えてしまう。CAAC構造は、多結晶構造よりもa-b面において結晶粒界（グレインバウンダリ）が少ないため信頼性の高い半導体装置を実現できる。

[0278]

酸化物半導体層230に用いる金属酸化物層の結晶性が高いほど、酸化物半導体層230中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0279]

金属酸化物層の形成時の基板温度（ステージ温度）が高いほど、結晶性の高い金属酸化物層を形成することができる。また、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）が高いほど、結晶性の高い金属酸化物層を形成することができる。

[0280]

酸化物半導体層230の結晶性は、例えば、XRD、TEM、またはEDにより解析できる。または、これらの手法を複数組み合わせることで分析を行ってもよい。

[0281]

酸化物半導体層230は、結晶性が異なる2以上の金属酸化物層の積層構造としてもよい。例えば、第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる第2の金属酸化物層と、の積層構造とし、第2の金属酸化物層は、第1の金属酸化物層より結晶性が高い領域を有する構成とすることができる。または、第2の金属酸化物層は、第1の金属酸化物層より結晶性が低い領域を有する構成とすることができる。このとき、第1の金属酸化物層と第2の金属酸化物層は、互いに異なる組成であってもよく、同じまたは概略同じ組成であってもよい。

[0282]

例えば、第1の金属酸化物層として、 $In:M:Zn=1:3:2$ [原子数比] またはその近傍の組成である金属酸化物、または $In:M:Zn=1:3:4$ [原子数比] またはその近傍の組成である金属酸化物を用い、第2の金属酸化物層として、 $In:M:Zn=1:1:1$ [原子数比] またはその近傍の組成である金属酸化物を用いることが好ましい。第1の金属酸化物層に、 In に対する Zn の割合が大きい金属酸化物を用いると、第1の金属酸化物層の結晶性を高めることができる。さらに、結晶性の高い第1の金属酸化物層上に第2の金属酸化物層を形成することで、第2の金属酸化物層の結晶性を高めることも容易となる。これにより、酸化物半導体層230全体の結晶性を高めることができ、好ましい。このとき、元素 M として、ガリウム、アルミニウム、またはスズを用いることが特に好ましい。例えば、互いに異なる組成を有する、 $IGZO$ を2層積層してもよい。また、例えば、インジウム酸化物、インジウムガリウム酸化物、及び $IGZO$ の中から選ばれるいずれか一と、 $IAZO$ 、 $IAGO$ 、及び $ITZO$ （登録商標）の中から選ばれるいずれか一と、の積層構造を用いてもよい。

[0283]

また、酸化物半導体層230は、3層以上の積層構造であってもよい。酸化物半導体層230は、例えば、第3の金属酸化物層と、第3の金属酸化物層上の第1の金属酸化物層と、第1の金属酸化物層上の第2の金属酸化物層と、を有する3層構造とすることができる。

[0284]

第1の金属酸化物層及び第2の金属酸化物層には、前述の構成を適用できる。第3の金属酸化物層には、第2の金属酸化物層に適用可能な構成と同様の構成を用いることができる。以下では、第1の金属酸化物層を挟む一対の金属酸化物層としてまとめて説明する。

[0285]

例えば、第1の金属酸化物層として、 $In:Zn=1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Zn=2:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Sn:Zn=2:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Zn=4:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Sn:Zn=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、またはインジウム酸化物を用いることが好

ましい。また、第1の金属酸化物層を挟む一对の金属酸化物層には、それぞれ、 $I n : G a : Z n = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $I n : G a : Z n = 1 : 3 : 2$ [原子数比] もしくはその近傍の組成である金属酸化物、または $I n : G a : Z n = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成である金属酸化物を用いることが好ましい。

[0286]

第1の金属酸化物層を挟む一对の金属酸化物層は、それぞれ、第1の金属酸化物層よりもバンドギャップが大きいことが好ましい。これにより、第1の金属酸化物層が、バンドギャップが大きい当該一对の金属酸化物層に挟持され、第1の金属酸化物層が主に電流経路（チャネル）として機能することとなる。第1の金属酸化物層が当該一对の金属酸化物層により挟持されることで、第1の金属酸化物層の界面及びその近傍のトラップ準位を少なくすることができる。これにより、チャネルが絶縁層界面から遠ざけられた埋め込みチャネル型のトランジスタを実現でき、電界効果移動度を高くすることができる。また、バックチャネル側に形成されうる界面準位の影響が低減され、トランジスタの光劣化（例えば、光負バイアス劣化）を抑制でき、トランジスタの信頼性を高めることができる。

[0287]

酸化物半導体層230の厚さは、3nm以上200nm以下が好ましく、3nm以上100nm以下が好ましく、さらには5nm以上100nm以下が好ましく、さらには10nm以上100nm以下が好ましく、さらには10nm以上70nm以下が好ましく、さらには15nm以上70nm以下が好ましく、さらには15nm以上50nm以下が好ましく、さらには20nm以上50nm以下が好ましい。また、より微細な半導体装置に用いるトランジスタにおいては、酸化物半導体層230の膜厚は、1nm以上、3nm以上、または5nm以上であって、20nm以下、15nm以下、12nm以下、または10nm以下であることが好ましい。

[0288]

また、酸化物半導体層の成膜時において、スパッタリング法と、ALD法と、の2種の成膜方法を用いることが好ましい。例えば、スパッタリング法を用いて、CAAC構造の第1の酸化物半導体層を形成したのち、ALD法を用いて、CAAC構造よりも結晶性の低い第2の酸化物半導体層を形成すると、第2の酸化物半導体層の原子層が、第1の酸化物半導体層のCAAC構造が有する原子レベルの結晶部の隙間を、埋める、または修復することが期待される。また、ALD法を用いて第2の酸化物半導体層を形成したのち、熱処理（例えば、100℃以上500℃以下、好ましくは200℃以上450℃以下、さらに好ましくは、300℃以上400℃以下）を行うことが好ましい。当該熱処理により、第1の酸化物半導体層のCAAC構造が有する原子レベルの結晶部の隙間を、第2の酸化物半導体層（別言すると、ALD法を用いて形成した各結晶分子）により修復することが期待される。また、上述の2種の成膜方法を用いて形成された酸化物半導体層を、Hybrid OSと呼称してもよい。

[0289]

なお、第1の酸化物半導体層に微小な隙間または微小な空間を有していた場合においても、第1の酸化物半導体層上に第2の酸化物半導体層を成膜する、あるいは第2の酸化物半導体層を成膜し、且つ熱処理を行うことで、第1の酸化物半導体層の微小な隙間または微小な空間を埋めることができる。このように第1の酸化物半導体層にCAAC構造の酸化物半導体層を用い、第2の酸化物半導体層に微結晶構造または非晶質構造の酸化物半導体層を用いることで、結晶性の密度が高められた緻密な酸化物半導体層とすることができる。当該結晶性の密度が高められた緻密な酸化物半導体層を、トラン

ジスタのチャネル形成領域に用いると、酸化物半導体層の電気抵抗の増加を抑制すること、またはトランジスタの初期特性（特にオン電流）が向上し、高速駆動に適したトランジスタとすることが期待できる。

[0290]

なお、スパッタリング法と、ALD法と、の双方を用いて酸化物半導体層を形成する場合、ALD法にて形成する酸化物半導体層の膜厚が薄いと、スパッタリング法を用いて形成した酸化物半導体層と、ALD法を用いて形成した酸化物半導体層と、の積層構造ではなく、単層構造の酸化物半導体層とみなすことができる。例えば、ALD法にて形成する酸化物半導体層の厚さが、0 nmを超えて3 nm以下、好ましくは0 nmを超えて2 nm以下、さらに好ましくは0 nmを超えて1 nm以下であるとき、スパッタリング法と、ALD法と、の2種の成膜方法を用いて形成した酸化物半導体層を、単層構造とみなすことができる。このような場合、例えば、断面TEM像、断面STEM像等において、スパッタリング法を用いて形成した酸化物半導体層と、ALD法を用いて形成した酸化物半導体層との境界が観察されない。一方で、ALD法にて形成する酸化物半導体層の厚さが3 nmを超える場合、スパッタリング法を用いて形成した酸化物半導体層と、ALD法を用いて形成した酸化物半導体層との、積層構造、多層構造、または多重構造とみなせることがある。

[0291]

また、スパッタリング法と、ALD法と、の双方を用いて酸化物半導体層を形成する場合、それぞれ異なる組成とすることが好ましい。代表的には、スパッタリング法を用いて、In:Ga:Zn=1:1:1 [原子数比] もしくはその近傍の組成である金属酸化物を成膜し、次いでALD法を用いて、In:Ga:Zn=4:0.1:1 [原子数比] もしくはその近傍の組成である金属酸化物を成膜することができる。上述の組成の酸化物半導体層とすることで、In:Ga:Zn=1:1:1 [原子数比] の金属酸化物層により高い信頼性を有し、In:Ga:Zn=4:0.1:1 [原子数比] もしくはその近傍の組成である金属酸化物により、高いオン電流または高い電界効果移動度を有する構造とすることができる。なお、In:Ga:Zn=4:0.1:1 [原子数比] もしくはその近傍の組成である金属酸化物の代わりに、In:Ga:Zn=1:0:0 [原子数比]、すなわち酸化インジウム、またはInの割合が多い金属酸化物を用いることができる。

[0292]

上述の2種の成膜方法を用いて形成された酸化物半導体層は、CAAC構造が有する結晶部の隙間がALD法により形成された原子層で埋められた構造として捉えることができる。なお、当該構造は、断面SEM、断面STEM、断面TEM、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)、EDXなどの分析手法により解析することができる。

[0293]

また、上述の2種の成膜方法を用いて形成されたCAAC構造を有する酸化物半導体層は、1種の成膜方法を用いて形成されたCAAC構造の酸化物半導体層と比較して、膜の比誘電率、膜密度、及び膜の硬度のいずれか一または複数が高くなる場合がある。このように、2種の成膜方法を用いて形成されたCAAC構造を有する酸化物半導体層を、トランジスタのチャネル形成領域に用いることで、優れた特性を有するトランジスタ（例えば、オン電流が大きいトランジスタ、電界効果移動度が高いトランジスタ、S値が小さいトランジスタ、周波数特性（ $f_{特}$ とも呼称する）が高いトランジスタ、信頼性の高いトランジスタなど）を実現することができる。

[0294]

酸化物半導体に含まれる水素が金属原子と結合する酸素と反応して水になり、酸化物半導体中に酸素欠損 (V_O) が形成される場合がある。さらに、酸素欠損に水素が入った欠陥 (以下、 V_OH と記す) はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性 (つまり、しきい値電圧がマイナスの値) となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0295]

酸化物半導体層 230 中の V_OH をできる限り低減し、酸化物半導体層 230 を高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水、水素などの不純物を除去すること (脱水、脱水素化処理と記載する場合がある。) と、酸化物半導体に酸素を供給して酸素欠損を修復することが重要である。 V_OH などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、酸化物半導体に酸素を供給して酸素欠損を修復することを、加酸素化処理と記す場合がある。

[0296]

チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0297]

ここで、金属酸化物 (酸化物半導体) 中における各不純物の影響について説明する。

[0298]

酸化物半導体において、第 14 族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMS により得られる酸化物半導体のチャネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、SIMS により得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0299]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n 型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このた

め、SIMSにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0300]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0301]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0302]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0303]

なお、本実施の形態の半導体装置には、チャネル形成領域に他の半導体材料を用いたトランジスタを適用してもよい。当該他の半導体材料としては、例えば、単体元素よりなる半導体、または化合物半導体が挙げられる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、及び、窒化物半導体が挙げられる。なお、前述の酸化物半導体も、化合物半導体の一種である。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0304]

トランジスタの半導体材料に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン (LTPS: Low Temperature Poly Silicon) が挙げられる。

[0305]

トランジスタの半導体層は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝

導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0306]

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化物などが挙げられる。カルコゲン化物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。トランジスタの半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0307]

[絶縁層]

半導体装置が有する絶縁層（絶縁層140、絶縁層250、絶縁層280、絶縁層283、絶縁層285など）には、実施の形態1の[絶縁層]に記載の絶縁性材料を用いることができる。

[0308]

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁層に、*high-k*材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁層の等価酸化膜厚（*Equivalent Oxide Thickness*）の薄膜化が可能となる。一方、層間膜として機能する絶縁層には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁層の機能に応じて、材料を選択することができる。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

[0309]

また、半導体装置が有する絶縁層に、強誘電性を有しうる材料を用いることができる。強誘電性を有しうる材料については、実施の形態1における説明を参照することができるため、詳細な説明は省略する。

[0310]

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁層で囲むことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁層としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及び、タンタルから選ばれた一以上を含む絶縁層を、単層で、または積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁層の材料として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0311]

具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

[0312]

また、ゲート絶縁層などの、酸化物半導体層と接する絶縁層、または酸化物半導体層の近傍に設ける絶縁層は、加熱により脱離する酸素（以下、過剰酸素と呼ぶことがある）を含む領域を有する絶縁層であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁層が、酸化物半導体層と接する、または酸化物半導体層の近傍に位置することで、酸化物半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁層として、酸化シリコン、酸化窒化シリコン、または空孔を有する酸化シリコンなどが挙げられる。

[0313]

絶縁層280は、水素に対するバリア絶縁層を有することが好ましい。絶縁層280は、酸化物半導体層230を囲むように設けられている。酸化物半導体層230の外側に設けられる絶縁層280が水素に対するバリア性を有することで、酸化物半導体層230中への水素の拡散を抑制できる。

[0314]

水素に対するバリア絶縁層の材料としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、窒化シリコン、または窒化酸化シリコン等が挙げられる。

[0315]

なお、本明細書等において、バリア絶縁層とは、バリア性を有する絶縁層のことを指す。また、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、または、対応する物質の拡散を抑制する機能ともいう）とする。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及び OH^- などの水素と結合した物質などの少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャネル形成領域または半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。

[0316]

例えば、絶縁層280は、酸化アルミニウム膜及び窒化シリコン膜のうち一方または双方を有することが好ましい。

[0317]

なお、窒化シリコンは、酸素に対するバリア性も有する。したがって、絶縁層280に窒化シリコンを用いることで、酸化物半導体層230から酸素が引き抜かれ、酸化物半導体層230に過剰な量の酸素欠損が形成されることを抑制できる。

[0318]

また、絶縁層 280 に窒化シリコンを用いることで、過剰な酸素が酸化物半導体層 230 に供給されることを防ぐことができる。よって、酸化物半導体層 230 のチャネル形成領域が酸素過剰になることを防ぐことができるため、トランジスタ 200A の信頼性向上を図ることができる。

[0319]

また、絶縁層 280 は、それぞれ前述した、酸化絶縁膜、酸化窒化絶縁膜、または、過剰酸素を含む領域を有する絶縁層を有することが好ましい。

[0320]

例えば、過剰酸素を含む領域を有する絶縁層は、酸素を含む雰囲気、スパッタリング法で成膜することで形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁層 280 中の水素濃度を低減できる。このように、絶縁層 280 を構成する少なくとも一部の層を成膜することで、絶縁層 280 から酸化物半導体層 230 のチャネル形成領域に酸素を供給し、酸素欠損及び V_oH の低減を図ることができる。

[0321]

また、絶縁層 280 中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層 230 のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

[0322]

なお、導電層 120 上の絶縁層 280 の膜厚が、トランジスタ 200A のチャネル長に対応するため、トランジスタ 200A のチャネル長の設計値に合わせて、絶縁層 280 の膜厚を適宜設定する。

[0323]

例えば、絶縁層 280 として、窒化シリコン膜、窒化酸化シリコン膜、または酸化アルミニウム膜の単層構造を用いることが好ましい。または、例えば、絶縁層 280 として、窒化シリコン膜、酸化シリコン膜、及び、窒化シリコン膜をこの順で積層した 3 層構造を用いることが好ましい。例えば、絶縁層 280 として、酸化アルミニウム膜、酸化シリコン膜、及び、酸化アルミニウム膜をこの順で積層した 3 層構造を用いることが好ましい。

[0324]

絶縁層 250 は、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、酸化物半導体層 230 の水素濃度（特に、トランジスタのチャネル形成領域中の水素濃度）を低減できる。よって、チャネル形成領域中の V_oH を低減し、チャネル形成領域を i 型または実質的に i 型とすることができる。

[0325]

水素を捕獲するまたは固着する機能を有する絶縁層の材料としては、ハフニウムを含む酸化物、マグネシウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等の金属酸化物が挙げられる。また、これらの金属酸化物は、さらにジルコニウムを含んでいてもよく、例えば、ハフニウム及びジルコニウムを含む酸化物等が挙げられる。ここで、アモルファス構造を有する金属酸化物では、一部の酸素原子がダングリリングボンドを有するため、水素を捕獲するまたは固着する能力が高い。したがって、これらの金属酸化物は、アモルファス構造を有することが好ましい。例えば、これらの酸化物にシリコンを含むことで、アモルファス構造を実現してもよい。例えば、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）を用いることが好ましい。なお、金属酸化物は、一部に結晶領域、及び、結晶粒界の一方または双方を有する場合がある。

[0326]

なお、対応する物質を捕獲するまたは固着する機能は、対応する物質が拡散し難い性質を有するともいえる。よって、対応する物質を捕獲するまたは固着する機能を、バリア性と言い換えることができる。

[0327]

ゲート絶縁層が積層構造である場合、酸化物半導体層230と接する層が、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、酸化物半導体層230に含まれる水素を、より効果的に捕獲させるまたは固着させることができる。よって、酸化物半導体層230中の水素濃度を低減できる。絶縁層250の酸化物半導体層230と接する層として、例えば、ハフニウムシリケートなどを用いるとよい。また、当該層は、アモルファス構造を有することが好ましい。

[0328]

当該層をアモルファス構造にすることで、結晶粒界の形成を抑制することができる。結晶粒界の形成が抑制されることで、当該層の平坦性を高めることができる。これにより絶縁層250の膜厚分布が均一化されて、膜厚が極端に薄い部分を低減することができるため、絶縁層250の耐圧を向上させることができる。また、絶縁層250上に設ける膜の膜厚分布を均一化することができる。

[0329]

また、当該層の結晶粒界の形成を抑制することで、結晶粒界の欠陥準位に起因するリーク電流を低減することができる。よって、絶縁層250をリーク電流の少ない絶縁膜として機能させることができる。

[0330]

また、酸化ハフニウムは高誘電率（high- κ ）材料であるため、ハフニウムシリケートは、シリコンの含有量によっては、高誘電率（high- κ ）材料となる。したがって、酸化ハフニウムまたはハフニウムシリケートをゲート絶縁層に用いる場合、ゲート絶縁層の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁層の等価酸化膜厚（EOT）の薄膜化が可能となる。

[0331]

以上より、絶縁層250として、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることがより好ましく、アモルファス構造を有する酸化アルミニウムを用いることがさらに好ましい。

[0332]

また、絶縁層250として、前述の、水素に対するバリア絶縁層を用いることが好ましい。絶縁層250に、水素に対するバリア絶縁層を用いることで、導電層260に含まれる不純物の、酸化物半導体層230への拡散を抑制できる。例えば、窒化シリコンは水素に対するバリア性が高いため、絶縁層250として好適である。さらに、絶縁層250は、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な構造の絶縁層を有していてもよい。

[0333]

このような構成にすることで、良好な電気特性を有する半導体装置を提供できる。また、信頼性が高い半導体装置を提供できる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。また、オン電流が大きい半導体装置を提供できる。

[0334]

さらに、絶縁層250は、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な構造の絶縁層を有していてもよい。

[0335]

また、絶縁層250は、一对の、水素を捕獲及び水素を固着する機能を有する絶縁層の間に、熱に対し安定な構造の絶縁層を有していてもよい。

[0336]

また、絶縁層250は、酸素に対するバリア絶縁層を有することが好ましい。これにより、導電層240及び導電層260などが酸化されることを抑制できる。絶縁層250が積層構造である場合、導電層240と接する層が、酸素に対するバリア絶縁層であることが好ましい。特に、絶縁層250を構成する層のうち、導電層240と接する層、及び、導電層260と接する層が、それぞれ、酸素に対するバリア絶縁層であることが好ましい。

[0337]

絶縁層250のうち、導電層260と接する層に、水素及び酸素に対するバリア絶縁層を用いることで、導電層260が酸化されることを抑制できる。また、酸化物半導体層230に含まれる酸素が導電層260に拡散し、酸化物半導体層230に酸素欠損が形成されることを抑制できる。

[0338]

酸素に対するバリア絶縁層としては、例えば、アルミニウム及びハフニウム的一方または双方を含む酸化物、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウム的一方または双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられる。

[0339]

絶縁層250における導電層240と接する層は、少なくとも絶縁層280よりも酸素を透過しにくいことが好ましい。当該層が酸素に対するバリア性を有することで、導電層240の側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ200Aのオン電流の低下、または電界効果移動度の低下を起こすことを抑制できる。

[0340]

また、絶縁層250を構成する各層は、それぞれ薄膜であることが好ましい。例えば、絶縁層250は、それぞれ1nm以上20nm以下、好ましくは3nm以上10nm以下とすることで、トランジスタ特性の一つである、サブスレッショルドスイング値(S値ともいう)を小さくすることができる。なお、S値とは、サブスレッショルド領域において、ドレイン電圧が一定で、ドレイン電流を1桁変化させる際の、ゲート電圧の変化量をいう。

[0341]

また、絶縁層250を構成する各層の膜厚は、0.1nm以上10nm以下が好ましく、0.1nm以上5nm以下がより好ましく、0.5nm以上5nm以下がより好ましく、1nm以上5nm未満がより好ましく、1nm以上3nm以下がさらに好ましい。なお、絶縁層250を構成する各層は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0342]

また、絶縁層 250 として、酸化物半導体層 230 側から、比誘電率が低い材料を有する第 1 の絶縁層、水素を捕獲するまたは固着する機能を有する第 2 の絶縁層、水素及び酸素に対するバリア性を有する第 3 の絶縁層の順で積層された 3 層構造を用いることが好ましい。第 1 の絶縁層が有する比誘電率が低い材料としては、酸化シリコン、または酸化窒化シリコンを用いることが好ましい。第 1 の絶縁層は、酸化物半導体層 230 と接する層である。第 1 の絶縁層に酸化物を用いることで、酸化物半導体層 230 に酸素を供給することができる。また、第 3 の絶縁層を設けることで、第 1 の絶縁層に含まれる酸素が導電層 260 に拡散することを抑制し、導電層 260 が酸化されることを抑制できる。また、第 1 の絶縁層から酸化物半導体層 230 に供給される酸素量が減少することを抑制できる。

[0343]

絶縁層 250 として、酸化物半導体層 230 側から、酸素に対するバリア性を有する第 4 の絶縁層、比誘電率が低い材料を有する第 1 の絶縁層、水素を捕獲するまたは固着する機能を有する第 2 の絶縁層、水素及び酸素に対するバリア性を有する第 3 の絶縁層の順で積層された 4 層構造を用いることが好ましい。第 1 の絶縁層乃至第 3 の絶縁層については、前述の 3 層構造に用いる層と同様の構成を適用できる。第 4 の絶縁層は、酸化物半導体層 230 と接する層である。第 4 の絶縁層が、酸素に対するバリア性を有することで、酸化物半導体層 230 から酸素が脱離することを抑制できる。第 4 の絶縁層として、例えば、酸化アルミニウムを用いるとよい。酸化アルミニウムは、水素を捕獲するまたは固着する機能を有するため、酸化物半導体層 230 と接する第 4 の絶縁層として好適である。

[0344]

代表的には、第 4 の絶縁層、第 1 の絶縁層、第 2 の絶縁層、及び、第 3 の絶縁層を、順に、酸化アルミニウム、酸化シリコン、酸化ハフニウム、窒化シリコンとすることが好ましい。また、代表的には、第 4 の絶縁層、第 1 の絶縁層、第 2 の絶縁層、及び、第 3 の絶縁層の膜厚をそれぞれ、1 nm、2 nm、2 nm、及び 1 nm とする。このような構成にすることで、トランジスタを微細化または高集積化しても良好な電気特性を有することができる。

[0345]

また、絶縁層 250 として、酸化物半導体層 230 側から、酸素に対するバリア性を有する第 4 の絶縁層、比誘電率が低い材料を有する第 1 の絶縁層、水素を捕獲するまたは固着する機能を有する第 2 の絶縁層の順で積層された 3 層構造を用いることが好ましい。つまり、第 3 の絶縁層を設けなくてもよい。

[0346]

絶縁層 283 には、水素に対するバリア絶縁層を用いることが好ましい。これにより、絶縁層 283 の上方から酸化物半導体層 230 に水素が拡散することを抑制できる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層 283 に好適に用いることができる。

[0347]

絶縁層 283 としてスパッタリング法で成膜された窒化シリコンを用いることが特に好ましい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいとため、絶縁層 283 の水素濃度を低減できる。また、絶縁層 283 をスパッタリング法で成膜することで、密度が高い窒化シリコンを形成することができる。

[0348]

また、絶縁層 283 として、水素を捕獲するまたは固着する機能を有する絶縁層を用いてもよい。こ

のような構成にすることで、絶縁層 283 の上方から酸化物半導体層 230 に水素が拡散することを抑制し、さらに酸化物半導体層 230 に含まれる水素を、捕獲させるまたは固着させることができる。したがって、酸化物半導体層 230 の水素濃度を低減できる。絶縁層 283 としては、酸化アルミニウム、酸化ハフニウム、またはハフニウムシリケートなどを用いることができる。

[0349]

また、絶縁層 283 として、水素を捕獲するまたは固着する機能を有する絶縁層と、水素に対するバリア絶縁層との積層構造としてもよい。例えば、絶縁層 283 として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0350]

絶縁層 285 は、層間膜として機能するため、前述の、比誘電率が低い材料を用いることが好ましい。例えば、絶縁層 285 は、酸化シリコン膜を有することが好ましい。

[0351]

また、絶縁層 140 中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層 230 のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

[0352]

また、絶縁層 140 として、水素に対するバリア絶縁層を用いることが好ましい。これにより、酸化物半導体層 230 中への水素の拡散を抑制できる。

[0353]

例えば、絶縁層 140 として、窒化シリコン膜を用いることが好ましい。

[0354]

[導電層]

半導体装置が有する導電層（導電層 120、導電層 240、導電層 260、導電層 265 など）には、実施の形態 1 の [導電層] に記載の導電性材料を用いることができる。

[0355]

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電層には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャネル形成領域に供給されやすくなる。

[0356]

導電層 120 及び導電層 240 は、それぞれ、酸化物半導体層 230 と接する導電層であるため、それぞれ、酸化されにくい導電性材料、酸化されても電気抵抗が低く保たれる導電性材料、導電性を有する金属酸化物（酸化物導電体ともいう）、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電層 120 及び導電層 240 の導電率が低下することを抑制できる。

[0357]

導電層 120 または導電層 240 として酸素を含む導電性材料を用いることで、導電層 120 または導電層 240 が酸素を吸収しても導電性を維持することができる。導電層 120 及び導電層 240 のそれぞれとして、例えば、ITO、ITSO、IZO（登録商標）などを用いることが好ましい。

[0358]

図9B及び図9Cでは、導電層120が、導電層120aと、導電層120a上の導電層120bと、の積層構造である例を示す。導電層120a及び導電層120bは、それぞれ、単層構造であってもよく、積層構造であってもよい。例えば、導電層120aが、第1の導電層と、第1の導電層上の第2の導電層と、の2層構造である場合、第1の導電層として、酸化されにくい導電性材料、または酸素の拡散を抑制する機能を有する導電性材料を用い、第2の導電層として、導電性が高い材料を用い、導電層120bとして、酸素を含む導電性材料（より好ましくは酸化物導電体）を用いることが好ましい。具体的には、例えば、第1の導電層として窒化チタンを用い、第2の導電層としてタングステンを用い、導電層120bとして酸化物導電体（例えば、ITO、ITSO、またはIZO（登録商標））を用いることが好ましい。この場合、窒化チタンが絶縁層180に接し、酸化物導電体が酸化物半導体層230に接する。タングステンに比べて、酸化物導電体は、酸化物半導体層230とのコンタクト抵抗が低いため、ソースとドレインの間の電流経路を短くでき、トランジスタのオン電流を高めることができる。このような構造にすることで、導電層120が酸化物半導体層230と接していても、導電性を維持することができる。また、絶縁層180に酸化物絶縁層を用いる場合、絶縁層180によって導電層120が過剰に酸化されることを抑制できる。また、第2の導電層として、酸化物導電体及び窒化チタンよりも導電性の高い金属材料（ここではタングステン）を用いることで、導電層120の導電性を高めることができる。

[0359]

図9B及び図9Cでは、導電層240が、導電層240aと、導電層240a上の導電層240bと、の2層構造である例を示す。

[0360]

導電層240a及び導電層240bに用いる材料に特に限定は無い。導電層240aに、導電層240bよりも導電性の高い材料を用いてもよく、導電層240bに、導電層240aよりも導電性の高い材料を用いてもよい。また、導電層240aまたは導電層240bに酸化物導電体を用いることが好ましい。

[0361]

例えば、導電層240aとして、酸素を含む導電性材料を用い、導電層240bとして、導電層240aよりも導電性が高い材料を用いることが好ましい。具体的には、例えば、導電層240aとして、酸化物導電体（例えば、ITO、ITSO、またはIZO（登録商標））を用い、導電層240bとして、ルテニウム、タングステン、窒化チタン、または、窒化タンタルを用いることが好ましい。導電層240を構成する層のうち、チャンネル形成領域に最も近い層に酸素を含む導電性材料を用い、酸化物半導体層230とのコンタクト抵抗を低くすることで、ソースとドレインの間の電流経路を短くできるため、トランジスタのオン電流を高めることができる。

[0362]

または、導電層240bとして、酸素を含む導電性材料を用い、導電層240aとして、導電層240bよりも導電性が高い材料を用いてもよい。トランジスタ200Aでは、酸化物半導体層230が、導電層240aの側面、並びに、導電層240bの上面及び側面と接しており、導電層240aの上面とは接しない。この場合、酸化物半導体層230において、導電層240bと接する面積の方が、導電層240aと接する面積よりも大きくなる。例えば、導電層240bに酸化物導電体を用い、導電層240aにタングステンなどの、酸化物導電体よりも導電性が高い材料を用いると、主に、酸化

物導電体が酸化物半導体層 230 に接することになる。このような構造にすることで、導電層 240 が酸化物半導体層 230 と接していても、導電性を維持することができる。また、導電層 240a として、導電層 240b よりも導電性の高い材料を用いることで、導電層 240 の導電性を高めることができる。また、酸化物半導体層 230 と導電層 240b とのコンタクト抵抗を低くでき、コンタクト抵抗に起因するトランジスタ 200A のオン電流の低下を抑制できる。

[0363]

導電層 260 には、タングステンなど、導電性が高い材料を用いることが好ましい。また、導電層 260 として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。当該導電性材料としては、前述の通り、窒素を含む導電性材料（例えば、窒化チタンまたは窒化タンタルなど）、及び酸素を含む導電性材料（例えば、酸化ルテニウムなど）などが挙げられる。これにより、導電層 260 の導電率が低下することを抑制できる。

[0364]

また、導電層 260 には、チャンネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料（例えば、窒化チタン、窒化タンタルなど）を用いてもよい。また、ITO、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、IZO（登録商標）、及び、ITSO のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁層などから混入する水素を捕獲することができる場合がある。

[0365]

導電層 260 として、例えば、窒化チタンと、窒化チタン上のタングステンと、の積層構造を用いることが好ましい。または、窒化タンタルと、窒化タンタル上の銅と、の積層構造を用いることが好ましい。このような構成とすることで、導電層 260 の導電率を高めることができる。

[0366]

また、導電層 260 は、3 層以上の積層構造であってもよい。導電層 260 は、例えば、窒化タンタルと、窒化タンタル上の窒化チタンと、窒化チタン上のタングステンと、の 3 層構造としてもよい。

[0367]

導電層 265 は、ゲート配線として機能する層のため、導電性が高いことが好ましい。導電層 265 には、タングステンを用いることが好ましい。また、導電層 265 は、導電層 260 と同様の構成としてもよい。例えば、窒化チタンとタングステンとの 2 層構造を適用してもよい。

[0368]

<半導体装置の構成例>

本実施の形態に示す、トランジスタ 200A 及び容量素子 100 を有するメモリセル 150 は、記憶装置のメモリセルとして用いることができる。トランジスタ 200A は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタである。トランジスタ 200A は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。また、トランジスタ 200A の周波数特性が高いため、記憶装置の読み出し、及び書き込みを高速に行うことができる。

[0369]

メモリセル150を3次的にマトリクス状に配置することで、メモリセルアレイを構成することができる。

[0370]

図10Aは、本発明の一態様の半導体装置の平面図である。図10Aでは、X方向及びY方向に2個×2個のメモリセル（メモリセル150a乃至メモリセル150d）を配置する例を示す。

[0371]

図10Bは、図10Aに示す一点鎖線A3-A4間の断面図である。図10A及び図10Bでは、2個のメモリセル（図10Bではメモリセル150a及びメモリセル150b）が共通の配線（導電層246）に接続されている。

[0372]

ここで、図10A及び図10Bに示すメモリセル150a及びメモリセル150bのそれぞれは、メモリセル150と同様の構成を有する。メモリセル150aは、容量素子100a及びトランジスタ200aを有し、メモリセル150bは、容量素子100b及びトランジスタ200bを有する。また、図10Aに示すメモリセル150c及びメモリセル150dについても、メモリセル150と同様の構成を有する。よって、図10A及び図10Bに示す半導体装置において、図9A乃至図9Cに示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。また、メモリセル150a乃至メモリセル150dの詳細については、＜メモリセルの構成例＞におけるメモリセル150の記載を参照できる。

[0373]

図10A及び図10Bに示すように、配線WLとして機能する導電層265は、メモリセル150a及びメモリセル150bに、それぞれ設けられる。また、図10Aに示すように、1つの導電層265が、メモリセル150aとメモリセル150cに共通して設けられ、他の1つの導電層265が、メモリセル150bとメモリセル150dに共通して設けられる。また、配線BLの一部として機能する1つの導電層240は、メモリセル150a及びメモリセル150bに、共通に設けられる。つまり、導電層240は、メモリセル150aの酸化物半導体層230と、メモリセル150bの酸化物半導体層230に接する。また、他の1つの導電層240が、メモリセル150c及びメモリセル150dに、共通に設けられる。配線WL及び配線BLについては後述する。

[0374]

図10Bでは、導電層240が、導電層240aと、導電層240a上の導電層240bと、の2層構造である例を示す。

[0375]

ここで、図10A及び図10Bに示す半導体装置は、メモリセル150a及びメモリセル150bと電氣的に接続してプラグ（接続電極とよぶこともできる）として機能する、導電層245及び導電層246を有する。導電層245は、絶縁層140、絶縁層180、及び、絶縁層280に形成された開口部内に配置され、導電層240aの下面に接する。また、導電層246は、絶縁層287、絶縁層285、絶縁層283、及び酸化物半導体層230に形成された開口部内に配置され、導電層240bの上面に接する。なお、導電層245及び導電層246は、導電層240に適用可能な導電性材料などを用いることができる。

[0376]

導電層 246 は、導電層 240 a の上面と接する構成とすることもできる。つまり、導電層 240 b は、導電層 246 と重なる位置に開口部を有していてもよい。または、導電層 246 は、酸化物半導体層 230 の上面と接する構成とすることもできる。つまり、酸化物半導体層 230 は、導電層 246 と重なる位置に開口部を有していなくてもよい。メモリセルとプラグの接続箇所としては、導電層 240 及び酸化物半導体層 230 を構成する各層のうち、導電層 246 とのコンタクト抵抗が低い層が、導電層 246 と接することが好ましい。

[0377]

同様に、導電層 245 は、導電層 240 b の下面または酸化物半導体層 230 の下面と接する構成とすることもできる。つまり、導電層 240 a は、導電層 246 と重なる位置に開口部を有していてもよい。導電層 240 及び酸化物半導体層 230 を構成する層のうち、導電層 245 とのコンタクト抵抗が低い層が、導電層 245 と接することが好ましい。

[0378]

また、導電層 240 及び酸化物半導体層 230 を構成する層のうち、配線抵抗が低い層が、導電層 245 及び導電層 246 と接することが好ましい。

[0379]

絶縁層 287 は、層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0380]

また、絶縁層 287 中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層 230 のチャネル形成領域に、水、水素などの不純物が混入することを抑制できる。

[0381]

導電層 245 及び導電層 246 は、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、及びダイオードなどの回路素子、配線、電極、または、端子と、メモリセル 150 a 及びメモリセル 150 b を電氣的に接続するためのプラグまたは配線として機能する。例えば、導電層 245 が、図 10 B に示す半導体装置の下に設けられたセンスアンプ（図示しない）に電氣的に接続され、導電層 246 が、図 10 B に示す半導体装置の上に設けられた同様の半導体装置（図示しない）と電氣的に接続される構成にすることができる。この場合、導電層 245 及び導電層 246 は、配線 BL の一部として機能する。このように、図 10 B に示す半導体装置の上または下に同様の半導体装置などを設けることで、単位面積当たりの記憶容量を大きくすることができる。

[0382]

また、メモリセル 150 a とメモリセル 150 b は、一点鎖線 A3-A4 の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ 200 a とトランジスタ 200 b も、導電層 245 及び導電層 246 を挟んで、線対称の位置に配置される。ここで、導電層 240 は、トランジスタ 200 a のソース電極及びドレイン電極の他方としての機能と、トランジスタ 200 b のソース電極及びドレイン電極の他方としての機能とを有する。また、トランジスタ 200 a 及びトランジスタ 200 b は、プラグとして機能する導電層 245 及び導電層 246 を共有する。このように、2つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供できる。

[0383]

なお、配線 PL として機能する導電層 110 は、メモリセル 150 a 及びメモリセル 150 b に、そ

れぞれ設けてもよいし、メモリセル150a及びメモリセル150bに、共通に設けてもよい。ただし、図10Bに示すように、導電層110は、導電層245と離隔して設け、導電層110と導電層245がショートしないようにする。配線PLについては後述する。

[0384]

また、図11では、図10Aに示す4個のメモリセルがZ方向にn層（nは3以上の整数）積層されている例を示す。図11は、図10Aに示す一点鎖線A3-A4間の断面図である。

[0385]

図11に示す半導体装置は、n層のメモリ層160を有する。具体的には、メモリ層160[1]上にメモリ層160[2]が設けられ、メモリ層160[2]上に、さらに、(n-2)層のメモリ層が設けられており、最上段にメモリ層160[n]が設けられている。1層のメモリ層160が有するメモリセルの数は特に限定されず、2以上のメモリセルを有することができる。導電層245、導電層246、導電層247、及び導電層248等によって、n層のメモリ層160が有するメモリセルが、n層のメモリ層160の下に設けられたセンスアンプ（図示しない）と電氣的に接続される。

[0386]

図11では、導電層245が導電層240の下面と接し、導電層246が酸化物半導体層230の上面と接する例を示している。前述の通り、導電層245及び導電層246などのプラグと、各メモリセルとの接続箇所は様々な態様が可能であり、図11の構成に限定されない。

[0387]

図11に示すように、複数のメモリセルを積層することにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dメモリセルアレイを構成することができる。

[0388]

図12に、センスアンプを含む駆動回路が設けられる層上に、メモリセルを有する層が積層して設けられた半導体装置の断面構成例を示す。

[0389]

図12では、トランジスタ310の上方にメモリセル150（トランジスタ200A及び容量素子100）が設けられている。

[0390]

トランジスタ310は、センスアンプが有するトランジスタの一つである。

[0391]

図12に示すメモリセル150については、＜メモリセルの構成例＞におけるメモリセル150の記載を参照できる。

[0392]

図12に示すように、メモリセル150と重なるように、センスアンプを設ける構成にすることで、ビット線を短くすることができる。これにより、ビット線容量を小さくでき、記憶装置の高速駆動が可能となる。

[0393]

図12に示す半導体装置は、実施の形態3で説明する記憶装置300と対応させることができる。具体的には、トランジスタ310は、記憶装置300におけるセンスアンプ46が有するトランジスタに相当する。また、メモリセル150は、半導体装置10と対応する。

[0394]

トランジスタ310は、基板311上に設けられ、ゲートとして機能する導電層316と、ゲート絶縁層として機能する絶縁層315と、基板311の一部からなる半導体領域313と、ソース領域またはドレイン領域として機能する低抵抗領域314a及び低抵抗領域314bと、を有する。トランジスタ310は、pチャネル型またはnチャネル型のいずれとしてもよい。

[0395]

ここで、図12に示すトランジスタ310はチャンネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面及び上面を、絶縁層315を介して、導電層316が覆うように設けられている。なお、導電層316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ310は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁層を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0396]

なお、図12に示すトランジスタ310は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いることができる。

[0397]

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線として機能する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

[0398]

例えば、トランジスタ310上には、層間膜として、絶縁層320、絶縁層322、絶縁層324、及び絶縁層326が順に積層して設けられている。また、絶縁層320及び絶縁層322には導電層328が埋め込まれ、絶縁層324及び絶縁層326には導電層330が埋め込まれている。なお、導電層328及び導電層330はプラグ、または配線として機能する。

[0399]

また、層間膜として機能する絶縁層は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁層322の上面は、平坦性を高めるためにCMP法等を用いた平坦化処理により平坦化されていてもよい。

[0400]

絶縁層326及び導電層330上に、配線層を設けてもよい。例えば、図12において、絶縁層350、絶縁層352、及び絶縁層354が順に積層して設けられている。また、絶縁層350、絶縁層352、及び絶縁層354には、導電層356が形成されている。導電層356は、プラグ、または配線として機能する。

[0401]

層間膜として機能する、絶縁層352、及び絶縁層354等は、前述の、半導体装置または記憶装置に用いることができる絶縁層を用いることができる。

[0402]

プラグ、または配線として機能する導電層、例えば、導電層328、導電層330、及び導電層356等としては、導電層240に適用可能な導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0403]

トランジスタ200Aが有する導電層240は、導電層643、導電層642、導電層644、導電層645、導電層646、導電層356、導電層330、及び、導電層328を介して、トランジスタ310のソース領域またはドレイン領域として機能する低抵抗領域314bと、電氣的に接続されている。

[0404]

導電層643は、絶縁層280に埋め込まれている。導電層642は、絶縁層180上に設けられ、絶縁層641に埋め込まれている。導電層644は、絶縁層180に埋め込まれている。導電層645は、絶縁層180に覆われている。導電層645は、導電層110と同一の材料、及び、同一の工程で作製することができる。導電層646は、絶縁層648に埋め込まれている。絶縁層648によって、トランジスタ310と、導電層110と、が電氣的に絶縁されている。

[0405]

以上のように、本実施の形態の半導体装置は、寄生容量が低減されたトランジスタを有するため、動作速度を高めることができる。また、本実施の形態の半導体装置は、容量素子とトランジスタと、を重ねて有するため、メモリセルの平面視における占有面積を小さくでき、集積度の高い半導体装置を実現できる。

[0406]

<メモリセルの動作例>

続いて、メモリセル150の動作例について説明する。図13Aにメモリセル150の等価回路図を示す。図13Aに示すメモリセル150は、1つのトランジスタMと1つの容量素子Cfeを有するDRAM型（1T1C型）の記憶素子として機能する。

[0407]

また、容量素子Cfeは、2つの電極の間に、誘電体層として強誘電性を有しうる材料を有する強誘電体キャパシタである。よって、メモリセル150は、FeRAMとして機能する。図13Aに示すトランジスタMはトランジスタ200Aに相当し、容量素子Cfeは容量素子100に相当する。

[0408]

トランジスタMのソース及びドレインの一方は、容量素子Cfeの一对の電極の一方に接続される。トランジスタMのソース及びドレインの他方は、配線BLに接続される。トランジスタMのゲートは、配線WLに接続される。容量素子Cfeの一对の電極の他方は、配線PLに接続される。

[0409]

ここで、配線BLは導電層240に対応し、配線WLは導電層265に対応し、配線PLは導電層110に対応する。図9A乃至図9Cに示すように、導電層265はX方向に延在して設けられ、導電層240はY方向に延在して設けられることが好ましい。このような構成にすることで、配線BLと、配線WLは互いに交差して設けられる。また、図9Aでは、配線PL（導電層110）が面状に設けられているが、本発明はこれに限られるものではない。例えば、配線PLは、配線WL（導電層26

5) に平行に設けられてもよいし、配線BL（導電層240）に平行に設けられてもよい。

[0410]

トランジスタMのチャンネルが形成される半導体層として、様々な半導体材料を用いることができる。例えば、トランジスタMのチャンネルが形成される半導体層として、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。また、半導体材料としては、例えば、シリコンまたはゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。

[0411]

特に、トランジスタMとして、OSトランジスタを用いることが好ましい。OSトランジスタは、ソースとドレイン間の絶縁耐圧が高いという特性を有する。よって、トランジスタMをOSトランジスタとすることにより、トランジスタMを微細化しても、トランジスタMに高電圧を印加できる。トランジスタMを微細化することにより、メモリセル150の占有面積を小さくすることができる。例えば、図13Aに示すメモリセル150の1個あたりの占有面積は、SRAM（Static Random Access Memory）の1セルあたりの占有面積の1/3乃至1/6とすることができる。よって、メモリセル150を高密度に配置することができる。これにより、記憶容量が大きな記憶装置を実現できる。

[0412]

なお、メモリセルを構成するトランジスタにOSトランジスタを用いた場合、当該メモリセルを「OSメモリ」と呼ぶことができる。特に、DRAM型のOSメモリをDOSRAM（登録商標）と呼ぶ場合がある。また、メモリセルを構成するトランジスタにOSトランジスタを用いたFeRAMをFeDOSRAMと呼ぶ場合がある。

[0413]

配線WLは、ワード線としての機能を有し、配線WLの電位を制御することにより、トランジスタMのオン状態とオフ状態を制御できる。例えば、トランジスタMがnチャンネル型のトランジスタである場合、配線WLの電位を高電位とすることにより、トランジスタMをオン状態とし、配線WLの電位を低電位とすることにより、トランジスタMをオフ状態とすることができる。

[0414]

配線BLは、ビット線としての機能を有し、トランジスタMがオン状態である場合において、配線BLの電位が容量素子Cfeの一方の電極に供給される。

[0415]

配線PLは、プレート線としての機能を有する。容量素子Cfeの他方の電極は、配線PLを介して電位が供給される。

[0416]

<強誘電体層のヒステリシス特性>

容量素子Cfeが有する強誘電体層は、ヒステリシス特性を有する。図13Bは、当該ヒステリシス特性の一例を示すグラフである。図13Bにおいて、横軸は強誘電体層に印加する電圧を示す。当該電圧は、例えば容量素子Cfeの一方の電極の電位と、容量素子Cfeの他方の電極の電位と、の差とすることができる。

[0417]

また、図 1 3 B において、縦軸は強誘電体層の分極を示し、正の値の場合は正電荷が容量素子 C_{fe} の一方の電極側に偏り、負電荷が容量素子 C_{fe} の他方の電極側に偏っていることを示す。一方、分極が負の値の場合は、正電荷が容量素子 C_{fe} の他方の電極側に偏り、負電荷が容量素子 C_{fe} の一方の電極側に偏っていることを示す。

[0418]

なお、図 1 3 B のグラフの横軸に示す電圧を、容量素子 C_{fe} の他方の電極の電位と、容量素子 C_{fe} の一方の電極の電位と、の差としてもよい。また、図 1 3 B のグラフの縦軸に示す分極を、正電荷が容量素子 C_{fe} の他方の電極側に偏り、負電荷が容量素子 C_{fe} の一方の電極側に偏っている場合に正の値とし、正電荷が容量素子 C_{fe} の一方の電極側に偏り、負電荷が容量素子 C_{fe} の他方の電極側に偏っている場合に負の値としてもよい。

[0419]

図 1 3 B に示すように、強誘電体層のヒステリシス特性は、曲線 5 1 と、曲線 5 2 と、により表すことができる。曲線 5 1 と曲線 5 2 の交点における電圧を、 V_{SP} 及び $-V_{SP}$ とする。 V_{SP} と $-V_{SP}$ は、極性が異なるということができる。

[0420]

強誘電体層に $-V_{SP}$ 以下の電圧を印加した後に、強誘電体層に印加する電圧を高くしていくと、強誘電体層の分極は、曲線 5 1 に従って増加する。一方、強誘電体層に V_{SP} 以上の電圧を印加した後に、強誘電体層に印加する電圧を低くしていくと、強誘電体層の分極は、曲線 5 2 に従って減少する。よって、 V_{SP} 及び $-V_{SP}$ は、飽和分極電圧ということができる。なお、例えば V_{SP} を第 1 の飽和分極電圧と呼び、 $-V_{SP}$ を第 2 の飽和分極電圧と呼ぶ場合がある。また、図 1 3 B では、第 1 の飽和分極電圧の絶対値と第 2 の飽和分極電圧の絶対値が等しい場合を示しているが、両者の絶対値は異なってもよい。

[0421]

ここで、強誘電体層の分極が曲線 5 1 に従って変化する際の、強誘電体層の分極が 0 である場合における、強誘電体層に印加される電圧を V_c とする。また、強誘電体層の分極が曲線 5 2 に従って変化する際の、強誘電体層の分極が 0 である場合における、強誘電体層に印加される電圧を $-V_c$ とする。 V_c 及び $-V_c$ は、抗電圧ということができる。 V_c の値、及び $-V_c$ の値は、 $-V_{SP}$ と V_{SP} の間の値であるということができる。なお、例えば V_c を第 1 の抗電圧と呼び、 $-V_c$ を第 2 の抗電圧と呼ぶ場合がある。また、図 1 3 B では、第 1 の抗電圧の絶対値と、第 2 の抗電圧の絶対値と、が等しいとしているが、両者の絶対値は異なってもよい。

[0422]

また、強誘電体層に電圧が印加されていない時の、分極の最大値を「残留分極 P_r 」と呼び、最小値を「残留分極 $-P_r$ 」と呼ぶ。また、残留分極 P_r と残留分極 $-P_r$ の差を「残留分極 $2P_r$ 」と呼ぶ。

[0423]

前述のように、容量素子 C_{fe} が有する強誘電体層に印加される電圧は、容量素子 C_{fe} の一方の電極の電位と、容量素子 C_{fe} の他方の電極の電位と、の差により表すことができる。また、前述のように、容量素子 C_{fe} の他方の電極は、配線 PL と電氣的に接続される。よって、配線 PL の電位を制御することにより、容量素子 C_{fe} が有する強誘電体層に印加される電圧を制御することができる。

[0424]

メモリセル150の駆動方法の一例を説明する。以下の説明において、容量素子Cfeの強誘電体層に印加される電圧とは、容量素子Cfeの一方の電極の電位と、容量素子Cfeの他方の電極（配線PL）の電位の電位差である。また、トランジスタMは、nチャネル型トランジスタとする。

[0425]

図13Cは、メモリセル150の駆動方法例を示すタイミングチャートである。図13Cでは、メモリセル150に2値のデジタルデータを書き込み、読み出す例を示している。具体的には、図13Cでは、時刻T01乃至時刻T02においてメモリセル150にデータ“1”を書き込み、時刻T03乃至時刻T05において読み出し及び再書き込みを行い、時刻T11乃至時刻T13において読み出し、及びメモリセル150へのデータ“0”の書き込みを行い、時刻T14乃至時刻T16において読み出し及び再書き込みを行い、時刻T17乃至時刻T19において読み出し、及びメモリセル150へのデータ“1”の書き込みを行う例を示している。

[0426]

配線BLと電氣的に接続されるセンスアンプには、基準電位としてVrefが供給されるものとする。図13C等にも示す読み出し動作において、配線BLの電位がVrefより高い場合は、ビット線ドライバ回路によりデータ“1”が読み出されるものとする。一方、配線BLの電位がVrefより低い場合は、ビット線ドライバ回路によりデータ“0”が読み出されるものとする。

[0427]

時刻T01乃至時刻T02において、配線WLの電位を高電位（H）とする。これにより、トランジスタMがオン状態となる。また、配線BLの電位をVwとする。トランジスタMはオン状態であるため、容量素子Cfeの一方の電極の電位はVwとなる。さらに、配線PLの電位をGNDとする。以上より、容量素子Cfeの強誘電体層に印加される電圧は、“Vw-GND”となる。これにより、メモリセル150にデータ“1”を書き込むことができる。よって、時刻T01乃至時刻T02は、書き込み動作を行う期間であるといえることができる。

[0428]

ここで、Vwは、VSP以上とすることが好ましく、例えばVSPと等しくすることが好ましい。また、本明細書等において、GNDは接地電位であるが、メモリセル150を本発明の一態様の趣旨を充足するように駆動させることができるのであれば、必ずしも接地電位としなくてもよい。例えば、第1の飽和分極電圧の絶対値と、第2の飽和分極電圧の絶対値と、が異なり、第1の抗電圧の絶対値と、第2の抗電圧の絶対値と、が異なる場合は、GNDは接地以外の電位とすることができる。

[0429]

時刻T02乃至時刻T03において、配線BLの電位、及び配線PLの電位をGNDとする。これにより、容量素子Cfeの強誘電体層に印加される電圧は、0Vとなる。時刻T01乃至時刻T02において容量素子Cfeの強誘電体層に印加される電圧“Vw-GND”はVSP以上とすることができることから、時刻T02乃至時刻T03において、容量素子Cfeの強誘電体層の分極量は図13Bに示す曲線52に従って変化する。以上より、時刻T02乃至時刻T03では、容量素子Cfeの強誘電体層において分極反転は発生しない。

[0430]

配線BLの電位、及び配線PLの電位をGNDとした後、配線WLの電位を低電位（L）とする。これにより、トランジスタMがオフ状態となる。以上により、書き込み動作が完了し、メモリセル150へデータ“1”が保持される。なお、配線BL及び配線PLの電位は、容量素子Cfeの強誘電体

層において分極反転が発生しない、つまり容量素子C f eの強誘電体層に印加される電圧が第2の抗電圧である $-V_c$ 以上となるのであれば任意の電位とすることができる。

[0431]

時刻T03乃至時刻T04において、配線WLの電位を高電位とする。これにより、トランジスタMがオン状態となる。また、配線PLの電位を V_w とする。配線PLの電位を V_w とすることにより、容量素子C f eの強誘電体層に印加される電圧が、“ $GND - V_w$ ”となる。前述のように、時刻T01乃至時刻T02において容量素子C f eの強誘電体層に印加される電圧は“ $V_w - GND$ ”である。よって、容量素子C f eの強誘電体層において分極反転が発生する。分極反転の際に、配線BLに電流が流れ、配線BLの電位は V_{ref} より高くなる。よって、ビット線ドライバ回路が、メモリセル150に保持されたデータ“1”を読み出すことができる。したがって、時刻T03乃至時刻T04は、読み出し動作を行う期間であるといえることができる。なお、 V_{ref} は GND より高く、 V_w より低いものとしているが、例えば V_w より高くてもよい。

[0432]

上記読み出しは、破壊読み出しであるため、メモリセル150に保持されたデータ“1”は失われる。そこで、時刻T04乃至時刻T05において、配線BLの電位を V_w とし、配線PLの電位を GND とする。これにより、メモリセル150にデータ“1”を再書き込みする。よって、時刻T04乃至時刻T05は、再書き込み動作を行う期間であるといえることができる。

[0433]

時刻T05乃至時刻T11において、配線BLの電位、及び配線PLの電位を GND とする。その後、配線WLの電位を低電位とする。以上により、再書き込み動作が完了し、メモリセル150にデータ“1”が保持される。

[0434]

時刻T11乃至時刻T12において、配線WLの電位を高電位とし、配線PLの電位を V_w とする。メモリセル150にはデータ“1”が保持されているため、配線BLの電位が V_{ref} より高くなり、メモリセル150に保持されているデータ“1”が読み出される。よって、時刻T11乃至時刻T12は、読み出し動作を行う期間であるといえることができる。

[0435]

時刻T12乃至時刻T13において、配線BLの電位を GND とする。トランジスタMはオン状態であるため、容量素子C f eの一方の電極の電位は GND となる。また、配線PLの電位を V_w とする。以上より、容量素子C f eの強誘電体層に印加される電圧は、“ $GND - V_w$ ”となる。これにより、メモリセル150にデータ“0”を書き込むことができる。よって、時刻T12乃至時刻T13は、書き込み動作を行う期間であるといえることができる。

[0436]

時刻T13乃至時刻T14において、配線BLの電位、及び配線PLの電位を GND とする。これにより、容量素子C f eの強誘電体層に印加される電圧は、0Vとなる。時刻T12乃至時刻T13において容量素子C f eの強誘電体層に印加される電圧“ $GND - V_w$ ”は $-V_{SP}$ 以下とすることができることから、時刻T13乃至時刻T14において、容量素子C f eの強誘電体層の分極量は図13Bに示す曲線51に従って変化する。以上より、時刻T13乃至時刻T14では、容量素子C f eの強誘電体層において分極反転は発生しない。

[0437]

配線BLの電位、及び配線PLの電位をGNDとした後、配線WLの電位を低電位とする。これにより、トランジスタMがオフ状態となる。以上により、書き込み動作が完了し、メモリセル150ヘデータ“0”が保持される。なお、配線BL及び配線PLの電位は、容量素子Cfeの強誘電体層において分極反転が発生しない、つまり容量素子Cfeの強誘電体層に印加される電圧が第1の抗電圧であるVc以下となるのであれば任意の電位とすることができる。

[0438]

時刻T14乃至時刻T15において、配線WLの電位を高電位とする。これにより、トランジスタMがオン状態となる。また、配線PLの電位をVwとする。配線PLの電位をVwとすることにより、容量素子Cfeの強誘電体層に印加される電圧が、“GND-Vw”となる。前述のように、時刻T12乃至時刻T13において容量素子Cfeの強誘電体層に印加される電圧は“GND-Vw”である。よって、容量素子Cfeの強誘電体層において分極反転が発生しない。よって、配線BLに流れる電流量は、容量素子Cfeの強誘電体層において分極反転が発生する場合より小さい。これにより、配線BLの電位の上昇幅は、容量素子Cfeの強誘電体層において分極反転が発生する場合より小さくなり、具体的には配線BLの電位はVref以下となる。よって、ビット線ドライバ回路が、メモリセル150に保持されたデータ“0”を読み出すことができる。したがって、時刻T14乃至時刻T15は、読み出し動作を行う期間であるということができる。

[0439]

時刻T15乃至時刻T16において、配線BLの電位をGNDとし、配線PLの電位をVwとする。これにより、メモリセル150にデータ“0”を再書き込みする。よって、時刻T15乃至時刻T16は、再書き込み動作を行う期間であるということができる。

[0440]

時刻T16乃至時刻T17において、配線BLの電位、及び配線PLの電位をGNDとする。その後、配線WLの電位を低電位とする。以上により、再書き込み動作が完了し、メモリセル150にデータ“0”が保持される。

[0441]

時刻T17乃至時刻T18において、配線WLの電位を高電位とし、配線PLの電位をVwとする。メモリセル150にはデータ“0”が保持されているため、配線BLの電位がVrefより低くなり、メモリセル150に保持されているデータ“0”が読み出される。よって、時刻T17乃至時刻T18は、読み出し動作を行う期間であるということができる。

[0442]

時刻T18乃至時刻T19において、配線BLの電位をVwとする。トランジスタMはオン状態であるため、容量素子Cfeの一方の電極の電位はVwとなる。また、配線PLの電位をGNDとする。以上より、容量素子Cfeの強誘電体層に印加される電圧は、“Vw-GND”となる。これにより、メモリセル150にデータ“1”を書き込むことができる。よって、時刻T18乃至時刻T19は、書き込み動作を行う期間であるということができる。

[0443]

時刻T19以降において、配線BLの電位、及び配線PLの電位をGNDとする。その後、配線WLの電位を低電位とする。以上により、書き込み動作が完了し、メモリセル150にデータ“1”が保持される。

[0444]

容量素子C f eに強誘電体層を用いたメモリセル150は、電力供給が停止しても書き込まれた情報を保持可能な不揮発性の記憶素子として機能する。

[0445]

また、DRAMでは定期的なリフレッシュ動作が必要になるため消費電力が増加する。容量素子C f eに強誘電体層を用いたメモリセル150はリフレッシュ動作が不要であるため、消費電力を低減できる。

[0446]

本明細書等において、強誘電体層を含む記憶素子または記憶回路を「強誘電体メモリ」または「FEメモリ」と呼ぶ場合がある。よって、メモリセル150は強誘電体メモリであり、FEメモリでもある。FEメモリは、 1×10^{10} 以上、好ましくは 1×10^{12} 以上、より好ましくは 1×10^{15} 以上の書き換え回数の実現が期待できる。また、FEメモリは、10MHz以上、好ましくは1GHz以上の動作周波数の実現が期待できる。

[0447]

また、FEメモリにおいて、残留分極2Prとデータ保持能力には相関があり、残留分極2Prが小さくなると、データの保持能力が低下する。本明細書等では、残留分極2Prが5%低下する（データの保持能力が5%低下する）までの期間を「メモリ保持期間」と呼ぶ。FEメモリは、150℃または200℃の環境温度下において、10日以上、好ましくは1年以上、より好ましくは10年以上のメモリ保持期間の実現が期待できる。

[0448]

また、FEメモリは、CPU、GPU (Graphics Processing Unit) などの、キャッシュメモリ及びレジスタなどにも適用可能である。CPUのキャッシュメモリ及びレジスタなどにFEメモリを組み合わせることで、N o f f - C P U (N o r m a l l y o f f C P U) を実現できる。GPUのキャッシュメモリ及びレジスタなどにFEメモリを組み合わせることで、N o f f - G P U (N o r m a l l y o f f C P U) を実現できる。

[0449]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0450]

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置を用いた記憶装置300の構成例について説明する。

[0451]

図14Aに、本発明の一態様に係る記憶装置300の構成例を示すブロック図を示す。図14Aに示す記憶装置300は、駆動回路21と、メモリアレイ20と、を有する。メモリアレイ20は、複数の半導体装置10を有する。図14Aでは、メモリアレイ20がm行n列(m及びnは各々独立に2以上の整数)のマトリクス状に配置された複数の半導体装置10を有する例を示している。半導体装置10は、実施の形態2で説明したメモリセル150と対応させることができる。

[0452]

なお、行と列は互いに直交する方向に延在する。本実施の形態では、X方向を「行」とし、Y方向を「列」としているが、X方向を「列」とし、Y方向を「行」としてもよい。

[0453]

図14Aでは、1行1列目の半導体装置10を半導体装置10[1, 1]と示し、m行n列目の半導

体装置 10 を半導体装置 10 [m, n] と示している。また、本実施の形態などでは、任意の行を示す場合に i 行と記す場合がある。また、任意の列を示す場合に j 列と記す場合がある。よって、i は 1 以上 m 以下の整数であり、j は 1 以上 n 以下の整数である。また、本実施の形態などでは、i 行 j 列目の半導体装置 10 を半導体装置 10 [i, j] と示している。なお、本実施の形態などにおいて、「i + α 」(α は正または負の整数) と示す場合は、「i + α 」は 1 を下回らず、m を超えない。同様に、「j + α 」 と示す場合は、「j + α 」は 1 を下回らず、n を超えない。

[0454]

また、メモリアレイ 20 は、行方向 (X 方向) に延在する m 本の配線 WL と、行方向 (X 方向) に延在する m 本の配線 PL と、Z 方向に延在する n 本の配線 BL と、を備える。なお、n 本の配線 BL は Z 方向に延在するが、配線 WL 及び配線 PL と配線 BL の関係をわかりやすくするため、図 14A では n 本の配線 BL を列方向 (Y 方向) に延在して示している。

[0455]

本実施の形態などでは、1 本目 (1 行目) に設けられた配線 WL を配線 WL [1] と示し、m 本目 (m 行目) に設けられた配線 WL を配線 WL [m] と示す。同様に、1 本目 (1 行目) に設けられた配線 PL を配線 PL [1] と示し、m 本目 (m 行目) に設けられた配線 PL を配線 PL [m] と示す。同様に、1 本目 (1 列目) に設けられた配線 BL を配線 BL [1] と示し、n 本目 (n 列目) に設けられた配線 BL を配線 BL [n] と示す。

[0456]

i 行目に設けられた複数の半導体装置 10 は、i 行目の配線 WL (配線 WL [i]) と i 行目の配線 PL (配線 PL [i]) に電氣的に接続される。j 列目に設けられた複数の半導体装置 10 は、j 列目の配線 BL (配線 BL [j]) と電氣的に接続される。

[0457]

駆動回路 21 は、PSW22 (パワースイッチ)、PSW23、及び周辺回路 31 を有する。周辺回路 31 は、周辺回路 41、コントロール回路 32、及び電圧生成回路 33 を有する。

[0458]

記憶装置 300 において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号 BW、信号 CE、信号 GW、信号 CLK、信号 WAKE、信号 ADDR、信号 WDA、信号 PON1、信号 PON2 は外部からの入力信号であり、信号 RDA は外部への出力信号である。信号 CLK はクロック信号である。

[0459]

また、信号 BW、信号 CE、及び信号 GW は制御信号である。信号 CE はチップイネーブル信号であり、信号 GW はグローバル書き込みイネーブル信号であり、信号 BW はバイト書き込みイネーブル信号である。信号 ADDR はアドレス信号である。信号 WDA は書き込みデータであり、信号 RDA は読み出しデータである。信号 PON1、信号 PON2 は、パワーゲーティング制御用信号である。なお、信号 PON1、信号 PON2 は、コントロール回路 32 で生成してもよい。

[0460]

コントロール回路 32 は、記憶装置 300 の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号 CE、信号 GW 及び信号 BW を論理演算して、記憶装置 300 の動作モード (例えば、書き込み動作、読み出し動作) を決定する。または、コントロール回路 32 は、この動作モードが実行されるように、周辺回路 41 の制御信号を生成する。

[0461]

電圧生成回路33は電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路33への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路33へ入力され、電圧生成回路33は電圧を生成する。

[0462]

周辺回路41は、半導体装置10に対するデータの書き込み及び読み出しをするための回路である。周辺回路41は、行デコーダ42、列デコーダ44、行ドライバ43、列ドライバ45、入力回路47、出力回路48、センスアンプ46を有する。

[0463]

行デコーダ42及び列デコーダ44は、信号ADDRをデコードする機能を有する。行デコーダ42は、アクセスする行を指定するための回路であり、列デコーダ44は、アクセスする列を指定するための回路である。行ドライバ43は、行デコーダ42が指定する配線WLを選択する機能を有する。列ドライバ45は、データを半導体装置10に書き込む機能、半導体装置10からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0464]

入力回路47は、信号WDAを保持する機能を有する。入力回路47が保持するデータは、列ドライバ45に出力される。入力回路47の出力データが、半導体装置10に書き込むデータ(Din)である。列ドライバ45が半導体装置10から読み出したデータ(Dout)は、出力回路48に出力される。出力回路48は、Doutを保持する機能を有する。また、出力回路48は、Doutを記憶装置300の外部に出力する機能を有する。出力回路48から出力されるデータが信号RDAである。

[0465]

PSW22は周辺回路31へのVDDの供給を制御する機能を有する。PSW23は、行ドライバ43へのVHMの供給を制御する機能を有する。ここでは、記憶装置300の高電源電位がVDDであり、低電源電位はGND(接地電位)である。また、VHMは、ワード線を高レベルにするために用いられる高電源電位であり、VDDよりも高い。信号PON1によってPSW22のオン・オフが制御され、信号PON2によってPSW23のオン・オフが制御される。図14Aでは、周辺回路31において、VDDが供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0466]

駆動回路21とメモリアレイ20は同一平面上に設けてもよい。また、図14Bに示すように、駆動回路21を含む層の直上にメモリアレイ20を含む層を重ねて設けてもよい。駆動回路21とメモリアレイ20を重ねて設けることで、駆動回路21とメモリアレイ20の間の信号伝搬距離を短くすることができる。よって、駆動回路21とメモリアレイ20の間の抵抗及び寄生容量が低減され、消費電力及び信号遅延の低減が実現できる。また、記憶装置300の小型化が実現できる。

[0467]

また、図14Bでは駆動回路21上にメモリアレイ20を1層重ねて設けているが、駆動回路21上に複数層のメモリアレイ20を重ねて設けてもよい。図14Cに、駆動回路21上にk層(kは2以上の整数)のメモリアレイ20を重ねて設ける例を示す。図14Cなどでは、1層目に設けられたメモリアレイ20をメモリアレイ20[1]と示し、2層目に設けられたメモリアレイ20をメモリアレイ20[2]と示す。

レイ 20 [2] と示し、k 層目に設けられたメモリアレイ 20 をメモリアレイ 20 [k] と示している。

[0468]

図 15 A に、記憶装置 300 の構成例を説明する模式図を示す。図 15 A に示す記憶装置 300 は、駆動回路 21 上に設けられた 6 層のメモリアレイ 20 を有する。前述したように、図 15 A などでは、3 層目に設けられたメモリアレイ 20 をメモリアレイ 20 [3] と示し、4 層目に設けられたメモリアレイ 20 をメモリアレイ 20 [4] と示し、5 層目に設けられたメモリアレイ 20 をメモリアレイ 20 [5] と示し、6 層目に設けられたメモリアレイ 20 をメモリアレイ 20 [6] と示している。

[0469]

各層のメモリアレイ 20 は、それぞれがマトリクス状に配置された複数の半導体装置 10 と、X 方向に延在する配線 WL 及び配線 PL を有する。なお、図面を見やすくするため、1 層から 5 層目のメモリアレイ 20 それぞれが有する配線 WL 及び配線 PL の記載を省略している。

[0470]

また、図 15 A に示す記憶装置 300 は、Z 方向に延在する複数の配線 BL を有する。配線 BL は 6 層のメモリアレイ 20 それぞれを通して形成され、駆動回路 21 と電氣的に接続する。Z 方向から見ると、複数の配線 BL はマトリクス状に配置されている。

[0471]

配線 BL を Z 方向に延在させて駆動回路 21 と電氣的に接続することで、配線 BL を X 方向または Y 方向に延在させた場合よりも、半導体装置 10 と駆動回路 21 の接続距離を短くすることができる。よって、半導体装置 10 と駆動回路 21 の信号伝搬距離が短くなるため、記憶装置の動作速度を高めることができる。また、配線 BL に付帯する寄生容量が低減されるため、消費電力が低減できる。

[0472]

また、各層のメモリアレイ 20 それぞれにおいて、メモリアレイ 20 が有する複数の半導体装置 10 の 1 つは、複数の配線 BL の 1 つと電氣的に接続される。よって、図 15 A に示す記憶装置 300 において、1 つの配線 BL には、各層のメモリアレイ 20 から 1 つずつ、合計 6 個の半導体装置 10 が電氣的に接続される。

[0473]

1 つの配線 BL に複数のメモリセル（半導体装置 10）が電氣的に接続される構成を「メモリストリング」ともいう。よって、図 15 A に示す記憶装置 300 は、複数のメモリストリングを含んで構成されていると言える。

[0474]

図 15 B に、図 15 A に示す記憶装置 300 が有するメモリストリングの模式図を示す。なお、図面を見やすくするため、図 15 B に示すメモリストリングの模式図では、半導体装置 10 と電氣的に接続する配線 WL 及び配線 PL の記載を省略している。また、図 15 B にメモリストリングの等価回路の一部を付記している。

[0475]

図 16 A に、記憶装置 300 の構成例を説明する模式図を示す。図 16 A に示す記憶装置 300 は、図 15 A に示す記憶装置 300 の変形例である。よって、説明の繰り返しを少なくするため、主に図 15 A に示す記憶装置 300 と異なる点について説明する。

[0476]

図16Aに示す記憶装置300では、各層のメモリアレイ20それぞれにおいて、メモリアレイ20が有する複数の半導体装置10のうち2つが、複数の配線BLの1つと電氣的に接続される点が、図15Aに示す記憶装置300と異なる。すなわち、1つの配線BLに合計12個の半導体装置10が電氣的に接続される。

[0477]

図16Bに、図16Aに示す記憶装置300が有するメモリストリングの模式図を示す。また、図16Bにメモリストリングの等価回路の一部を付記している。

[0478]

図16Aに示す記憶装置300では、図15Aに示す記憶装置300よりも配線BLの数を低減できる。よって、記憶装置300の占有面積が低減される。

[0479]

また、本発明の一態様に係る半導体装置10はFEメモリであり、電力供給が停止しても書き込まれた情報を長期間保持できる。また、DRAMで必要なリフレッシュ動作が不要であるため、消費電力の少ない記憶装置300が実現できる。

[0480]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0481]

(実施の形態4)

本実施の形態では、図17A及び図17Bを用いて、本発明の一態様の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip：SoC）と呼ぶ場合がある。

[0482]

図17Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0483]

チップ1200には、バンプ（図示しない）が設けられ、図17Bに示すように、パッケージ基板1201の第1の面と接続する。また、パッケージ基板1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0484]

マザーボード1203には、記憶装置1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、記憶装置1221に半導体装置10を用いることができる。また、例えば、フラッシュメモリ1222に替えて半導体装置10を用いてもよい。

[0485]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、及びGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、及びGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、半導体装置10を用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理または積和

演算に用いることができる。GPU 1212に、酸化物半導体を用いた画像処理回路または、積和演算回路を設けることで、画像処理、及び積和演算を低消費電力で実行することが可能になる。

[0486]

また、CPU 1211、及びGPU 1212が同一チップに設けられていることで、CPU 1211とGPU 1212の間の配線を短くすることができ、CPU 1211からGPU 1212へのデータ転送、CPU 1211、及びGPU 1212が有するメモリ間のデータ転送、及びGPU 1212での演算後に、GPU 1212からCPU 1211への演算結果の転送を高速に行うことができる。

[0487]

アナログ演算部 1213はA/D（アナログ／デジタル）変換回路、及びD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部 1213に上記積和演算回路を設けてもよい。

[0488]

メモリコントローラ 1214は、記憶装置 1221のコントローラとして機能する回路、及びフラッシュメモリ 1222のインターフェースとして機能する回路を有する。

[0489]

インターフェース 1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB (Universal Serial Bus)、HDMI (登録商標) (High-Definition Multimedia Interface) などを用いることができる。

[0490]

ネットワーク回路 1216は、LAN (Local Area Network) などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0491]

チップ 1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ 1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ 1200を低コストで作製することができる。

[0492]

GPU 1212を有するチップ 1200が設けられたパッケージ基板 1201、記憶装置 1221、及びフラッシュメモリ 1222が設けられたマザーボード 1203は、GPUモジュール 1204と呼ぶことができる。

[0493]

GPUモジュール 1204は、SoC技術を用いたチップ 1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU 1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ 1200をAIチップ、またはGPUモジュール 1204をAIシステムモジュールとして用いることができる。

[0494]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0495]

(実施の形態5)

本実施の形態では、上記実施の形態に示す半導体装置などが組み込まれた電子部品の一例を示す。

[0496]

<電子部品>

図18Aに電子部品700及び電子部品700が実装された基板(実装基板704)の斜視図を示す。図18Aに示す電子部品700は、モールド711内に記憶装置720を有している。図18Aは、電子部品700の内部を示すために、一部を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は記憶装置720とワイヤ714によって電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0497]

記憶装置720は、駆動回路層721と、記憶回路層722と、を有する。記憶装置720に本発明の一態様に係る記憶装置300を用いることができる。よって、駆動回路層721は駆動回路21を含む層ということができる。また、記憶回路層722に単層または複数層のメモリアレイ20を用いることができる。よって、駆動回路層721はメモリアレイ20を含む層ということができる。

[0498]

図18Bに電子部品730の斜視図を示す。電子部品730は、SiP(System in package)またはMCM(Multi Chip Module)の一例である。電子部品730は、パッケージ基板732(プリント基板)上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の記憶装置720が設けられている。

[0499]

電子部品730では、記憶装置720を広帯域メモリ(HBM:High Bandwidth Memory)として用いる例を示している。また、半導体装置735は、CPU、GPU、FPGA(Field Programmable Gate Array)などの集積回路(半導体装置)を用いることができる。

[0500]

パッケージ基板732は、セラミックス基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0501]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通

電極として、TSV (Through Silicon Via) を用いることも出来る。

[0502]

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0503]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0504]

また、シリコンインターポーザを用いたSiP、MCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

[0505]

また、電子部品730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置720と半導体装置735の高さを揃えることが好ましい。

[0506]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図18Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現できる。

[0507]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J-leaded package)、またはQFN(Quad Flat Non-leaded package)などの実装方法を用いることができる。

[0508]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0509]

(実施の形態6)

本実施の形態では、本発明の一態様に係る半導体装置の応用例について説明する。

[0510]

本発明の一態様に係る半導体装置は、例えば、各種電子機器(例えば、情報端末、コンピュータ、ス

スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、ゲーム機など）の記憶装置に適用できる。また、イメージセンサ、IoT（Internet of Things）、ヘルスケア関連機器などに用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

[0511]

本発明の一態様に係る半導体装置を有する電子機器の一例について説明する。なお、図19A乃至図19J、図20A乃至図20Eには、当該半導体装置を有する電子部品700または電子部品730が各電子機器に含まれている様子を図示している。

[0512]

[携帯電話]

図19Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0513]

情報端末5500は、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュなど）を保持することができる。

[0514]

[ウェアラブル端末]

また、図19Bには、ウェアラブル端末の一例である情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作スイッチ5903、操作スイッチ5904、バンド5905などを有する。

[0515]

ウェアラブル端末は、先述した情報端末5500と同様に、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0516]

[情報端末]

また、図19Cには、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、表示部5302と、キーボード5303と、を有する。

[0517]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0518]

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末、デスクトップ用情報端末を例として、それぞれ図19A乃至図19Cに図示したが、スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、ワークステーションなどが挙げられる。

[0519]

[電化製品]

また、図19Dには、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。例えば、電気冷凍冷蔵庫5800は、IoT (Internet of Things) に対応した電気冷凍冷蔵庫である。

[0520]

電気冷凍冷蔵庫5800に本発明の一態様に係る半導体装置を適用することができる。電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などの情報を、インターネットなどを通じて、情報端末などに送受信することができる。電気冷凍冷蔵庫5800は、当該情報を送信する際に生成される一時的なファイルを、当該半導体装置に保持することができる。

[0521]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0522]

[ゲーム機]

また、図19Eには、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

[0523]

更に、図19Fには、ゲーム機の一例である据え置き型ゲーム機7500が図示されている。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線または有線によってコントローラ7522を接続することができる。また、図19Fには示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなる、タッチパネル、スティック、回転式つまみ、またはスライド式つまみなどを備えることができる。また、コントローラ7522は、図19Fに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、または音声によって操作する形式としてもよい。

[0524]

また、上述したゲーム機の映像は、テレビジョン装置、コンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

[0525]

携帯ゲーム機5200または据え置き型ゲーム機7500に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機5200または低消費電力の据え置き型ゲーム機7500を実現することができる。また、低消費電力により、回路からの発熱を低減することがで

きるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0526]

更に、携帯ゲーム機5200または据え置き型ゲーム機7500に上記実施の形態で説明した半導体装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイルなどの保持をおこなうことができる。

[0527]

ゲーム機の一例として図19Eに携帯ゲーム機を示す。また、図19Fに家庭用の据え置き型ゲーム機を示す。なお、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0528]

[移動体]

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0529]

図19Gには移動体の一例である自動車5700が図示されている。

[0530]

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[0531]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0532]

上記実施の形態で説明した半導体装置は、情報を一時的に保持することができるため、例えば、当該半導体装置を、自動車5700の自動運転、道路案内、危険予測などを行うシステムなどにおける、必要な一時的な情報の保持に用いることができる。当該表示装置には、道路案内、危険予測などの一時的な情報を表示する構成としてもよい。また、自動車5700に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

[0533]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができる。

[0534]

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

[0535]

図19Hには、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6

240は、筐体6241、表示部6242、操作スイッチ6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

[0536]

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0537]

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

[0538]

図19Iには、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作スイッチ6304、レンズ6305、接続部6306等を有する。操作スイッチ6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0539]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。上述した半導体装置を利用することによって、ビデオカメラ6300は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

[0540]

[ICD]

上記実施の形態で説明した半導体装置は、植え込み型除細動器（ICD）に適用することができる。

[0541]

図19Jは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401と、電子部品700と、レギュレータと、制御回路と、アンテナ5404と、右心房へのワイヤ5402、右心室へのワイヤ5403とを少なくとも有している。

[0542]

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405及び上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0543]

ICD本体5400は、ペースメーカとしての機能を有し、心拍数が規定の範囲から外れた場合に心

臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍、心室細動など）、電気ショックによる治療が行われる。

[0544]

ICD本体5400は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、当該センサなどによって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間などを電子部品700に記憶することができる。

[0545]

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

[0546]

また、電力を受信できるアンテナ5404とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[0547]

[PC用の拡張デバイス]

上記実施の形態で説明した半導体装置は、PC（Personal Computer）などの計算機、情報端末用の拡張デバイスに適用することができる。

[0548]

図20Aは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USBなどでPCに接続することで、当該チップによる情報の記憶を行うことができる。なお、図20Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0549]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板6104には、電子部品700、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0550]

[SDカード]

上記実施の形態で説明した半導体装置は、情報端末、デジタルカメラなどの電子機器に取り付けが可能なSDカードに適用することができる。

[0551]

図20BはSDカードの外観の模式図であり、図20Cは、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112及び基板5113を有する。コネクタ51

12が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、半導体装置及び半導体装置を駆動する回路が設けられている。例えば、基板5113には、電子部品700、コントローラチップ5115が取り付けられている。なお、電子部品700とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、読み出し回路などは、電子部品700でなく、コントローラチップ5115に組み込んだ構成としてもよい。

[0552]

基板5113の裏面側にも電子部品700を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、外部装置とSDカード5110との間で無線通信を行うことができ、電子部品700のデータの読み出し、書き込みが可能となる。

[0553]

[SSD]

上記実施の形態で説明した半導体装置は、情報端末など電子機器に取り付けが可能なSSD(Solid State Drive)に適用することができる。

[0554]

図20DはSSDの外観の模式図であり、図20Eは、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152及び基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5153には、電子部品700、メモリチップ5155、コントローラチップ5156が取り付けられている。基板5153の裏面側にも電子部品700を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、ECC回路などが組み込まれている。なお、電子部品700と、メモリチップ5155と、コントローラチップ5115と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

[0555]

[計算機]

図21Aに示す計算機5600は、主に科学技術計算に利用される大型の計算機(スーパーコンピュータ)の例である。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。例えば、計算機5600を複数有するデータセンターでは、使用されるデジタルデータ量が非常に膨大になる。具体的には、世界のデジタルデータ量は、 10^{24} (yotta(ヨタ))バイト、または 10^{30} (quetta(クエタ))バイトを超えると予想されている。

[0556]

計算機5600に本発明の一態様の半導体装置を適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

また、本発明の一態様の半導体装置を用いることで、低消費電力のスーパーコンピュータの実現が可能となる。これにより、世界のデジタルデータ量を低減し、地球温暖化対策にも大きな貢献ができると期待される。

[0557]

計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。計算機5620は、例えば、図21Bに示す斜視図の構成とすることができる。図21Bにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0558]

図21Cに示すPCカード5621は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図21Cには、半導体装置5626、半導体装置5627、及び半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、及び半導体装置5628の説明を参考にすることができる。

[0559]

接続端子5629は、マザーボード5630のスロット5631に挿することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えば、PCIeなどが挙げられる。

[0560]

接続端子5623、接続端子5624、接続端子5625は、例えば、PCカード5621に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB、SATA (Serial ATA)、SCSI (Small Computer System Interface) などが挙げられる。また、接続端子5623、接続端子5624、接続端子5625から映像信号を出力する場合、それぞれの規格としては、HDMI (登録商標) などが挙げられる。

[0561]

半導体装置5626は、信号の入出力を行う端子 (図示しない。) を有しており、当該端子をボード5622が備えるソケット (図示しない。) に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[0562]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA、GPU、CPUなどが挙げられる。半導体装置5627として、例えば、電子部品730を用いることができる。

[0563]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電気的に接続することができる。半導体装置5628としては、例えば、記憶装置などが挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

[0564]

計算機5600は並列計算機としても機能できる。計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0565]

上記の各種電子機器などに、本発明の一態様の半導体装置を用いることにより、電子機器の小型化、及び低消費電力化を図ることができる。また、本発明の一態様の半導体装置は低消費電力が低いため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定した電子機器を実現できる。よって、電子機器の信頼性を高めることができる。

[0566]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0567]

(実施の形態7)

本発明の一態様の半導体装置は、OSトランジスタを含む。当該OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。本実施の形態においては、本発明の一態様の半導体装置を宇宙用機器に適用する場合の具体例について、図22を用いて説明する。

[0568]

図22には、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図22においては、宇宙空間に惑星6804を例示している。なお、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏を含むことができる。

[0569]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

[0570]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を

設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0571]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、たとえば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

[0572]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置6807には、本発明の一態様であるOSトランジスタを含む半導体装置を用いると好適である。OSトランジスタは、Siトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0573]

また、人工衛星6800は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、たとえば地球観測衛星としての機能を有することができる。

[0574]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

[0575]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[実施例]

[0576]

本実施例では、絶縁層を含む試料を作製し、当該絶縁層の結晶性を評価した結果について説明する。当該絶縁層として、ハフニウムジルコニウム酸化物(HfZrO_x (x は0よりも大きい実数とする))を用いた。実施の形態1で説明したように、 HfZrO_x は強誘電性を有しうる材料である。

[0577]

<試料の構造及び作製方法>

図23に、試料800の断面概略図を示す。試料800は、基板801と、基板801上の絶縁層802と、絶縁層802上の導電層803と、導電層803上の絶縁層804と、絶縁層804上の導電層805と、を有する。導電層805は、導電層805aと、導電層805a上の導電層805bと、の2層構造を有する。

[0578]

ここで、試料800の作製方法について説明する。試料800として、導電層805の形成条件、及び導電層805を形成した後の加熱処理条件が異なる4つの試料(試料800A、試料800B、試料800C、及び試料800D)を作製した。

[0579]

基板 801 として、シリコン基板を用意した。絶縁層 802 として、熱酸化処理を用いて膜厚 100 nm の酸化シリコン膜を形成した。

[0580]

導電層 803 として、金属 CVD 法により膜厚 20 nm の第 1 の窒化チタン膜を形成した。第 1 の窒化チタン膜は、塩化チタン (TiCl_4) 50 sccm、アンモニア (NH_3) 2700 sccm を CVD 装置の反応室に供給し、反応室内の圧力を 667 Pa に制御し、基板ステージガス射出ステージ間距離を 3 mm とし、基板温度を 400°C として成膜した。

[0581]

絶縁層 804 として、ALD 法により $\text{Hf}:\text{Zr}=1:1$ [原子数比] の HfZrO_x 膜を成膜した。なお、 HfZrO_x 膜の膜厚は、12 nm とした。プリカーサとして、テトラキス (エチルメチルアミド) ハフニウム (TEMAHf) 及びテトラキス (エチルメチルアミド) ジルコニウム (TEMAZr) を用い、酸化剤として、オゾン (O_3) を用いた。また、成膜温度を 250°C とした。

[0582]

導電層 805a として、金属 CVD 法により膜厚 5 nm の第 2 の窒化チタン膜を形成した。なお、試料 800A 乃至試料 800D に共通して、第 2 の窒化チタン膜の形成条件は、基板温度を除いて第 1 の窒化チタン膜と同じとした。第 2 の窒化チタン膜を形成する際の基板温度は、試料 800A では 400°C とし、試料 800B では 340°C とし、試料 800C 及び試料 800D では 300°C とした。

[0583]

導電層 805b として、金属 CVD 法により膜厚 30 nm のタングステン膜を形成した。試料 800A 乃至試料 800D に共通して、当該タングステン膜の形成は、3 ステップで実施した。

[0584]

第 1 のステップとして、成膜用ガス流量を六フッ化タングステン 160 sccm、シラン 400 sccm、アルゴン 6000 sccm、窒素 2000 sccm とし、成膜時のチャンバー内圧力を 1000 Pa とし、タングステン膜の一部を形成した。

[0585]

第 2 のステップとして、成膜用ガス流量を六フッ化タングステン 250 sccm、水素 4000 sccm、アルゴン 2000 sccm、窒素 200 sccm とし、成膜時のチャンバー内圧力を 10666 Pa とし、タングステン膜の別の一部を形成した。

[0586]

第 3 のステップとして、成膜用ガス流量を六フッ化タングステン 250 sccm、水素 2200 sccm、アルゴン 2000 sccm、窒素 200 sccm とし、成膜時のチャンバー内圧力を 10666 Pa とし、タングステン膜の他の一部を形成した。

[0587]

第 1 のステップ、第 2 のステップ、及び第 3 のステップにおける基板温度を、試料 800A では 400°C とし、試料 800B では 345°C とし、試料 800C 及び試料 800D では 300°C とした。

[0588]

試料 800D において、第 2 の窒化チタン膜を成膜した後、加熱処理を行った。当該加熱処理として、RTA 装置を用い、窒素 (N_2) 雰囲気下で 450°C、1 分間の処理を行った。なお、試料 800A 乃至試料 800C において、上記加熱処理を行なわなかった。

[0589]

以上により、試料 800（試料 800A 乃至試料 800D）を作製した。

[0590]

本実施例では、比較例として試料 810 を作製した。試料 810 は、試料 800 における導電層 805 を設けない構造とし、その他の構成及びその作製条件は試料 800C と同様とした。

[0591]

表 1 に、試料 810、試料 800A 乃至試料 800D のそれぞれが備える、導電層 805a 及び導電層 805b の成膜条件、並びに加熱処理条件を示す。なお、表 1 において、試料 810 の導電層 805 には、備えていないことを示すハイフン（－）を記す。また、表 1 において、試料 800A 乃至試料 800C の加熱処理条件には、行なっていないことを示すハイフン（－）を記す。

[0592]

[表 1]

試料名	810	800A	800B	800C	800D
加熱処理条件	－	－	－	－	N ₂ 450°C
導電層 805b	－	400°C	345°C	300°C	300°C
導電層 805a	－	400°C	340°C	300°C	300°C

[0593]

<GIXRD>

試料 810、及び試料 800A 乃至試料 800D それぞれの絶縁層 804 に対応する HfZrO_x 膜について、XRD 分析法の一種である GIXRD 測定を用いて結晶状態を調査した。

[0594]

絶縁層 804 の GIXRD 測定を行うために、試料 800A 乃至試料 800D それぞれにおいて、ウェットエッチングにより導電層 805a 及び導電層 805b の除去を行った。

[0595]

GIXRD 測定には、多機能薄膜材料評価 X 線回折装置 D8 DISCOVER Hybrid/TS（Bruker 社製）を用いた。なお、当該装置を用いる場合の測定条件として、X 線出力を 50kV、100mA とし、入射角 θ を 0.5° とし、走査範囲 2θ を 20° 乃至 50° とした。

[0596]

図 24A 乃至図 24E に GIXRD 測定結果を示す。図 24A 乃至図 24E は、X 線の回折角度（ 2θ ）と検出された信号強度の関係を示す。図 24A 乃至図 24E において、縦軸は強度（Intensity）を示し、横軸は回折角度（ 2θ ）を示す。図 24A 乃至図 24E の $2\theta = 30.4^\circ$ 付近に示す一点鎖線は、直方晶（o: orthorhombic crystal）、正方晶（t: tetragonal crystal）、または立方晶（c: cubic crystal）に由来するピーク（o/t/c）のピーク位置である。図 24A 乃至図 24E の、 $2\theta = 28.5^\circ$ 付近に示す破線及び $2\theta = 31.6^\circ$ 付近に示す破線は、単斜晶（m: monoclinic crystal）に由来するピーク（m）のピーク位置である。本実施例では、 $2\theta = 30.4^\circ$ 付近を第 1 のピーク位置と呼び、 $2\theta = 28.5^\circ$ 付近を第 2 のピーク位置と呼び、 $2\theta = 31.6^\circ$ 付近を第 3 のピーク位置と呼ぶ。

[0597]

図 24A は試料 810 の GIXRD 測定結果を示し、図 24B は試料 800A の GIXRD 測定結果

を示し、図24Cは試料800BのGIXRD測定結果を示し、図24Dは試料800CのGIXRD測定結果を示し、図24Eは試料800DのGIXRD測定結果を示す。

[0598]

図24Aより、試料810において、第1のピーク位置、第2のピーク位置、及び第3のピーク位置のいずれにもピークは検出されなかった。したがって、絶縁層804の形成直後では、絶縁層804は結晶性を有さないことが分かった。

[0599]

図24B及び図24Cより、試料800A及び試料800Bにおいて、第1のピーク位置、第2のピーク位置、及び第3のピーク位置にピークが検出された。第1のピーク位置に検出されるピーク、第2のピーク位置に検出されるピーク、及び第3のピーク位置に検出されるピークは、実施の形態1で説明した、第1のピーク、第2のピーク、及び第3のピークにそれぞれ対応する。つまり、試料800A及び試料800Bにおいて、第1のピーク、第2のピーク、及び第3のピークが検出された。

[0600]

ここで、第1のピークのピーク強度に対する第2のピークのピーク強度の比を、第2のピーク強度比と呼び、第1のピークのピーク強度に対する第3のピークのピーク強度の比を、第3のピーク強度比と呼ぶ。図24B及び図24Cより、試料800Bにおける第2のピーク強度比は、試料800Aにおける第2のピーク強度比よりも小さかった。また、試料800Bにおける第3のピーク強度比は、試料800Aにおける第3のピーク強度比よりも小さかった。

[0601]

図24Dより、試料800Cにおいて、第1のピーク位置にピークが検出され、第2のピーク位置及び第3のピーク位置にピークは検出されなかった。つまり、試料800Cにおいて、第1のピークが検出され、第2のピーク及び第3のピークは検出されなかった。

[0602]

以上より、導電層805形成時の基板温度を低くすることで、第2のピーク位置に検出されるピーク及び第3のピーク位置に検出されるピークのピーク強度が低くなることが分かった。したがって、導電層805形成時の基板温度を低くすることで、絶縁層804の強誘電性を高めることができることが示唆された。

[0603]

図24Eより、試料800Dにおいて、第1のピーク位置にピークが検出され、第2のピーク位置及び第3のピーク位置にピークは検出されなかった。つまり、試料800Cにおいて、第1のピークが検出され、第2のピーク及び第3のピークは検出されなかった。したがって、導電層805を形成した後に上記加熱処理を行うことで、絶縁層804の強誘電性を維持することができることが分かった。また、絶縁層804の強誘電性の向上を図ることができることが示唆された。

[符号の説明]

[0604]

BL：配線、Cfe：容量素子、PL：配線、WL：配線、10：半導体装置、20：メモリアレイ、21：駆動回路、22：PSW、23：PSW、31：周辺回路、32：コントロール回路、33：電圧生成回路、41：周辺回路、42：行デコーダ、43：行ドライバ、44：列デコーダ、45：列ドライバ、46：センスアンプ、47：入力回路、48：出力回路、51：曲線、52：曲線、100a：容量素子、100b：容量素子、100：容量素子、110：導電層、115a：導電層、

115b:導電層、115F:導電膜、115:導電層、118:層、120a:導電層、120b:導電層、120F:導電膜、120:導電層、128:層、130F:絶縁膜、130:絶縁層、140:絶縁層、150a:メモリセル、150b:メモリセル、150c:メモリセル、150d:メモリセル、150:メモリセル、160:メモリ層、180:絶縁層、190:開口部、200A:トランジスタ、200a:トランジスタ、200b:トランジスタ、230:酸化半導体層、240a:導電層、240b:導電層、240:導電層、245:導電層、246:導電層、247:導電層、248:導電層、250:絶縁層、260:導電層、265:導電層、270:開口部、280:絶縁層、283:絶縁層、285:絶縁層、287:絶縁層、290:開口部、300:記憶装置、310:トランジスタ、311:基板、313:半導体領域、314a:低抵抗領域、314b:低抵抗領域、315:絶縁層、316:導電層、320:絶縁層、322:絶縁層、324:絶縁層、326:絶縁層、328:導電層、330:導電層、350:絶縁層、352:絶縁層、354:絶縁層、356:導電層、641:絶縁層、642:導電層、643:導電層、644:導電層、645:導電層、646:導電層、648:絶縁層、700:電子部品、702:プリント基板、704:実装基板、711:モールド、712:ランド、713:電極パッド、714:ワイヤ、720:記憶装置、721:駆動回路層、722:記憶回路層、730:電子部品、731:インターポーザ、732:パッケージ基板、733:電極、735:半導体装置、800A:試料、800B:試料、800C:試料、800D:試料、800:試料、801:基板、802:絶縁層、803:導電層、804:絶縁層、805a:導電層、805b:導電層、805:導電層、810:試料、1200:チップ、1201:パッケージ基板、1202:バンパ、1203:マザーボード、1204:GPUモジュール、1211:CPU、1212:GPU、1213:アナログ演算部、1214:メモリコントローラ、1215:インターフェース、1216:ネットワーク回路、1221:記憶装置、1222:フラッシュメモリ、5110:SDカード、5111:筐体、5112:コネクタ、5113:基板、5115:コントローラチップ、5150:SSD、5151:筐体、5152:コネクタ、5153:基板、5155:メモリチップ、5156:コントローラチップ、5200:携帯ゲーム機、5201:筐体、5202:表示部、5203:ボタン、5300:デスクトップ型情報端末、5301:本体、5302:表示部、5303:キーボード、5400:ICD本体、5401:バッテリー、5402:ワイヤ、5403:ワイヤ、5404:アンテナ、5405:鎖骨下静脈、5406:上大静脈、5500:情報端末、5510:筐体、5511:表示部、5600:計算機、5610:ラック、5620:計算機、5621:PCカード、5622:ボード、5623:接続端子、5624:接続端子、5625:接続端子、5626:半導体装置、5627:半導体装置、5628:半導体装置、5629:接続端子、5630:マザーボード、5631:スロット、5700:自動車、5800:電気冷凍冷蔵庫、5801:筐体、5802:冷蔵庫用扉、5803:冷凍室用扉、5900:情報端末、5901:筐体、5902:表示部、5903:操作スイッチ、5904:操作スイッチ、5905:バンド、6100:拡張デバイス、6101:筐体、6102:キャップ、6103:USBコネクタ、6104:基板、6106:コントローラチップ、6240:デジタルカメラ、6241:筐体、6242:表示部、6243:操作スイッチ、6244:シャッターボタン、6246:レンズ、6300:ビデオカメラ、6301:第1筐体、6302:第2筐体、6303:表示部、6304:操作スイッチ、6305:レンズ、6306:接続部、6800:人工衛星、6801:機体、6802:ソーラーパネル、6803:アンテナ、6804:惑星、6805:二次電池、6807:制御装置、7500:据え置き型ゲーム機、7520:本体、752

2 : コントローラ

請求の範囲

[請求項 1]

第 1 の導電層と、
前記第 1 の導電層上の強誘電体層と、
前記強誘電体層上の第 2 の導電層と、を有し、
前記第 1 の導電層は、第 1 の凹部を有し、
前記強誘電体層は、前記第 1 の凹部に沿って形成された領域を有し、
前記領域は、第 2 の凹部を有し、
前記第 2 の導電層は、前記第 2 の凹部を埋め込むように設けられ、
前記強誘電体層は、ハフニウムと、ジルコニウムと、酸素と、を有し、
前記強誘電体層は、X線回折による分析において、 $2\theta = 30.4^\circ$ 付近にピークを有し、
前記強誘電体層は、X線回折による分析において、 $2\theta = 28.5^\circ$ の強度が、前記ピークのピーク強度の 0.1 倍以下であり、かつ、 $2\theta = 31.6^\circ$ の強度が、前記ピークのピーク強度の 0.1 倍以下である、半導体装置。

[請求項 2]

請求項 1 において、
前記第 1 の導電層及び前記第 2 の導電層の一方又は両方は、チタンと、窒素と、を有する、半導体装置。

[請求項 3]

請求項 1 において、
前記第 1 の導電層及び前記第 2 の導電層の一方又は両方は、タングステンを有する、半導体装置。

[請求項 4]

容量素子と、前記容量素子上のトランジスタと、を有し、
前記容量素子は、
第 1 の導電層と、
前記第 1 の導電層上の強誘電体層と、
前記強誘電体層上の第 2 の導電層と、を有し、
前記強誘電体層は、ハフニウムと、ジルコニウムと、酸素と、を有し、
前記第 2 の導電層の上面は、前記トランジスタが有する酸化物半導体層の底面の少なくとも一部と接する領域を有する、半導体装置。

[請求項 5]

請求項 4 において、
前記強誘電体層は、X線回折による分析において、 $2\theta = 30.4^\circ$ 付近にピークを有し、
前記強誘電体層は、X線回折による分析において、 $2\theta = 28.5^\circ$ の強度が、前記ピークのピーク強度の 0.1 倍以下であり、かつ、 $2\theta = 31.6^\circ$ の強度が、前記ピークのピーク強度の 0.1 倍以下である、半導体装置。

[請求項 6]

請求項 4 において、
前記第 1 の導電層及び前記第 2 の導電層の一方又は両方は、チタンと、窒素と、を有する、半導体装置。

[請求項 7]

請求項 4 において、

前記第 1 の導電層及び前記第 2 の導電層の一方又は両方は、タングステンを有する、半導体装置。

[請求項 8]

請求項 4 において、

前記第 1 の導電層は、第 1 の凹部を有し、

前記強誘電体層は、前記第 1 の凹部に沿って形成された領域を有し、

前記領域は、第 2 の凹部を有し、

前記第 2 の導電層は、前記第 2 の凹部を埋め込むように設けられる、半導体装置。

[請求項 9]

請求項 4 において、

前記トランジスタのチャネルは、絶縁層が有する開口部の側面に沿って形成される、半導体装置。

[請求項 10]

請求項 4 において、

前記酸化物半導体層は、インジウム及び亜鉛の一方又は両方を有する、半導体装置。

[請求項 11]

基板上に第 1 の導電層を形成し、

前記第 1 の導電層上に強誘電体層を形成し、

前記強誘電体層上に第 2 の導電層を形成する、半導体装置の作製方法であって、

前記第 1 の導電層は、前記基板の温度を第 1 の温度として、金属 CVD 法によって形成され、

前記強誘電体層は、ハフニウムを含むプリカーサと、ジルコニウムを含むプリカーサと、酸化剤と、を用いて、ALD 法によって形成され、

前記第 2 の導電層は、前記基板の温度を第 2 の温度として、金属 CVD 法によって形成され、

前記第 2 の温度は、250℃以上 325℃以下であり、

前記第 1 の温度は、前記第 2 の温度よりも高い、半導体装置の作製方法。

[請求項 12]

請求項 11 において、

前記第 1 の導電層及び前記第 2 の導電層の一方又は両方は、塩化チタンと、アンモニアと、を用いて形成される、半導体装置の作製方法。

[請求項 13]

請求項 11 において、

前記第 1 の導電層及び前記第 2 の導電層の一方又は両方は、六フッ化タングステンをを用いて形成される、半導体装置の作製方法。

[請求項 14]

請求項 11 において、

前記強誘電体層となる絶縁膜の成膜以降に、400℃以上 600℃以下の加熱処理を、ランプを用いた RTA 法により行う、半導体装置の作製方法。

[請求項 15]

請求項 11 において、

前記第 1 の導電層は第 1 の凹部を有し、

前記強誘電体層は、前記第 1 の凹部に沿って形成され、
前記強誘電体層は、前記第 1 の凹部と重なる領域に第 2 の凹部を有し、
前記第 2 の導電層は、前記第 2 の凹部を埋め込むように形成される、半導体装置の作製方法。

[請求項 1 6]

請求項 1 2 乃至請求項 1 5 のいずれか一において、

前記強誘電体層は、前記第 2 の導電層を形成して以降の X 線回折による分析において、 $2\theta = 30.4^\circ$ 付近にピークを有し、

前記強誘電体層は、前記第 2 の導電層を形成して以降の X 線回折による分析において、 $2\theta = 28.5^\circ$ の強度が、前記ピークのピーク強度の 0.1 倍以下であり、かつ、 $2\theta = 31.6^\circ$ の強度が、前記ピークのピーク強度の 0.1 倍以下である、半導体装置の作製方法。

図1A

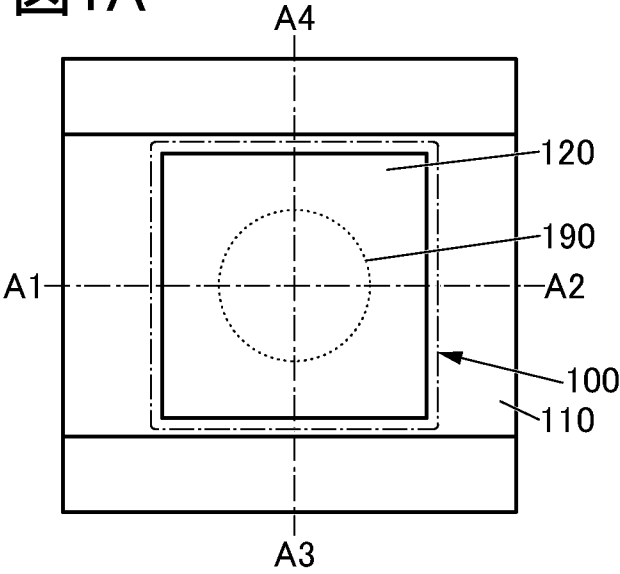


図1B

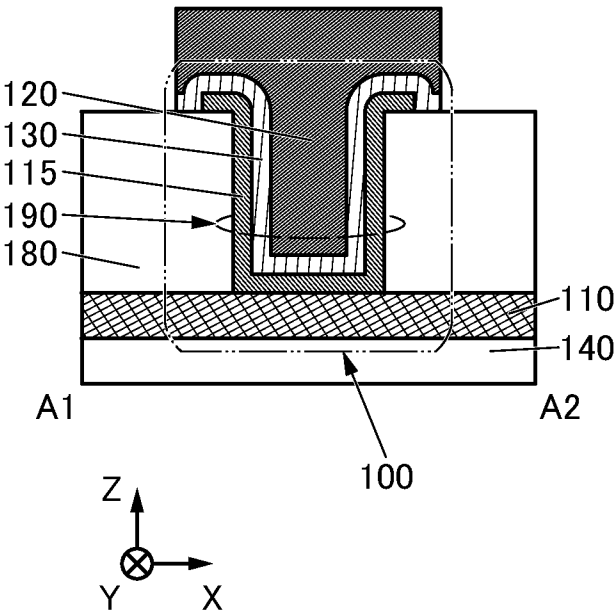


図1C

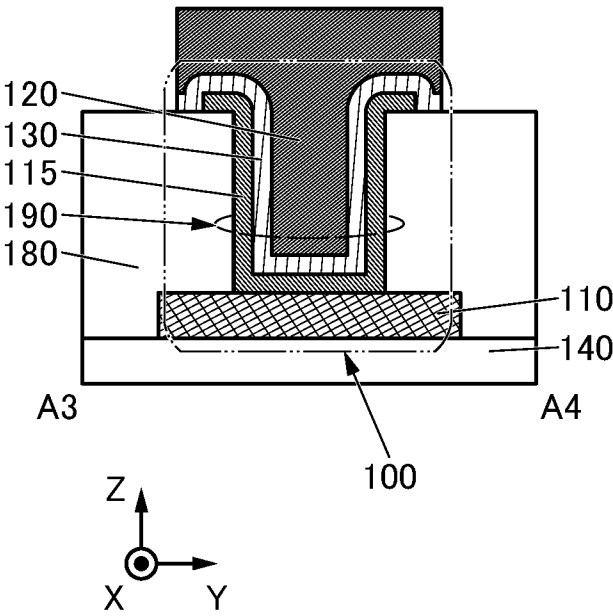


图2A

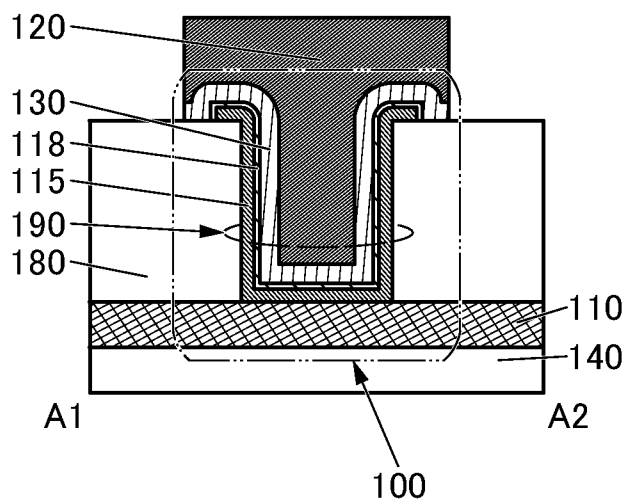


图2B

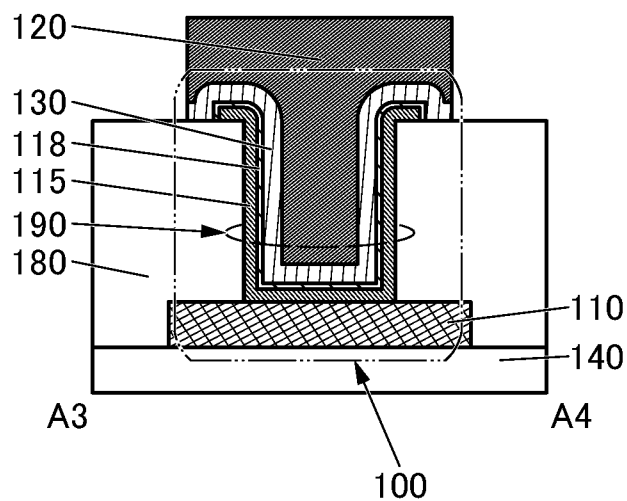


图2C

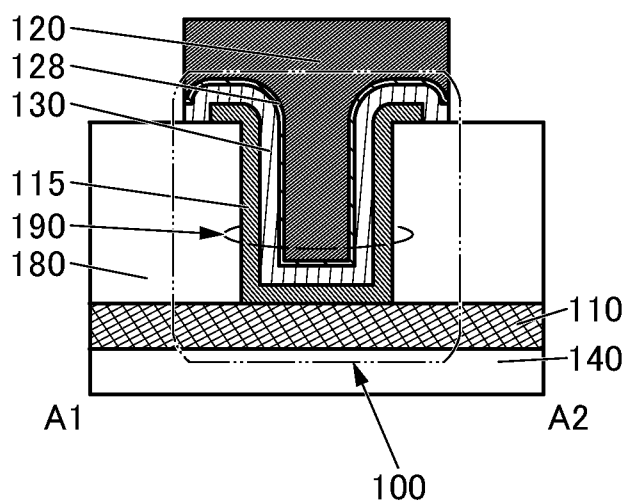


图2D

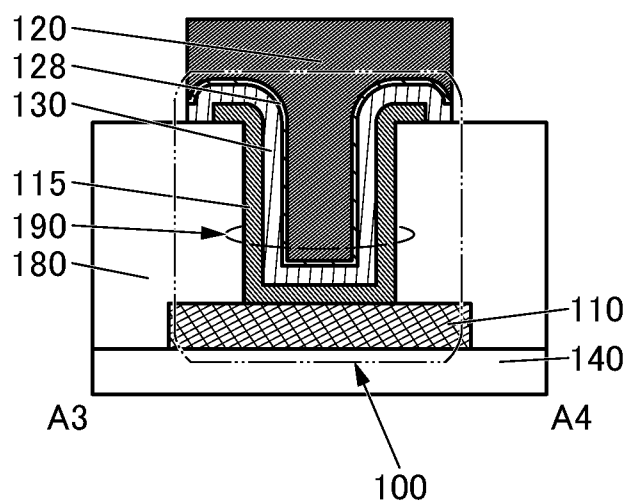


图2E

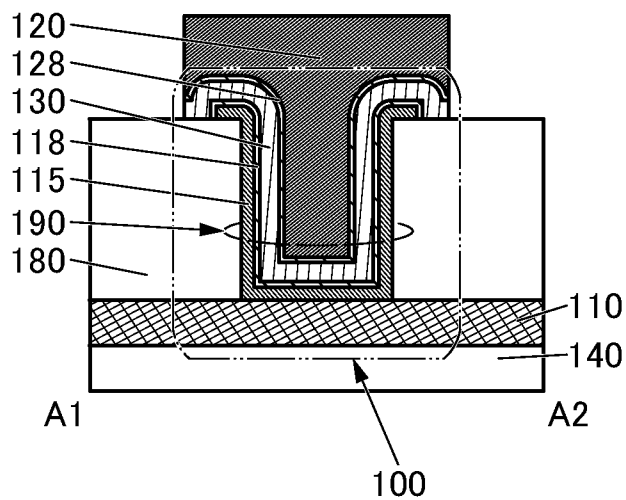


图2F

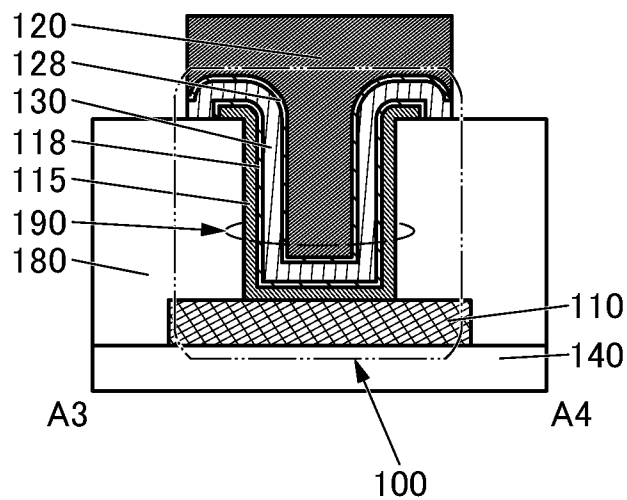


図3A

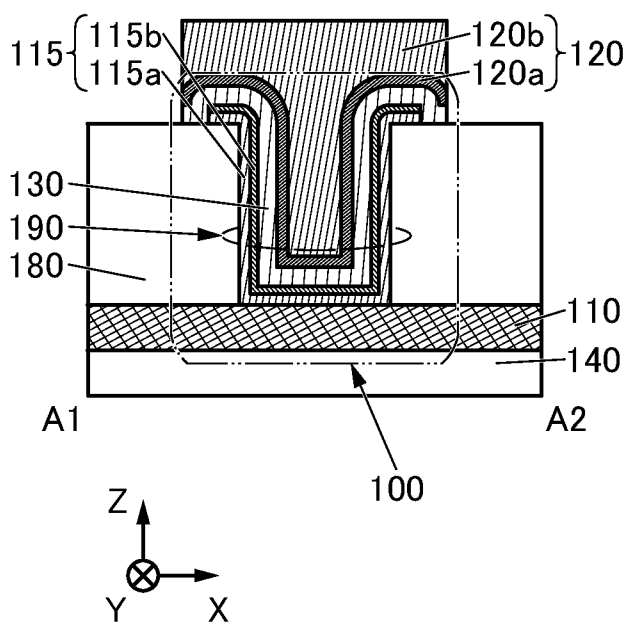


図3B

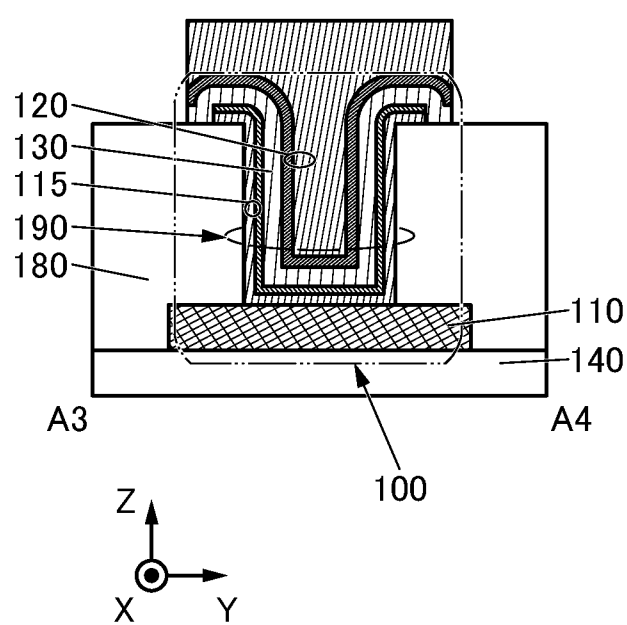


図3C

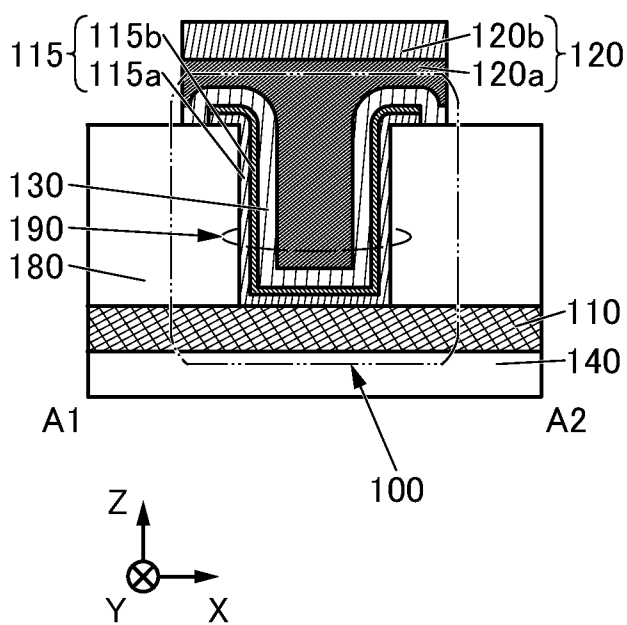


図3D

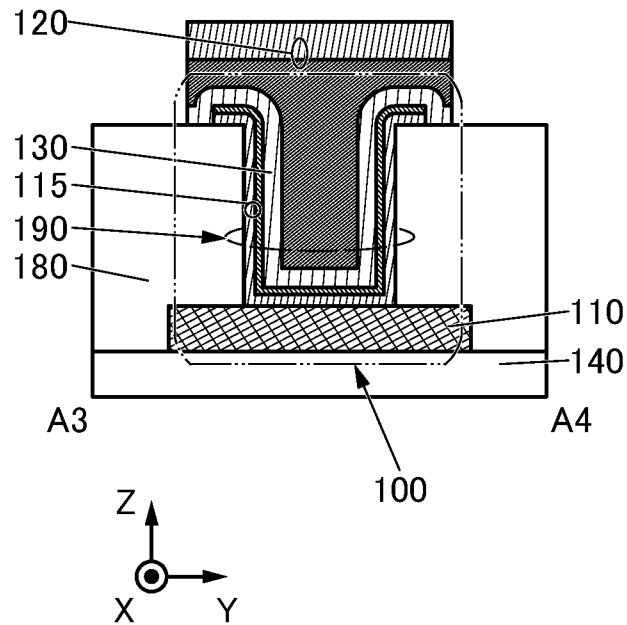


图4A

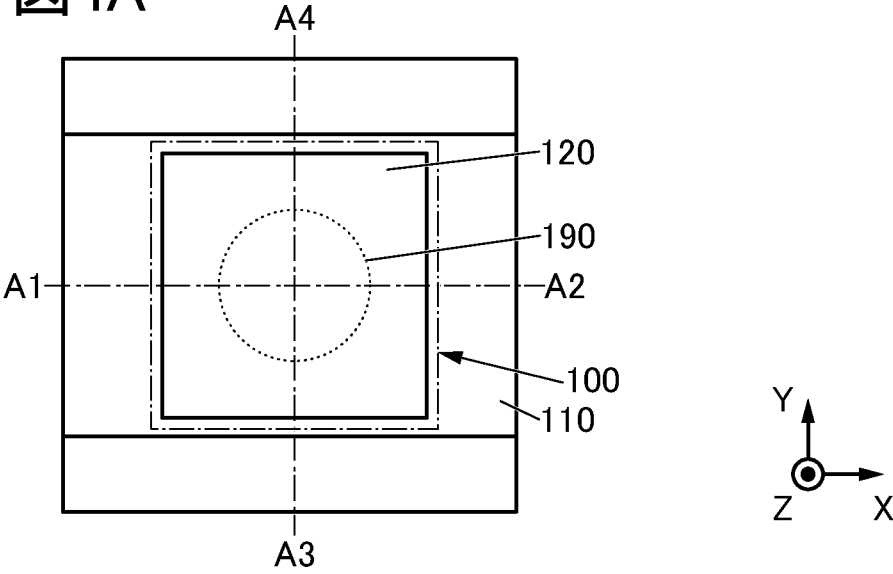


图4B

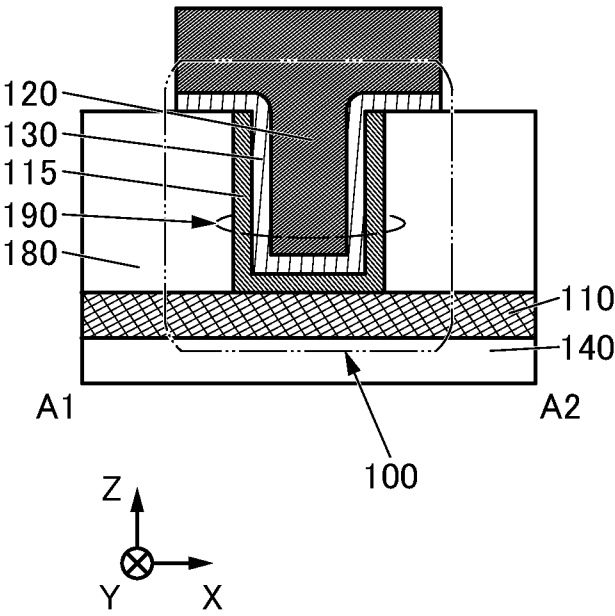


图4C

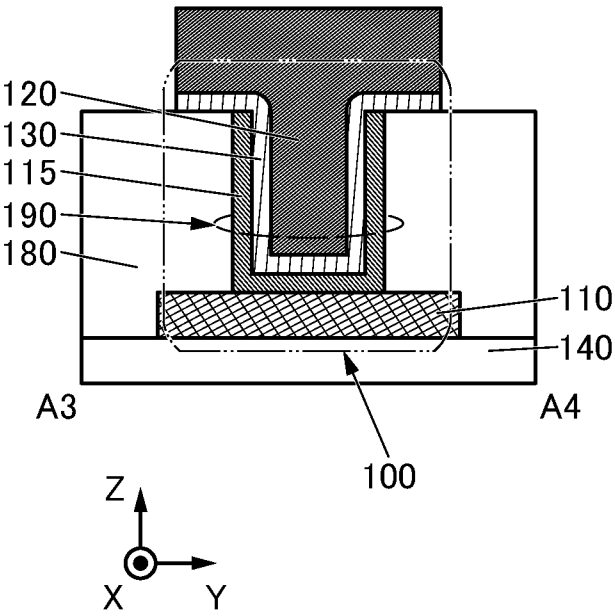


図5A

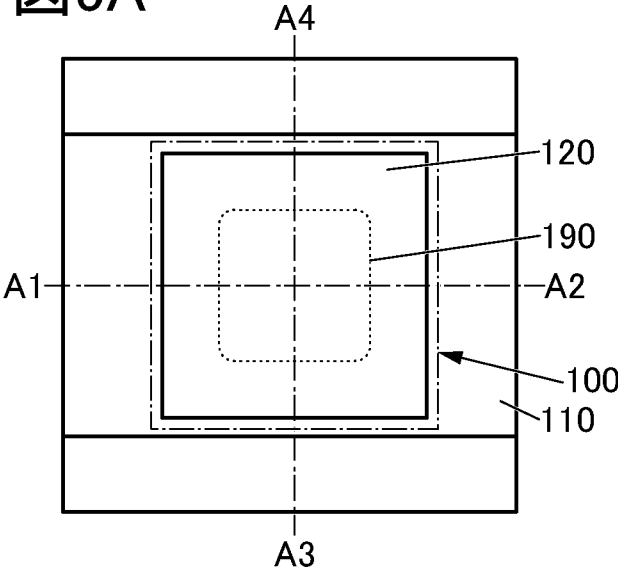


図5B

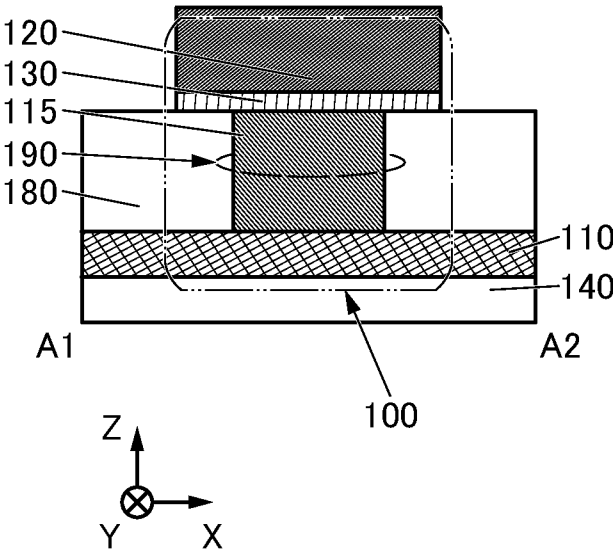


図5C

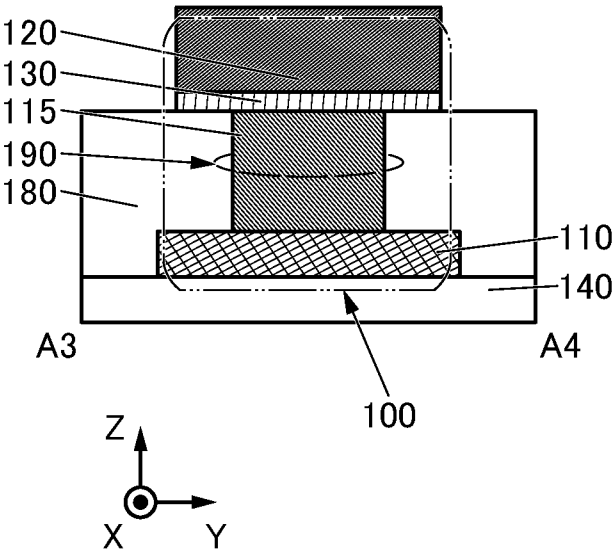


図6A

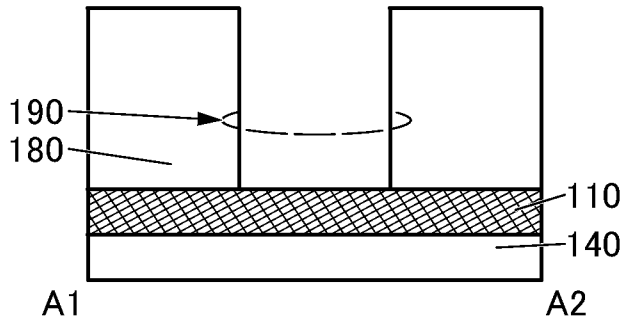


図6B

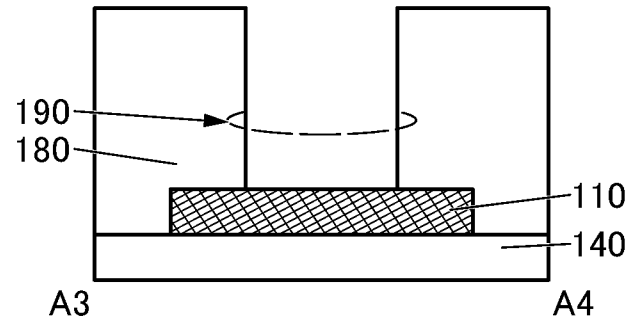


図6C

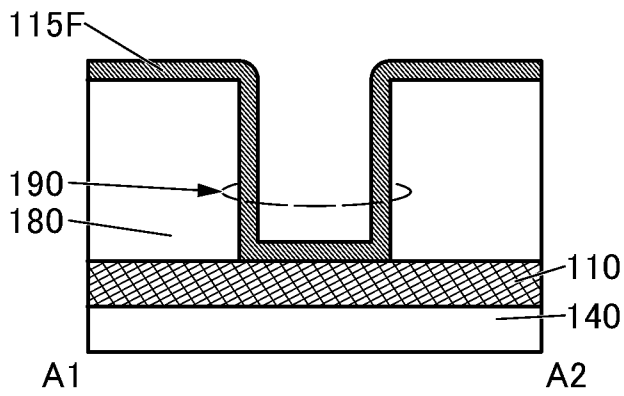


図6D

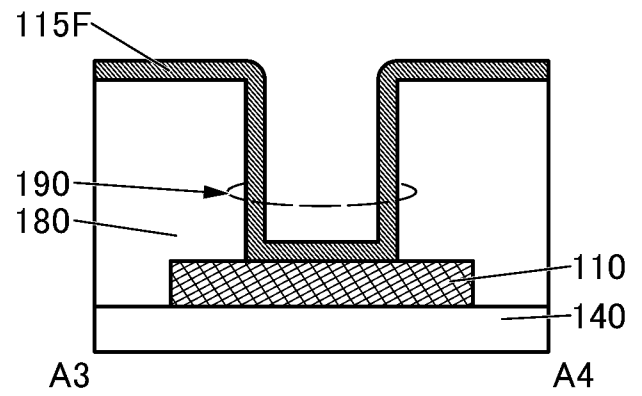


図6E

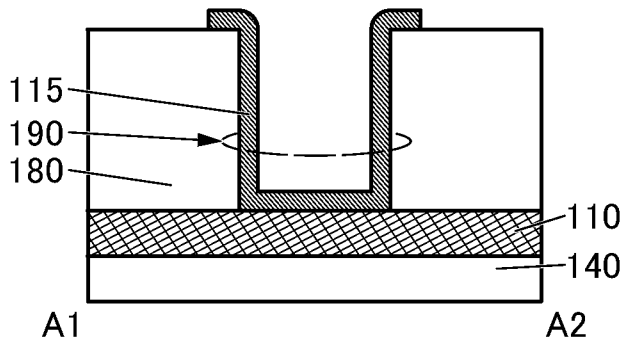


図6F

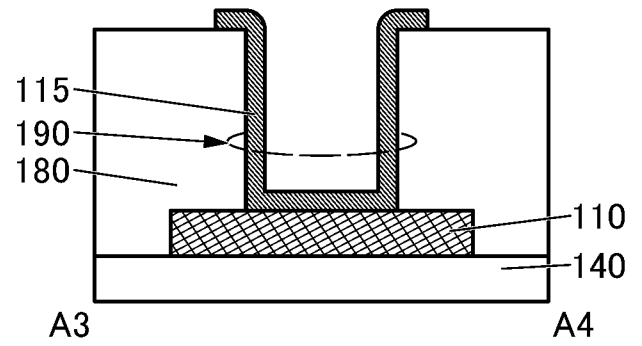


図6G

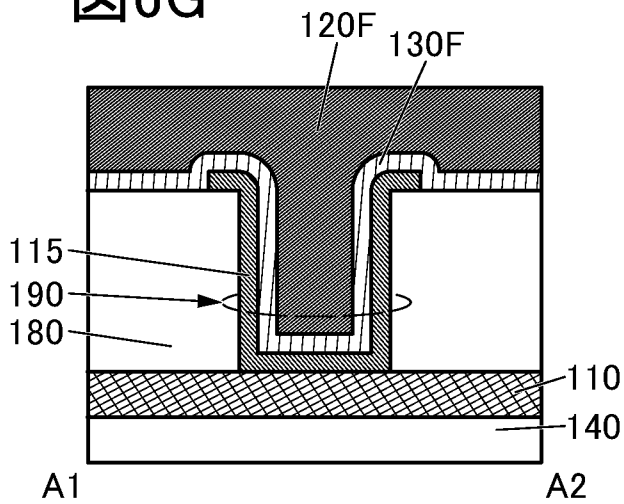


図6H

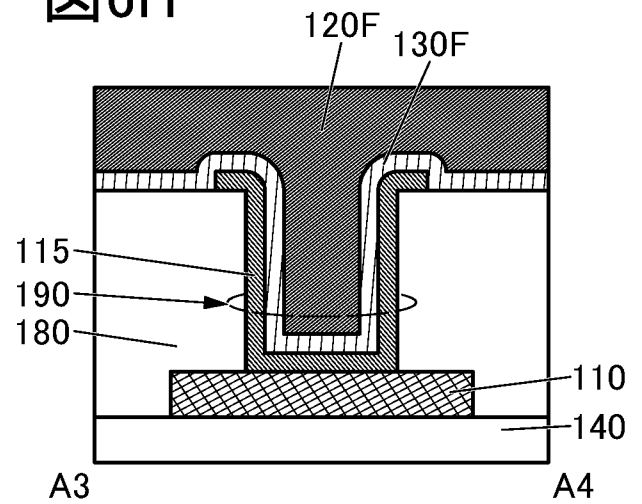


図7A

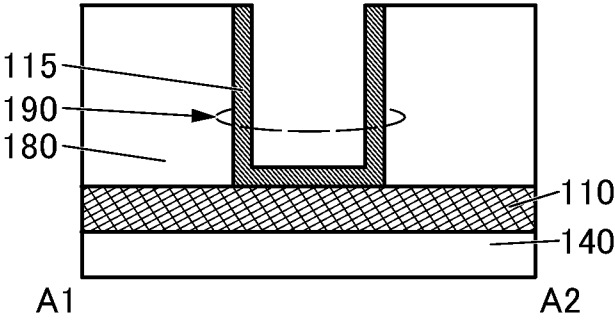


図7B

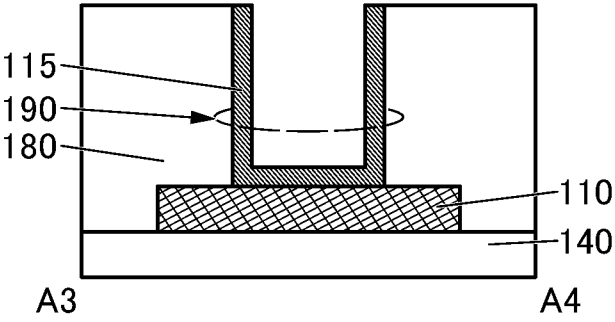


図7C

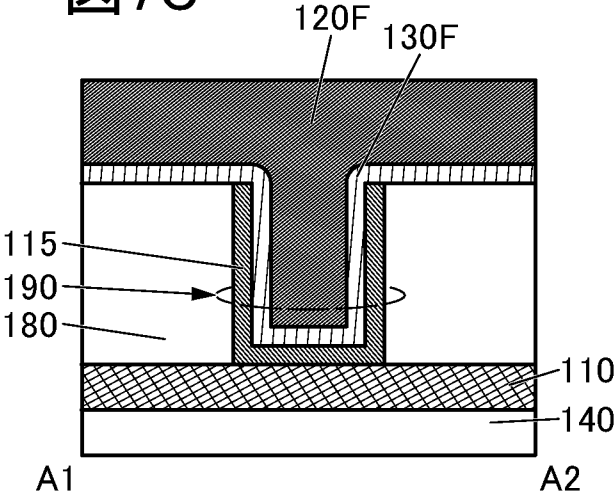
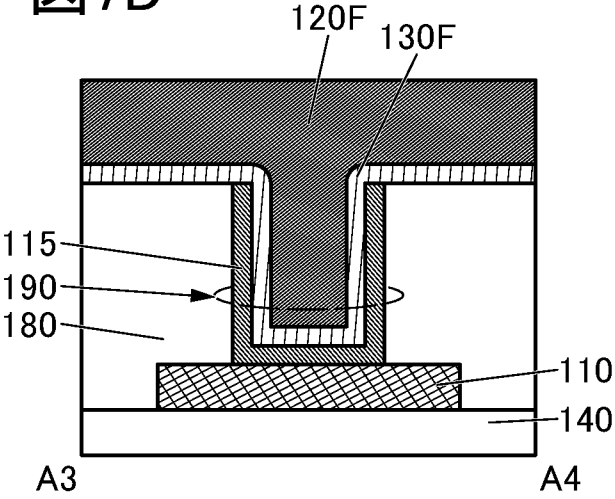
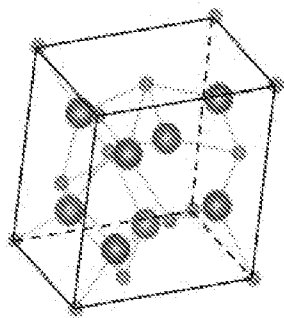


図7D

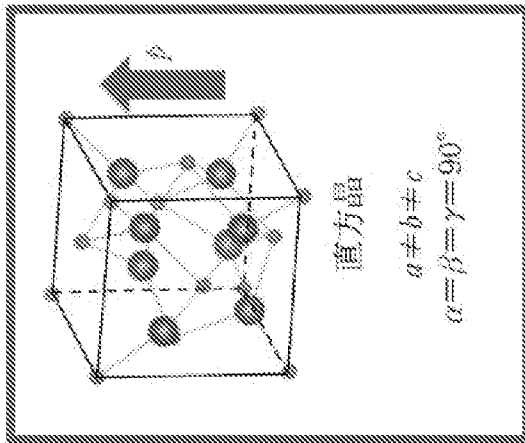




单斜晶

$$a \neq b \neq c$$

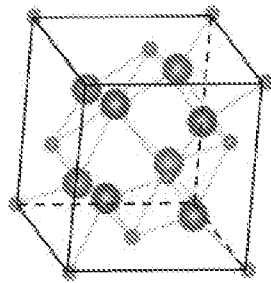
$$\beta \neq 90^\circ$$



直方晶

$$a \neq b \neq c$$

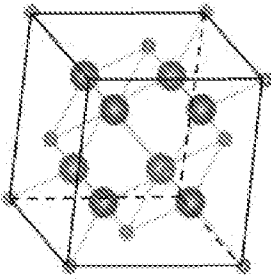
$$\alpha = \beta = \gamma = 90^\circ$$



正方晶

$$a = b \neq c$$

$$\alpha = \beta = \gamma = 90^\circ$$



立方晶

$$a = b = c$$

$$\alpha = \beta = \gamma = 90^\circ$$

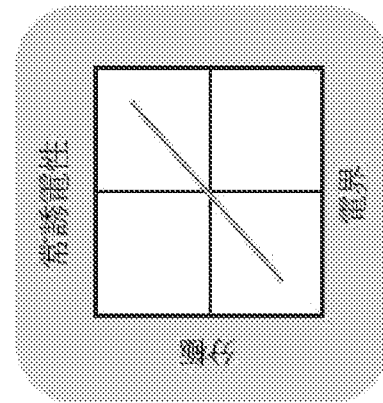
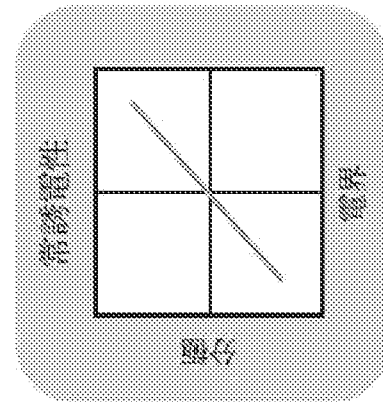
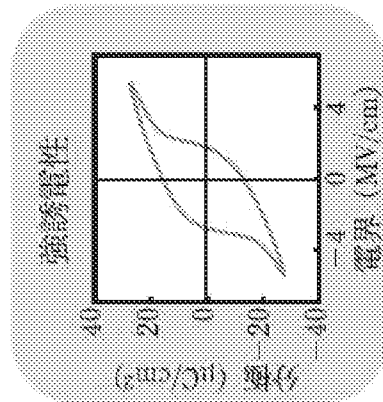
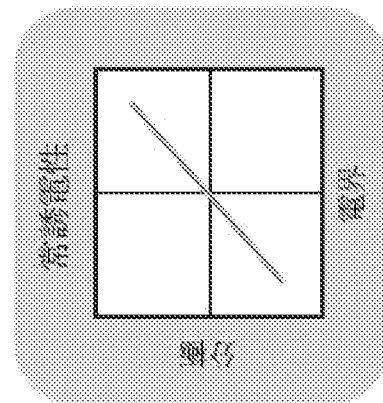


図9A

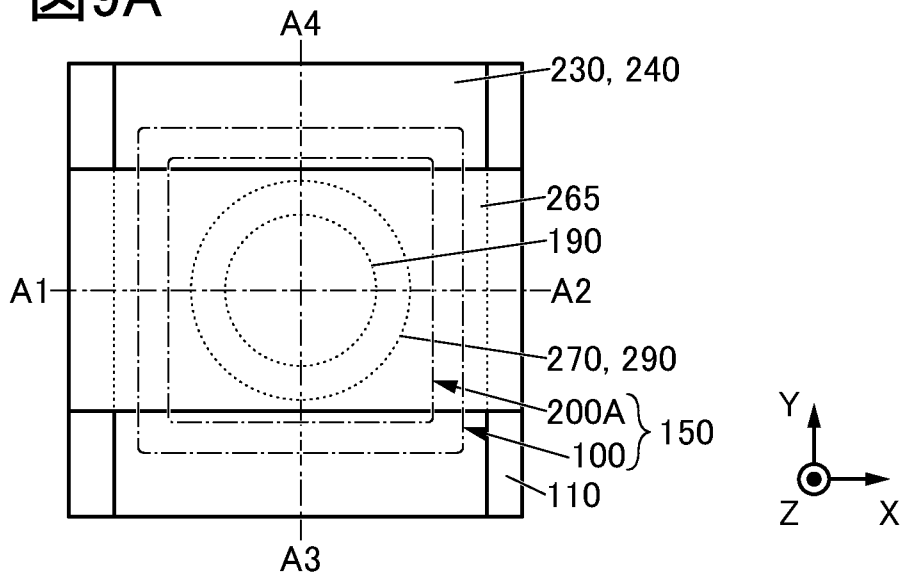


図9B

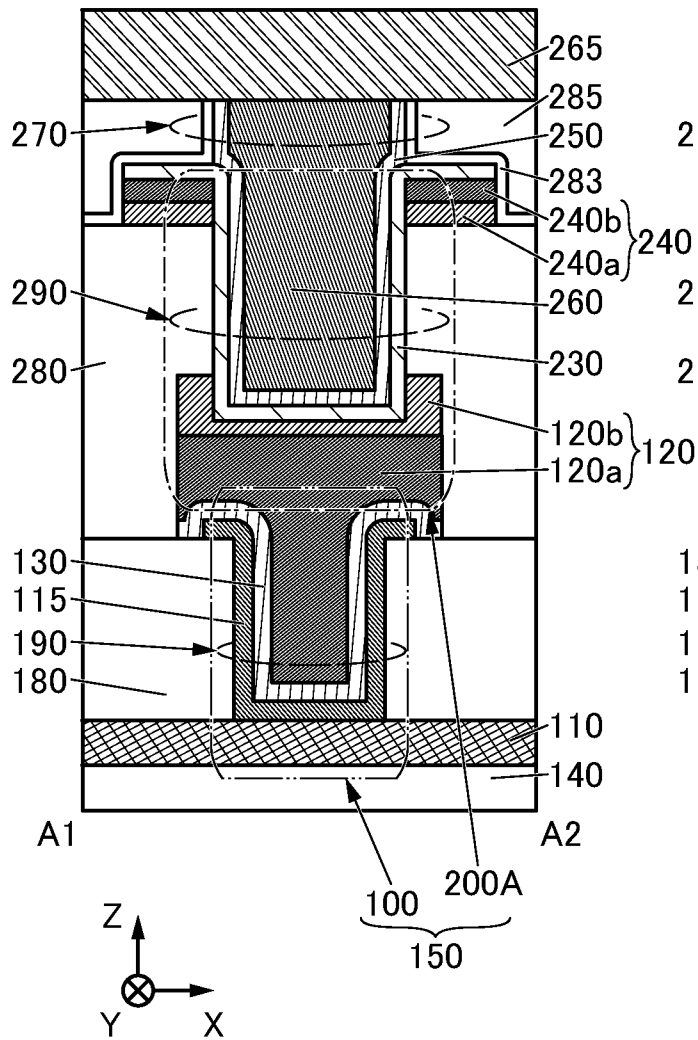


図9C

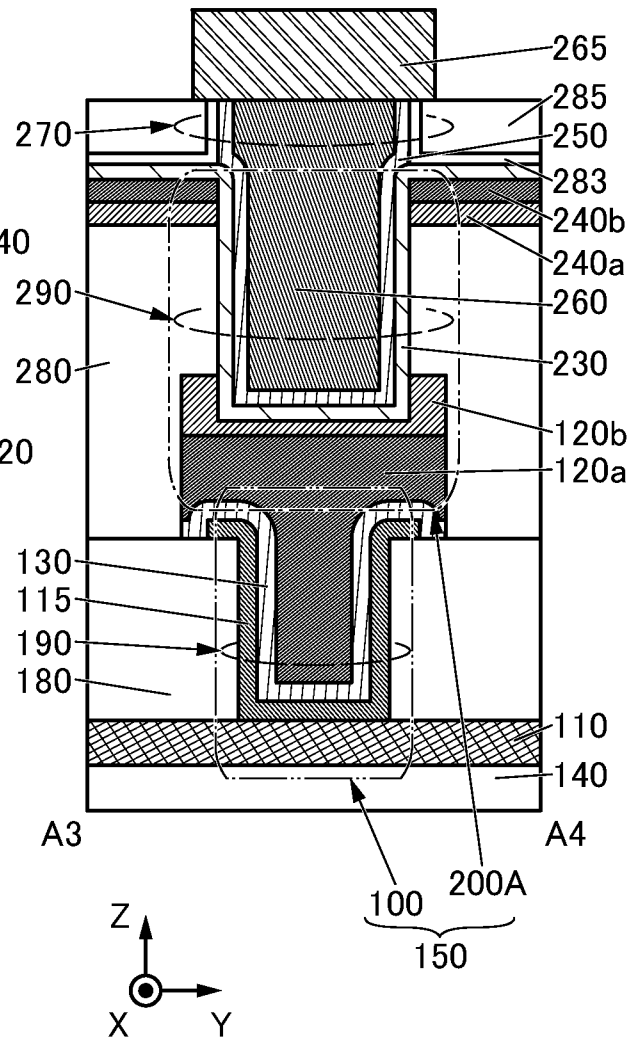


図10A

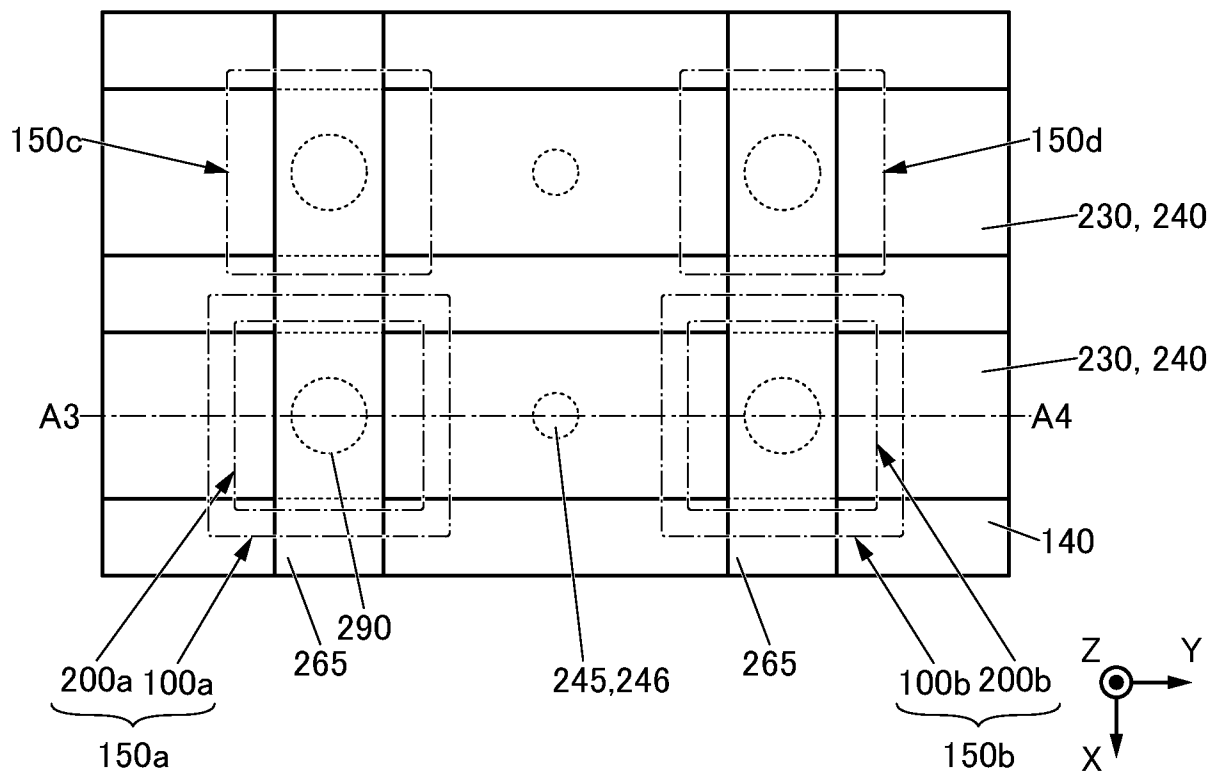


図10B

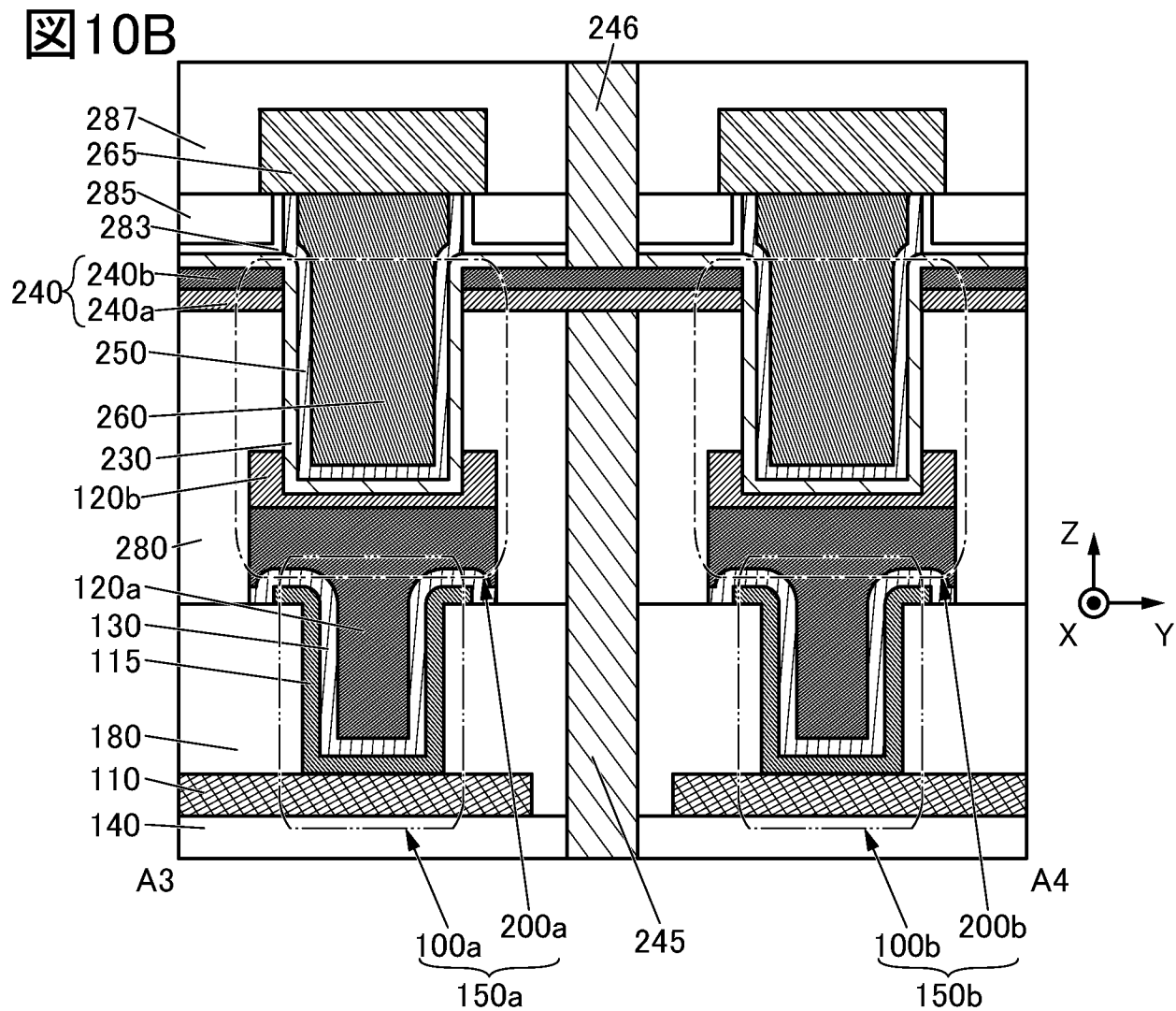
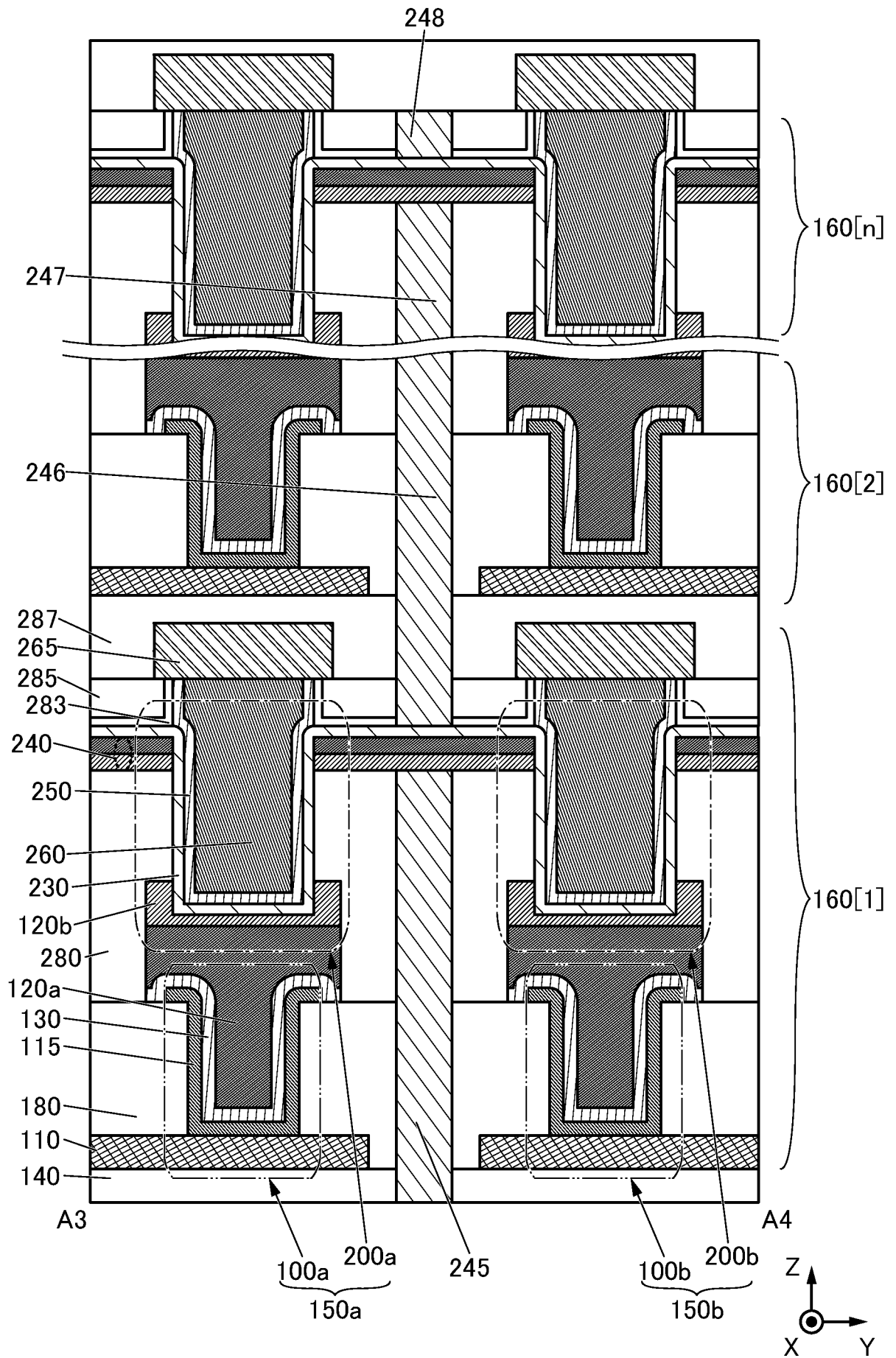


図 11



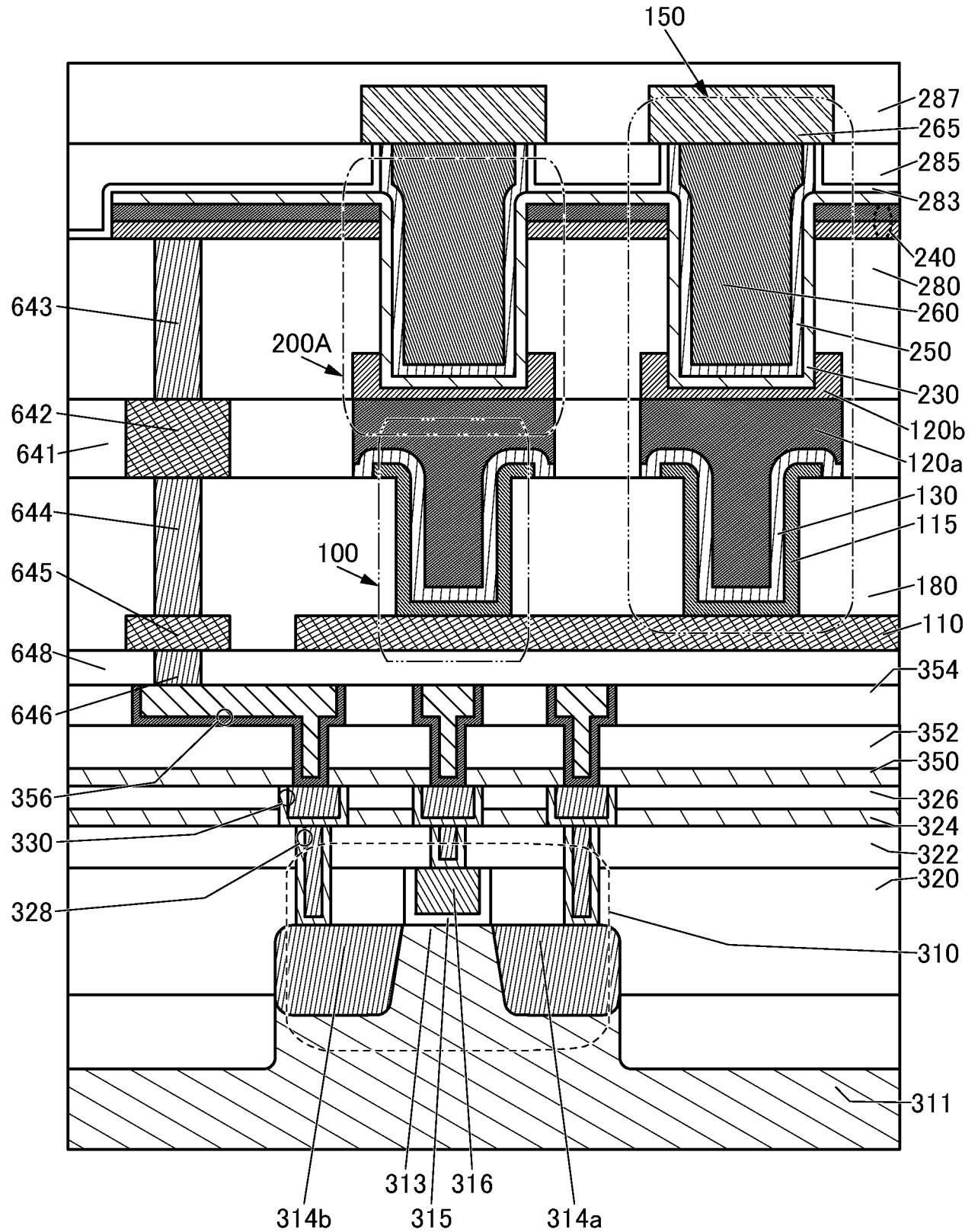


図13A

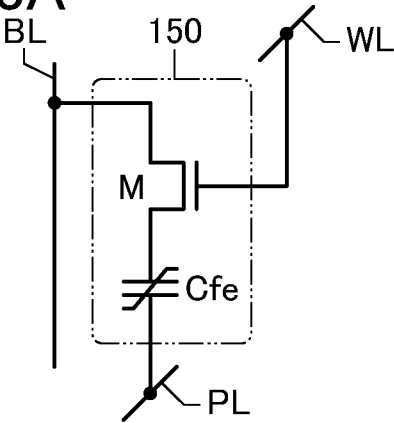


図13B

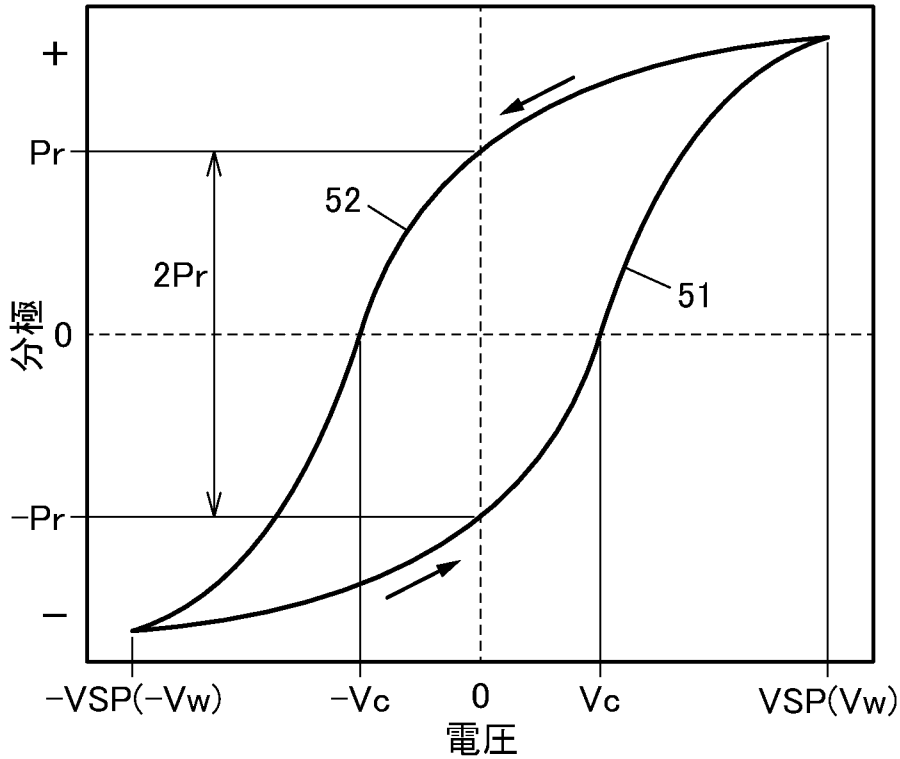


図13C

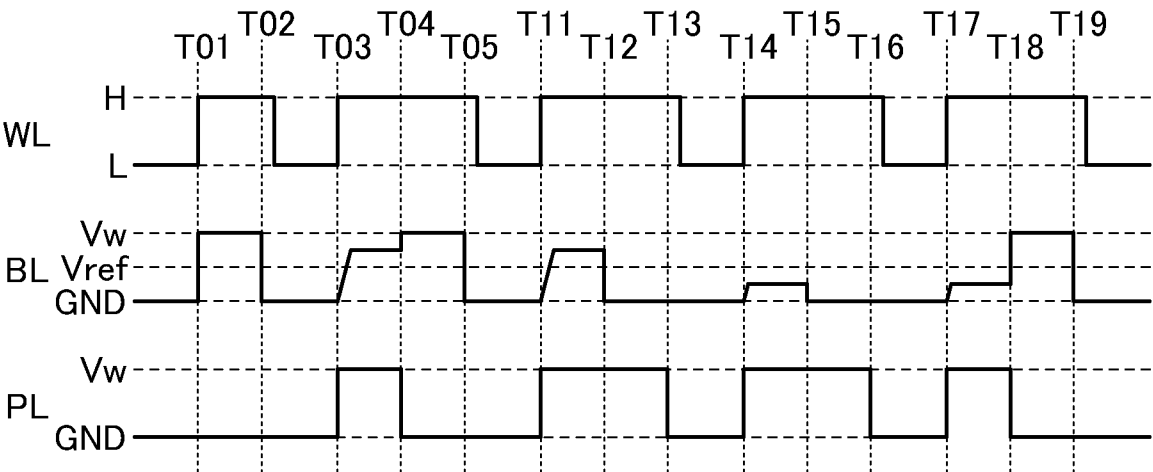


図14A

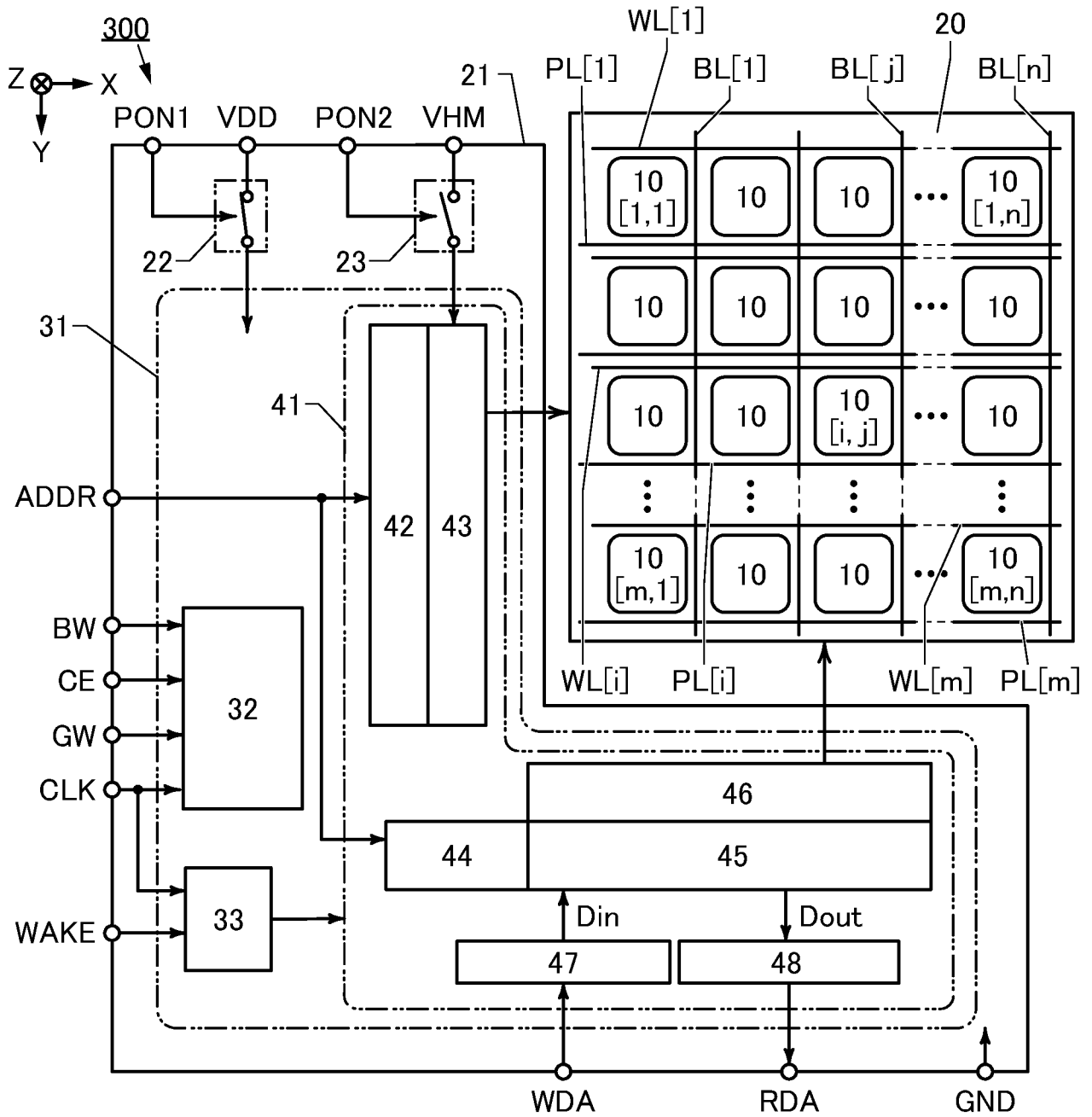


図14B

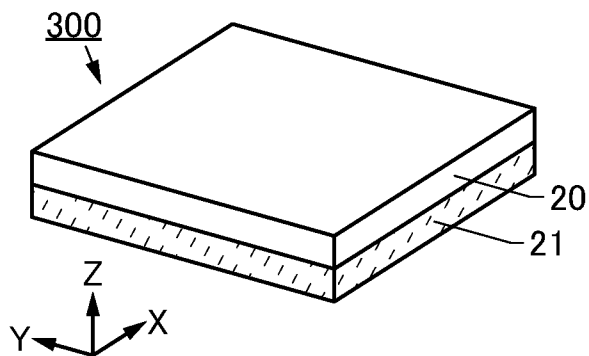


図14C

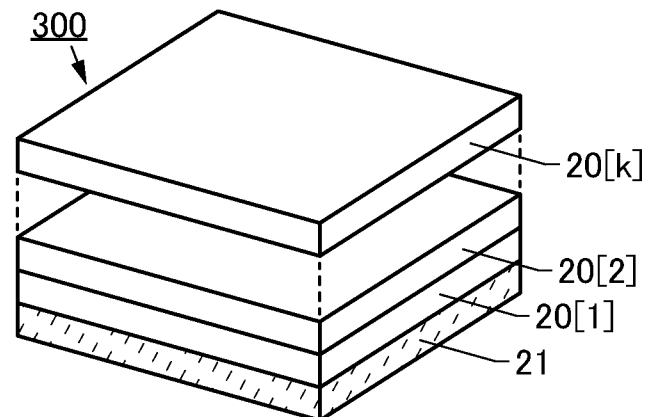


図15A

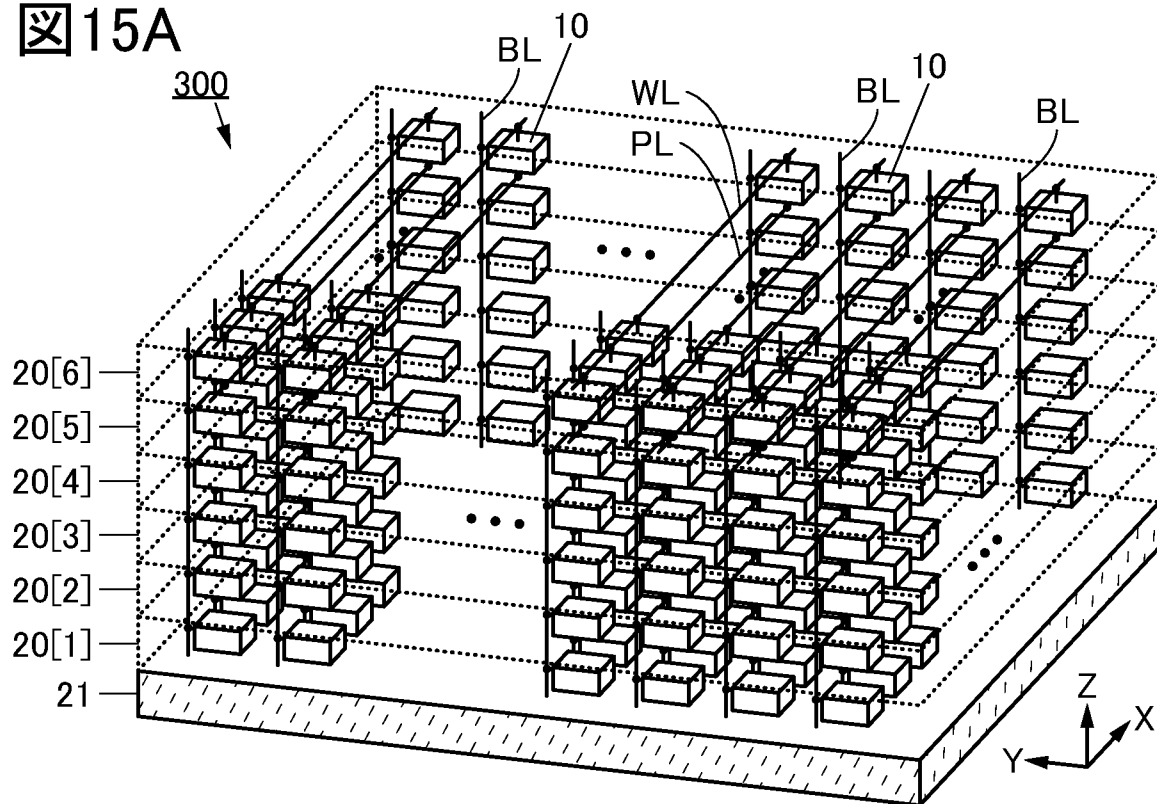


図15B

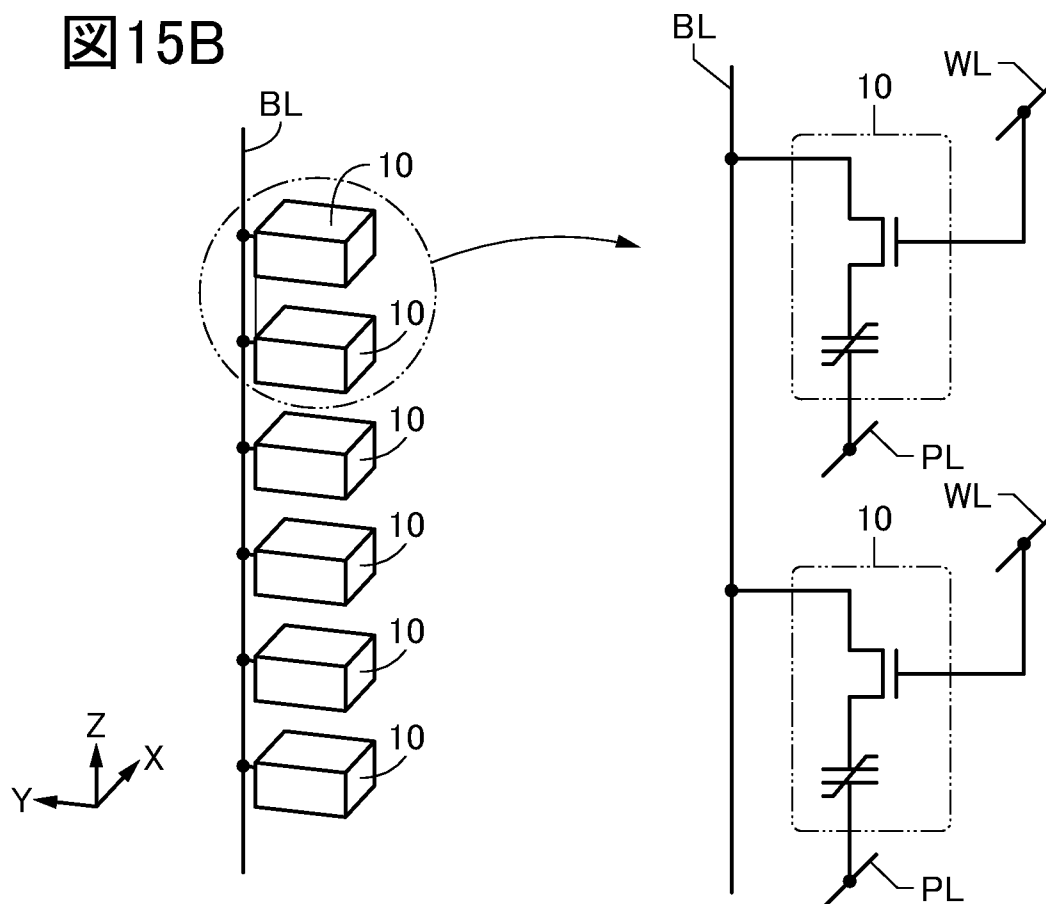


図16A

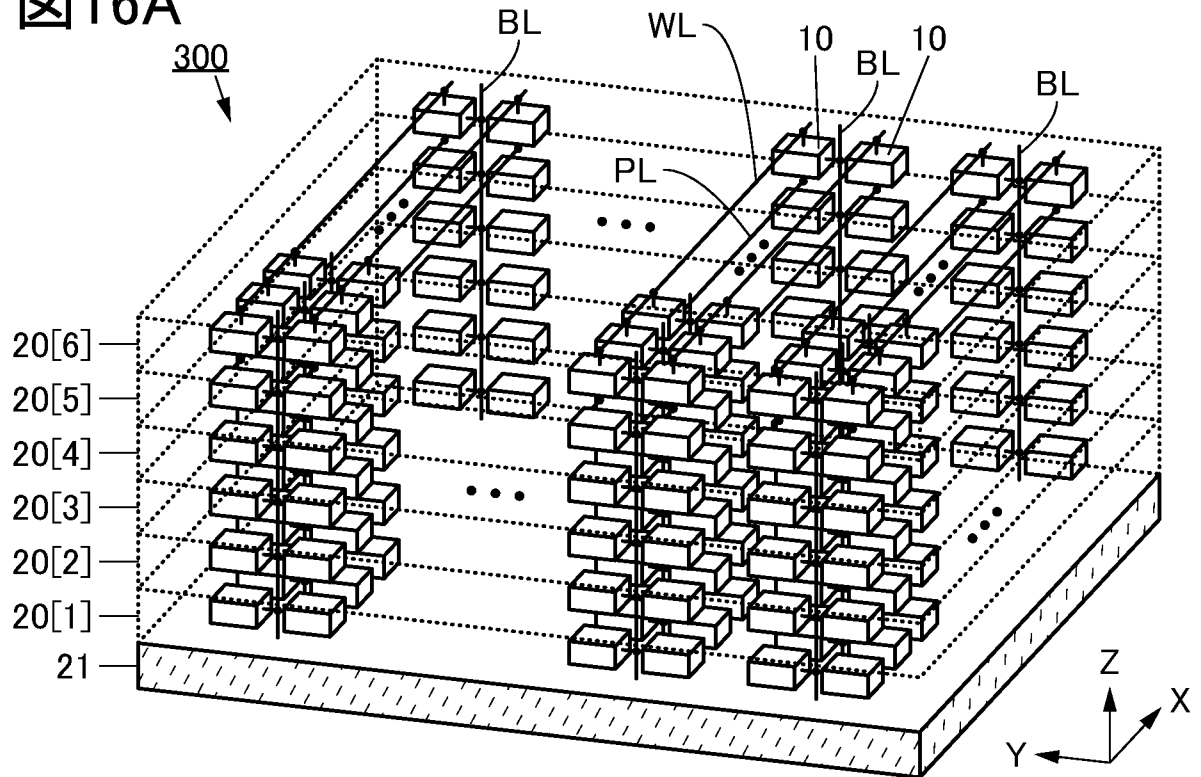


図16B

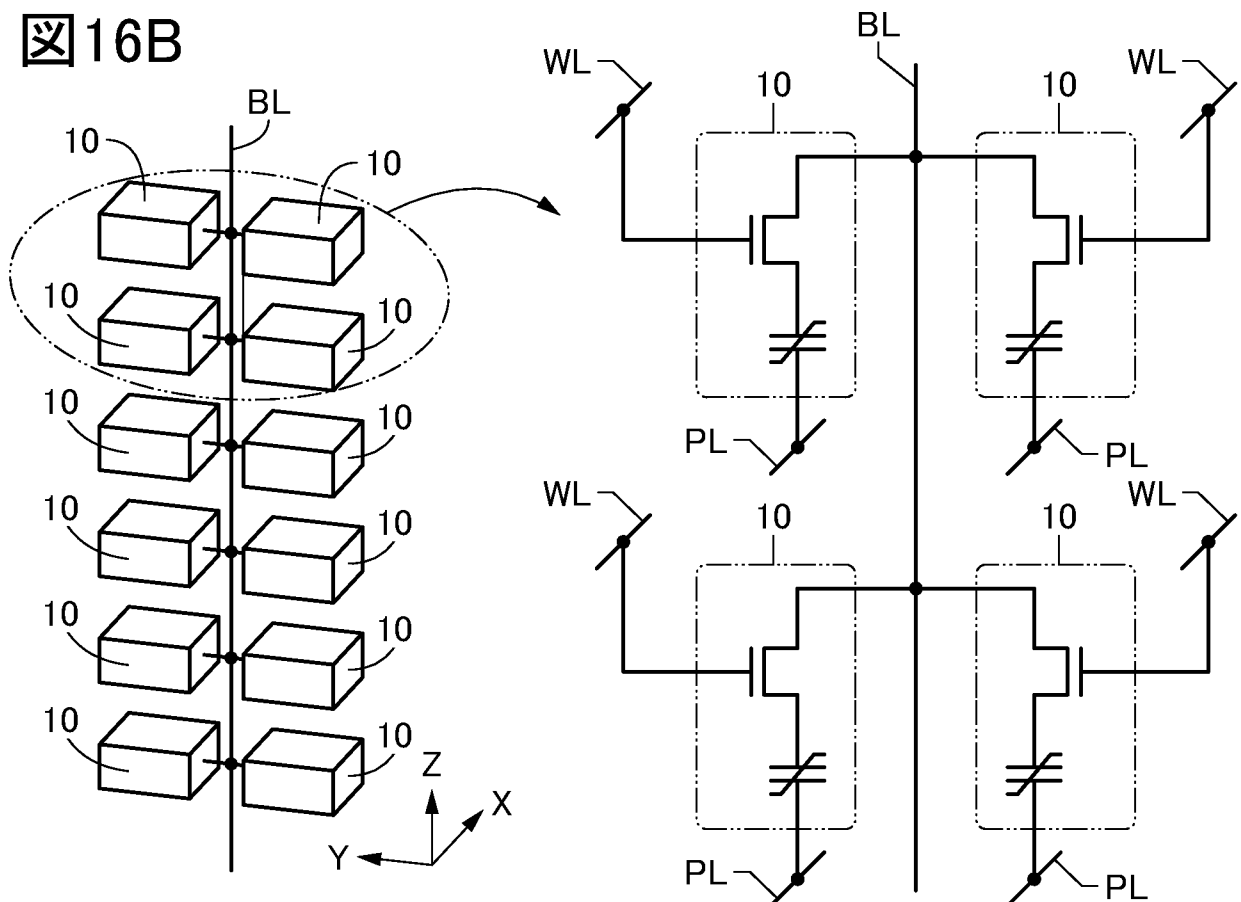


図17A

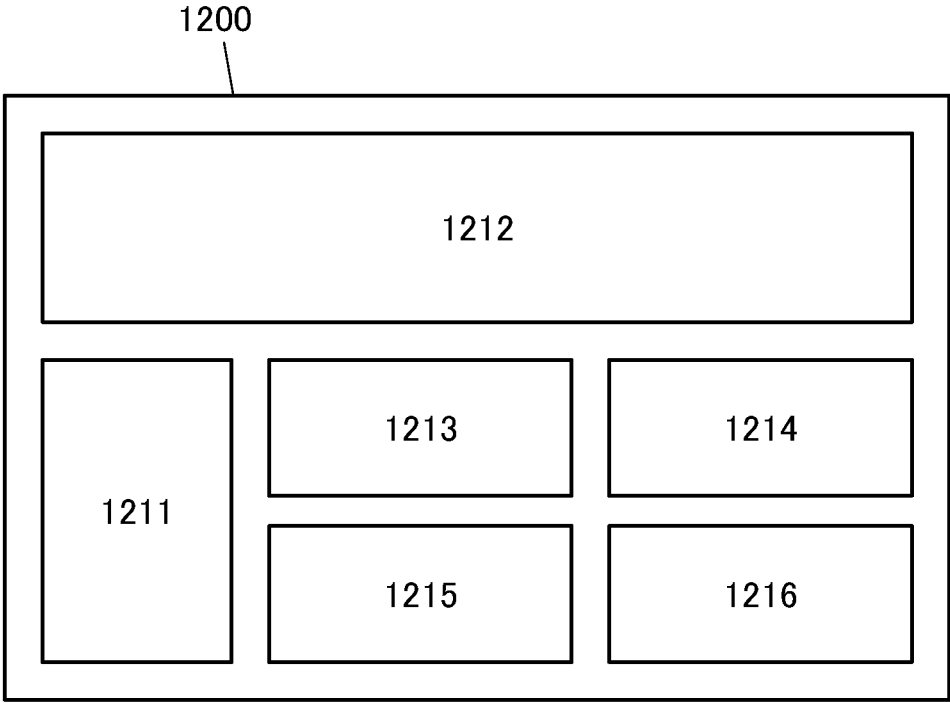


図17B

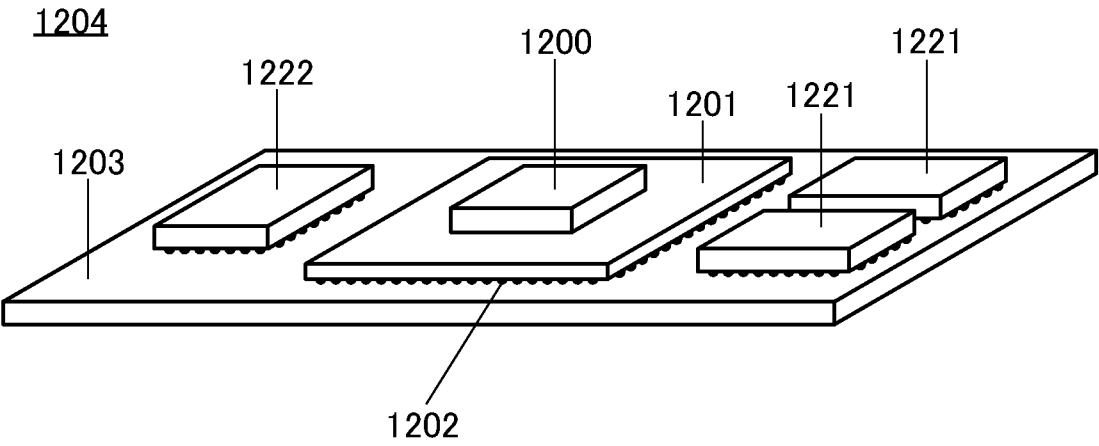


図18A

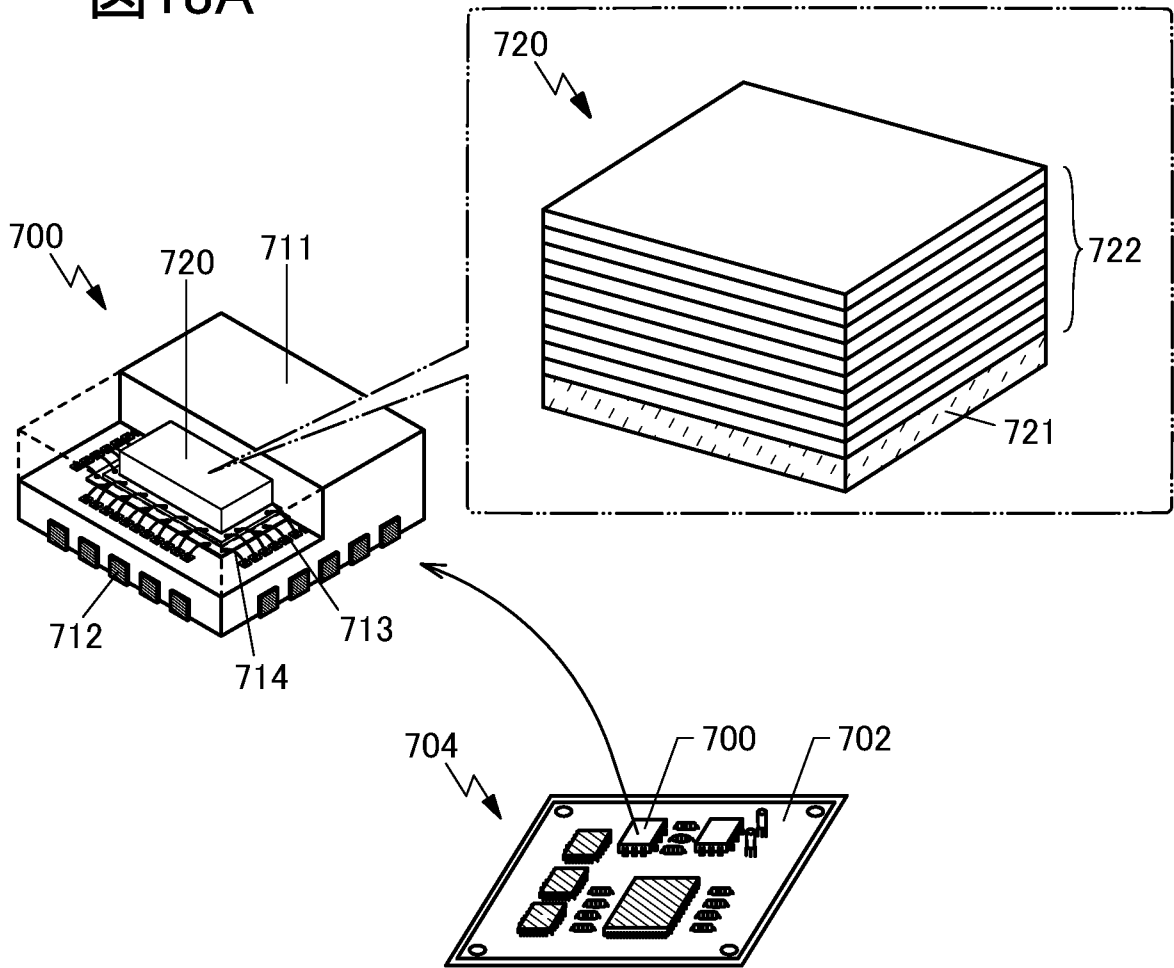


図18B

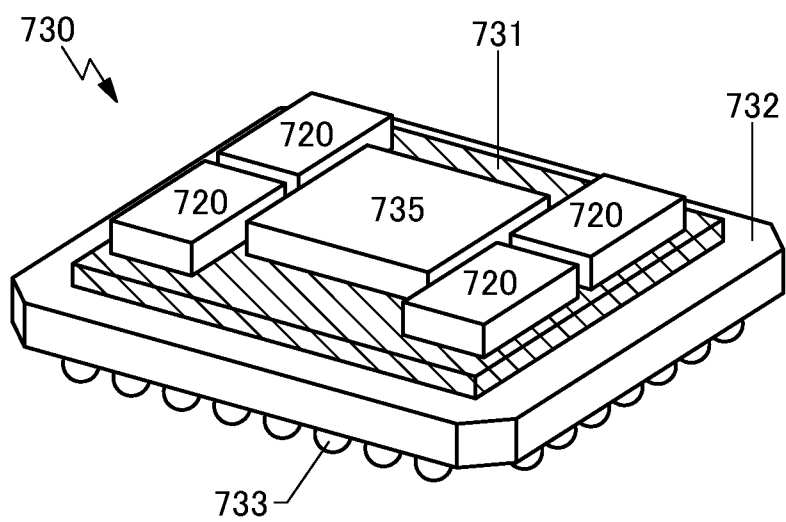


図 19A

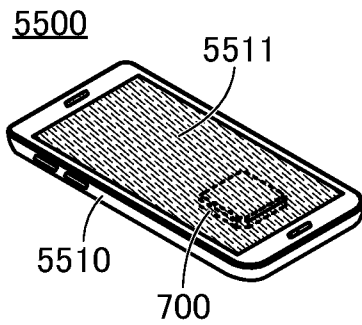


図 19B

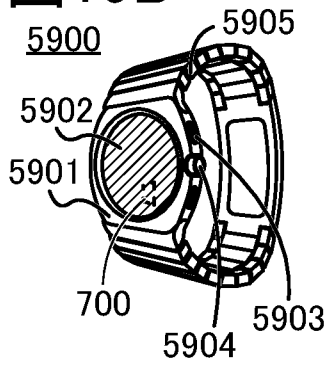


図 19C

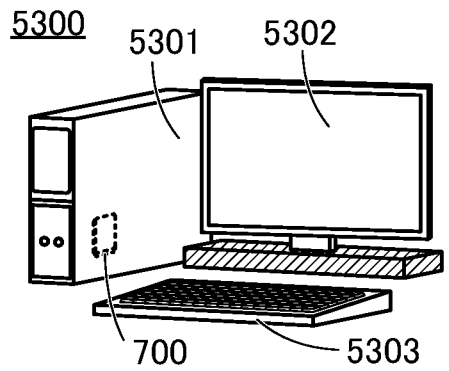


図 19D

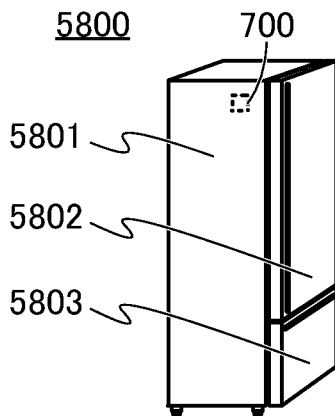


図 19E

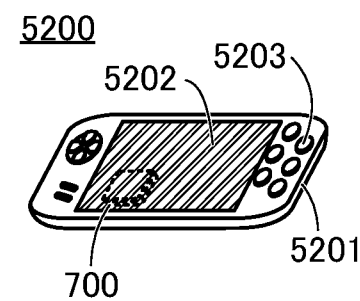


図 19F

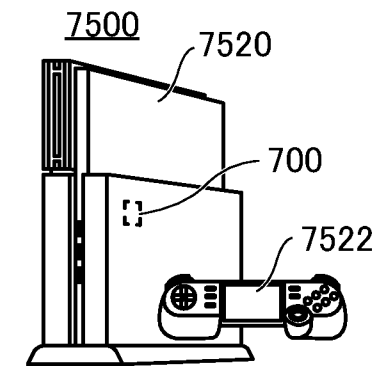


図 19G

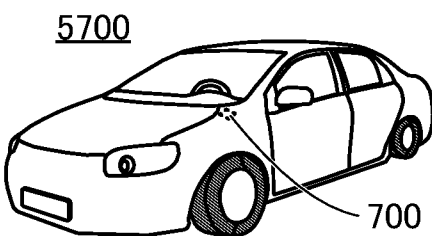


図 19H

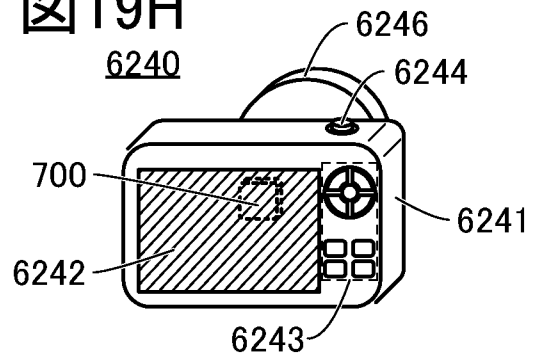


図 19I

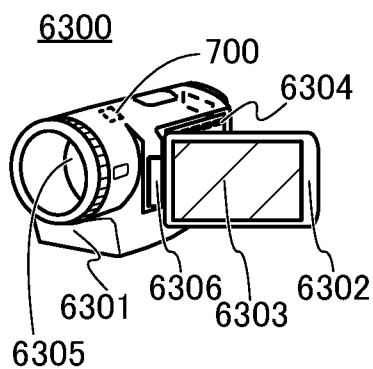


図 19J

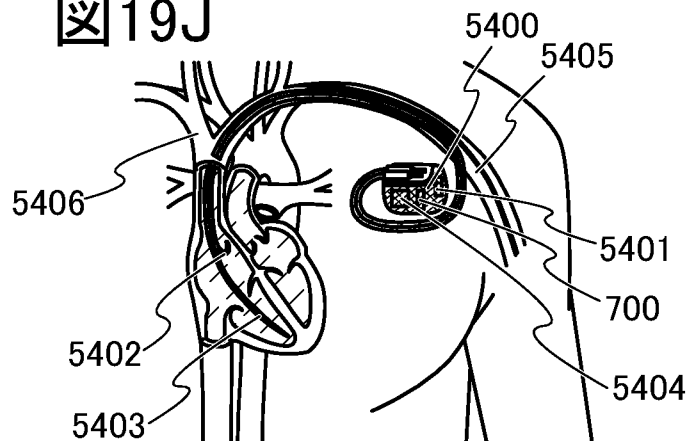


図20A

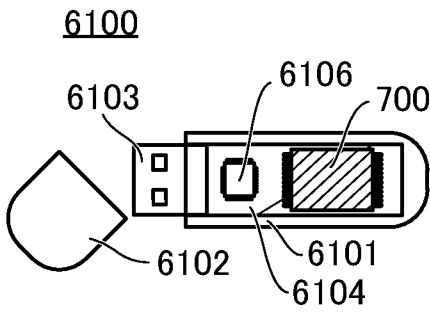


図20B

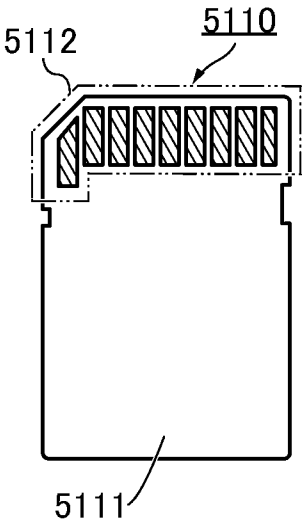


図20C

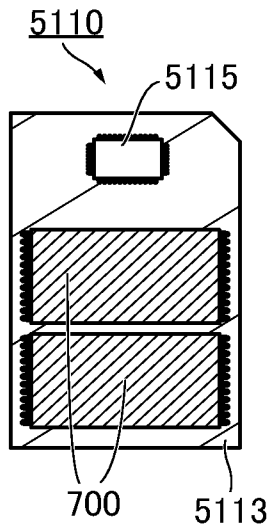


図20D

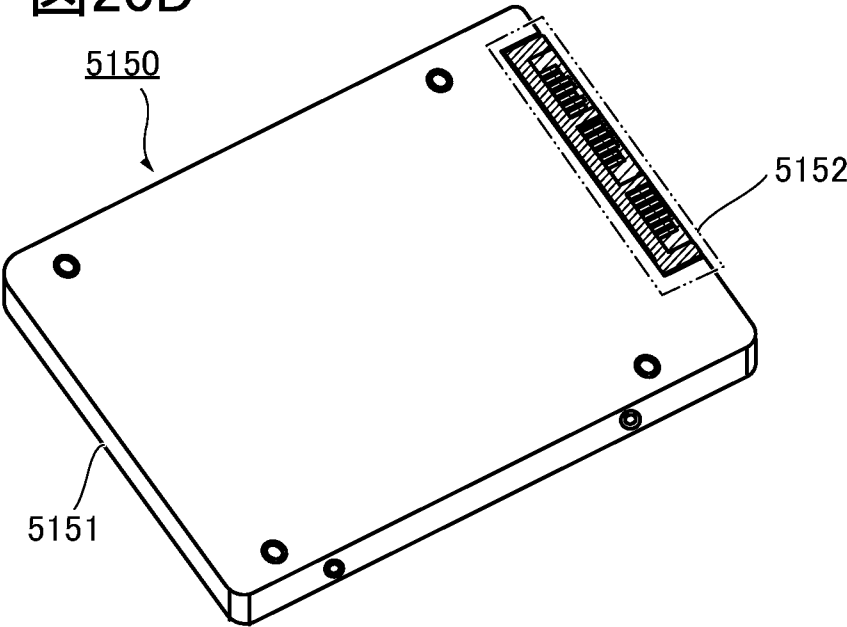


図20E

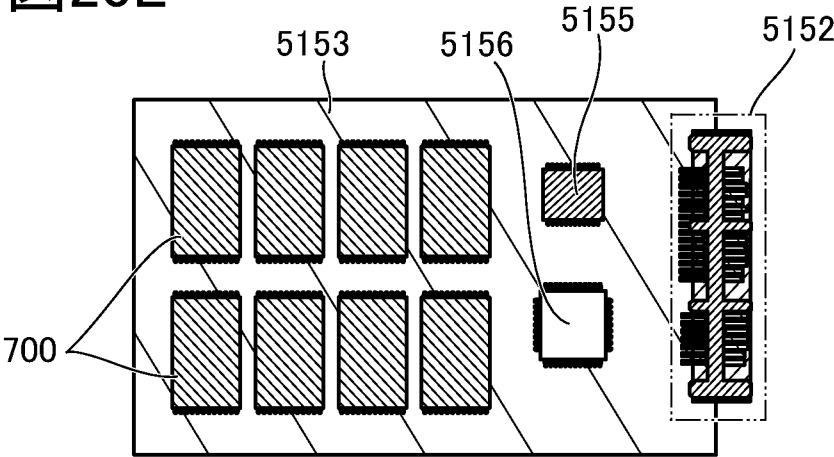


図21A

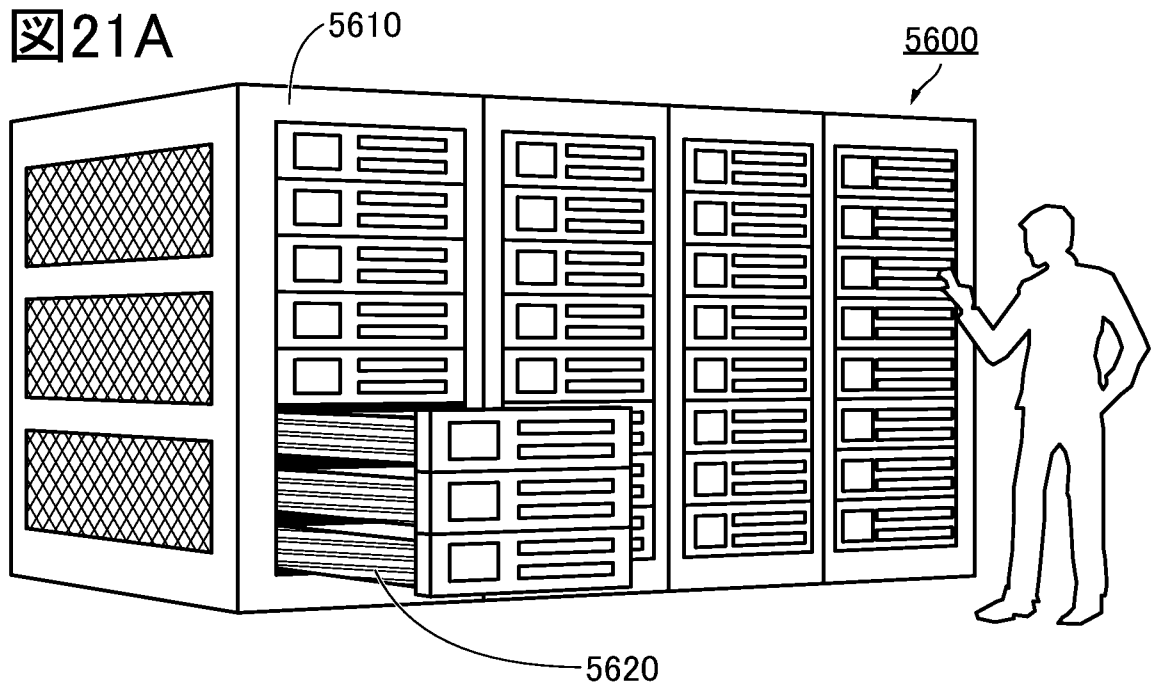


図21B

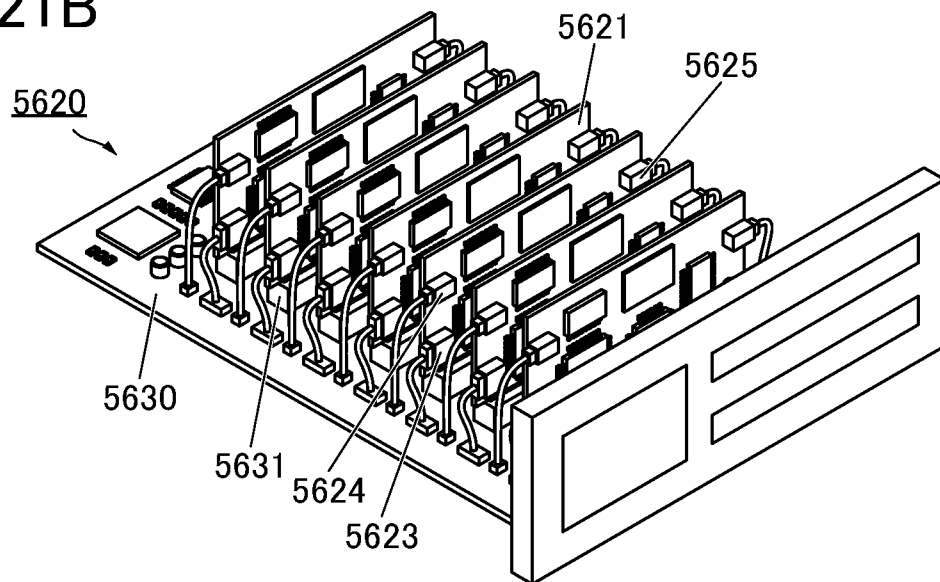


図21C

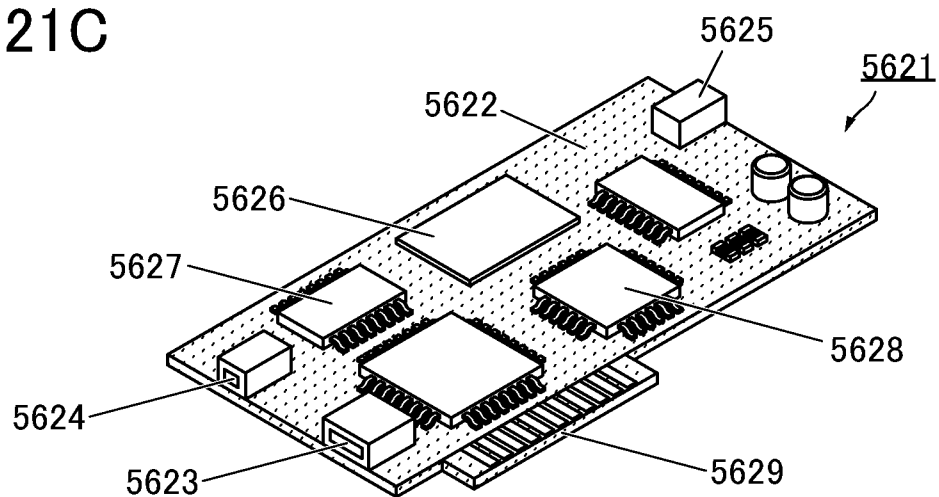


図22

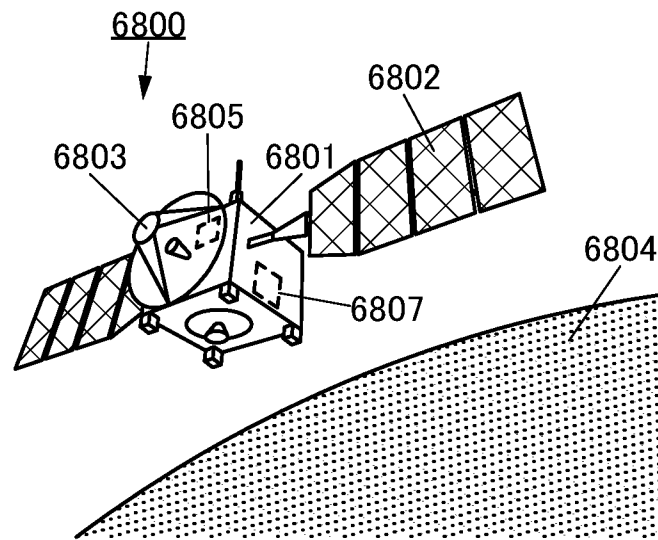
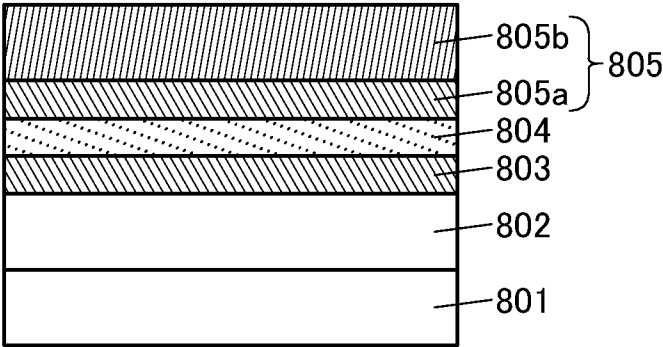
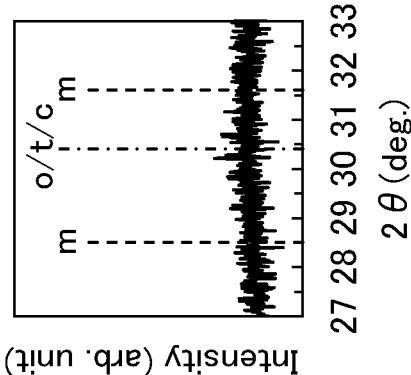


図23

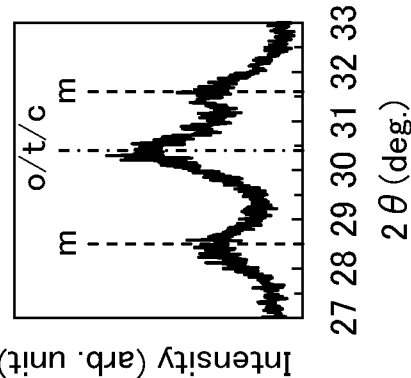
800



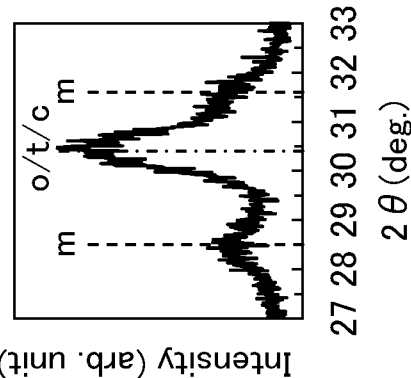
24A



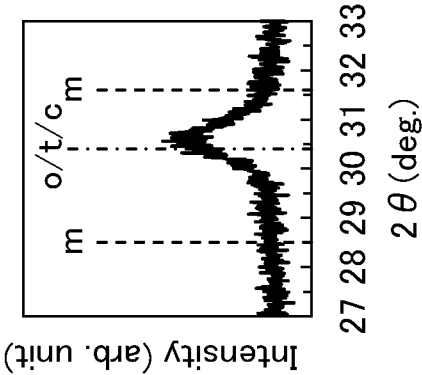
24B



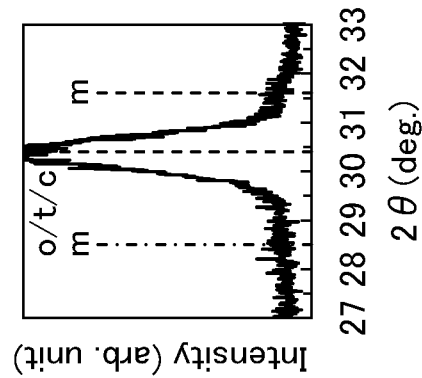
24C



24D



24E



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/055384

A. CLASSIFICATION OF SUBJECT MATTER H10B 12/00 (2023.01)i; G11C 11/22 (2006.01)i; H01L 29/786 (2006.01)i FI: H10B12/00 671Z; H10B12/00 671B; H10B12/00 671C; H01L29/78 626A; H01L29/78 613B; H01L29/78 618B; G11C11/22 110 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H10B12/00; G11C11/22; H01L29/786 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2023/042022 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 23 March 2023 (2023-03-23) paragraphs [0193], [0194], [0262], [0265], [0437], [0449], [0450], [0453], [0454], [0458], [0461], fig. 1-25	4, 6-10
A		1-3, 5, 11-16
Y	WO 2022/064306 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 31 March 2022 (2022-03-31) paragraphs [0068], [0069], [0097], [0099], [0101], fig. 1-67	4, 6-10
Y	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) paragraph [0049], fig. 1-26	9
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 26 August 2024		Date of mailing of the international search report 03 September 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/055384

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2022/0359762 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LTD.) 10 November 2022 (2022-11-10) paragraphs [0021]-[0032], fig. 1-36	1-16
A	US 9837435 B1 (PHISON ELECTRONICS CORP.) 05 December 2017 (2017-12-05) column 5, line 13 to column 8, line 33, fig. 1-14	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/055384

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2023/042022	A1	23 March 2023	(Family: none)	
WO	2022/064306	A1	31 March 2022	US 2023/0363174 A1 paragraphs [0143], [0144], [0172], [0174], [0176], fig. 1-67	
JP	2016-149552	A	18 August 2016	US 2016/0233343 A1 paragraph [0074], fig. 1-26 WO 2016/128859 A1	
US	2022/0359762	A1	10 November 2022	(Family: none)	
US	9837435	B1	05 December 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10B 12/00(2023.01)i; G11C 11/22(2006.01)i; H01L 29/786(2006.01)i
FI: H10B12/00 671Z; H10B12/00 671B; H10B12/00 671C; H01L29/78 626A; H01L29/78 613B; H01L29/78 618B;
G11C11/22 110

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H10B12/00; G11C11/22; H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2023/042022 A1（株式会社半導体エネルギー研究所）23.03.2023（2023-03-23） 段落0193, 0194, 0262, 0265, 0437, 0449, 0450, 0453, 0454, 0458, 0461, 図1-25	4, 6-10
A		1-3, 5, 11-16
Y	WO 2022/064306 A1（株式会社半導体エネルギー研究所）31.03.2022（2022-03-31） 段落0068, 0069, 0097, 0099, 0101, 図1-67	4, 6-10
Y	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 段落0049, 図1-26	9
A	US 2022/0359762 A1（TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.） 10.11.2022（2022-11-10） 段落0021-0032, 図1-36	1-16
A	US 9837435 B1（PHISON ELECTRONICS CORP.）05.12.2017（2017-12-05） 第5欄第13行-第8欄第33行, 図1-14	1-16

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
26.08.2024

国際調査報告の発送日
03.09.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

小山 満 5F 9458

電話番号 03-3581-1101 内線 3514

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2024/055384

引用文献			公表日	パテントファミリー文献	公表日
WO	2023/042022	A1	23.03.2023	(ファミリーなし)	
WO	2022/064306	A1	31.03.2022	US 2023/0363174 A1 段落0143, 0144, 0172, 0174, 0176, 図1-67	
JP	2016-149552	A	18.08.2016	US 2016/0233343 A1 段落0074, 図1-26 WO 2016/128859 A1	
US	2022/0359762	A1	10.11.2022	(ファミリーなし)	
US	9837435	B1	05.12.2017	(ファミリーなし)	