



## (12)发明专利

(10)授权公告号 CN 105874716 B

(45)授权公告日 2019.04.09

(21)申请号 201580003481.4

(72)发明人 B.奥德达拉 D.潘乔利

(22)申请日 2015.01.28

V.拉斯塔吉

(65)同一申请的已公布的文献号

申请公布号 CN 105874716 A

(74)专利代理机构 北京市柳沈律师事务所  
11105

(43)申请公布日 2016.08.17

代理人 万里晴

(30)优先权数据

427/CHE/2014 2014.01.30 IN  
14/461,921 2014.08.18 US

(51)Int.Cl.

H03L 7/081(2006.01)

H03L 7/07(2006.01)

(85)PCT国际申请进入国家阶段日

2016.06.29

(56)对比文件

US 2001/0022524 A1, 2001.09.20,

US 2004/0093388 A1, 2004.05.13,

CN 1608342 A, 2005.04.20,

US 2012/0249200 A1, 2012.10.04,

CN 101547007 A, 2009.09.30,

JP 2005-142859 A, 2005.06.02,

(73)专利权人 桑迪士克科技有限责任公司

审查员 李劲涛

地址 美国得克萨斯州

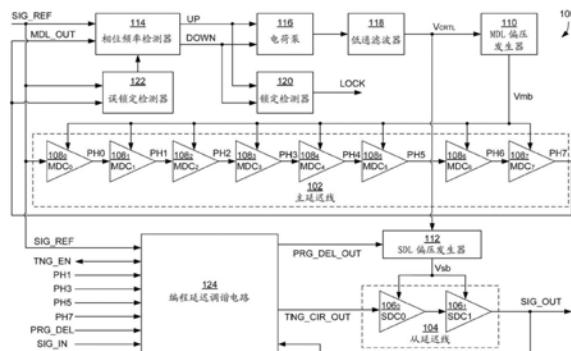
权利要求书4页 说明书15页 附图6页

(54)发明名称

延迟锁定环中的自动相位同步

(57)摘要

调谐电路可包括控制器，所述控制器被配置成针对在主-从DLL电路中的主延迟线的不同点所产生的信号对来确定相位差。所述对的信号中的一个在相位差被确定之前通过从延迟线传送。用于设定从延迟线的相位延迟的编程延迟值可基于所述相位差被调整或调谐。



1. 一种电路,其被配置成调整用于设定主-从延迟锁定环(DLL)电路中的从延迟线的相位延迟的编程延迟值,所述电路包括:

控制器,其被配置成:

确定在主-从延迟锁定环(DLL)电路的主延迟线的不同的点处产生的主延迟线信号对之间的相位差,其中,所述对中的一个主延迟线信号在所述相位差被确定之前通过从延迟线传送;

基于所述相位差来调整编程延迟值,以产生调整后的编程延迟值;

以及

输出所述调整后的编程延迟值至偏压发生器,所述偏压发生器基于所述调整后的编程延迟值产生输出偏压,并将所述输出偏压供给至从延迟线以设定从延迟线的相位延迟。

2. 如权利要求1所述的电路,其中,所述控制器被进一步配置成:

确定多个相位差,每个相位差是在从多个主延迟线信号选择的多个不同的主延迟线信号对中的一个主延迟线信号对之间的,其中,对于所述不同的对中的每个,在所述对的各自的相位差被确定之前通过从延迟线传送主延迟线信号中的一个;以及

基于多个相位差来产生所述调整后的编程延迟值。

3. 如权利要求2所述的电路,其中,所述控制器被进一步配置成:

确定多个相位差的平均值;以及

基于所述平均值来调整编程值以产生所述调整后的编程延迟值。

4. 如权利要求2所述的电路,进一步包括:

选择电路,其被配置成接收多个主延迟线信号,

其中,所述控制器被进一步配置成从多个不同的主延迟线信号对中选择主延迟线信号对,以及

其中,所述选择电路被进一步配置成响应于所述选择而输出主延迟线信号对,其中,所述对中的第一主延迟线信号被输出至从延迟线,且所述对中的第二主延迟线信号被输出至控制器。

5. 如权利要求4所述的电路,其中,所述主延迟线信号对包括在前的对,且其中,所述控制器进一步被配置成从多个不同的主延迟线信号对中选择下一主延迟线信号对,其中,所述下一对中的一个主延迟线信号与所述在前的对是公共的,以及

响应于所述下一对的选择,所述选择电路被配置成输出所述下一对,其中,所述下一主延迟线信号对中的一个主延迟线信号被输出至从延迟线且所述下一对中的另一个主延迟线信号被输出至控制器。

6. 如权利要求4所述的电路,其中,所述选择电路包括第一多路复用器和第二多路复用器,

其中,所述第一多路复用器被配置成:

接收所述不同的对中的第一主延迟线信号;以及

输出每个第一主延迟线信号至从延迟线;以及

其中,所述第二多路复用器被配置成:

接收所述不同的对中的第二主延迟线信号;以及

输出每个第二主延迟线信号至控制器。

7. 如权利要求1所述的电路,其中,产生所述对中的主延迟线信号的所述不同的点由主延迟线中的数量等于从延迟线中的从延迟单元的数量的主延迟单元来分离。

8. 如权利要求1所述的电路,其中,所述主延迟线信号对之间的预期的相位差等于从延迟线的期望的相位延迟。

9. 一种调整用于设定主-从延迟锁定环 (DLL) 电路中的从延迟线的相位延迟的初始编程延迟值的方法,所述方法包括:

通过从延迟线传送主延迟线信号对中的第一主延迟线信号,以产生延迟后的第一主延迟线信号;

利用控制器,从所述从延迟线的输出接收所述延迟后的第一主延迟线信号、以及接收所述对中的第二主延迟线信号;

利用控制器,确定所述延迟后的第一主延迟线信号和所述对中的第二主延迟线信号之间的相位差;

利用控制器,产生调整后的编程延迟值,所述调整后的编程延迟值基于所述相位差从所述初始编程延迟值调整;以及

利用控制器,输出所述调整后的编程延迟值至偏压发生器,所述偏压发生器基于所述调整后的编程延迟值产生输出偏压,并将所述输出偏压供给至从延迟线以设定从延迟线的相位延迟。

10. 如权利要求9所述的方法,进一步包括:

利用控制器,确定多个相位差,每个相位差是在从多个主延迟线信号选择的多个不同的主延迟线信号对中的一个之间的,其中,对于所述不同的对中的每个,一个主延迟线信号在所述对的各自的相位差被确定之前通过从延迟线传送,以及

其中,产生调整后的编程延迟值包括:利用控制器,基于多个相位差来产生所述调整后的编程延迟值。

11. 如权利要求10所述的方法,进一步包括:

利用控制器,确定多个相位差的平均值,

其中,基于多个相位差来产生所述调整后的编程延迟值包括:利用控制器,基于多个相位差的平均值来调整所述调整后的编程延迟值。

12. 如权利要求10所述的方法,进一步包括:

利用选择电路,接收多个主延迟线信号,

利用控制器,从多个不同的主延迟线信号对中选择主延迟线信号对;以及

响应于所述对的选择:

利用选择电路,将接收到的多个主延迟线信号中的第一主延迟线信号输出至从延迟线;以及

利用选择电路,将接收到的多个主延迟线信号中的第二主延迟线信号输出至控制器。

13. 如权利要求12所述的方法,其中,所述主延迟线信号对包括在前的对,且其中,所述方法进一步包括:

利用控制器,从多个不同的主延迟线信号对中选择下一主延迟线信号对,其中,所述下一对中的一个主延迟线信号与所述在前的对是公共的;以及

响应于所述下一对的选择:

利用选择电路,将接收到的多个主延迟线信号中的下一主延迟线信号对中的一个输出至从延迟线;以及

利用选择电路,将接收到的多个主延迟线信号中的下一主延迟线信号对中的另一个输出至控制器。

14. 如权利要求9所述的方法,进一步包括:

在输出所述调整后的编程延迟值至偏压发生器之后,通过从延迟线与从延迟线的从延迟单元传送由设定在基于所述调整后的编程延迟值的一电平处的输出偏压来偏置的输入信号。

15. 如权利要求9所述的方法,其中,所述主延迟线信号对之间的预期的相位差等于从延迟线的期望的相位延迟。

16. 一种用于调整编程延迟值的系统,所述系统包括:

主-从延迟锁定环(DLL)电路,其包括:

主延迟线;

从延迟线;以及

偏压发生器,其被配置成将输出偏压供给至从延迟线以设定从延迟线的相位延迟;以及

调谐电路,其被配置成:

从主延迟线的不同的点接收主延迟线信号对;

输出所述对中的第一主延迟线信号至从延迟线;

从所述从延迟线接收延迟后的第一主延迟线信号;

基于延迟后的第一主延迟线信号和所述对中的第二主延迟线信号之间的相位差来产生编程延迟值;以及

输出编程延迟值至偏压发生器,

其中,偏压发生器被配置成基于从所述调谐电路接收的编程延迟值来设定输出偏压的电平。

17. 如权利要求16所述的系统,其中,所述调谐电路包括:

选择电路,其被配置成:

接收多个主延迟线信号;以及

顺次输出从接收到的多个主延迟线信号得到的多个不同的主延迟线信号对,其中,对于所述不同的对中的每个,被输出的一个主延迟线信号通过从延迟线传送以产生延迟后的一个主延迟线信号,而被输出的另一个主延迟线信号不通过从延迟线传送;以及

控制器,其被配置成确定多个相位差,每个相位差与多个不同的主延迟线信号对中的一个相关联,且其中,对于所述不同的对中的每个,相关联的相位差是在通过从延迟线传送的延迟后的一个主延迟线信号与不通过从延迟线传送的另一个主延迟线信号之间的。

18. 如权利要求17所述的系统,其中,所述控制器被配置成基于多个相位差的平均值来产生编程延迟值。

19. 如权利要求16所述的系统,其中,产生所述对中的主延迟线信号的所述不同的点由主延迟线中的数量等于从延迟线中的从延迟单元的数量的主延迟单元分离。

20. 如权利要求16所述的系统,其中,所述从延迟线包括第一从延迟线,其中,所述偏压

发生器包括第一偏压发生器,其中,所述主延迟线信号对包括第一主延迟线信号对,其中,所述基于相位差的编程延迟值包括基于第一相位差的第一编程延迟值,

其中,所述系统进一步包括第二从延迟线,以及

其中,所述调谐电路被进一步配置成:

从主延迟线的不同的点接收第二主延迟线信号对,所述第二主延迟线信号对包括第三主延迟线信号和第四主延迟线信号;

输出所述第二对中的第三主延迟线信号至第二从延迟线;

从第二从延迟线接收延迟后的第三主延迟线信号;

基于延迟后的第三主延迟线信号和所述第二对中的第四主延迟线信号之间的第二相位差来产生第二编程延迟值;以及

输出第二编程延迟值至第二偏压发生器。

## 延迟锁定环中的自动相位同步

### 背景技术

[0001] 主-从延迟锁定环 (DLL) 电路可包括被配置成通过期望的相位延迟来延迟输入信号的从延迟线。当作为主-从 DLL 电路的结构朝向下部几何形状移动时,与包括在不同裸片中的那些的不同从延迟线相关联的相位延迟可能显著变化。因此,一些从延迟线可能以不同于期望的相位延迟的量来延迟接收的信号。这种差异或不匹配——称为静态相位误差——可能降低或限制性能,譬如减小锁存数据的时间余量 (timing margins)。

### 发明内容

[0002] 在第一个方面,一种电路可被配置成调整用于设定主-从延迟锁定环 (DLL) 电路中的从延迟线的相位延迟的编程延迟值。所述电路可包括被配置成确定在主-从 DLL 电路的主延迟线的不同点处产生的主延迟线信号对之间的相位差的控制器。所述对中的一个主延迟线信号在所述相位差被确定之前通过从延迟线传送。此外,控制器可被配置成基于所述相位差来调整延迟值,以产生调整后的编程延迟值;以及输出所述调整后的编程延迟值至偏压发生器,所述偏压发生器基于所述调整后的编程延迟值产生输出偏压,并将所述输出偏压供给至从延迟线以设定从延迟线的相位延迟。

[0003] 在第二个方面,一种调整用于设定主-从延迟锁定环 (DLL) 电路中的从延迟线的相位延迟的初始编程延迟值的方法可包括:通过从延迟线传送主延迟线信号对中的第一主延迟线信号,以产生延迟后的第一主延迟线信号;利用控制器,从该从延迟线的输出接收所述延迟后的第一主延迟线信号和所述对中的第二主延迟线信号;利用控制器,确定所述延迟后的第一主延迟线信号和所述对中的第二主延迟线信号之间的相位差;利用控制器,产生调整后的编程延迟值,所述调整后的编程延迟值基于所述相位差从所述初始编程延迟值调整;以及利用控制器,输出所述调整后的编程延迟值至偏压发生器,所述偏压发生器基于所述调整后的编程延迟值产生输出偏压,并将所述输出偏压供给至从延迟线以设定从延迟线的相位延迟。

[0004] 在第三个方面,一种系统可包括:主-从延迟锁定环 (DLL) 电路,其包括:主延迟线;从延迟线;偏压发生器,其被配置成将输出偏压供给至从延迟线以设定从延迟线的相位延迟。所述系统还可包括调谐电路,其被配置成:从主延迟线的不同的点接收主延迟线信号对;输出所述对中的第一主延迟线信号至从延迟线;从该从延迟线接收延迟后的第一主延迟线信号;基于延迟后的第一主延迟线信号和所述对中的第二主延迟线信号之间的相位差来产生编程延迟值;以及输出编程延迟值至偏压发生器。所述偏压发生器可被配置成基于从调谐电路接收的编程延迟值来设定输出偏压的电平。

[0005] 总之,调谐电路可被配置成调整和/或调谐用于产生用于主-从延迟锁定环电路中的从延迟线的输出偏压的编程延迟值,从而降低和/或最小化从延迟线的输出的静态相位误差。此外,可以避免或最小化为降低静态相位误差所做的昂贵的和/或时间延长的努力,比如后硅微调 (post-silicon trimming)。

[0006] 本说明书的这些和其它实施例、特征、方面和优点将根据本文的说明书、所附的权

利要求书和附图变得更好理解。

## 附图说明

[0007] 包含在说明书中并构成本说明书的一部分的附图图示了本发明的各方面，并与说明书一起用于解释其原理。只要方便，相同的参考标号将贯穿附图用于指代相同或相似的元素。

[0008] 图1是包括主-从延迟锁相环电路和对从延迟线调谐编程延迟值的调谐电路的示例性系统的框图。

[0009] 图2是与从延迟线和用于从延迟线的偏压发生器通信的调谐电路的示例性电路实现的框图。

[0010] 图3是图2中示出的控制器的另一示例性配置的框图。

[0011] 图4是图2中示出的调谐电路的控制器的示例性配置的框图。

[0012] 图5是包括主-从延迟锁相环电路和对多个从延迟线独立调谐编程延迟值的调谐电路的示例性系统的框图。

[0013] 图6是调整用于设定主-从延迟锁相环电路的从延迟线的相位延迟的编程延迟值的示例性方法的流程图。

## 具体实施方式

[0014] 描述和示出的实施例的各种修改和等同物是可能的，并且本文定义的各种一般原理可应用于这些和其它实施例。因此，所要求保护的本发明应被赋予与原理、特征和本文公开的教导相一致的最宽范围。

[0015] 本公开描述了一种编程延迟调谐电路和用于主-从延迟锁定环(DLL)电路的相关系统和方法。调谐电路可被配置成调谐可用于设定主-从DLL电路的从延迟线的相位延迟的初始编程延迟值。调谐后的编程延迟值可产生比如果初始编程延迟值用于设定相位延迟而将另外导致的相位延迟更接近期望的相位延迟的从延迟线的实际相位延迟。

[0016] 主-从DLL电路的主延迟线的主延迟线信号的统计处理可用于产生调谐后的编程延迟值。具体地，具有不同相位的不同主延迟线信号可在沿主延迟线的不同点处获得，并通过从延迟线发送以产生不同的主延迟线信号的延迟版本。这些延迟后的主延迟线信号可与具有相应的相位延迟的其它主延迟线信号进行比较。根据比较确定的主延迟线信号的相位延迟的差可被平均，且可使用差的平均值来调谐初始编程延迟值。

[0017] 图1示出了包括具有主延迟线102和从延迟线104的示例性主-从延迟锁定环(DLL)电路的系统100。从延迟线104可被配置成产生和输出具有相对于输入信号SIG\_IN的相位被延迟或补偿的相位的输出信号SIG\_OUT。从延迟线104可被配置成产生具有匹配预定的和/或期望的相位延迟的相位延迟的输出信号SIG\_OUT。这样做，从延迟线104可包括N个的一个或多个从延迟单元(SDC)106<sub>0</sub>至106<sub>N-1</sub>。图1中示出的示例性主-从DLL电路具有两个从延迟单元106<sub>0</sub>和106<sub>1</sub>，但是也可以使用数量不是两个的一个或多个从延迟单元。每个从延迟单元106<sub>0</sub>和106<sub>1</sub>可具有相关联的相位延迟。相关的相位延迟的总和可等于输出信号SIG\_OUT的相位延迟。此外，从延迟单元106<sub>0</sub>和106<sub>1</sub>可被配置成具有相同的相位延迟。为了说明，如果期望的相位延迟是90度，则每个延迟单元106<sub>0</sub>和106<sub>1</sub>可被配置成具有45度的相关联的相位延迟。

作为替代示例性说明,对于仅具有从延迟单元的从延迟线104,一个从延迟单元可被配置成具有90度的相关联的相位延迟;对于具有三个从延迟单元的从延迟线104,三个从延迟单元中的每个可被配置成具有30度的相关联的相位延迟;对于具有四个从延迟单元从延迟线104,四个从延迟单元中的每个可被配置成具有22.5度的相关联的相位延迟,等等。

[0018] 主延迟线102可被配置成产生主延迟线输出信号MDL\_OUT,其为根据输入或被输入到主延迟线102的基准信号SIG\_REF的一个全周期或360度异相(out of phase)。一个示例性基准信号可以是基准时钟信号或具有有着约百分之五十的工作周期的方波信号的其它相似类型的信号。为生成主延迟线输出信号MDL\_OUT,主延迟线102可包括M个主延迟单元(MDC)108<sub>0</sub>至108<sub>M-1</sub>,其中M为2或更大。图1中示出的示例性主-从DLL电路具有八个主延迟单元108<sub>0</sub>至108<sub>7</sub>,但是也可以使用数量不是八个的两个或更多个主延迟单元。如同从延迟单元106<sub>0</sub>和106<sub>1</sub>,每个主延迟单元108<sub>0</sub>至108<sub>7</sub>可具有相关联的相位延迟。对于主延迟线102,相关联的相位延迟的总和可等于相对于基准信号SIG\_REF 360度的相位延迟。此外,主延迟单元108<sub>0</sub>至108<sub>7</sub>可被配置成具有相同的相位延迟。因此,八个主延迟单元108<sub>0</sub>至108<sub>7</sub>中的每个可被配置成具有45度的相位延迟。对于具有数量不是八个的主延迟单元的替代示例性配置,主站延迟单元可被配置成具有成比例的相位延迟,使得主延迟线的总相位延迟为360度。作为示例性说明,对于具有三个主延迟单元的主延迟线102,三个主延迟单元中的每个可具有120度的相关联的相位延迟;对于具有四个主延迟单元的主延迟线102,四个主延迟单元中的每个可具有90度的相关联的相位延迟;对于具有十二个主延迟单元的主延迟线102,十二个主延迟单元中的每个具有30度的相关联的相位延迟,等等。

[0019] 对于一些示例性配置,除了主延迟单元108<sub>0</sub>至108<sub>7</sub>被配置成具有相同的相关联的相位延迟和从延迟单元106<sub>0</sub>至106<sub>1</sub>被配置成具有相同的相关联的相位延迟以外,主延迟单元108<sub>0</sub>至108<sub>7</sub>和从延迟单元106<sub>0</sub>至106<sub>1</sub>可被配置为具有彼此间相同的延迟。因此,主延迟单元108<sub>0</sub>至108<sub>M-1</sub>的数量M与从延迟单元106<sub>0</sub>至106<sub>1</sub>的数量N之比可等于一个全周期相位延迟(例如,360度)与延迟线104输出的输出信号SIG\_OUT的期望的相位延迟之比。对于图1中示出的示例性主-从DLL,输出信号SIG\_OUT的期望的相位延迟是90度,这是因为主延迟线102包括八个主延迟单元108<sub>0</sub>至108<sub>7</sub>,且从延迟线104包括两个从延迟单元106<sub>0</sub>至106<sub>1</sub>。

[0020] 此外,主延迟单元108<sub>0</sub>至108<sub>7</sub>和从延迟单元106<sub>0</sub>至106<sub>1</sub>中的每个可被配置成可变延迟单元,其中它们各自的相位延迟可通过调整或改变穿过延迟单元消耗的电流的量和/或施加到延迟单元的电压的量来调整或改变。示例性可变延迟单元可包括可变延迟反相器,诸如电流控制反相器或差分放大器,作为示例。

[0021] 对于图1中所示的示例性主-从DLL电路,可产生控制电压V<sub>CTRL</sub>并施加到MDL偏压发生器110和SDL的偏压发生器112。响应于控制电压V<sub>CTRL</sub>,MDL偏压发生器110可产生一个或多个主输出偏差,比如一个或多个主偏压V<sub>mb</sub>,其可被施加到主延迟单元108<sub>0</sub>至108<sub>7</sub>,比如施加到组成主延迟单108<sub>0</sub>至108<sub>7</sub>的晶体管的栅极端子。类似地,响应于控制电压V<sub>CTRL</sub>,SDL偏压发生器110可产生一个或多个输出偏差,比如一个或多个从偏压V<sub>sb</sub>,其可被施加到从延迟单元106<sub>0</sub>至106<sub>1</sub>,比如施加到组成从延迟单元106<sub>0</sub>至106<sub>1</sub>的晶体管的栅极端子。响应于其各自的主、从偏压V<sub>mb</sub>、V<sub>sb</sub>的接收,主、从延迟单元108<sub>0</sub>至108<sub>7</sub>、106<sub>0</sub>和106<sub>1</sub>中的每个可以消耗各自的电流,其又可确定由每个延迟单元所产生的相位延迟的量。主、从偏压V<sub>mb</sub>、V<sub>sb</sub>的电压电平可确定消耗的又可确定由延迟单元所产生的相位延迟的量的电流的量。因此,为了改变由每

个主、从延迟单元108<sub>0</sub>至108<sub>7</sub>、106<sub>0</sub>和106<sub>1</sub>产生的相位延迟,可以改变控制电压V<sub>CTRL</sub>,其可改变主、从偏压V<sub>mb</sub>、V<sub>sb</sub>,其又可改变穿过各自的主、从延迟单元108<sub>0</sub>至108<sub>7</sub>、106<sub>0</sub>和106<sub>1</sub>所消耗的电流。取决于晶体管的配置,一个或多个主偏压V<sub>mb</sub>和/或一个或多个从偏压V<sub>sb</sub>可包括单个电压或施加到不同类型的晶体管的多个电压,例如一对电压中的一个被施加到n型金属氧化物半导体场效应晶体管(NMOS晶体管)而另一个被施加到p型金属氧化物半导体场效应晶体管(PMOS晶体管)。此外,MDL和SDL偏压发生器110、112可具有各种电路配置。在一个示例中,MDL和SDL偏压发生器110、112可具有电压到电流(V/I)转换器,其至少部分基于接收到的控制电压V<sub>CTRL</sub>来产生各自的电流。MDL的和SDL偏压发生器110、112中的每个还包括电流镜电路,其可反映由各自的V/I转换器产生的电流,以产生主、从偏压V<sub>mb</sub>、V<sub>sb</sub>。基于控制电压V<sub>CTRL</sub>产生主、从偏压V<sub>mb</sub>、V<sub>sb</sub>的其它电路配置或拓扑是可能的。

[0022] 图1中示出的示例性主-从DLL电路可包括被配置成锁定电路,其被配置成设定控制电压V<sub>CTRL</sub>,以使主延迟线102的输出信号MDL\_OUT为根据主延迟线102的输入信号的360度异相,主延迟线102的输入信号是基准信号SIG\_REF。锁定电路可包括相位频率检测器114、电荷泵116、低通滤波器118、锁定检测器120和误锁定检测器122。

[0023] 相位频率检测器114(其也可被称为相位检测器)产生UP(上)和DOWN(下)信号至电荷泵116。UP和DOWN信号可基于边沿(比如基准信号SIG\_REF和输出信号MDL\_OUT的上升沿)之间的时间差来产生。UP和DOWN信号可指示给电荷泵116哪个边沿首先到达。具体地,如果基准信号SIG\_REF的边沿在输出信号MDL\_OUT的边沿之前到达,则相位频率检测器114可输出UP信号(或UP信号可以是逻辑高电平输出,而DOWN信号可以是逻辑低电平输出)。或者,如果输出信号MDL\_OUT的边沿在基准信号SIG\_REF的边沿之前到达或同时到达,则相位频率检测器114可输出DOWN信号(或DOWN信号可以是逻辑高输出,而UP信号可以是逻辑低电平输出)。

[0024] 低通滤波器118可包括电容器或其它类似的能量存储电路,其被配置成生成可被加到MDL和SDL偏压发生器110、112的控制电压V<sub>CTRL</sub>。电荷泵116可包括电流源和吸收(sink)电路或其它类似的电路,其被配置成向低通滤波器118提供电流或从低通滤波器118吸收(sink)电流以设定(例如,上拉和下拉)控制电压V<sub>CTRL</sub>的电压电平。由电荷泵116进行的电流的提供和吸收可取决于由相位频率检测器114提供的UP和DOWN信号。

[0025] 如图1所示,相位频率检测器114还可输出UP和DOWN信号至锁定检测器120,其可被配置成当主延迟线102稳定地输出具有从基准信号SIG\_REF360度异相的相位延迟的输出信号的MDL\_OUT时进行检测。当主延迟线102稳定地输出具有360度相位延迟的输出信号的MDL\_OUT时,则锁定检测器120可输出锁定信号LOCK,其可指示输出信号MDL\_OUT的相位延迟已设定和/或被锁定。

[0026] 此外,误锁定检测器122——其可接收基准信号SIG\_REF和输出信号MDL\_OUT——可被配置成确定何时输出信号MDL\_OUT不从基准信号SIG\_REF 360度延迟,即使基准信号SIG\_REF和输出信号MDL\_OUT对齐。例如,输出信号MDL\_OUT可以是从基准信号SIG\_REF的两个全周期(即,720度)或三个全周期(即,1080度)异相。误锁定检测器122可被配置成检测这些情况,并将它们传送至相位频率检测器114,以使当基准信号SIG\_REF和输出信号MDL\_OUT对齐但彼此不是仅一个周期异相时,锁定检测器120不会不当地输出锁定信号LOCK。

[0027] 实际上,当输出信号MDL\_OUT的相位延迟被锁定时,主延迟单元108<sub>0</sub>至108<sub>7</sub>的相位

延迟的总和可以是360度,但单个的主延迟单元108<sub>0</sub>至108<sub>7</sub>可能不是所有都一样和/或某些一样,如果不是所有的主延迟单元108<sub>0</sub>至108<sub>7</sub>可能不具有预期的或理想的45度的相位延迟。例如,主延迟单元108<sub>0</sub>至108<sub>7</sub>的实际相位延迟可以是根据预期的或理想的45度的相位延迟加上或减去相关联的值 $\delta$ 。相位延迟中的这种改变可归因于由工艺、材料(例如,硅)和/或制造改变所导致的主延迟单元108<sub>0</sub>至108<sub>7</sub>之间的各种不理想或不匹配(mismatch)。

[0028] 出于类似的原因,从延迟单元106<sub>0</sub>至106<sub>1</sub>可不具有彼此相同的相位延迟。另外,由于锁定电路用于对主延迟线102的输出信号MDL\_OUT而不是从延迟线104的输出信号SIG\_OUT来锁定相位延迟,因此当输出信号MDL\_OUT的相位延迟被锁定时,从延迟线104输出的输出信号SIG\_OUT的实际相位延迟可以不同于期望的相位延迟。为了说明,假设对于输出信号SIG\_OUT的期望的相位延迟为90度。此外,假设锁定电路将控制电压V<sub>CTRL</sub>锁定在如下电压电平处,该电压电平使得SDL偏压发生器112输出在对于第一从延迟单元106<sub>0</sub>生成50度的相位延迟和对于第二从延迟单元106<sub>1</sub>生成55度的相位延迟的电平的从偏压V<sub>sb</sub>。因此,输出信号SIG\_OUT的相位延迟可以是从90度的期望的相位延迟偏离目标105度、或者15度。

[0029] 为了补偿静态相位误差,SDL偏压发生器112可被配置成除了控制电压V<sub>CTRL</sub>以外还接收数字控制位,以产生从偏压V<sub>sb</sub>。具体地,初始编程延迟值PRG\_DEL可用于调整和/或调谐从偏压V<sub>sb</sub>。初始编程延迟值PRG\_DEL可以是多位值,针对一些示例性配置,其可以是7位的值。对该值的一个或多个位的调整可改变从偏压V<sub>sb</sub>的电压电平。因此,基于输出信号SIG\_OUT的期望的相位延迟、实际的相位延迟、和/或实际的相位延迟与期望的相位延迟之间的相位延迟差,可从多个编程延迟值中选择特定的编程延迟值PRG\_DEL,并与控制电压V<sub>CTRL</sub>一起使用,以产生从偏压V<sub>sb</sub>。控制电压V<sub>CTRL</sub>和选择的编程延迟值PRG\_DEL二者的应用、而非仅控制电压V<sub>CTRL</sub>的应用可产生输出信号SIG\_OUT的更接近期望的相位延迟的实际相位延迟。

[0030] 编程延迟值PRG\_DEL可以是初始编程延迟值,其可在系统100的制造和/或操作之前通过仿真或其它工作来确定。然而,由于各种制造、处理、和/或材料的不一致性或变化,编程延迟值PRG\_DEL可提供不一致的相位延迟和/或从偏压V<sub>sb</sub>的不充分调谐。例如,由于硅裸片的差异,编程延迟值PRG\_DEL可对不同的主-从DLL电路的不同从延迟线进行不同的调谐。结果,当编程延迟值PRG\_DEL被输出至SDL偏压发生器112时,可仍然导致在输出信号SIG\_OUT的实际的相位延迟与期望的相位延迟之间的不匹配或静态相位误差的可改善的量。

[0031] 系统100还可包括编程延迟调谐电路124,其可被配置成进行“芯片上”、“即时生成”、和/或编程延迟值PRG\_DEL的制造后(post-manufacturing)调谐,以产生调谐后的编程延迟值,其可进一步降低静态相位误差。调谐后的编程延迟值可以是代替初始编程延迟值PRG\_DEL的施加到SDL偏压发生器112的编程延迟输出值PRG\_DEL\_OUT,其可产生输出信号SIG\_OUT的、与如果初始编程延迟值PRG\_DEL被替代地直接施加到SDL偏压发生器112相比、更接近期望的相位延迟的相位延迟。

[0032] 编程延迟调谐电路124可被配置成基于在主延迟线102中的不同点上获得的主延迟线信号的一个或多个比较来调谐或调整编程延迟值PRG\_DEL。主延迟线信号可包括至主延迟线102d的输入信号(即,基准信号SIG\_REF),主延迟线102的输出信号(即,输出信号MDL\_OUT),和/或在主延迟线102的主延迟单元108<sub>0</sub>至108<sub>M-1</sub>的输出处产生的信号。

[0033] 在主延迟线102的主延迟单元108<sub>0</sub>至108<sub>M-1</sub>的输出处产生的主延迟线信号可包括

在第i个主延迟单元108<sub>0</sub>至108<sub>M-1</sub>中的每个的输出处和/或在第(i+1)个主延迟单元108<sub>0</sub>至108<sub>M-1</sub>中的每个的输入处产生的M个数量的第i个主延迟线信号PH(i-1),其中i从0至M-1增加。具体地,对于M=8的主延迟线102,在主延迟线102的主延迟单元108<sub>0</sub>至108<sub>M-1</sub>的输出处产生的主延迟线信号可包括在第一主延迟单元108<sub>0</sub>的输出处产生的第一主延迟线信号PH0、在第二主延迟单元108<sub>1</sub>的输出处产生的第二主延迟线信号PH1、在第三主延迟单元108<sub>2</sub>的输出处产生的第三主延迟线信号PH2、在第四主延迟单元108<sub>3</sub>的输出处产生的第四主延迟线信号PH3、在第五主延迟单元108<sub>4</sub>的输出处产生的第五主延迟线信号PH4、在第六主延迟单元108<sub>5</sub>的输出处产生的第六主延迟线信号PH5、在第七主延迟单元108<sub>6</sub>的输出处产生的第七主延迟线信号PH6、以及在第八主延迟单元108<sub>7</sub>的输出处产生的第八主延迟线信号PH7。第八主延迟线信号PH7也可以是主延迟线102的输出信号MDL\_OUT,如图1所示。

[0034] 第i个主延迟线信号PH(i-1)中的每个可具有相对于基准信号SIG\_REF的预期的相位延迟。如前所述,当主延迟线102被锁定时,主延迟单元108<sub>0</sub>至108<sub>M-1</sub>可每个都具有45度的预期的相位延迟。因此,对于第i个主延迟线信号PH(i-1)中的每个,相对于基准信号SIG\_REF的相位的各预期的相位延迟可以是预期的相位延迟(例如,45度)乘以对应于第i个主延迟单元108<sub>i</sub>的整数(i+1),其被配置成输出第i个主延迟线信号PH(i-1)。对于如图1所示的M=8的示例,相对于基准信号SIG\_REF的预期的相位延迟可对于第一主延迟线信号PH0为45度(45x1)、对于第二主延迟线信号PH1为90度(45x2)、对于第三主延迟线信号PH2为135度(45x3)、对于第四主延迟线信号PH3为180度(45x4)、对于第五主延迟线信号PH4为225度(45x5)、对于第六主延迟线信号PH5为270度(45x6)、对于第七主延迟线信号PH6为315度(45x7)、以及对于第八主延迟线信号PH7为360度(45x8)。

[0035] 对于由编程延迟调谐电路124进行的一个或多个比较中的每个,多个主延迟线信号的两个(或一对)可被选择。编程延迟调谐电路124可将选择的主延迟线信号之一作为输出TNG\_CIR\_OUT输出至从延迟线104。发送到从延迟线102的所选主延迟线信号可穿过从延迟线104以产生延迟的主延迟线信号,其可作为输出信号SIG\_OUT由从延迟线104输出。然后,延迟的主延迟线信号可被发送回编程延迟调谐电路124,在那里其可与其它被选择的主延迟线信号进行比较,以确定延迟的主延迟线信号与其它被选择的主延迟线信号之间的实际相位差。如果多于一对主延迟线信号被选择和比较,则可重复上述过程,直到所有对都被选择和比较,且实际的相位差被确定。

[0036] 如果只进行了一个比较,则从比较确定的实际相位差可用于调整或调谐编程延迟值PRG\_DEL,以产生调谐后的编程延迟值。如果进行了多个比较,则从多个比较确定的多个实际相位差可首先被平均,并且多个实际相位差的平均值可用于调整或调谐编程延迟值PRG\_DEL,以产生调谐后的编程延迟值。

[0037] 可根据用于标识要被选择和比较的主延迟线信号对的预定的选择方案做出主延迟线信号的选择。此外,对于一些示例,预定的选择方案还可以标识被标识的主延迟线信号对被选择用于比较的顺序。

[0038] 对于一些示例,选择方案可标识具有在彼此之间的预期的相位延迟的差异的主延迟线信号对,该预期的相位延迟与输出信号SIG\_OUT的期望的相位延迟一样。当主延迟单元108<sub>0</sub>至108<sub>M-1</sub>的预期的相位延迟与从延迟单元106<sub>0</sub>至106<sub>N-1</sub>的期望的相位延迟相同时,则可能的主延迟线信号对可包括主延迟线信号,这是N个数量的彼此分开的主延迟单元。作为示

例,对于图1中所示的主、从延迟线102、104,在N=2、M=8、且期望的相位延迟为90度的情况下,可能的主延迟线信号对可包括基准信号SIG\_REF和第二主延迟线信号PH1、第一主延迟线信号PH0和第三主延迟线信号PH2、第二主延迟线信号PH1和第四主延迟线信号PH3、第三主延迟线信号PH2和第五主延迟线信号PH4、第四主延迟线信号PH3和第六主延迟线信号PH5、第五主延迟线信号PH4和第七主延迟线信号PH6、以及第六主延迟线信号PH5和第八主延迟线信号PH7。

[0039] 此外,选择方案可标识所有、少于所有、或至少一个具有等于期望的相位延迟的相位延迟差的可能的主延迟线信号对。在标识少于所有可能的主延迟线信号对的示例中,对于被选择用于比较的下一主延迟线信号对,主延迟线信号之一与被选择用于比较的最近的(last)、前一对主延迟线信号是公共的。使用上述具有N=2、M=8、以及期望的相位延迟为90度的示例,这样的主延迟线信号对可包括基准信号SIG\_REF和第二主延迟线信号PH1、第二主延迟线信号PH1和第四主延迟线信号PH3、第四主延迟线信号PH3和第六主延迟线信号PH5、以及第六主延迟线信号PH5和第八主延迟线信号PH7。这一选择方案与被输入至编程延迟调谐电路124的基准信号SIG\_REF以及第二、第四、第六和第八主延迟线信号PH1、PH3、PH5和PH7一起示于图1中。或者,这样的主延迟线信号对可包括第一主延迟线信号PH0和第三主延迟线信号PH2、第三主延迟线信号PH2和第五主延迟线信号PH4、以及第五主延迟线信号PH4和第七主延迟线信号PH6。

[0040] 此外,选择方案可对于每个主延迟线信号对、标识主延迟线信号对中的哪个主延迟线信号在与其它主延迟线信号对比较之前穿过从延迟线104。在一个示例性方案中,选择方案可标识:具有相对于基准信号SIG\_REF的相位的更低的预期的相位延迟的主延迟线信号可通过从延迟线104发送。或者,具有更高预期的相位延迟的主延迟线信号可被选择。此外或可选地,对于一些示例性选择方案,可对于每个选择的主延迟线信号对进行两个比较——其中主延迟线信号对中的一个穿过从延迟线104的第一个比较、和其中主延迟线信号对中的另一个穿过从延迟线104的第二个比较。

[0041] 此外或可选地,在选择方案包括与下一个和前一个主延迟线信号对公共的主延迟线信号之一的情况下,公共的主延迟线信号可穿过从延迟线104,用于两个比较中的一个比较而不是另一个比较。例如,如果公共的主延迟线信号没有穿过从延迟线104用于最近的前一次比较,则公共的主延迟线信号可穿过从延迟线104用于下一次比较,反之亦然。或者,公共的主延迟线可以是主延迟线信号对中的穿过从延迟线104用于最近的前一次比较和下一次比较二者的主延迟线信号、或不穿过从延迟线104用于最近的前一次比较和下一次比较二者的主延迟线信号。

[0042] 此外或可选地,一些示例性的选择方案可将每个主延迟线信号对的主延迟线信号分开或组成两组主延迟线信号,一组包括或标识要穿过从延迟线104的主延迟线信号,另一组包括或标识与在第一组中被包括或被识别的主延迟线信号相比的主延迟线信号。

[0043] 根据选择方案被标识以被选择和比较的这些主延迟线信号可从主延迟线102传递到编程延迟调谐电路124。在图1中所示的示例性配置中,根据选择方案被标识用于选择和比较的主延迟线信号是基准信号SIG\_REF、第二主延迟线信号PH1、第四主延迟线信号PH3、第六主延迟线信号PH5、以及第八主延迟线信号PH7。

[0044] 图2示出了与从延迟线104和SDL偏压发生器112通信的编程延迟调谐电路124的示

例性配置的框图。编程延迟调谐电路124可包括被配置成从主延迟线102接收被标识的主延迟线信号并选择用于比较的信号对的选择电路。选择电路还可被配置成有选择性地和/或顺序地输出用于比较的所选对。选择电路可包括第一多路复用器(MUX1)202和第二多路复用器(MUX2)204。第一多路复用器202可被配置成接收通过从延迟线104传送的主延迟线信号对中的主延迟线信号。第二多路复用器204可被配置成接收要与在后面的信号通过从延迟线104传送之后发送到第一多路复用器202的主延迟线信号比较的主延迟线信号对中的主延迟线信号。

[0045] 编程延迟调谐电路124还可包括控制器206。控制器206可被配置成接收根据选择方案标识的主延迟线信号的一对或多对中的每个，并且对于每对，比较主延迟线信号的相位且确定相位之间的相位差。

[0046] 此外，控制器206可被配置成比如从系统100、主-从DLL电路、和/或编程延迟调谐电路124外部的外部控制器，接收初始编程延迟值PRG\_DEL。控制器206还可被配置成产生和输出编程延迟输出值PRG\_DEL至SDL偏压发生器112。编程延迟输出值PRG\_DEL\_OUT与控制电压V\_CTRL一起可用于生成从偏压V\_sb，如前所述。

[0047] 控制器206还可被配置成确定是否基于主延迟线信号的一对或多对的确定的一个或多个相位差来调整和/或调谐初始编程延迟值PRG\_DEL。例如，根据该一个或多个相位差，控制器206可被配置成确定初始编程延迟PRG\_DEL的一位或多位的调整是否可生成比起如果代替地使用初始编程延迟值而更接近期望的相位延迟的输出信号SIG\_OUT的实际相位延迟。如果是，则控制器206可调整和/或调谐初始编程延迟值PRG\_DEL以产生调谐的编程延迟值。然后，调谐的编程延迟值可以是发送至SDL偏压发生器112的编程延迟输出值PRG\_DEL\_OUT。或者，如果不是，则控制器206可不调整和/或调谐初始编程延迟值PRG\_DEL，且初始编程延迟值PRG\_DEL可以是发送至SDL偏压发生器112的编程延迟输出值PRG\_DEL\_OUT。

[0048] 当选择方案只标识将被选择和比较的单独一对主延迟线信号时，控制器206可被配置成确定是否基于一个相位差来调整初始编程延迟值PRG\_DEL。或者，当选择方案标识将被选择和比较的多对主延迟线信号时，控制器206可被配置成确定与多个对相关联的多个相位差的平均值。控制器206可被配置成确定是否基于平均值调整初始编程延迟值PRG\_DEL和/或调整初始编程延迟值PRG\_DEL多少(how much)。

[0049] 控制器206还可被配置成控制由第一多路复用器202和第二多路复用器204选择的主延迟线信号对的选择。控制器206可被配置成产生和/或输出选择信号或信号总线SEL1和SEL2分别至第一多路复用器202和第二多路复用器204。对于一些示例性配置，选择信号SEL1和SEL2可以是发送到其各自的多路复用器202、204的差信号。或者，选择信号可以是相同的信号。即，控制器206可被配置成仅输出一个选择信号，以控制第一多路复用器202和第二多路复用器204二者。

[0050] 第一和第二多路复用器202、204可被配置成接收其各自的选择信号SEL1、SEL2。基于接收到的选择信号SEL1、SEL2，第一和第二多路复用器202、204中的每个可被配置成选择并输出接收到的主延迟线的信号之一作为各自的多路复用器输出信号MUX1\_OUT和MUX2\_OUT。

[0051] 控制器206可被配置成按照预定的选择方案选择要由第一和第二多路复用器202、204输出的主延迟线信号对和/或输出选择信号SEL1、SEL2。此外，控制器206可被配置成响

应于确定和/或登记在所选的最近的前一对主延迟线信号之间的相位差,根据选择方案选择用于比较的下一主延迟线信号对。

[0052] 为了说明,图2示出了第一和第二多路复用器202、204,作为被配置成在每对信号被N个主延迟单元分开的情况下、在要被选择的下一对具有与被选择和比较的最近的前一对公共的主延迟线信号的情况下、以及在当最近的前一对主延迟线信号的部分时、公共的主延迟线信号不通过从延迟线104传送且当下一主延迟线信号对的部分时、公共的主延迟线信号通过从延迟线104传送的情况下,根据预定的选择方案接收主延迟线信号对。具体地,对于在N=2、M=8的情况下,从延迟线102、104,四对主延迟线信号被输入到多路复用器202、204,构成选择电路——包括基准信号REF\_SIG和第二主延迟线路信号PH1的第一对、包括第二主延迟线路信号PH1和第四主延迟线信号PH3的第二对、包括第四主延迟线信号PH3和第六主延迟线信号PH5的第三对、以及包括第六主延迟线信号PH5和第八主延迟线信号PH7的第四对。更为详细的,由第一多路复用器202接收和被发送至从延迟线104的主延迟线信号对的主延迟线信号是第一对中的基准信号REF\_SIG、第二对中的第二主延迟线信号PH1、第三对中的第四主延迟线信号PH3、以及第四对中的第六主延迟线信号PH5。由第二多路复用器204接收的主延迟线信号对的主延迟线信号是第一对中的第二主延迟线信号PH1、第二对中的第四主延迟线信号PH3、第三对中的第六主延迟线信号PH5、以及第四对中的第八主延迟线信号PH7。此外,根据选择方法,控制器206可被配置成第一选择第一对,第二选择第二对,第三选择第三对,以及第四选择第四对。

[0053] 为进行初始编程延迟值的调谐,控制器206被配置成初始地提供初始编程延迟值PRG\_DEL作为向SDL偏压产生器112的编程延迟输出值PRG\_DEL,该SDL偏压产生器112又可产生从偏压V<sub>sb</sub>,使得从延迟线104具有基于初始编程延迟值PRG\_DEL的初始相关联的相位延迟。

[0054] 此外,控制器206可被配置成输出选择信号SEL1、SEL2至第一和第二多路复用器202、204,以使第一对主延迟线信号被首先输出——即,第一多路复用器输出MUX1\_OUT为基准信号REF\_SIG,第二多路复用器输出MUX2\_OUT为第二主延迟线路信号PH1。基准信号REF\_SIG可作为编程延迟调谐电路124的输出TNG\_CIR\_OUT被发送至从延迟线104。基准信号REF\_SIG可通过从延迟线104传送,且基准信号REF\_SIG的延迟版本可作为输出SIG\_OUT从该从延迟线104输出。如图2所示,基准信号REF\_SIG的延迟版本可被发送至控制器206,其可比较基准信号REF\_SIG的延迟版本与由第二多路复用器204输出的第二主延迟线信号PH1。基于该比较,控制器206可确定基准信号REF\_SIG的延迟版本和第二主延迟线信号PH1之间的相位差。控制器206可被配置成登记或以其它方式存储所确定的相位差。

[0055] 在确定了基准信号REF\_SIG的延迟版本和第二主延迟线信号PH1之间的相位差和/或登记了所确定的相位差之后,控制器206可选择下一(即,第二)对主延迟线信号并输出选择信号SEL1和SEL2,以使第二对由第一和第二多路复用器202、204分别输出。在确定和/或登记第二主延迟线信号PH1的延迟版本和第四主延迟线信号PH3之间的相位差之后,控制器206可输出选择信号SEL1和SEL2,以使第三对由第一和第二多路复用器202、204分别输出。在确定和/或登记第四主延迟线信号PH3的延迟版本和第六主延迟线信号PH5之间的相位差之后,控制器206可输出选择信号SEL1和SEL2,以使第四对由第一和第二多路复用器202、204分别输出。可确定和/或登记第六主延迟线信号PH5的延迟版本和第八主延迟线信号PH7

之间的相位差。此后,控制器206可确定没有更多对主延迟线信号以根据选择方案来选择和比较。

[0056] 随后,控制器206可被配置成确定登记的相位差的平均值。基于该平均值,控制器206可确定对初始编程延迟值PRG\_DEL是否调谐和/或调谐多少。基于该确定,控制器206可调谐输出调谐的编程延迟值作为编程延迟输出值PRG\_DEL\_OUT,或替代地继续输出初始编程延迟值PRG\_DEL作为编程延迟输出值PRG\_DEL\_OUT至SDL偏压发生器112。如果初始编程延迟值PRG\_DEL被调谐,则可基于控制电压V<sub>CTRL</sub>和调谐的编程延迟值产生新的或调整后的从偏压V<sub>sb</sub>,这又可调谐从延迟线104的相关联的相位延迟。

[0057] 编程延迟调谐电路124还可包括第三多路复用器(MUX3)208,其被配置成接收并有选择地输出第一多路复用器202的输出MUX1\_OUT和到系统100和/或主-从DLL电路的输入信号SIG\_IN。输入信号SIG\_IN可以是与基准信号REF\_SIG相位对准的相位对准信号和/或数据信号(未示出)。此外或可选地,输入信号SIG\_IN可以是期望地或预期地使其相位由从延迟线104延迟的信号。示例性输入信号SIG\_IN可以是用于锁存数据信号(未示出)的数据的选通信号,其与数据信号相位对准。因此选通信号可用于在选通信号的上升沿和下降沿二者锁存数据,可以期望选通信号具有根据数据信号的期望的相位偏移,比如90度。因此,选通信号可被发送至主-从DLL电路的从延迟线104以产生具有期望延迟的选通信号的延迟版本。

[0058] 当控制器206确定进行初始编程延迟值PRG\_DEL的调谐时,控制器206可被配置成输出调谐使能信号TNG\_EN,其构成第三多路复用器208,以输出第一多路复用器202的输出MUX1\_OUT。或者,当控制器206确定不进行初始编程延迟值PRG\_DEL的调谐时,控制器206可输出调谐使能信号TNG\_EN,以使第三多路复用器208被配置成输出输入信号SIG\_IN。

[0059] 在一个示例性情形中,控制器206可确定在其已完成调谐的进行后不进行调谐。为了说明,使用上述示例,在第四(即最后)对主延迟线信号被比较之后,平均值被确定,并且进行初始编程延迟值PRG\_DEL的任何调谐,控制器206可被配置成输出调谐使能信号TNG\_EN以配置第三多路复用器208,使得输入信号SIG\_IN、而不是第一多路复用器202的输出MUX1\_OUT可被传送到从延迟线104。反过来,从延迟线104可在其相关联的相位延迟被调谐之后,延迟输入信号SIG\_IN。

[0060] 在另一示例性情形中,如果主-从DLL尚未锁定,则控制器206可确定不进行调谐。即,如果主-从DLL电路本身尚未锁定,可能不期望控制器206对其正在接收的初始编程延迟值PRG\_DEL进行调谐。因此,控制器206可被配置成接收由锁定检测器120输出的锁定信号LOCK(图1)。如果锁定信号LOCK指示主-从DLL电路没有锁定,则控制器206可确定不对接收到的编程延迟值PRG\_DEL进行任何调谐。

[0061] 此外,如图1所示,控制器206可被配置成接收时钟信号CLK,以控制其正在进行的业务和/或功能的时间。可从各种源之一接收时钟信号CLK。在一个示例性配置中,时钟信号CLK可以是第一多路复用器202的输出MUX1\_OUT。或者,时钟信号CLK可以是基准信号REF\_SIG。在另一可选配置中,时钟信号CLK可以是到系统100的、具有至少与基准信号REF\_SIG的频率一样快的时钟频率的外部输入。

[0062] 图3示出了控制器206的示例性电路实现300。示例性电路实现300可包括前端比较器电路302,其可被配置成接收和确定第二多路复用器204的输出MUX2\_OUT和从延迟线104

的输出SIG\_OUT之间的相位差。基于该相位差,前端复用器电路302可输出增加和减少信号INC、DEC,其指示对初始编程延迟值PRG\_DEL是否调整和/或调谐、和/或调整和/或调谐多少。

[0063] 控制器206的示例性电路实现300还可包括后端处理电路304,其可被配置成从前端比较器电路302接收增加和减少信号INC、DEC。基于增加和减少信号INC、DEC,后端处理电路304可被配置成调整和/或调谐初始编程值PRG\_DEL。具体地,响应于增加信号INC的接收,后端处理电路304可被配置成根据由增加信号INC指示的量来增加初始编程延迟值PRG\_DEL。此外,响应于减少信号DEC的接收,后端处理电路304可被配置成根据由减少信号DEC指示的量来减少初始编程延迟值PRG\_DEL。

[0064] 对于一些示例性配置,后端处理电路304可被配置成登记和/或存储指示初始编程延迟值PRG\_DEL要被增加或减少的量的值,如增加和/或减少信号INC、DEC所指示的。如前所述,多对主延迟线信号可传送到控制器206,作为输出信号MUX2\_OUT和SIG\_OUT,以确定与多对相关联的多个相位差。然后,多个相位差的平均值可被确定,其可用于调整初始编程延迟值PRG\_DEL。因此,后端处理电路304可被配置成从前端比较器电路302接收多个增加和/或减少信号INC、DEC,每个基于多对主延迟线信号之一产生。当所有主延迟线信号对被传送到前端比较器电路302且指示初始编程延迟值PRG\_DEL增加或减少的量的多个值被登记和/或存储时,后端处理电路304可被配置成确定所述多个值的平均值。然后,后端处理电路304可被配置成使用该平均值以确定对初始编程延迟值PRG\_DEL是否调整和/或调谐、和/或调整和/或调谐多少。

[0065] 对于一些示例性配置,后端处理电路304可被配置成在由步长或计数来确定的增量和减量中,增加和减少初始编程延迟值PRG\_DEL。例如,后端处理电路304可包括被配置成将初始编程值PRG\_DEL识别为初始计数值和/或将初始编程值PRG\_DEL与初始计数值相关联。响应于增加和减少信号INC、DEC和/或根据多个增加和/或减少信号INC、DEC确定的平均值,计数器可被配置成由相应数量的数或步来增加或减少初始计数值。此外或可选地,当初始编程延迟值PRG\_DEL是如前所述的多位值时,初始编程延迟值PRG\_DEL中的增加或减少可对应于多位值的一位或多位的变化。

[0066] 除了调谐和/或调整初始编程延迟值PRG\_DEL以外,后端处理电路304可被配置成进行控制器206的其它功能。例如,后端处理电路304可被配置成产生和输出编程延迟输出值PRG\_DEL\_OUT输出至SDL偏压发生器112,无论作为初始编程延迟值PRG\_DEL,还是调谐后的编程延迟值。此外,后端处理电路304可被配置成分别输出选择信号SEL1、SEL2至第一和第二多路复用器202、204。同样,后端处理电路304可被配置成确定是否进行初始编程延迟值PRG\_DEL的调谐,诸如以响应于锁定信号LOCK的接收,并产生和输出调谐使能信号TNG\_EN至第三多路复用器208,如前所述。

[0067] 后端处理电路304可包括和/或使用一个或多个状态机来进行其功能。此外,后端处理电路304可以以硬件或硬件和软件的某些组合来实现。例如,后端处理电路304可在硬件逻辑和/或数字逻辑中实现。此外或可选地,后端处理电路304可包括和/或实现为至少一个通用处理器、数字信号处理器、控制器、微控制器、专用集成电路、现场可编程门阵列、模拟电路、数字电路、其组合、或其它现在已知或以后开发的处理器。处理器可一起或分别地配置,其可以是单个设备、多个设备、或设备的组合,比如与网络或分布式处理相关联的组

合。任何不同的处理策略可被使用,比如多处理、多任务、并行处理、远程处理等。处理器可响应于和/或配置成执行作为软件、硬件、集成电路、固件、微代码等的一部分存储的指令。

[0068] 对于一些示例性配置,后端处理电路304可被配置成使用存储器306来传送、访问、和/或进行其功能。存储器306可以是非暂时性计算机可读存储介质。计算机可读存储介质可包括各种类型的易失性和非易失性存储介质,包括但不限于随机存取存储器、只读存储器、可编程只读存储器、电可编程只读存储器、电可擦除只读存储器、闪速存储器、磁带或磁盘、光学介质等。存储器306可一起或分别地配置,并且可以是单个设备或者设备的组合。存储器306可以邻近处理器、是处理器的一部分、与处理器构成网络、和/或从处理器可移动。用于执行而在一个或多个非暂时性计算机可读存储介质中编码的逻辑被定义为由后端处理电路304执行的指令,且其在计算机可读存储介质、存储器、或其组合上提供。

[0069] 存储器306可以是具有存储在其中的表示由后端处理电路304执行的指令的数据的计算机可读存储介质。存储器306可存储用于后端处理电路306的指令。后端处理电路可被编程并执行该指令。图中图示的或本文描述的功能、动作、方法或任务可由执行存储在存储器306中的指令的后端处理电路304来执行。该功能、动作、方法或任务可以独立于特定类型的指令设定、存储介质、处理器或处理策略,且可通过软件、硬件、集成电路、固件、微代码等进行,单独操作或组合使用。该指令可用于实现本文描述的过程、技术、方法或行为。

[0070] 对于示例性电路实现300,前端比较器电路302可包括被配置成接收第二多路复用器204的输出MUX2\_OUT和从延迟线104的输出SIG\_OUT的相位频率检测器308。基于接收到的输出MUX2\_OUT和SIG\_OUT,相位频率检测器308可被配置成产生UP和DOWN信号。UP和DOWN信号可基于边沿之间的时间差来产生,比如第二多路复用器204的输出MUX2\_OUT和从延迟线104的输出SIG\_OUT的上升沿。UP和DOWN信号可指示哪个边沿首先到达。具体地,如果输出MUX2\_OUT的边沿早于输出SIG\_OUT的边沿到达,则相位频率检测器308可输出UP信号(或UP信号可以是逻辑高电平输出,而DOWN信号可以是逻辑低电平输出)。或者,如果输出SIG\_OUT的边沿早于基准信号MUX2\_OUT的边沿到达或在同时到达,则相位频率检测器308可输出DOWN信号(或DOWN信号可以是逻辑高电平输出,而UP信号可以是逻辑低电平输出)。

[0071] 相位频率检测器308可被配置成输出UP和DOWN信号至延展(stretching)电路310。延展电路310可被配置成暂时延展或延长UP和DOWN信号指示的时间差。延展电路310可被包括,这是因为由于输出MUX2\_OUT和SIG\_OUT的边沿的到达时间的差小(例如,皮秒的量级)所导致的UP和DOWN信号指示的时间差对于由后端处理电路304识别和/或利用而言可能太小。延展电路310可被配置成暂时延展或延长该时间差,以产生增加和减少信号INC、DEC,然后其可被输出至后端处理电路304。

[0072] 图4示出控制器206的另一示例性电路实现400。示例性电路实现400可类似于图3所示的示例性电路图实现300,不同之处在于代替具有相位检测器和延展电路二者,前端比较器电路402可包括被配置为基于输出MUX2\_OUT、SIG\_OUT来接收输出MUX2\_OUT、SIG\_OUT和生成的增加和减少信号INC、DEC的正边沿差电路404。

[0073] 图5示出另一示例性系统500,其可类似于示例性系统100,不同之处在于代替具有一个从延迟线104,示例性系统500可包括多个或P个从延迟线504<sub>0</sub>至504<sub>P-1</sub>,其中P为2或更多。P个从延迟线504<sub>0</sub>至504<sub>P-1</sub>中的每个可被配置成产生P个输出信号SIG\_OUT<sub>0</sub>至SIG\_OUT<sub>P-1</sub>之一,每个具有相对于各自的输入信号SIG\_IN<sub>0</sub>至SIG\_IN<sub>P-1</sub>的相位被延迟或偏移的相位。输

入信号SIG\_IN<sub>0</sub>至SIG\_IN<sub>P-1</sub>可以是相同信号,或者可选地它们可以是不同的信号。对于一些示例性配置,从延迟线504<sub>0</sub>至504<sub>P-1</sub>彼此可具有相同的期望的相位延迟和/或具有相同数量的从延迟单元。或者,一个或多个从延迟线504<sub>0</sub>至504<sub>P-1</sub>彼此可具有不同的期望的相位延迟和/或具有不同数量的从延迟单元。系统500还可包括P个SDL偏压发生器512<sub>0</sub>至512<sub>P-1</sub>,每个被配置成分别地或独立地提供各自的从偏压V<sub>sb0</sub>至V<sub>sbP-1</sub>给相关联的从延迟线504<sub>0</sub>至504<sub>P-1</sub>。

[0074] 此外,系统500可以包括具有P个编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>的调谐电路。编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>中的每个可被配置成各自输出P个编程延迟输出值PRG\_DEL\_OUT<sub>0</sub>至PRG\_DEL\_OUT<sub>P-1</sub>中的一个至相关联的从延迟线504<sub>0</sub>至504<sub>P-1</sub>。此外,编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>中的每个可被配置成分别地或独立地调谐P个初始编程延迟值PRG\_DEL<sub>0</sub>至PRG\_DEL<sub>P-1</sub>,以产生各自的调谐后的编程延迟值作为编程延迟输出值PRG\_DEL\_OUT<sub>0</sub>至PRG\_DEL\_OUT<sub>P-1</sub>。初始编程延迟值PRG\_DEL<sub>0</sub>至PRG\_DEL<sub>P-1</sub>可以是相同或彼此不同,这取决于从延迟线504<sub>0</sub>至504<sub>P-1</sub>的期望的相位延迟、实际的相位延迟、和/或期望的和实际的相位延迟之间的差。编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>中的每个可通过分别地或独立地选择和比较一个或多个主延迟线信号对来调谐各自的初始编程延迟值PRG\_DEL<sub>0</sub>至PRG\_DEL<sub>P-1</sub>,其中每对的信号之一在比较之前穿过从延迟线504<sub>0</sub>至504<sub>P-1</sub>中的相关联的一个。每个SDL偏压发生器512<sub>0</sub>至512<sub>P-1</sub>可接收调谐后的编程延迟值PRG\_DEL\_TND<sub>0</sub>至PRG\_DEL\_TND<sub>P-1</sub>中的各自的一个和控制电压V<sub>CTRL</sub>,以产生各自的从偏压V<sub>sb0</sub>至V<sub>sbP-1</sub>。

[0075] P个编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>构成调谐电路可以以各种方式来实现。例如,编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>中的每个可分别地配置成参考附图2-4示出和描述的。或者,编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>的一个或多个组件来524<sub>p\_i</sub>可公共或共享。例如,编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>可具有公共的后端处理电路和/或存储器,其可被配置成进行P个初始编程延迟值PRG\_DEL调谐或调整并产生和输出P个编程延时输出值PRG\_DEL\_TND<sub>0</sub>至PRG\_DEL\_TND<sub>P-1</sub>至各自的SDL偏压发生器512<sub>0</sub>至512<sub>P-1</sub>。编程延迟调谐电路524<sub>0</sub>至524<sub>P-1</sub>的各种配置或配置的组合是可能的。

[0076] 图6示出了调谐至少一个初始编程延迟值以产生至少一个调谐后的编程值,该编程值用于设定主-从DLL电路的至少一个从延迟线的至少一个相位延迟的示例性方法600。为简单起见,示例性方法600关于调谐初始编程延迟值以产生调谐后的编程值用于一个从延迟线进行描述。然而,方法600可同样适用于多个从延迟线,其中一个或多个初始编程延迟值被分别地或独立地调谐,以产生用于多个从延迟线的多个调谐后的编程值。

[0077] 在方框602,基准信号——比如基准时钟信号——可由主-从DLL电路接收。具体地,基准信号可由锁定电路和主-从DLL电路的主延迟线接收。在方框604中,主-从DLL电路可调整和/或调谐控制电压,该控制电压用于产生施加到主延迟线的主延迟单元的主偏压,直到主延迟线稳定地输出从基准信号相位延迟例如一个周期或360度异相的输出信号,在此时,主-从DLL电路可被锁定,并且锁定电路可输出锁定信号。

[0078] 在方框606,编程延迟调谐电路的控制器可接收来自锁定电路的锁定信号。作为响应,控制器可被配置成确定开始进行编程延迟值的调谐,该编程延迟值用于设定从延迟线的从延迟单元上的从偏压。编程延迟值可以是初始值,该初始值从基于从延迟线的期望的相位延迟的多个编程延迟值、主-从DLL电路被锁定时从延迟线的实际的相位延迟、和/或实际的相位延迟与期望的相位延迟之间的相位差中被确定和/或选择。编程延迟值可由控制

器接收,而不是由产生从偏压的从延迟线偏压发生器直接接收。

[0079] 此外,在方块606,响应于确定开始进行编程延迟值的调谐,控制器可输出调谐使能信号至提供输出到从延迟线的输入端的多路复用器。响应于调谐使能信号,多路复用器可从被配置成输出与基准信号相位对准的输入信号至从延迟线切换为被配置成从主延迟线输出一个或多个主延迟线信号至从延迟线。

[0080] 在方框608,在沿主延迟线的不同点处产生的一对主延迟线信号可被选择并输出用于相位差比较。该对主延迟线信号可从多个要被比较的主延迟线信号对中选择。对于一些示例性方法,控制器可根据标识要被比较的主延迟线信号对和/或标识该对主延迟线信号可被比较的顺序的选择方案,从多个主延迟线信号对中选择该对主延迟线信号,如前所述。

[0081] 要被选择和比较的主延迟线信号对可被传送至编程延迟调谐电路的选择电路。在一些示例性方法中,对于每对主延迟线信号,该对的第一主延迟线信号可被传送至第一多路复用器,该对的第二主延迟线信号可被传送至第二多路复用器。

[0082] 为了从多个主延迟线信号对中选择来该对主延迟线信号,控制器可产生并输出一个或多个选择信号至选择电路。响应于接收到一个或多个选择信号,选择电路可输出所选的主延迟线信号对。例如,响应于接收到第一选择信号,第一多路复用器可从其正在接收的多个主延迟线信号中选择并输出第一主延迟信号,并且第二多路复用器可从其正在接收的多个主延迟线信号中选择并输出第二主延迟信号。

[0083] 在方框610,在方框608中所选的主延迟线信号对的第一主延迟线信号可通过从延迟线被传送以产生延迟的第一主延迟线信号,且该对的第二主延迟线信号可不通过从延迟线传送。在方框612,控制器可接收延迟的第一主延迟线信号和第二主延迟线信号并确定这两个信号之间的相位差。此外,在方框612,控制器可登记该相位差。

[0084] 在方框614,控制器可确定是否选择另一或下一主延迟线信号对用于相位差比较。对于一些示例性方法,控制器可基于选择方案做出该确定,如前所述。如果要选择另一个或下一主延迟线信号对,则方法600可退回到方框608用于选择。如果不要选择,则方法600可前进到方框616。作为替代的方法,如果只比较一个主延迟线信号对,则可跳过方框608的选择,且该方法可直接从方框606前进到方框610,其中该对中的一个主延迟线信号可通过从延迟线传送。

[0085] 在方框616,控制器可确定多个确定的和登记的相位差的平均值。作为替代的方法,如果控制器仅进行一个比较以确定一个相位差,则控制器可使用一个相位差作为该平均值。在方框618,控制器可通过对应于该平均值的量来调整和/或调谐编程延迟值。如前所述,对于一些示例,平均值可对应于许多通过其来调整编程延迟值的计数值或步长。此外或可选地,当编程延迟值是多个位组成的多位值时,该平均值可指示多个位中的哪个位和/或多少个位从逻辑低(0)值改变为逻辑高(1)值,反之亦然。

[0086] 在方框620,控制器可输出调整后的和/或调谐后的编程延迟值作为至从延迟线偏压发生器的输出编程延迟值。作为响应,在方框622,从延迟线偏压发生器可输出调整后的和/或调谐后的从偏压至构成从延迟线的从延迟单元。

[0087] 在方框624,控制器可确定其已完成编程延迟值的调谐,并可输出调谐禁用信号至提供到从延迟线的输出的多路复用器。响应于调谐禁用信号的接收,多路复用器可切换回

被配置成输出与基准信号相位对准的输入信号至从延迟线。

[0088] 在方框626,输入信号可从多路复用器的输出通过从延迟线被传送,其中输入信号可被正在由从偏压偏置的从延迟单元来相位延迟,该从偏压至少部分地基于调谐后的编程延迟值来设定到一电平。

[0089] 上述详细描述意在被理解为实施例可进行的所选形式的说明,而不意在限制以下权利要求。此外,以下权利要求中的一些可声明组件可操作以进行特定功能或配置,用于特定任务。应该注意,这些不是约束性的限制。还应注意,权利要求中记载的动作可以以任意顺序进行,并非必须以其所记载的顺序进行。此外,本文描述的任何优选实施例的任何方面可单独使用或互相组合使用。总之,虽然已经参考其某些实施例相当详细地描述了本发明,但其它形式也是可能的。因此,所附权利要求的精神和范围不应受限于本文包含的实施例的描述。

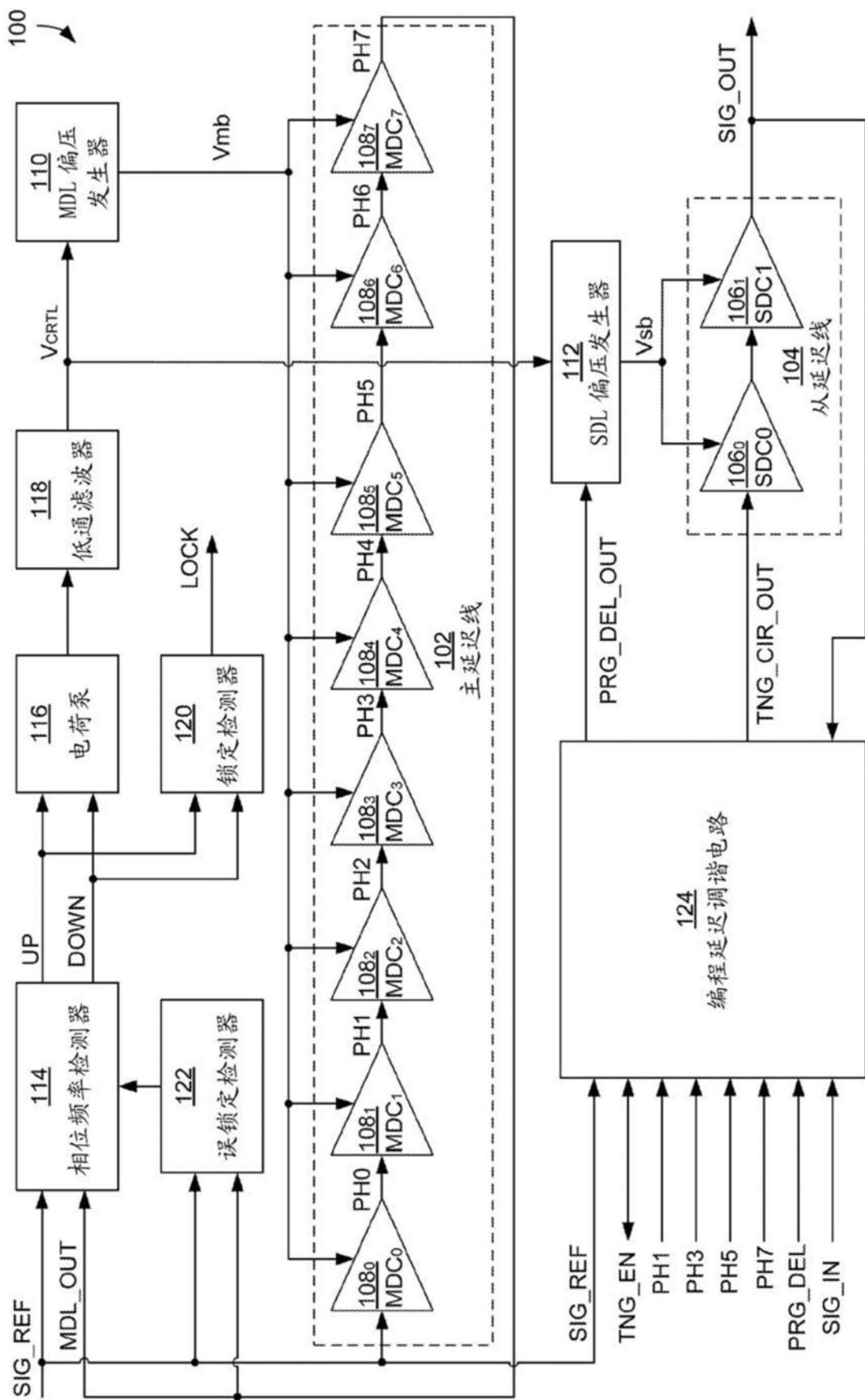


图1

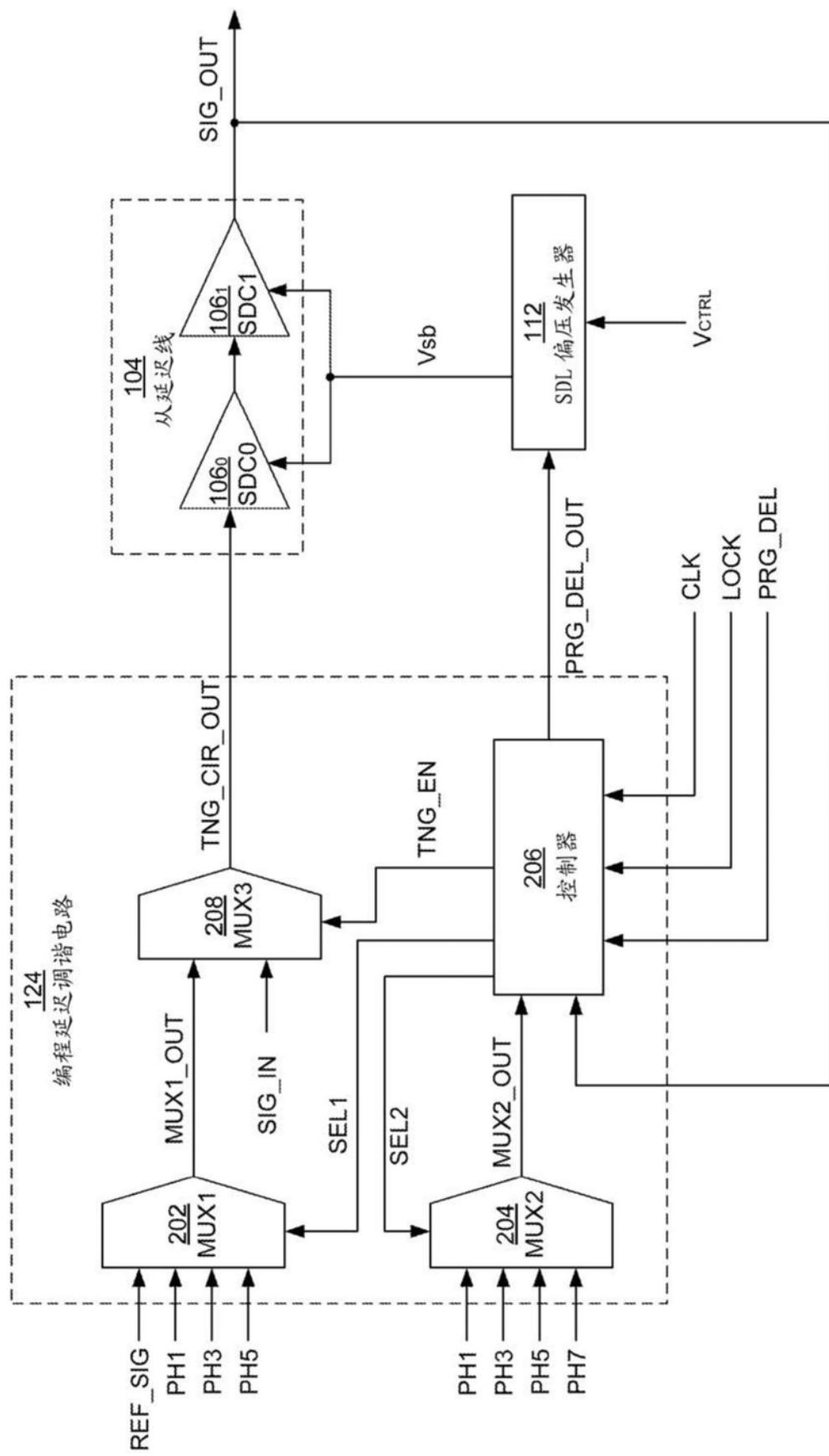


图2

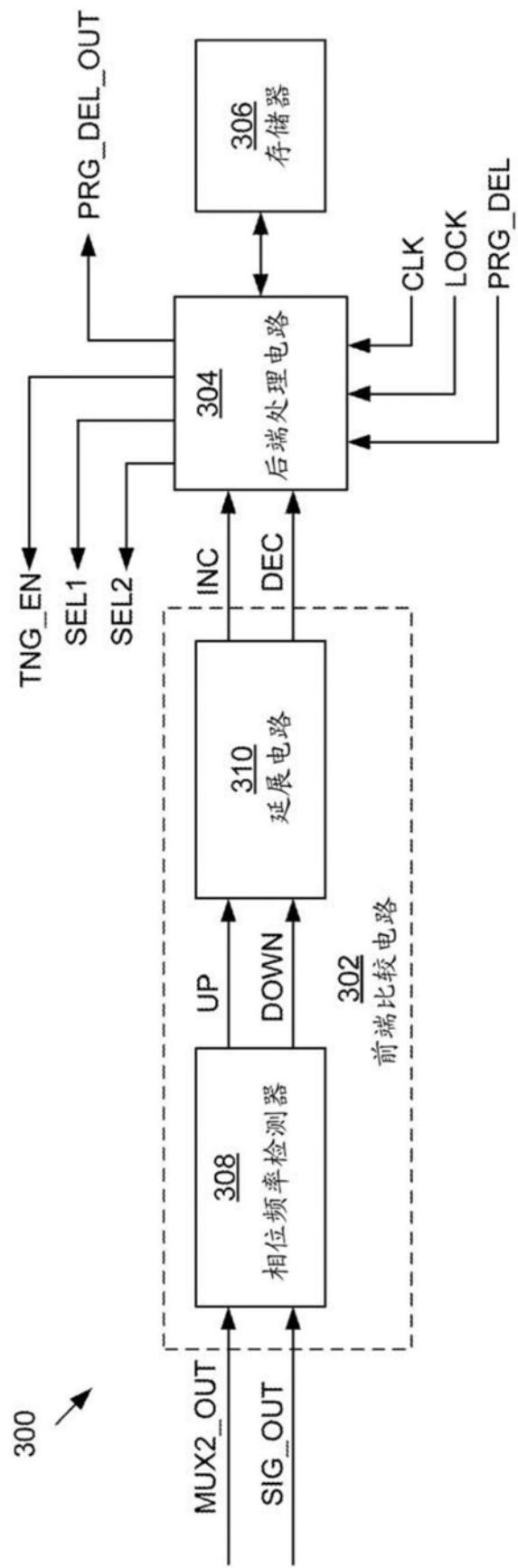


图3

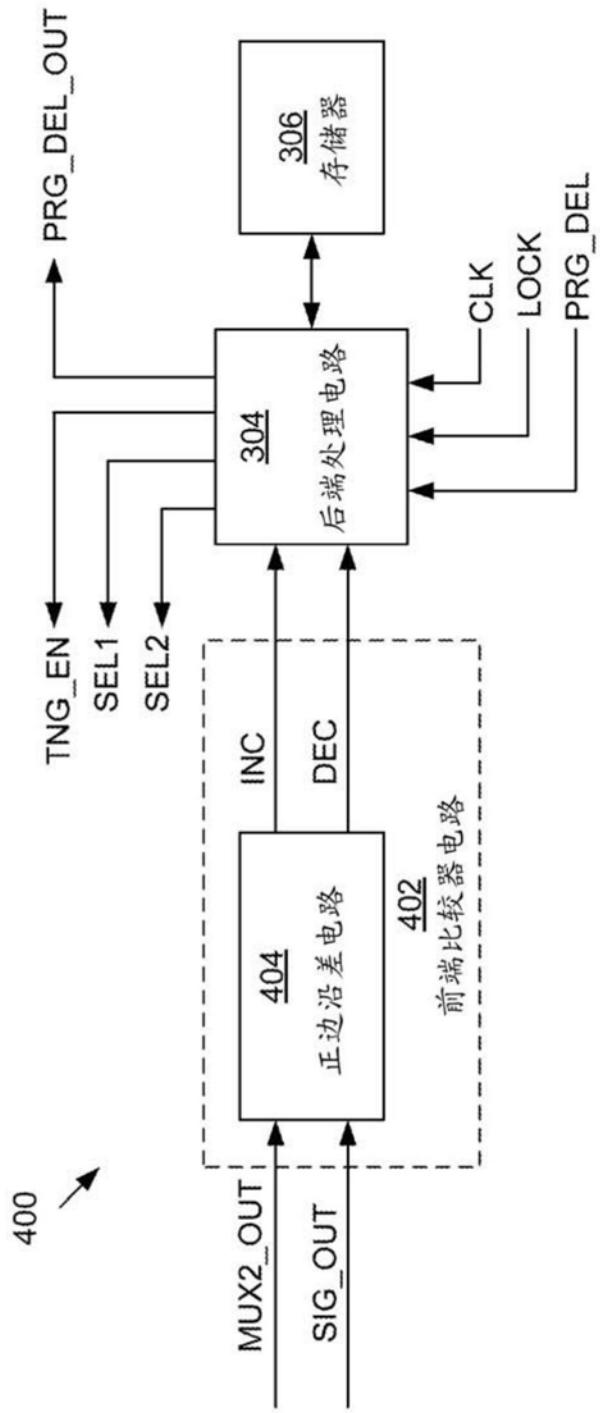


图4

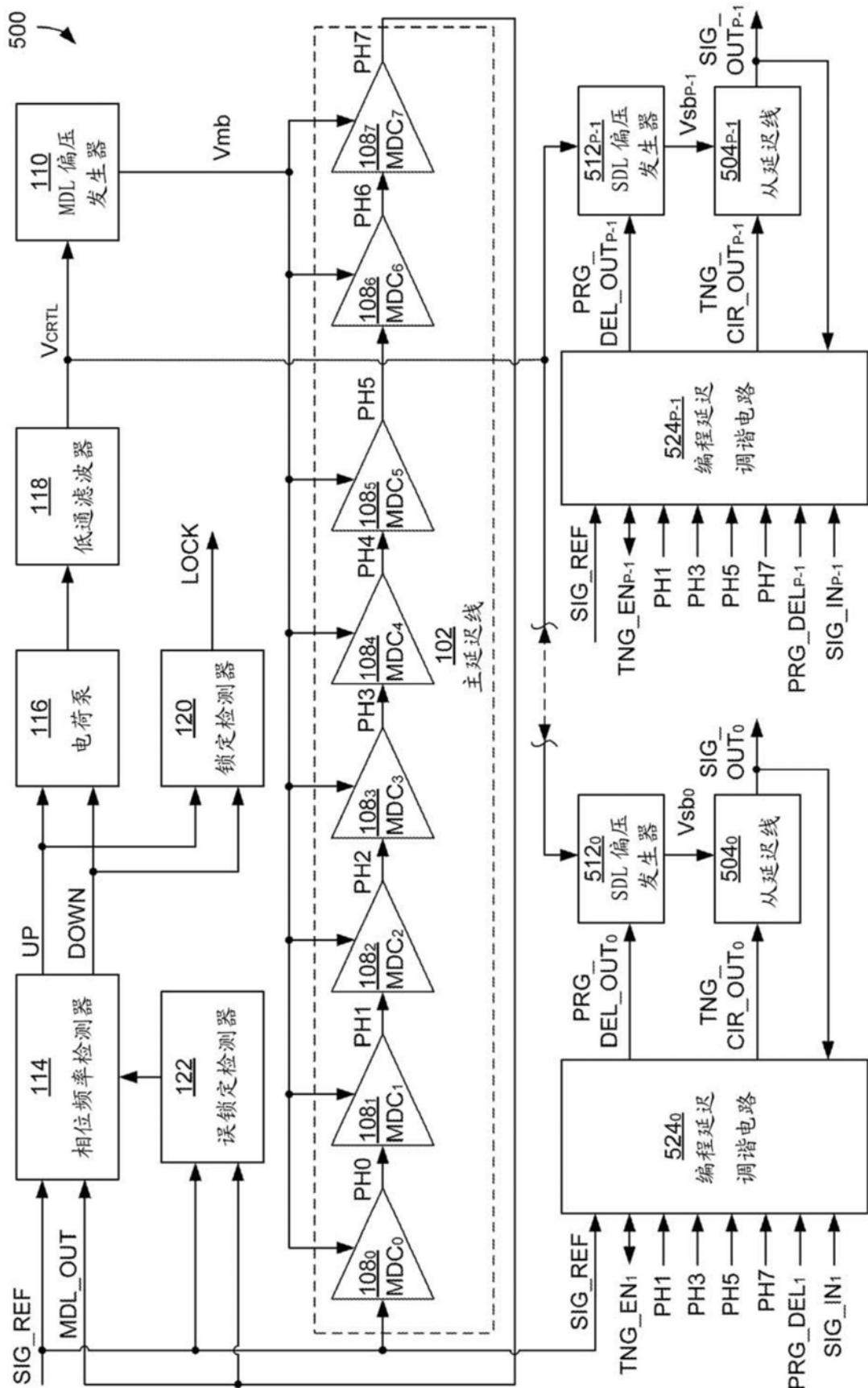


图5

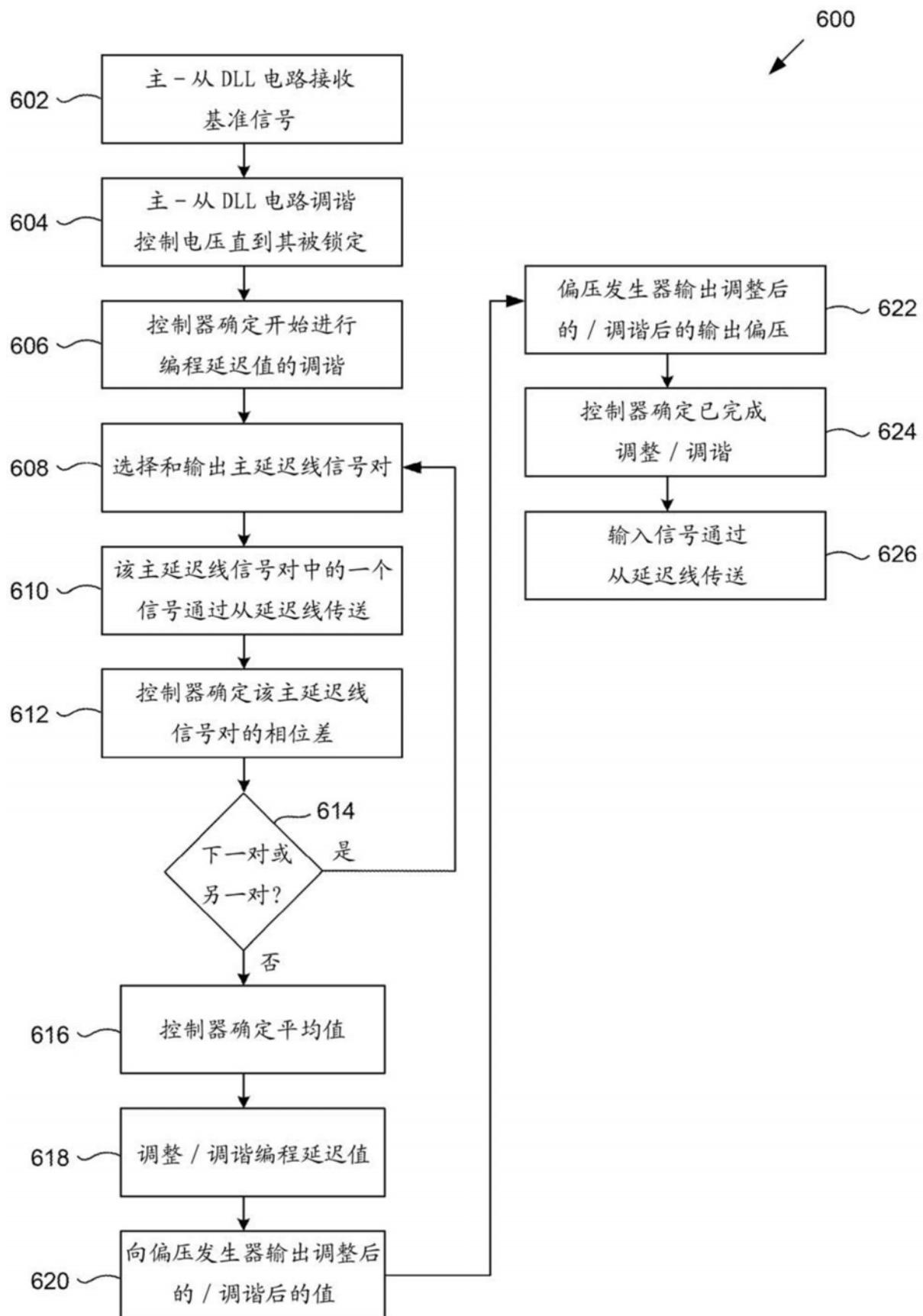


图6