



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

248859

(11) (B1)

(51) Int. Cl.⁴

G 06 F 13/28

/22/ Přihlášeno 28 06 85
/21/ PV 4809-85

(40) Zveřejněno 17 07 86

(45) Vydáno 15 01 88

(75)

Autor vynálezu

MÁČA MIROSLAV ing., BLANSKO

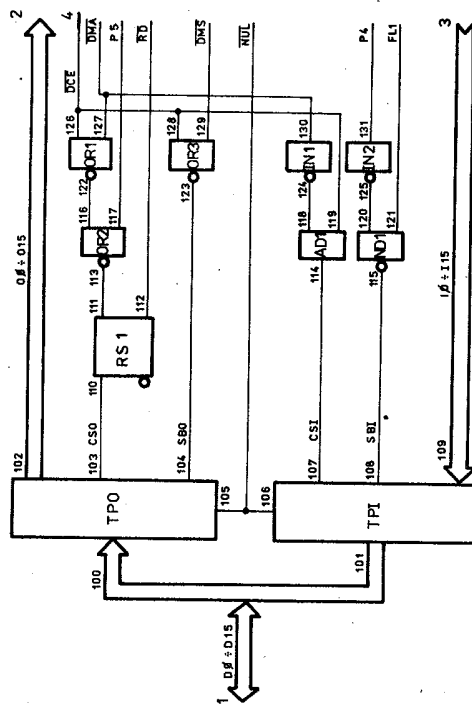
(54) Zapojení programovatelného řadiče přímého přístupu k operační paměti

Zapojení se týká oboru výpočetní techniky.

Předmět návrhu řeší technický problém zapojení programovatelného řadiče přímého přístupu k operační paměti určeného především pro výpočetní systémy malého rozsahu, zejména inteligentní terminály.

Podstata řešení spočívá v tom, že řadič umožňuje rychlou adaptaci výpočetního systému na většinu typů periferních zařízení, pracujících se šestnáctibitovým datovým slovem. Požadovaný způsob činnosti řadiče podle typu připojeného periferního zařízení se předvolí inicializační částí obslužného programu pomocí jedenáctibitového řídicího slova bez nutnosti zásahu do vnitřních obvodů řadiče.

Zapojení je možné využít ve výpočetních systémech, zejména u inteligentních terminálů.



Obr. 1a

Vynález se týká zapojení programovatelného řadiče přímého přístupu k operační paměti, určeného především pro výpočetní prostředky malého rozsahu, zejména pro inteligentní terminály.

Řadiče přímého přístupu k operační paměti zjišťují styk vstup/výstupní sběrnice počítače nebo inteligentního terminálu s připojenými periferními zařízeními v případě zvýšených nároků na rychlost přenosu informací bez spoluúčasti programové obsluhy.

Známa zapojení řadičů přímého přístupu k operační paměti jsou obvykle konstruována pro jediný nebo značně omezený počet typů periferních zařízení. Přizpůsobení konkrétnímu typu periferního zařízení je obvykle možné pouze změnou v zapojení vnitřních obvodů řadiče.

Za těchto okolností přináší stále se rozšiřující oblast využití malých počítačů a zejména inteligentních terminálů, zvýšené nároky na jejich technické vybavení a současně komplikuje možnosti nasazení a případných obměn celého systému.

Uvedené nevýhody odstraňuje zapojení programovatelného řadiče přímého přístupu k operační paměti podle vynálezu, jehož podstata spočívá v tom, že skupina datových vstupů třístavové paměti výstupní datové sběrnice je připojena na skupinu datových výstupů třístavové paměti vstupní datové sběrnice a tvoří současně skupinu datových vstupů a výstupů zapojení.

Skupina datových výstupů třístavové paměti výstupní datové sběrnice tvoří současně skupinu datových výstupů zapojení. Výběrový vstup třístavové paměti výstupní datové sběrnice je připojen na jedničkový výstup prvního klopného obvodu typu R-S, jehož nastavovací vstup je připojen na výstup druhého dvouvstupového obvodu typu negace logického součtu, a jehož nulovací vstup je připojen na nulový výstup druhého klopného obvodu typu D.

První vstup druhého dvouvstupového obvodu typu negace logického součtu je připojen na výstup prvního dvouvstupového obvodu typu negace logického součtu. Druhý vstup druhého dvouvstupového obvodu typu negace logického součtu je připojen na pátý výstup paměti řídicího slova.

První vstup prvního dvouvstupového obvodu typu negace logického součtu je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součtu, na druhý vstup prvního dvouvstupového obvodu typu logický součin a tvoří současně volicí vstup zapojení.

Druhý vstup prvního dvouvstupového obvodu typu negace logického součtu je připojen na vstup prvního invertoru, na vstup třetího invertoru a tvoří současně povolovací vstup zapojení.

Zapisovací vstup třístavové paměti výstupní datové sběrnice je připojen na výstup třetího dvouvstupového obvodu typu negace logického součtu, jehož druhý vstup je připojen na nastavovací vstup druhého klopného obvodu typu D, na první vstup prvního třívstupového obvodu typu negace logického součinu, na spouštěcí vstup prvního monostabilního klopného obvodu, na spouštěcí vstup druhého monostabilního klopného obvodu a tvoří současně řídicí vstup zapojení.

Nulovací vstup třístavové paměti výstupní datové sběrnice je připojen na nulovací vstup třístavové paměti vstupní datové sběrnice, na nulovací vstup paměti řídicího slova, na nulovací vstup druhého klopného obvodu typu D a tvoří současně nulovací vstup zapojení.

Výběrový vstup třístavové paměti vstupní datové sběrnice je připojen na výstup prvního dvouvstupového obvodu typu logický součin, jehož první vstup je připojen na výstup prvního invertoru.

Zapisovací vstup třístavové paměti vstupní datové sběrnice je připojen na výstup prvního dvouvstupového obvodu typu negace logického součinu, jehož první vstup je připojen na výstup druhého invertoru, a jehož druhý vstup je připojen na výstup třetího dvouvstupového obvodu typu negace logického součinu a současně na hodinový vstup druhého klopného obvodu typu D.

Vstup druhého invertoru je připojen na čtvrtý výstup paměti řídicího slova. Skupina datových vstupů třístavové paměti vstupní datové sběrnice tvoří současně skupinu datových vstupů zapojení. Skupina vstupů řídicího slova do paměti řídicího slova tvoří současně skupinu řídicích vstupů zapojení.

Zapisovací vstup paměti řídicího slova tvoří současně zapisovací vstup zapojení. První výstup paměti řídicího slova je připojen na první vstup prvního dvouvstupového obvodu typu výhradní logický součet, jehož druhý vstup je připojen na první vstup druhého dvouvstupového obvodu typu výhradní logický součet a tvoří současně potvrzovací vstup zapojení.

Druhý výstup paměti řídicího slova je připojen na druhý vstup druhého dvouvstupového obvodu typu výhradní logický součet, jehož výstup je připojen na hodinový vstup třetího klopného obvodu typu D.

Třetí výstup paměti řídicího slova je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož druhý vstup je připojen na jedničkový výstup druhého klopného obvodu typu D a tvoří současně hlásičí výstup zapojení.

Šestý výstup paměti řídicího slova je připojen na nulovací vstup prvního klopného obvodu typu D a na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu, jehož první vstup tvoří současně synchronizační vstup uzapojení, a jehož výstup je připojen na hodinový vstup prvního klopného obvodu typu D.

Šedý výstup paměti řídicího slova je připojen na nulovací vstup třetího klopného obvodu typu D, jehož nastavovací vstup je připojen na nulový výstup třetího monostabilního klopného obvodu, a jehož datový vstup je připojen na nulovou svorku nevyznačeného zdroje napájecího napětí.

Osmý výstup paměti řídicího slova je připojen na nulovací vstup prvního monostabilního klopného obvodu, jehož nulový výstup je připojen na druhý vstup prvního třívstupového obvodu typu negace logického součinu.

Devátý výstup paměti řídicího slova je připojen na nulovací vstup druhého monostabilního klopného obvodu, jehož nulový výstup je připojen na třetí vstup prvního třívstupového obvodu typu negace logického součinu. Desátý výstup paměti řídicího slova je připojen na první nastavovací vstup druhého klopného obvodu typu R-S, jehož druhý nastavovací vstup je připojen na nulový výstup třetího klopného obvodu typu D.

Jedenáctý výstup paměti řídicího slova je připojen na druhý vstup třetího dvouvstupového obvodu typu výhradní logický součet, jehož první vstup je připojen na jedničkový výstup třetího klopného obvodu typu D, a jehož výstup tvoří současně řídicí výstup zapojení. Výstup čtvrtého dvouvstupového obvodu typu negace logického součinu tvoří současně stavový výstup zapojení.

Výstup prvního dvouvstupového obvodu typu výhradní logický součet je připojen na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu, jehož první vstup je připojen na nulový výstup prvního klopného obvodu typu D.

Výstup třetího invertoru je připojen na nastavovací vstup prvního klopného obvodu typu D, jehož datový vstup je připojen na nulovou svorku nevyznačeného zdroje napájecího napětí.

Výstup prvního třívstupového obvodu typu negace logického součinu je připojen na spouštěcí vstup třetího monostabilního klopného obvodu a současně na vstup čtvrtého invertoru, jehož výstup je připojen na nulovací vstup druhého klopného obvodu typu R-S.

Nulový výstup druhého klopného obvodu typu R-S je připojen na vstup pátého invertoru, jehož výstup je připojen na nulovací vstup třetího monostabilního klopného obvodu.

Výhodou zapojení podle vynálezu je schopnost jednoduché a rychlé adaptace na většinu typů periferních zařízení, pracujících se šestnáctibitovým datovým slovem. Požadovaný způsob činnosti řadiče přímého přístupu k operační paměti podle vynálezu se volí jedenáctibitovým řídicím slovem, vyslaným do řadiče inicializační části příslušného obslužného programu, bez nutnosti zásahu do vnitřních obvodů zapojení.

Příklad zapojení programovatelného řadiče přímého přístupu k operační paměti podle vynálezu je schématicky znázorněn na připojených výkresech, na nichž obr. 1a znázorňuje zapojení datových sběrnic, obr. 1b paměť řídicího slova, obr. 1c řídicí obvody a obvody zpracování hlášení připravenosti od periferního zařízení, obr. 1d obvody generátoru řídicího signálu pro periferní zařízení.

Zapojení je tvořeno skupinou datových vstupů 100 třístavové paměti TPO výstupní datové sběrnice, která je paralelně zapojena na skupinu datových výstupů 101 třístavové paměti TPI vstupní datové sběrnice a tvoří současně skupinu datových vstupů a výstupů 1 zapojení pro obousměrný přenos šestnáctibitových dat D0 až D15 mezi řadiče a nevyznačeným počítačem.

Skupina datových výstupů 102 třístavové paměti TPO výstupní datové sběrnice tvoří skupinu datových výstupů 2 zapojení pro výstup šestnáctibitového datového slova 00 až 015 do nevyznačeného periferního zařízení.

Na výběrový vstup 103 třístavové paměti TPO výstupní datové sběrnice se přivádí signál výběru obvodu CS0 z jedničkového výstupu 110 prvního klopného obvodu RS1 typu R-S, jehož nastavovací vstup 111 je připojen na výstup 113 druhého dvouvstupového obvodu OR2 typu negace logického součtu, a na jehož nulovací vstup 112 se přivádí hlášení o připravenosti zapojení RD z nulového výstupu 166 druhého klopného obvodu KD2 typu D.

První vstup 116 druhého dvouvstupového obvodu OR2 typu negace logického součtu je připojen na výstup 122 prvního dvouvstupového obvodu OR1 typu negace logického součtu. Na druhý vstup 117 druhého dvouvstupového obvodu OR2 typu negace logického součtu se přivádí signál předvolby P5 z pátého výstupu 139 paměti PRS řídicího slova.

První vstup 126 prvního dvouvstupového obvodu OR1 typu negace logického součtu je připojen na první vstup 128 třetího dvouvstupového obvodu OR3 typu negace logického součtu, na druhý vstup 119 prvního dvouvstupového obvodu AD1 typu logický součin a tvoří současně volicí vstup 4 zapojení pro vstup signálu DCE nastavení směru přenosu po datových sběrnicích.

Druhý vstup 127 prvního dvouvstupového obvodu OR1 typu negace logického součtu je připojen na vstup 130 prvního invertoru IN1, na vstup 146 třetího invertoru IN3 a tvoří současně povolovací vstup 7 zapojení pro vstup signálu DMA povolení přenosu dat po datových sběrnicích.

Na zapisovací vstup 104 třístavové paměti TPO výstupní datové sběrnice se přivádí signál zápisu dat SBO z výstupu 123 třetího dvouvstupového obvodu OR3 typu negace logického součtu, jehož druhý vstup 129 je připojen na nastavovací vstup 164 druhého klopného obvodu KD2 typu D, na první vstup 180 prvního třívstupového obvodu ND5 typu negace logického součinu, na spouštěcí vstup 171 prvního monostabilního klopného obvodu MK1, na spouštěcí vstup 173 druhého monostabilního klopného obvodu MK2 a tvoří současně řídicí vstup 10 zapojení pro vstup signálu DMS potvrzení platnosti dat z nevyznačeného počítače.

Nulovací vstup 105 třístavové paměti TPO výstupní datové sběrnice je připojen na nulovací vstup 106 třístavové paměti TPI vstupní datové sběrnice, na nulovací vstup 134 paměti PRS řídicího slova, na nulovací vstup 167 druhého klopného obvodu KD2 typu D a tvoří současně nulovací vstup 11 zapojení pro vstup signálu NUL počátečního nastavení obvodů zapojení.

Na výběrový vstup 107 třístavové paměti TPI vstupní datové sběrnice se přivádí signál CSI výběru obvodu z výstupu 114 prvního dvouvstupového obvodu AD1 typu logický součin, jehož první vstup 118 je připojen na výstup 124 prvního invertoru IN1.

Na zapisovací vstup 108 třístavové paměti TPI vstupní datové sběrnice se přivádí signál zápisu dat SBI z výstupu 115 prvního dvouvstupového obvodu ND1 typu negace logického součinu, jehož první vstup 120 je připojen na výstup 125 druhého invertoru IN2 a na jehož druhý vstup 121 a současně na hodinový vstup 162 druhého klopného obvodu KD2 typu D se přivádí signál FL1 ukončení vstup/výstupní operace nevyznačeného periferního zařízení z výstupu 163 třetího dvouvstupového obvodu ND3 typu negace logického součinu.

Na vstup 131 druhého invertoru IN2 se přivádí signál předvolby P4 ze čtvrtého výstupu 138 paměti PRS řídicího slova. Skupina datových vstupů 109 třístavové paměti TPI vstupní datové sběrnice tvoří současně skupinu datových vstupů 3 zapojení pro vstup šestnáctibitového datového slova I0 až I15 z nevyznačeného periferního zařízení.

Třístavová skupina datových výstupů 102 třístavové paměti TPO výstupní datové sběrnice dovoluje vzájemné propojení skupiny datových výstupů 2 zapojení a skupiny datových vstupů 3 zapojení, a tím realizaci obousměrné šestnáctibitové datové sběrnice na straně nevyznačeného periferního zařízení.

Skupina vstupů 132 řídicího slova do paměti PRS řídicího slova tvoří současně skupinu řídicích vstupů 5 zapojení pro vstup jedenáctibitového řídicího slova R1 až R11. Zapisovací vstup 133 paměti PRS řídicího slova tvoří současně zapisovací vstup 6 zapojení pro vstup signálu SBR zápisu řídicího slova.

Signál P1 z prvního výstupu 135 paměti PRS řídicího slova se přivádí na první vstup 149 prvního dvouvstupového obvodu XO1 typu výhradní logický součet, jehož druhý vstup 150 je připojen na první vstup 175 druhého dvouvstupového obvodu XO2 typu výhradní logický součet a tvoří současně potvrzovací vstup 9 zapojení pro vstup signálu FLG potvrzení o přijetí dat z nevyznačeného periferního zařízení.

Signál P2 z druhého výstupu 136 paměti PRS řídicího slova se přivádí na druhý vstup 176 druhého dvouvstupového obvodu XO2 typu výhradní logický součet, jehož výstup 179 je připojen na hodinový vstup 192 třetího klopného obvodu KD3 typu D. Signál P3 z třetího výstupu 137 paměti PRS řídicího slova se přivádí na první vstup 168 čtvrtého dvouvstupového obvodu ND4 typu negace logického součinu, jehož druhý vstup 169 je připojen na jedničkový výstup 165 druhého klopného obvodu KD2 typu D a tvoří současně hlásící výstup 14 zapojení pro výstup signálu RD hlášení připravenosti zapojení k činnosti.

Signál P6 z šestého výstupu 140 paměti PRS řídicího slova se přivádí na nulovací vstup 157 prvního klopného obvodu KD1 typu D a na druhý vstup 148 druhého dvouvstupového obvodu ND2 typu negace logického součinu, jehož první vstup 147 tvoří současně synchronizační vstup 8 zapojení pro vstup synchronizačního signálu SNC, a jehož výstup 152 je připojen na hodinový vstup 155 prvního klopného obvodu KD1 typu D.

Signál P7 se sedmého výstupu 141 paměti PRS řídicího slova se přivádí na nulovací vstup 193 třetího klopného obvodu KD3 typu D, jehož nastavovací vstup 190 je připojen na nulový výstup 189 třetího monostabilního klopného obvodu MK3, a jehož datový vstup 191 je připojen na nulovou svorku nevyznačeného zdroje napájecího napětí.

Signál P8 z osmého výstupu 142 paměti PRS řídícího slova se přivádí na nulovací vstup 172 prvního monostabilního klopného obvodu MK1, jehož nulový výstup 177 je připojen na druhý vstup 181 prvního třívstupového obvodu ND5 typu negace logického součinu.

Signál P9 z devátého výstupu 143 paměti PRS řídícího slova je připojen na nulovací vstup 174 druhého monostabilního klopného obvodu MK2, jehož nulový výstup 178 je připojen na třetí vstup 182 prvního třívstupového obvodu ND5 typu negace logického součinu.

Signál P10 z desátého výstupu 144 paměti PRS řídícího slova se přivádí na první nastavovací vstup 201 druhého klopného obvodu RS2 typu R-S, jehož druhý nastavovací vstup 202 je připojen na nulový výstup 197 třetího klopného obvodu KD3 typu D.

Signál P11 z jedenáctého výstupu 145 paměti PRS řídícího slova se přivádí na druhý vstup 199 třetího dvouvstupového obvodu XO3 typu výhradní logický součet, jehož první vstup 198 je připojen na jedničkový výstup 196 třetího klopného obvodu KD3 typu D, a jehož výstup 200 tvoří současně řídící výstup 13 zapojení pro výstup signálu CMD startu činnosti nevyznačeného periferního zařízení.

Výstup 170 čtvrtého dvouvstupového obvodu ND4 typu negace logického součinu tvoří současně statový výstup 12 zapojení pro výstup hlášení stavu zapojení DMF do nevyznačeného počítače. Výstup 153 prvního dvouvstupového obvodu XO1 typu výhradní logický součet je připojen na druhý vstup 160 třetího dvouvstupového obvodu ND3 typu negace logického součinu, jehož první vstup 159 je připojen na nulový výstup 158 prvního klopného obvodu KD1 typu D.

Z výstupu 151 třetího invertoru IN3 se přivádí invertovaný signál DMA na nastavovací vstup 156 prvního klopného obvodu KD1 typu D, jehož datový vstup 154 je připojen na nulovou svorku nevyznačeného zdroje napájecího napětí.

Výstup 183 prvního třívstupového obvodu ND5 typu negace logického součinu je připojen na spouštěcí vstup 185 třetího monostabilního klopného obvodu MK3 a současně na vstup 184 čtvrtého invertoru IN4, jehož výstup 187 je připojen na nulovací vstup 203 druhého klopného obvodu RS2 typu R-S.

Nulový výstup 194 druhého klopného obvodu RS2 typu R-S je připojen na vstup 195 pátého invertoru IN5, jehož výstup 188 je připojen na nulovací vstup 186 třetího monostabilního klopného obvodu MK3.

Zapojení programovatelného řadiče přímého přístupu k operační paměti podle vynálezu lze použít v systémech stolních počítačů a zejména inteligentních terminálů.

P R E D M Ě T V Y N Á L E Z U

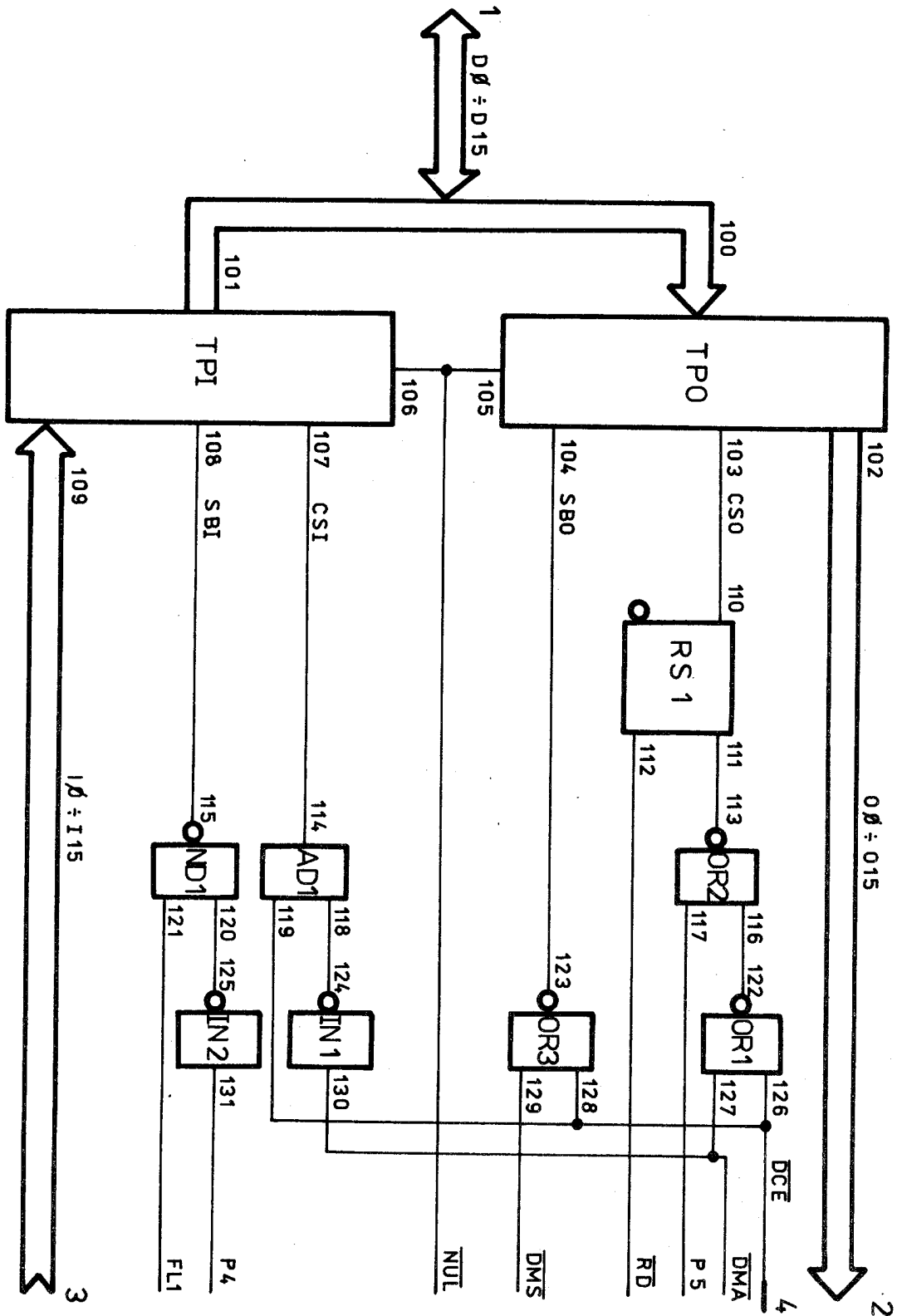
Zapojení programovatelného řadiče přímého přístupu k operační paměti vyznačené tím, že skupina datových vstupů /100/ třístavové paměti /TPO/ výstupní datové sběrnice je připojena na skupinu datových výstupů /101/ třístavové paměti /TPI/ vstupní datové sběrnice a tvoří současně skupinu datových vstupů a výstupů /1/ zapojení, skupina datových výstupů /102/ třístavové paměti /TPO/ výstupní datové sběrnice tvoří současně skupinu datových výstupů /2/ zapojení, výběrový vstup /103/ třístavové paměti /TPO/ výstupní datové sběrnice je připojen na jedničkový výstup /110/ prvního klopného obvodu /RS1/ typu R-S, jehož nastavovací vstup /111/ je připojen na výstup /113/ druhého dvouvstupového obvodu /OR2/ typu negace logického součinu, a jehož nulovací vstup /112/ je připojen na nulový výstup /166/ druhého klopného obvodu /KD2/ typu D, přičemž první vstup /116/ druhého dvouvstupového obvodu /OR2/ typu negace logického součinu je připojen na výstup /122/ prvního dvouvstupového obvodu /OR1/ typu negace logického součinu, druhý vstup /117/ druhého dvouvstupového obvodu /OR2/ typu negace logického součinu je připojen na pátý výstup /139/ paměti /PRS/ řídícího slova, první vstup /126/ prvního dvouvstupového obvodu /OR1/ typu negace logického součinu je připojen

na první vstup /128/ třetího dvouvstupového obvodu /OR3/ typu negace logického součtu, na druhý vstup /119/ prvního dvouvstupového obvodu /AD1/ typu logický součin a tvoří současně volicí vstup /4/ zapojení, druhý vstup /127/ prvního dvouvstupového obvodu /OR1/ typu negace logického součtu je připojen na vstup /130/ prvního invertoru /IN1/, na vstup /146/ třetího invertoru /IN3/ a tvoří současně povolovací vstup /7/ zapojení, zapisovací vstup /104/ třístavové paměti /TPO/ výstupní datové sběrnice je připojen na výstup /123/ třetího dvouvstupového obvodu /OR3/ typu negace logického součtu, jehož druhý vstup /129/ je připojen na nastavovací vstup /164/ druhého klopného obvodu /KD2/ typu D, na první vstup /180/ prvního třívstupového obvodu /ND5/ typu negace logického součinu, na spouštěcí vstup /171/ prvního monostabilního klopného obvodu /MK1/, na spouštěcí vstup /173/ druhého monostabilního klopného obvodu /MK2/, a tvoří současně řídicí vstup /10/ zapojení, nulovací vstup /105/ třístavové paměti /TPO/ výstupní datové sběrnice je připojen na nulovací vstup /106/ třístavové paměti /TPI/ vstupní datové sběrnice, na nulovací vstup /134/ paměti /PRS/ řídicího slova, na nulovací vstup /167/ druhého klopného obvodu /KD2/ typu D a tvoří současně nulovací vstup /11/ zapojení, výběrový vstup /107/ třístavové paměti /TPI/ vstupní datové sběrnice je připojen na výstup /114/ prvního dvouvstupového obvodu /AD1/ typu logický součin, jehož první vstup /118/ je připojen na výstup /124/ prvního invertoru /IN1/, zapisovací vstup /108/ třístavové paměti /TPI/ vstupní datové sběrnice je připojen na výstup /115/ prvního dvouvstupového obvodu /ND1/ typu negace logického součinu, jehož první vstup /120/ je připojen na výstup /125/ druhého invertoru /IN2/, a jehož druhý vstup /121/ je připojen na výstup /163/ třetího dvouvstupového obvodu /ND3/ typu negace logického součinu a současně na hodinový vstup /162/ druhého klopného obvodu /KD2/ typu D, přičemž vstup /131/ druhého invertoru /IN2/ je připojen na čtvrtý výstup /138/ paměti /PRS/ řídicího slova, skupina datových vstupů /109/ třístavové paměti /TPI/ vstupní datové sběrnice tvoří současně skupinu datových vstupů /3/ zapojení, skupina vstupů /132/ řídicího slova do paměti /PRS/ řídicího slova tvoří současně skupinu řídicích vstupů /5/ zapojení, zapisovací vstup /133/ paměti /PRS/ řídicího slova tvoří současně zapisovací vstup /6/ zapojení, přičemž první výstup /135/ paměti /PRS/ řídicího slova je připojen na první vstup /149/ prvního dvouvstupového obvodu /XO1/ typu výhradní logický součet, jehož druhý vstup /150/ je připojen na první vstup /175/ druhého dvouvstupového obvodu /XO2/ typu výhradní logický součet a tvoří současně potvrzovací vstup /9/ zapojení, druhý výstup /136/ paměti /PRS/ řídicího slova je připojen na druhý vstup /176/ druhého dvouvstupového obvodu /XO2/ typu výhradní logický součet, jehož výstup /179/ je připojen na hodinový vstup /192/ třetího klopného obvodu /KD3/ typu D, třetí výstup /137/ paměti /PRS/ řídicího slova je připojen na první vstup /168/ čtvrtého dvouvstupového obvodu /ND4/ typu negace logického součinu, jehož druhý vstup /169/ je připojen na jedničkový výstup /165/ druhého klopného obvodu /KD2/ typu D a tvoří současně hlásicí výstup /14/ zapojení, šestý výstup /140/ paměti /PRS/ řídicího slova je připojen na nulovací vstup /157/ prvního klopného obvodu /KD1/ typu D a na druhý vstup /148/ druhého dvouvstupového obvodu /ND2/ typu negace logického součinu, jehož první vstup /147/ tvoří současně synchronizační vstup /8/ zapojení a jehož výstup /152/ je připojen na hodinový vstup /155/ prvního klopného obvodu /KD1/ typu D, přičemž sedmý výstup /141/ paměti /PRS/ řídicího slova je připojen na nulovací vstup /193/ třetího klopného obvodu /KD3/ typu D, jehož nastavovací vstup /190/ je připojen na nulový výstup /189/ třetího monostabilního klopného obvodu /MK3/ a jehož datový vstup /191/ je připojen na nulovou svorku nevyznačeného zdroje napájecího napětí, přičemž osmý výstup /142/ paměti /PRS/ řídicího slova je připojen na nulovací vstup /172/ prvního monostabilního klopného obvodu /MK1/, jehož nulový výstup /177/ je připojen na druhý vstup /181/ prvního třívstupového obvodu /ND5/ typu negace logického součinu, devátý výstup /143/ paměti /PRS/ řídicího slova je připojen na nulovací vstup /174/ druhého monostabilního klopného obvodu /MK2/, jehož nulový výstup /178/ je připojen na třetí vstup /182/ prvního třívstupového obvodu /ND5/ typu negace logického součinu, desátý výstup /144/ paměti /PRS/ řídicího slova na první nastavovací vstup /201/ druhého klopného obvodu /RS2/ typu R-S, jehož druhý nastavovací vstup /202/ je připojen na nulový výstup /197/ třetího klopného obvodu /KD3/ typu D, jedenáctý výstup /145/ paměti /PRS/ řídicího slova je připojen na druhý vstup /199/ třetího dvouvstupového obvodu /XO3/ typu výhradní logický součet, jehož první vstup /198/ je připojen na jedničkový výstup /196/ třetího klopného obvodu

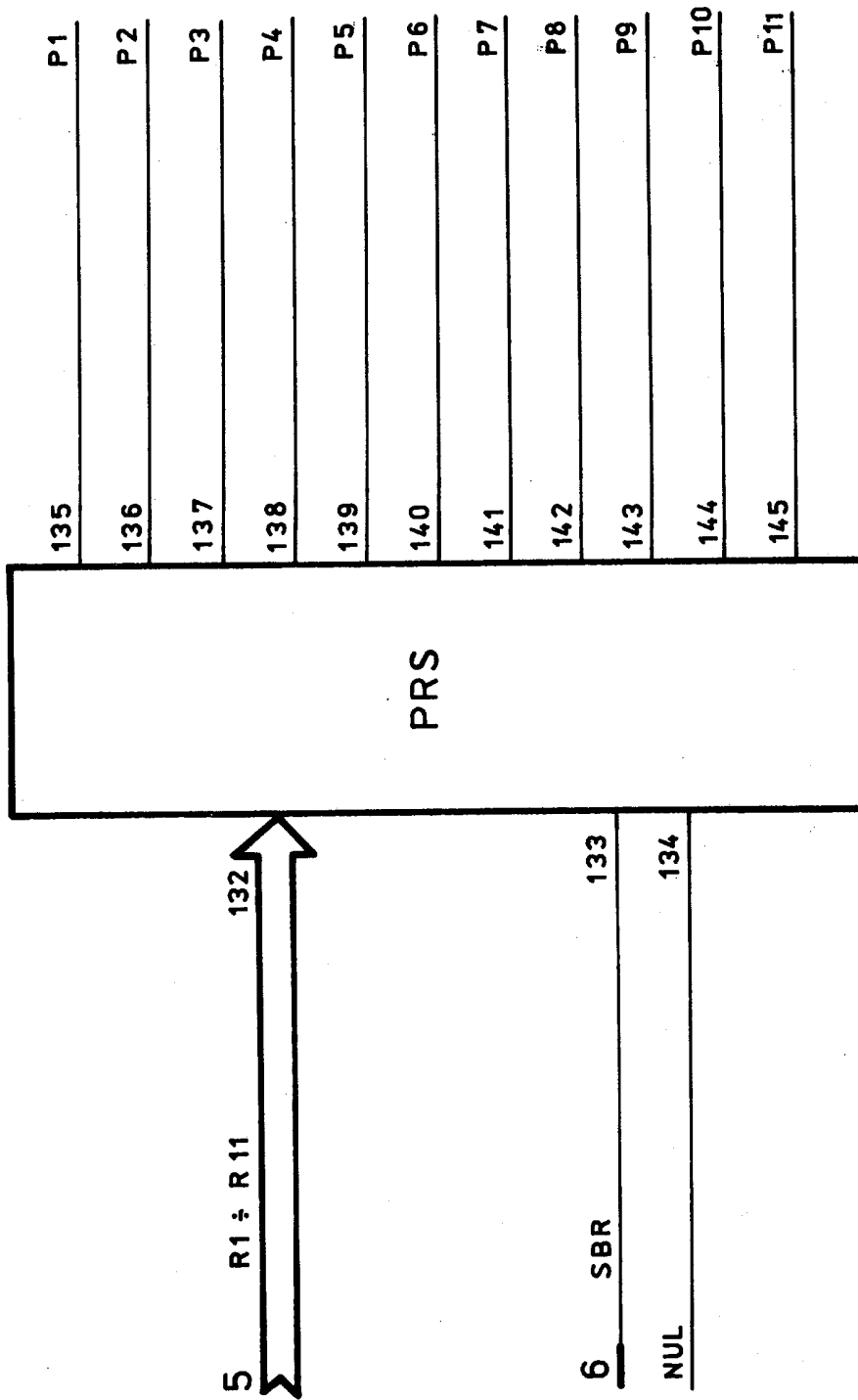
/KD3/ typu D, a jehož výstup /200/ tvoří současně řídicí výstup /13/ zapojení, výstup /170/ čtvrtého dvouvstupového obvodu /ND4/ typu negace logického součinu tvoří současně stavový výstup /12/ zapojení, výstup /153/ prvního dvouvstupového obvodu /XO1/ typu výhradní logický součet je připojen na druhý vstup /160/ třetího dvouvstupového obvodu /ND3/ typu negace logického součinu, jehož první vstup /159/ je připojen na nulový výstup /158/ prvního klopného obvodu /KD1/ typu D, přičemž výstup /151/ třetího invertoru /IN3/ je připojen na nastavovací vstup /156/ prvního klopného obvodu /KD1/ typu D, jehož datový vstup /154/ je připojen na nulovou svorku nevyznačeného zdroje napájecího napětí, výstup /183/ prvního třívstupového obvodu /ND5/ typu negace logického součinu je připojen na spouštěcí vstup /185/ třetího monostabilního klopného obvodu /MK3/ a současně na vstup /184/ čtvrtého invertoru /IN4/, jehož výstup /187/ je připojen na nulovací vstup /203/ druhého klopného obvodu /RS2/ typu R-S, nulový výstup /194/ druhého klopného obvodu /RS2/ typu R-S je připojen na vstup /195/ pátého invertoru /IN5/, jehož výstup /188/ je připojen na nulovací vstup /186/ třetího monostabilního klopného obvodu /MK3/.

4 výkresy

248859



Ob r. 1a



248859

