

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4121951号

(P4121951)

(45) 発行日 平成20年7月23日(2008.7.23)

(24) 登録日 平成20年5月9日(2008.5.9)

(51) Int.Cl. F 1
H03K 3/84 (2006.01) H03K 3/84 A

請求項の数 2 (全 9 頁)

(21) 出願番号	特願2003-511425 (P2003-511425)	(73) 特許権者	590000248
(86) (22) 出願日	平成14年6月21日(2002.6.21)		コーニンクレッカ フィリップス エレク
(65) 公表番号	特表2005-508581 (P2005-508581A)		トロニクス エヌ ヴィ
(43) 公表日	平成17年3月31日(2005.3.31)		オランダ国 5621 ベーアー アイン
(86) 国際出願番号	PCT/IB2002/002447		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開番号	W02003/005584		1
(87) 国際公開日	平成15年1月16日(2003.1.16)	(74) 代理人	100075812
審査請求日	平成17年6月20日(2005.6.20)		弁理士 吉武 賢次
(31) 優先権主張番号	01202588.8	(74) 代理人	100088889
(32) 優先日	平成13年7月5日(2001.7.5)		弁理士 橋谷 英俊
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100112793
			弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 ランダムジュネレータ

(57) 【特許請求の範囲】

【請求項 1】

第1のフリップフロップ(F0)及びn個の他のフリップフロップ(F1...Fn)を備えるシフトレジスタを備える疑似ランダムジュネレータであって、前記各フリップフロップ(F0...Fn)は、D入力、非反転出力、反転出力及び共通クロック(f_{clk})入力を有し、前記第1のフリップフロップ(F0)は設定入力を有し、前記各非反転出力は、第1のNORゲート(10)を介して前記第1のフリップフロップ(F0)の前記設定入力に接続され、前記ジュネレータは、前記第1のフリップフロップ(F0)の前記D入力に出力が接続され、第n及び第(n-1)のフリップフロップ(Fn, Fn-1)の前記非反転出力に入力がそれぞれ接続された第1のXORゲート(11)をさらに備え、

10

前記第1のフリップフロップ(F0)の前記反転出力及び前記n個の他のフリップフロップ(F1...Fn)の前記非反転出力は、第2のNORゲート(12)に接続され、

前記ジュネレータは、前記フリップフロップ(F0...Fn)の前記出力に接続されて前記第nのフリップフロップ(Fn)の前記反転出力と前記非反転出力との間のトグルを行う追加のフリップフロップ(14)及び追加の論理ゲートをさらに備え、

前記追加の論理ゲートは、第2のXORゲート(15)及びANDゲート(13)を備え、前記ANDゲート(13)の1つの入力は前記共通クロック(f_{clk})に接続され、他の入力は前記第2のNORゲート(12)の出力に接続され、前記ANDゲート(13)の出力は前記追加のフリップフロップ(14)のクロック入力に接続され、前記追加

20

のフリップフロップ（１４）の反転出力は自身のＤ入力に接続され、前記追加のフリップフロップ（１４）の非反転出力は前記第２のＸＯＲゲート（１５）の１つの入力に接続される、

ことを特徴とする擬似ランダムジェネレータ。

【請求項２】

請求項１に記載の擬似ランダムジェネレータの前記第ｎのフリップフロップ（Ｆｎ）の前記反転出力と前記非反転出力との間のトグルを行うことを含むことを特徴とする擬似ランダム論理信号の生成方法。

【発明の詳細な説明】

【技術分野】

10

【０００１】

本発明は、ランダムジェネレータに関し、特に擬似ランダムジェネレータに関するものである。

【背景技術】

【０００２】

１次元擬似ランダムジェネレータは、可能な限り低い自動相関を持つ固定したビットパターンを生成する。

【０００３】

典型的な擬似ランダムジェネレータは、共通クロック入力に接続されたシフトレジスタ（即ち一連のカスケードされたフリップフロップ）を有し、これらの出力はＮＯＲゲートを介して接続されて第１のフリップフロップの入力を起動用にセットし、最後の２つのフリップフロップの出力は第１のフリップフロップの入力にＸＯＲゲートを介して接続される。

20

【発明の開示】

【発明が解決しようとする課題】

【０００４】

このようなジェネレータは奇数の数の状態しか有さず、また、全ての出力がゼロである禁制状態がある。このため、ジェネレータが非禁制状態で起動させられたら、該ジェネレータは 2^6-1 個の状態のループを順番に擬似ランダムな順序で生成し、従って、出力はＤＣフリーではなくなる、即ち、等しい数の０及び１を有さない。

【課題を解決するための手段】

30

【０００５】

本発明の第１の側面は、第１のフリップフロップ及びｎ個の他のフリップフロップを有するシフトレジスタを有する擬似ランダムジェネレータであって、前記各フリップフロップは、Ｄ入力、非反転出力、反転出力及び共通クロック入力を有し、前記第１のフリップフロップは設定入力を有し、前記各非反転出力は、ＮＯＲゲートを介して前記第１のフリップフロップの前記設定入力に接続され、前記各フリップフロップの前記非反転出力は、前記第１のフリップフロップの前記入力にＸＯＲゲートを介して接続される、ジェネレータにおいて、前記ジェネレータは、少なくとも１つの追加のフリップフロップを含む少なくとも１つの追加の論理ゲートを有する、ことを特徴とするジェネレータを提供する。

【０００６】

40

１つの実施例において、これらの部品は、第ｎ番目のフリップフロップの反転出力と非反転出力との間でトグルするように接続されている。好適には、前記追加のゲートはＡＮＤゲートを有し、前記ＡＮＤゲートの１つの入力の前記共通クロックに接続され、他の入力の前記ＮＯＲゲートの前記出力に接続され、前記ＡＮＤゲートの出力は前記追加のフリップフロップのクロック入力に接続され、前記追加のフリップフロップの反転出力は前記追加のフリップフロップの入力に接続され、前記追加のフリップフロップの非反転出力はＸＯＲゲートの１つの入力に接続され、該ＸＯＲゲートは、前記シフトレジスタの前記出力に接続される他の入力を有する。これらのフリップフロップは、一般的にＤ型フリップフロップである。

【０００７】

これは、 2^6-1 個のコードの各シーケンスの後に反転出力と非反転出力との間でスイッチ

50

ングすることによって、DCフリースペクトラムをシミュレーションする。性能は、より多くの疑似ランダム状態を用いることによって向上されることができ、これは、より離散的な周波数を出力に与え、出力を信号帯域上でより良く広げる。振幅及び相対的な期間は、より小さい。理想的な場合においては振幅は $2^n-1/2$ のルートと共に減少する。

【0008】

本発明の第2の側面は、 n 個のフリップフロップを有するシフトレジスタを有する疑似ランダムジェネレータであって、前記各フリップフロップは、入力、非反転出力、反転出力及び共通クロック入力を有し、これら出力はNORゲートを介して第1のフリップフロップの設定入力に接続され、第 n 番目及び第 $(n-1)$ 番目のフリップフロップの出力はXORゲートを介して前記第1のフリップフロップの前記入力に接続された、疑似ランダムジェネレータにおいて、前記出力で追加の'0'を生成する手段を特徴とする疑似ランダムジェネレータを提供する。

10

【0009】

これは、前記各フリップフロップの前記非反転出力を第1のANDゲートを介して前記追加のフリップフロップの前記入力に接続し、前記追加のフリップフロップの前記反転出力を第2のANDゲートの1つの入力に接続し、前記第2のANDゲートの他の入力を前記クロックパルスに接続し、第2のANDゲートの出力を、前記シフトレジスタの前記各フリップフロップの前記入力に設けられたそれぞれの追加のANDゲートを介して前記シフトレジスタの各フリップフロップに接続することによって実現されることができる。これは、全ての疑似ランダムジェネレータにおいて成立するというわけではない。

20

【0010】

第3の側面は、 n 個のフリップフロップを有するシフトレジスタを有する疑似ランダムジェネレータであって、前記各フリップフロップは、入力、非反転出力、反転出力及び共通クロック入力を有し、これら出力はNORゲートを介して第1のフリップフロップの設定入力に接続され、第 n 番目及び第 $(n-1)$ 番目のフリップフロップの出力はXORゲートを介して前記第1のフリップフロップの前記入力に接続された、疑似ランダムジェネレータにおいて、入力信号をチョップする手段を特徴とする疑似ランダムジェネレータを提供する。

【0011】

低周波雑音及びオフセットは、信号帯域の外のより高い周波数にチョップされることができるため、これを、対象となる信号帯域の低周波雑音及びオフセットを低減させるのに用いることができる。しかし、歪みは、低い周波数雑音及びオフセットを信号帯域から除去するのに十分高い周波数で信号がチョップされることができないことを意味することがあり得る。利用可能な最大チョッピング周波数は、サンプルレート f_s の半分であり、従って、周波数 $1/2$ 又は $1/4$ を有する入力信号又はサンプルレート f_s のあらゆる偶数の分割は、正しく取り扱われることができない。

30

【0012】

好適には、信号チョッピング手段は、入力信号をランダムにチョップするように構成される。

【0013】

ランダムチョッピングは、入力信号とチョッピングの順序との間の相関を最小にする役目を果たす。

40

【0014】

通常のチョッピングにおいては集積雑音及びオフセットは変化しないが、ここではオフセットは1つの離散的なトーンでなく、疑似ランダム周波数に亘って広げられる。これは、特にA/Dコンバータにおいて有用である。しかし、1つのチョップ状態が他のチョップ状態よりも頻繁に発生することは望ましくないためシーケンスは完全にDCフリーにはならず、「1」又は「0」の長い列が存在する傾向があり、1つのチョップ状態で長期間変換することは、オフセット測定にとって望ましくない。

【0015】

非相関性の向上は、チョップ周波数と入力信号との間の干渉を低減させるのを補助し、

50

これを行わないと望まれない混合周波数成分が生じる。

【0016】

本発明の第4の側面は、 n 個のフリップフロップを有するシフトレジスタを有する擬似ランダムジェネレータであって、前記各フリップフロップは、入力、非反転出力、反転出力及び共通クロック入力を有し、これら出力はNORゲートを介して第1のフリップフロップの設定入力に接続され、第 n 番目及び第 $(n-1)$ 番目のフリップフロップの出力はXORゲートを介して前記第1のフリップフロップの前記入力に接続された、擬似ランダムジェネレータにおいて、前記シフトレジスタに第1の所定の周波数の入力クロックパルスを供給する手段及び第2の周波数で動作する周波数変調器を特徴とし、前記第1の周波数は偶数の整数 $2n$ によって分割される前記出力周波数であり、前記変調周波数は前記出力周波数と実質的に同一であることを特徴とする擬似ランダムジェネレータを提供する。

10

【0017】

これは、擬似ランダム出力シーケンスの変調深さの自由を提供する。

【0018】

好適には、第1の周波数はサンプルレートの4分の1であり、第2の変調周波数は、サンプルレート約半分に等しい。

【0019】

ジェネレータが「0」を出力すると、チョップ状態の結果は X/X_{not} である。ジェネレータが「1」を出力すると、チョップ状態の結果は X_{not}/X である。

【0020】

20

効果的に、擬似ランダム出力は排他的論理和ゲートによって変調され、ジェネレータは短期DCフリーである二相擬似ランダムジェネレータである。

【0021】

本発明の全側面は、ハードウェア又はソフトウェアで実現されてよく、従って、本発明は、更に、本発明の第1から第4の態様のジェネレータをシミュレーションするソフトウェア、このようなソフトウェアによってプログラムされるコンピュータ、並びにディスク及びテープ等のコンピュータ媒体に記憶されるこのようなソフトウェアを提供する。

【0022】

当然ながら、当業者に明らかであるように、特定の種類の論理ゲートへのあらゆる参照は、等価な機能を実行する他の種類の論理ゲートの組合せを含むことを意図される。

30

【発明を実施するための最良の形態】

【0023】

本発明のより良い理解のために、また、本発明が如何に実効されるかを示すために、ここで添付の図面を参照する。

【0024】

図1において、公知の擬似ランダムジェネレータが示される。公知のジェネレータは、一連の n 個のD型フリップフロップ0、1、2、 $\dots$ n を有する。各フリップフロップは、クロック入力 fclk 及びD入力を有し、更に、非反転出力及び反転出力を有する。各フリップフロップの非反転出力は、次のフリップフロップのD入力に接続されており、これはまた、NORゲート10への入力として接続されている。NORゲート10の出力は、第1のフリップフロップ0の設定入力に接続されている。このことは、第1のフリップフロップをジェネレータの起動用にセットして良い起動動作を保証する。第 n 番目のフリップフロップの出力及び第 $n-1$ 番目のフリップフロップの出力は、それぞれ、XORゲート11のそれぞれの入力に接続されており、該XORゲートの出力は第1のフリップフロップ0のD出力に接続されている。このジェネレータの出力は、奇数の状態数のみを有するので常に直流成分を有する。

40

【0025】

図2において、図1の擬似ランダムジェネレータは、本発明に従って適応させられ、示されるように追加ゲートの追加によってDCフリーにさせられる。追加ゲートは、 $2n-1$ 個のコードの各シーケンスの後に、反転出力と非反転出力との間でトグルする。追加ゲートは、第2のNORゲート12、追加のANDゲート13、追加のフリップフロップ14及び第2のXORゲート1

50

5を有する。第2のNORゲート12は、第1のフリップフロップF0の反転出力から、そして、他のフリップフロップの非反転出力から、信号を受信する。この第2のNORゲート12の出力は、追加のANDゲート13への入力形成する。追加のANDゲート13の出力は、追加のフリップフロップ14のクロック入力を形成し、該追加のフリップフロップ14の反転出力は自身の入力に接続されており、非反転出力は、第2のXORゲート15への1つの入力形成する。追加のXORゲート15の他の入力、最後のフリップフロップFnの出力である。

【0026】

このジェネレータの性能は、より多くの疑似ランダム状態を用いることにより改良されることができる。このことは、出力信号が信号帯域中により良く広がるように、ジェネレータの出力に、より離散的な周波数を与える。シーケンスが長くなるにつれて相対的な期間10はより短くなるため、出力信号の振幅もより低くなる。一般的に、理想的な場合(白い拡散(white spreading))において、振幅が $2^n - 1/2$ のルートと共に減少する。

【0027】

図3において、本発明の第2の実施例による回路が示される。この回路は、シフトレジスタによって生成されない唯一のコードがオールゼロであるという事実を利用して、その出力で効果的に追加の「0」を生成する。しかし、これが図1を参照して示され説明された種類の全ての疑似ランダムジェネレータにおいて機能するというわけではない。

【0028】

(図3の回路は、簡単のため(図2の)NORゲート10無しで示されるが、このNORゲート10は必要なものである)。この実施例の回路は、各フリップフロップF0~FnのD入力にそれぞれ追加のANDゲート20、21、22、…、2nを有する。フリップフロップF0~Fnの出力D0~Dnは、全て、ANDゲート17への入力として接続される。ANDゲート17の出力は、他のフリップフロップ18のD入力を形成し、該フリップフロップ18は、共通クロックパルスfclkによってクロックされて、その反転出力は第2のANDゲート19への1つの入力として接続される。ANDゲート19に対する第2の入力は、クロックラインfclkに接続されている。ANDゲート19の出力は、シフトレジスタフリップフロップF0、F1、F2、…、Fnの入力における各追加ANDゲート20、21、22、…、2nへの入力を形成する。

【0029】

図4は、対象となる信号帯域において低周波数($1/f$)雑音及びオフセットを低減させるためにチョッピングが用いられる本発明の他の実施例による回路を示す。低周波数雑音及びオフセットは、図4に示したように、信号帯域からより高い周波数にチョップされる。信号帯域は、陰影をつけられた長方形によって表される。入力信号1はチョッパー46においてチョッピング周波数fchopにチョップされ、オフセット及び低い周波数雑音がチョップされた入力信号にPmosトランジスタ44及び45を介して追加されて、3に示される信号を生じるためにチョッパー47において再びチョップされる。このプロセスは、元の入力信号を信号周波数にチョップするが、オフセット及び $1/f$ 雑音は図4中の3に示されるように信号帯域からチョップされる。

【0030】

歪みが、 $1/f$ 雑音及びオフセットの周波数のシフトを信号帯域内でしか生じさせず、信号帯域外へのシフトを生じさせない場合には、ランダムチョッピングが用いられてよい。これは、オフセットをランダム周波数に分配させて入力信号とチョップ周波数とを無相関にする役目を果たし、これを行わないと発生してしまう望まれない混合周波数成分を回避する。

【0031】

これは、特に、アナログ-デジタル変換器に適用可能である。チョッピングは、残り経路のオフセットを測定してこのオフセットをゼロに調整するように用いられ、ランダムチョッピングの使用は、入力信号とチョッピングシーケンスとの間の相関を最小にする役目を果たす。本発明の1つの実施例によれば、これは、疑似ランダム発生器を $f_s/4$ で動作させ、 $f_s/2$ の信号で出力を変調させることによって有利に行われる。これは、以下の(VHDL)ソフトウェアシーケンスを用いることにより行うことができる。

(図1)

```

process (clock)
begin

if rising_edge (clock) then
halfclock ≤ not(halfclock);
and if;

end process;
-----
pr: process (clock)
begin

if rising_edge (clock) then
if sr11='0' and sr10='0' and sr9='0' and sr8='0' and sr7='0' and sr6='0' and sr5='0'
and sr4='0' and sr3='0' and sr2='0' and sr1='0'
then
sr1 ≤ '1';
chopsub ≤ '0';
elsif halfclock = '1' then
sr2 ≤ sr1
sr3 ≤ sr2
sr4 ≤ sr3
sr5 ≤ sr4
sr6 ≤ sr5
sr7 ≤ sr6
sr8 ≤ sr7
sr9 ≤ sr8
sr10 ≤ sr9
sr11 ≤ sr10
sr1 ≤ sr11 xor sr9
chopsub ≤ sr11
end if;
end if;
end process pr;
-----
chp:process(clock)
begin

if rising_edge(clock) then
chop ≤ chopsub xor halfclock;
end if;
end process chp;
-----

```

【0032】

sr1～sr11は11-bitシフトレジスタを形成し、「halfclock」は排他的論理和によって疑

似ランダム出力信号「chopsub」を変調させる $f_s/2$ 信号である。これは、短期間DCフリーである出力信号「chop」を有する二相擬似ランダムジェネレータを生じる。

$sr2 \leq sr1$

【0033】

これは、当業者には明らかであるように、ハードウェアを用いても実行可能である。

【図面の簡単な説明】

【0034】

【図1】 DC要素を示す公知の疑似ランダムジェネレータの回路図である。

【図2】 本発明の1つの実施例の回路図である。

【図3】 本発明の第2の実施例の回路図である。

【図4】 本発明の第3の実施例の回路図である。

10

【図1】

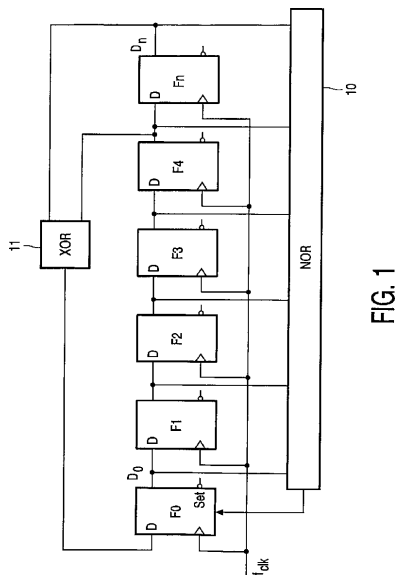


FIG. 1

【図2】

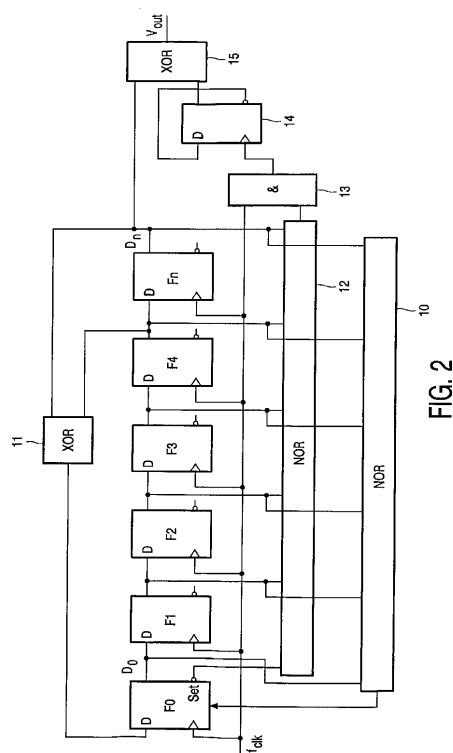
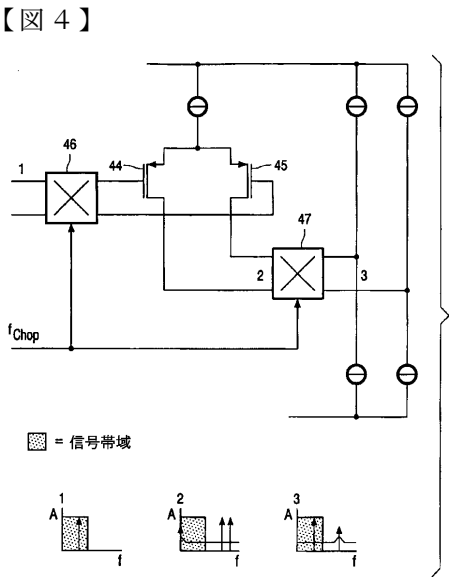
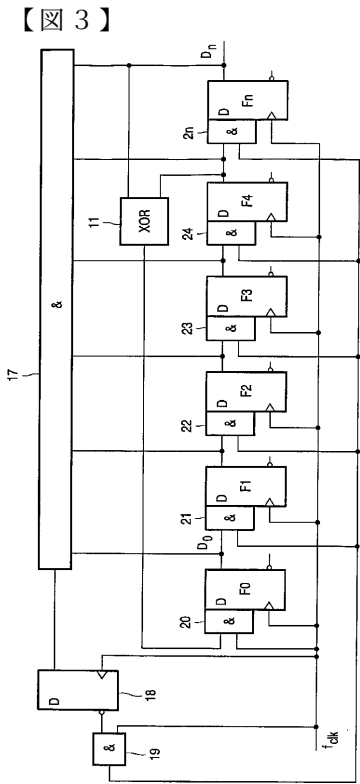


FIG. 2



フロントページの続き

(74)代理人 100087789

弁理士 津軽 進

(74)代理人 100114753

弁理士 宮崎 昭彦

(74)代理人 100122769

弁理士 笛田 秀仙

(72)発明者 ヴァン ヴェルドーヴェン ロベルト エイチ エム

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6 インターナ
ショナル オクトロイビューロー ビー ヴィ

(72)発明者 ホーグザード ギアン

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6 インターナ
ショナル オクトロイビューロー ビー ヴィ

審査官 清水 稔

(56)参考文献 特開昭64-057817 (JP, A)

特開昭62-018819 (JP, A)

特開平02-082810 (JP, A)

特開昭62-120713 (JP, A)

特開昭59-047834 (JP, A)

特開昭64-039111 (JP, A)

特開平02-219315 (JP, A)

特開平03-255721 (JP, A)

特開平08-163394 (JP, A)

特開平10-107593 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/64-3/86